



# UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

## DISEÑO Y CONSTRUCCIÓN DE UN GENERADOR DE SEÑAL SENOIDAL DE POTENCIA PARA EL ESTUDIO DE DEPÓSITOS ELECTROQUÍMICOS

T E S I S

QUE PARA OBTENER EL TÍTULO DE:  
INGENIERO ELÉCTRICO ELECTRÓNICO  
P R E S E N T A

**EDGAR TELLO PALETA**

DIRECTOR DE TESIS: M. en I. JOSÉ CASTILLO HERNÁNDEZ

LABORATORIO DE ELECTRÓNICA  
CENTRO DE CIENCIAS APLICADAS Y DESARROLLO TECNOLÓGICO



MÉXICO, D.F.

2004

# ÍNDICE

INTRODUCCIÓN	1
1. GENERACIÓN DE LA SEÑAL	3
1.1 Antecedentes	3
1.2 Generación de la señal senoidal	4
1.2.1 Características de la señal generada	4
1.2.2 Implementación del generador de señal senoidal	4
1.2.3 Fundamento de la topología utilizada para la generación de la señal	5
1.3 Implementación electrónica	6
1.3.1 Filtro paso banda	6
1.3.2 Generación de la onda cuadrada	10
1.3.3 Control de amplitud	12
1.3.4 Control de offset	14
2. AMPLIFICACIÓN DE LA SEÑAL	16
2.1 Retroalimentación	16
2.1.1 Esquema general de retroalimentación	17
2.1.2 Topología de retroalimentación serie-paralelo	18
2.2 Implementación del amplificador retroalimentado	19
2.2.1 Etapa de entrada	21
2.2.2 Etapa de amplificación de voltaje	22
2.2.3 Etapa de potencia	23
2.2.4 Red de retroalimentación	25
2.2.5 Compensación en frecuencia	25
3. FUENTES DE ALIMENTACIÓN	27
3.1 Fuente de alimentación de baja potencia	27
3.2 Fuente de alimentación de alta potencia	29
3.2.1 Fuente de alimentación bipolar no regulada	29
3.2.2 Sistema de alimentación multitaps	30
4. MÓDULO DE CONTROL	37
4.1 Control de amplitud	37
4.2 Control offset y frecuencia	38
4.3 Adquisición de variables de interés	40
4.3.1 Medición de amplitud y offset	40
4.3.2 Medición de corriente	41
4.3.3 Medición de frecuencia	42
4.4 Control del sistema multitaps	43
4.5 Interfaz con el usuario	43
4.6 Comunicación vía puerto serie con una PC	44
5. CONCLUSIONES Y COMENTARIOS	45
APÉNDICE A Programa en lenguaje C	50
APÉNDICE B Cálculos para el amplificador de potencia	87

APÉNDICE C Diagramas esquemáticos	97
REFERENCIAS	102
BIBLIOGRAFÍA	104

## INTRODUCCIÓN

El impacto que tiene la electrónica en todas las áreas de investigación y desarrollo tecnológico es indiscutible. En la actualidad es difícil pensar en algún proceso en donde la electrónica no se encuentre presente de manera directa o indirecta. El uso de equipo estándar y comercial durante la fase de experimentación es la pauta que generalmente se sigue, aún cuando el equipo utilizado no sea el apropiado para el experimento. Debido a esto, en todas las áreas de investigación es común encontrar que los resultados de diversos procesos se ven limitados, debido a que los equipos comerciales no ofrecen las capacidades necesarias para llevar a un buen término algún proceso experimental. En este punto se requiere del diseño y la construcción de un instrumento que cumpla con las necesidades particulares que presente el problema a tratar.

En el laboratorio de química de materiales y sensores del Centro de Ciencias Aplicadas y Desarrollo Tecnológico (CCADET), se requiere de un equipo que se utilizará para procesos de depósito electro-químico de nano-estructuras metálicas. En este caso particular se requiere realizar depósitos de alambres metálicos por técnicas electro-químicas, sobre un substrato constituido por una película de alúmina porosa crecida sobre un disco de aluminio metálico de alta pureza. Esta película de alúmina, crecida en las condiciones adecuadas [1], tiene una distribución regular de poros con diámetro controlable entre 20 y 90 nm, una longitud de varios  $\mu\text{m}$ , y una densidad de poros también variable entre  $10^9$  y  $10^{11}$  poros por  $\text{cm}^2$ . De esta manera el depósito de metales o aleaciones metálicas en estas estructuras da lugar a arreglos regulares de nano-alambres metálicos, con aplicaciones tecnológicas de gran interés, como puede ser el desarrollo de medios magnéticos para almacenamiento de información de muy alta densidad; dispositivos electro-ópticos; sensores de humedad, presión, oxígeno, etc. Sin embargo, entre la película de alúmina porosa y el substrato de aluminio que se utiliza como cátodo en el proceso de depósito, existe una capa de óxido de aluminio que supone una barrera dieléctrica que impide que el depósito pueda llevarse a cabo por la técnica tradicional de corriente directa (dc). Para superar esta barrera dieléctrica se requiere, además de trabajar con voltajes relativamente altos en comparación con los utilizados en la técnica de DC, del uso de una fuente de corriente alterna (ac). La frecuencia necesaria para llevar a cabo exitosamente el depósito depende del espesor de la capa barrera, el cuál a su vez depende del voltaje de anodización utilizado durante el proceso de crecimiento de la película. Si bien las fuentes convencionales de ac proporcionan una frecuencia de 60 Hz que es suficiente para polarizar una capa de alúmina de algunas decenas de nm, es altamente deseable tener la posibilidad de variar la frecuencia de la corriente durante el proceso con el fin de optimizar las condiciones de depósito.

En la actualidad existe en el laboratorio de materiales y sensores, un generador de señal senoidal desarrollado en el laboratorio de electrónica del CCADET que cumple con las siguientes características:

- Intervalo de amplitud de 0 a 40 Volts.
- Intervalo de frecuencia de 10Hz a 1kHz.
- Corriente máxima de 500 mA.
- Control analógico de los parámetros de la señal de salida.
- Despliegue gráfico para medir los parámetros de la señal de salida.

La finalidad de este trabajo de tesis es el diseñar y construir un generador de potencia de onda senoidal, que brinde mayores posibilidades de operación que el equipo con que se cuenta actualmente en el laboratorio de materiales y sensores. Las principales características que se plantean para el instrumento son:

- Valor pico de la onda senoidal ajustable en un intervalo comprendido entre los 100mV y los 80V.
- Frecuencia de la señal comprendida entre los 10Hz y los 1000Hz.
- Componente de directa de la onda senoidal ajustable entre -80V y +80V.
- Valor absoluto máximo de salida de voltaje (componentes de AC y DC combinadas) de 80V.
- Corriente máxima de salida de 1000mA.
- Distorsión armónica total menor al 1%.
- Equipo gobernado por un microcontrolador que permite la adquisición y despliegue de información de voltaje, corriente y frecuencia.
- Ajuste de la señal de salida de forma digital con ayuda de convertidores digital/analógicos.
- Comunicación serial con una computadora personal para el almacenamiento de datos experimentales.

El presente trabajo consta de los siguientes puntos:

1. Diseño e implementación del generador de señal senoidal en su etapa de baja potencia.
2. Aspectos generales de amplificadores de potencia y diseño e implementación del amplificador requerido para el instrumento.
3. Descripción del sistema de alimentación para la electrónica de baja potencia y diseño e implementación de la fuente de alimentación requerida por el amplificador de potencia.
4. Descripción de la parte digital del control de amplitud, offset y frecuencia. Diseño e implementación de la electrónica y algoritmos necesarios para la adquisición y despliegue de voltaje, corriente y frecuencia. Comunicación vía puerto serie para el almacenamiento de datos en una PC.
5. Comentarios y conclusiones del sistema implementado y probado.

## 1. GENERACIÓN DE LA SEÑAL

El diseño del generador de señal senoidal de potencia se puede dividir en cuatro etapas como lo muestra el diagrama de bloques en la figura 1.1.

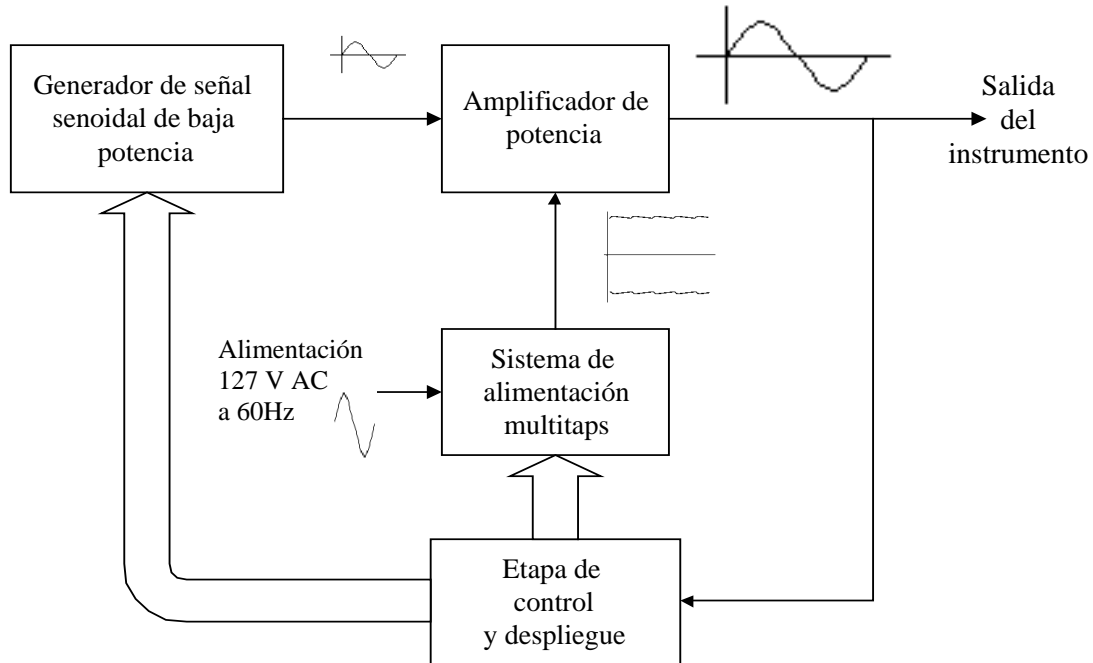


Figura 1.1 Diagrama a bloques del instrumento.

Como se puede apreciar, la señal senoidal se genera en su versión de baja potencia. Posteriormente, se amplifica con un amplificador retroalimentado. Este amplificador es alimentado por una fuente de poder bipolar con control multitaps. Por último en la etapa de control y despliegue se llevan a cabo las siguientes tareas: control de la señal, sensado y despliegue de información, control del sistema de alimentación multitaps y comunicación vía puerto serie con una PC.

En este capítulo se tratará la etapa de generación de la señal senoidal de baja potencia. La descripción de las etapas restantes se llevará a cabo en los tres capítulos siguientes.

### 1.1 Antecedentes

La finalidad de un generador de señales es producir una señal de características bien definidas; por ejemplo amplitud, frecuencia y forma de onda. Para implementar un generador de señal, en general, se hace uso de alguna forma de retroalimentación que involucra dispositivos dinámicos (generalmente capacitores).

Los generadores de señal se pueden englobar en dos categorías: osciladores sintonizados y osciladores de relajación [2]. Los osciladores sintonizados emplean conceptos de la teoría de control para crear un par de polos complejos conjugados; estos polos deben estar contenidos exactamente en el eje imaginario del plano  $S$  para desarrollar oscilaciones senoidales sostenidas. Por otro lado

los osciladores de relajación emplean dispositivos de dos estados o biestables (interruptores, Schmitt triggers, compuertas lógicas y flip-flops) para, de manera continua, cargar y descargar un capacitor; de este modo se consigue obtener tipos de señales tales como cuadrada, exponencial, triangular, diente de sierra etc.

No cabe duda de que la onda senoidal es una de las señales más importantes tanto desde un punto de vista matemático, como desde un punto de vista práctico y a pesar de su sencillez, generarla no resulta una tarea fácil. Existen dos métodos clásicos para la generación de señales senoidales [6]. El primer método consiste en un oscilador sintonizado que utiliza un amplificador y una red de retroalimentación selectiva en frecuencia. En este método la amplitud de las ondas senoidales generadas se limita, o se ajusta, por medio de un mecanismo no lineal, implementado ya sea por un circuito separado o mediante las no linealidades del dispositivo amplificador mismo. El segundo método de generación de onda senoidal consiste en conformar de manera no lineal una onda triangular. El primer método si bien suele proporcionar señales de baja distorsión en general no ofrece maneras prácticas para variar la frecuencia. Por otro lado aunque el segundo método aprovecha la gran versatilidad de los generadores de onda triangular existentes para poder controlar su frecuencia, el inconveniente radica en que las señales obtenidas presentan una distorsión armónica mayor.

## **1.2 Generación de la señal senoidal**

### **1.2.1 Características de la señal generada**

La generación de la señal senoidal consta, en esencia, de dos etapas: la etapa de generación de la señal en su versión de baja potencia y la etapa de amplificación de la señal. En la primera, se obtiene una señal senoidal con amplitud, offset y frecuencia variables; Mientras que en la segunda, a la señal senoidal se le dota de la amplitud y potencia requeridas para el instrumento.

Para la versión de baja potencia las características de la señal generada son las siguientes:

- Amplitud variable entre los 9mV y los 7.27V
- Offset variable entre los -7.27V y los 7.27V
- Frecuencia comprendida entre los 10Hz y los 1000Hz
- Distorsión armónica menor al 0.1 %

En los siguientes puntos se describirá el método empleado para generar a la señal senoidal de baja potencia. La etapa de amplificación de potencia de la señal senoidal se abordará en el siguiente capítulo.

### **1.2.2 Implementación del generador de señal senoidal**

Una manera alternativa que se propone para la generación de la onda senoidal, se puede llevar a cabo mediante el filtrado de una onda cuadrada. Para este fin, se utiliza un filtro paso banda con un factor de calidad elevado y una frecuencia central igual a la frecuencia de la onda cuadrada.

### 1.2.3 Fundamento de la topología utilizada para la generación de la señal

Como establece la teoría de Fourier, cualquier señal periódica se puede representar como una combinación lineal de señales senoidales [11], o sea como una suma de ondas senoidales de frecuencias y amplitudes diferentes. En el caso particular de una señal cuadrada con periodo  $T$  y ciclo de trabajo de 50% como la que se muestra en la figura 1.2a la representación en serie de Fourier queda expresada por la ecuación 1.1,

$$v(t) = \frac{V_H}{2} + \frac{2V_H}{\pi} \sin(2\pi f_0 t) + \frac{2V_H}{3\pi} \sin(2\pi 3f_0 t) + \frac{2V_H}{5\pi} \sin(2\pi 5f_0 t) + \frac{2V_H}{7\pi} \sin(2\pi 7f_0 t) + \dots \quad (1.1)$$

donde el término  $\frac{V_H}{2}$  corresponde a la componente de directa, el término siguiente corresponde a la frecuencia fundamental  $f_0$  y la infinitud de términos subsecuentes corresponde a las componentes armónicas de la señal. En la figura 1.2b se muestra el espectro de la señal cuadrada.

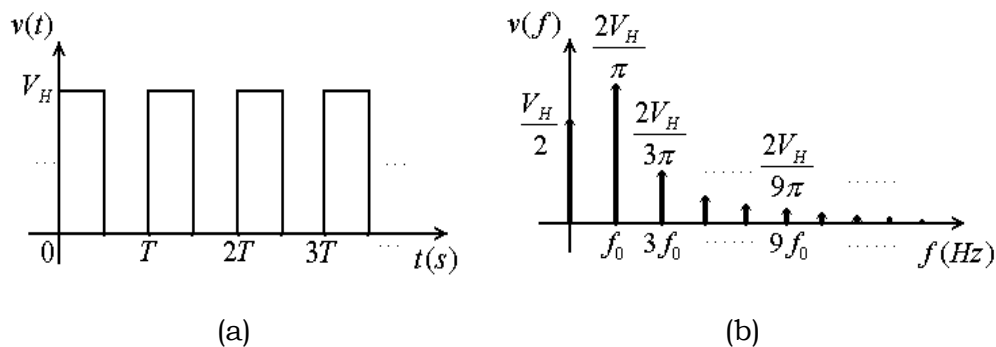


Figura 1.2 Señal cuadrada en el dominio del tiempo y el de la frecuencia.

Si la señal cuadrada es procesada por un filtro paso banda altamente selectivo con frecuencia central  $f_0$ , se puede obtener una señal senoidal pura con amplitud  $\frac{2V_H}{\pi}$  y frecuencia  $f_0$ . En las figuras 1.3a y 1.3b se muestra esta señal en el dominio del tiempo y la frecuencia respectivamente.

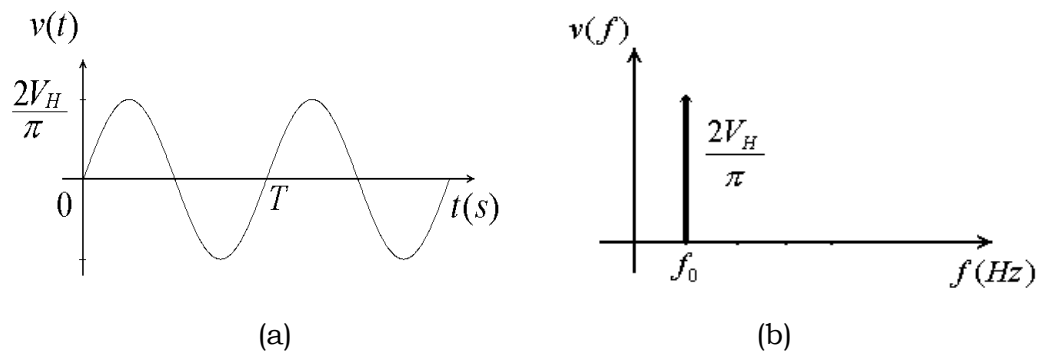


Figura 1.3 Señal senoidal en el dominio del tiempo y el de la frecuencia.



### 1.3 Implementación electrónica

En la figura 1.4 se presenta un diagrama de bloques con la finalidad de describir, a grandes rasgos, la implementación del generador de señal en la etapa de baja potencia.

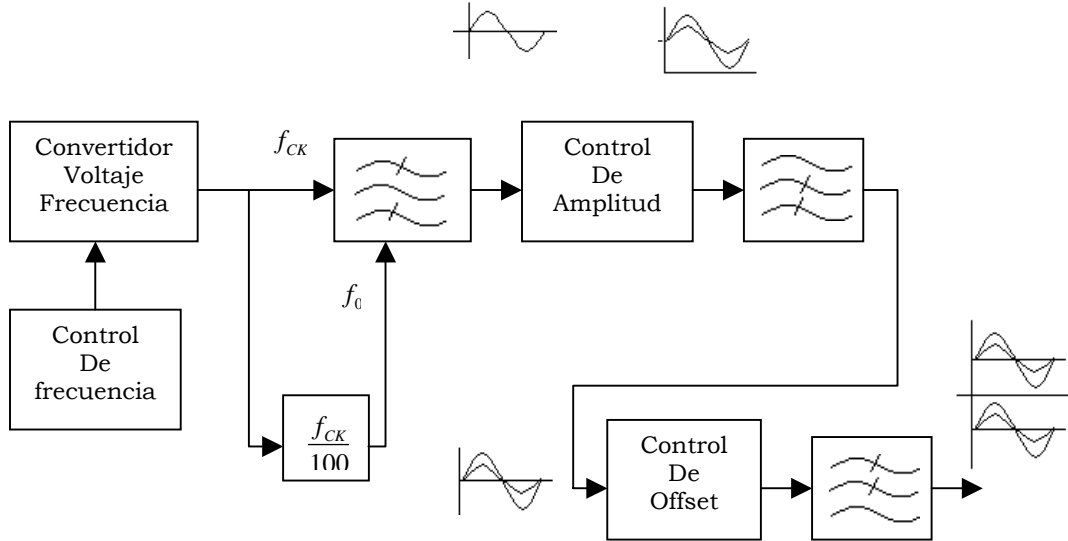


Figura 1.4 Etapa de bajo nivel para generación de la señal.

Como se puede apreciar, esta etapa consta de un convertidor voltaje frecuencia; un divisor de frecuencia entre 100; un filtro paso banda con frecuencia de corte programable; de arreglos para controlar la frecuencia, el offset y la amplitud de la señal, y un par de filtros para adecuar la señal.

#### 1.3.1 Filtro paso banda

Las frecuencias que debe generar el instrumento van desde los 10Hz hasta los 1000Hz. Por esta razón es necesario disponer de un filtro, cuya frecuencia central pueda seguir a la frecuencia de la señal de entrada.

De la teoría de circuitos con capacitores conmutados se tiene que, con la ayuda de interruptores MOS, capacitores y amplificadores operacionales; se pueden implementar funciones analógicas que usualmente se implementan con resistores, capacitores y amplificadores operacionales [3]. En esencia, los circuitos de capacitores conmutados se basan en el hecho de que, el comportamiento de un resistor puede ser aproximado con un capacitor MOS y un interruptor MOSFET operado periódicamente.

En general los filtros analógicos convencionales dependen de productos RC para establecer sus características en el dominio de la frecuencia. Por otro lado, si se implementa un filtro con circuitos de capacitores conmutados, se puede demostrar que las características del filtro, en el dominio de la frecuencia, dependen sólo de razones entre capacitores y de la frecuencia de conmutación de éstos [3]. Si se hace que la frecuencia de conmutación de los capacitores sea controlable por una señal de reloj externa, entonces se puede obtener un filtro con función de transferencia deslizable en el

dominio de la frecuencia. Además si se permite en el circuito que algunos resistores clave sean proporcionados de manera externa, entonces se puede obtener un dispositivo reconfigurable.

De lo anterior se desprende que, para la implementación del filtro paso banda se utilice un filtro de capacitores conmutados. Específicamente se emplea el filtro universal de capacitores conmutados MF10 de National, que consiste básicamente, como se puede apreciar en la figura 1.5, de dos secciones de lazo integrador doble (compuesto por dos integradores no inversores y un amplificador sumador). Estas secciones pueden ser configuradas de manera independiente, por medio de resistores externos, para implementar filtros paso bajas, paso banda, paso altas, supresor de banda o pasa todo [12].

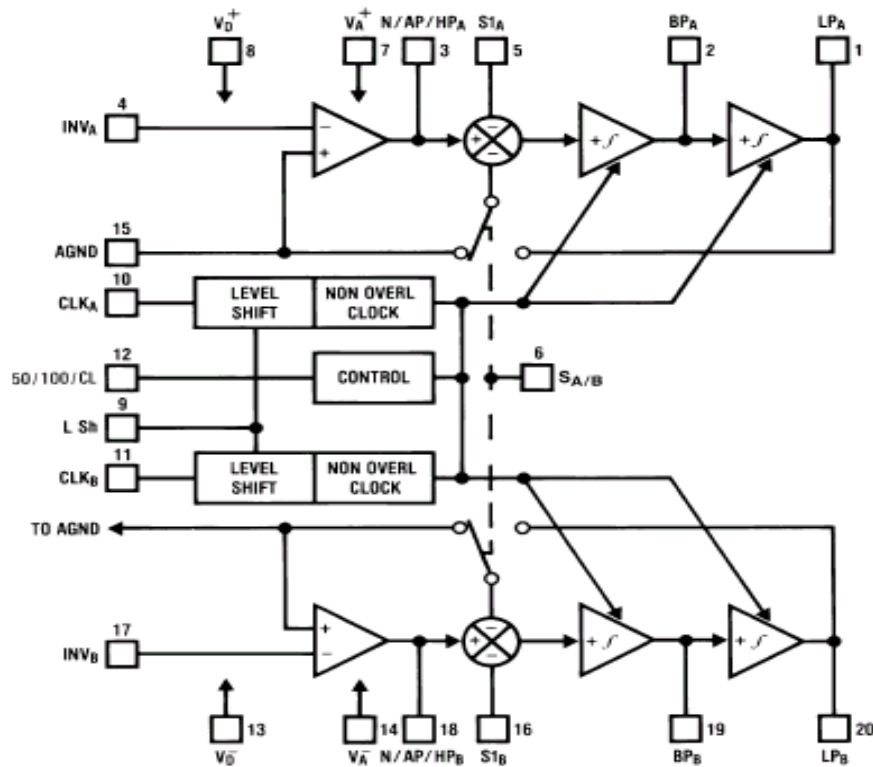


Figura 1.5 Diagrama de bloques del filtro universal MF10.

La configuración utilizada para implementar el filtro pasa banda se conoce como configuración de variables de estado. Ésta proporciona simultáneamente las respuestas paso altas, paso banda y paso bajas por medio de integraciones consecutivas [4]. La configuración se muestra en la figura 1.6.

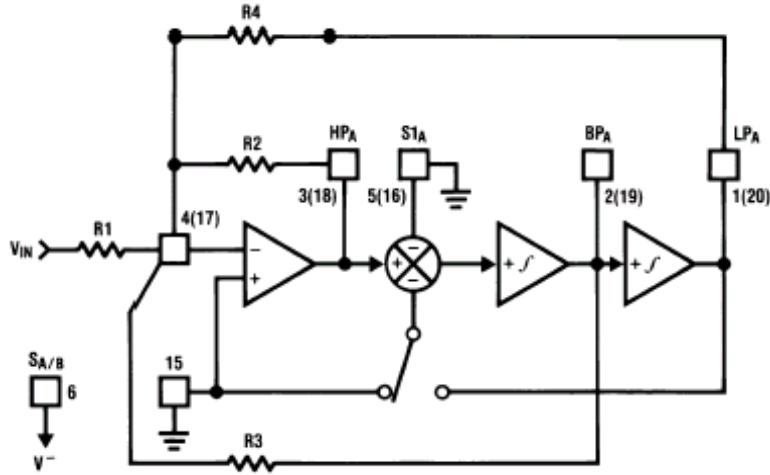


Figura 1.6 Configuración del circuito en variables de estado.

Como se puede observar en la figura 1.6 se requiere de muy pocos componentes para su realización. La frecuencia central del filtro paso banda está determinada por la ecuación 1.2,

$$f_0 = \frac{f_{CLK}}{100} \sqrt{\frac{R_2}{R_4}} \quad (1.2)$$

donde  $f_0$  corresponde a la frecuencia central del filtro y  $f_{CLK}$  corresponde a la frecuencia de reloj del circuito MF10.

Para determinar el factor de calidad se tiene la ecuación 1.3.

$$Q = \frac{R_3}{R_2} \sqrt{\frac{R_2}{R_4}} \quad (1.3)$$

Las ganancias de las respuestas paso bajas, paso altas y paso banda se encuentran determinadas respectivamente por las ecuaciones (1.4), (1.5) y (1.6).

$$H_{OLP} = -\frac{R_4}{R_1} \quad (1.4)$$

$$H_{OHP} = -\frac{R_2}{R_1} \quad (1.5)$$

$$H_{OBP} = -\frac{R_3}{R_1} \quad (1.6)$$

Además para factores de calidad elevados las ganancias pico de las respuestas paso bajas, paso altas y paso banda están dadas por las ecuaciones (1.7), (1.8) y (1.9) respectivamente.

$$H_{OLP(pico)} \cong Q \times H_{OLP} \quad (1.7)$$

$$H_{OHP(pico)} \cong Q \times H_{OHP} \quad (1.8)$$

$$H_{OBP(pico)} = Q \times \sqrt{H_{OHP} \times H_{OLP}} \quad (1.9)$$

Para obtener el filtro paso banda con una alta selectividad en frecuencia, se conectan en cascada las dos secciones del Filtro MF10. Cada sección se utiliza en su configuración de variables de estado con un factor de calidad elevado. Por otro lado, como se puede observar en la ecuación 1.2, la frecuencia central del filtro se puede establecer como la centésima parte de la frecuencia de reloj del MF10. Si esta señal de reloj se utiliza, al dividir su frecuencia entre 100, para obtener la señal cuadrada a filtrar, se puede conseguir que la frecuencia central del filtro y la frecuencia de la señal de entrada sean iguales.

Las características de cada uno de los filtros pasobanda de segundo orden conectados en cascada son las siguientes: Factor de calidad de 10, una ganancia de 0.5 y una frecuencia central 100 veces menor a la frecuencia de reloj.

Tomando en cuenta la ecuación 1.2, para que la frecuencia central del filtro sea la centésima parte de la señal de reloj se considera que

$$R_4 = R_2 \quad (1.10)$$

además de la ecuación 1.3 considerando que  $Q=10$  se tiene que

$$R_3 = 10R_2 \quad (1.11)$$

Por último, como se requiere de una ganancia de 0.5 en el filtro paso banda, a partir de la ecuación 1.6 se deriva que

$$R_1 = 2R_3 \quad (1.12)$$

Para el diseño se propone que  $R_2=10K\Omega$  y utilizando las ecuaciones 1.10, 1.11 y 1.12 se determinan los valores de  $R_4$ ,  $R_3$  y  $R_1$  respectivamente. Los valores obtenidos son  $R_4=10K\Omega$ ,  $R_3=100K\Omega$  y  $R_1=200K\Omega$ . El circuito implementado con los valores calculados se muestra en la figura 1.7.

Para que el circuito MF10 opere de manera adecuada se requiere que ninguna de sus salidas se encuentre saturada. Al elegirse un factor de calidad elevado ( $Q=10$ ), se deben de tener en cuenta los picos de ganancia que se presentan en cada una de las salidas del MF10, para evitar que ninguna de las señales de salida se sature. Utilizando los valores obtenidos para  $R_1$ ,  $R_2$ ,  $R_3$  y  $R_4$  y las ecuaciones 1.4, 1.5, 1.6, 1.7, 1.8 y 1.9 se tiene que  $H_{OLP(pico)}=0.5$ ,  $H_{OHP(pico)}=0.5$  y  $H_{OBP(pico)}=0.5$ . Considerando que la componente fundamental de la onda cuadrada a filtrar tiene una amplitud de 2.5V pico, que el límite de saturación para la polarización utilizada (+-5V) es de +- 4 y que las ganancias pico son menores a uno se tiene que ninguna de las salidas del MF10 estará saturada.

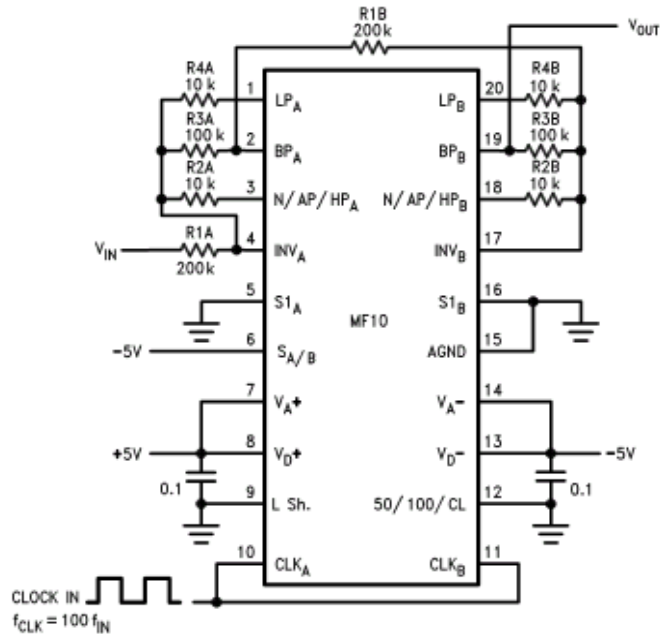


Figura 1.7 Implementación filtro paso banda de cuarto orden.

### 1.3.2 Generación de la onda cuadrada

Como ya se mencionó, con el circuito MF10 se implementó un filtro paso banda de cuarto orden. Este filtro tiene la característica particular de que su frecuencia central es proporcional a la frecuencia de reloj que rige la velocidad de conmutación de los capacitores del circuito. Para generar la señal de reloj se emplea el circuito convertidor voltaje a frecuencia XR4151 y para obtener la señal cuadrada se utiliza la señal de reloj pasada por un divisor de frecuencia entre 100.

En general los convertidores voltaje a frecuencia se pueden clasificar como multivibradores de amplio barrido o como convertidores voltaje frecuencia de balanceo de carga [2]. Los primeros en esencia son multivibradores astables controlados por voltaje. En el segundo tipo se encuentra contenido el XR4151. Este circuito está compuesto en esencia por un comparador, un circuito monoestable y una fuente de corriente con un interruptor como se muestra en la figura 1.8.

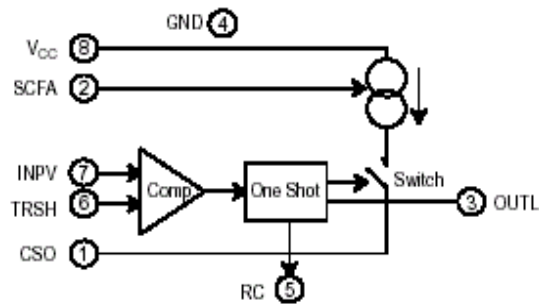


Figura 1.8 Diagrama de bloques del XR4151.

El XR4151 ofrece varias posibilidades para su operación. En la configuración utilizada para generar la señal de reloj, el circuito funciona como un convertidor voltaje a frecuencia polarizado con una sola fuente positiva [13]. A continuación, con base en la figura 1.9, se explica brevemente su funcionamiento. El comparador de voltaje compara el voltaje de control de frecuencia aplicado en el pin 7 con el voltaje en el pin 6. Si el voltaje de entrada es mayor, entonces el comparador dispara al circuito monoestable. La salida del circuito monoestable está conectada tanto a la salida lógica como a la fuente de corriente de precisión conmutada. Durante un periodo  $T$ , la salida lógica se pone en bajo y la fuente de corriente se conecta con el pin 1. Al final del periodo  $T$  la salida lógica se pone en alto y la fuente de corriente es desconectada. Hasta este momento la fuente de corriente ha inyectado una carga de  $Q = I_o T$  a la red  $R_B$ - $C_B$ . Si esta carga no ha incrementado el voltaje  $V_B$  de manera que  $V_B > V_I$ , el comparador dispara de nuevo al circuito monoestable y la fuente de corriente inyecta otra carga  $Q$  hacia la red  $R_B$ - $C_B$ . Este proceso continúa hasta que  $V_B > V_I$ . Cuando se alcanza esta condición, la fuente de corriente permanece apagada provocando que el voltaje  $V_B$  decrezca hasta que de nuevo es igual a  $V_I$  y el circuito monoestable se vuelve a disparar. De esta manera se establece un ciclo donde la fuente de corriente carga al capacitor  $C_B$  a una tasa tal que  $V_B \geq V_I$ . Debido a que la tasa de descarga del capacitor  $C_B$  es proporcional a  $V_B / R_B$ , la frecuencia generada resulta proporcional al voltaje de entrada.

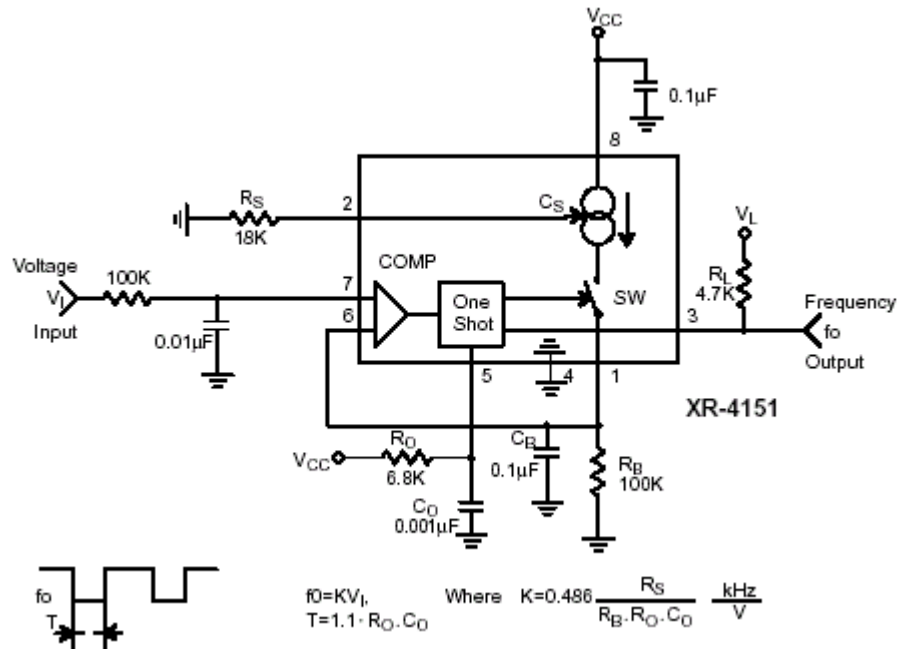


Figura 1.9 Convertidor voltaje frecuencia.

Para implementar el divisor de frecuencia entre cien, utilizado para obtener la onda cuadrada, se emplean dos circuitos CD4017 conectados en cascada. El CD4017 es un circuito contador/divisor implementado con tecnología CMOS. Este circuito puede ser utilizado como divisor de frecuencia entre 10, gracias a que posee una señal de salida (Carry-out) que completa un ciclo cada 10 ciclos de la señal de reloj de entrada. En la figura 1.10 se muestra la configuración utilizada.

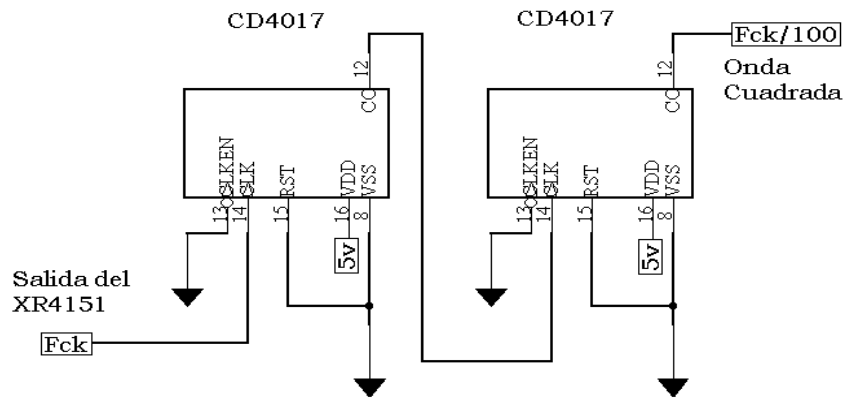


Figura 1.10 Divisor de frecuencia entre 100.

### 1.3.3 Control de amplitud

El método que se empleó para variar la amplitud de la señal senoidal consiste en utilizar un DAC en una configuración de resistor variable. La señal senoidal de amplitud fija que se obtiene a la salida del filtro pasobanda, es aplicada a la terminal de referencia del DAC y a la salida de éste se obtiene la señal senoidal con la amplitud variable. Lo anterior se muestra en la figura 1.11.

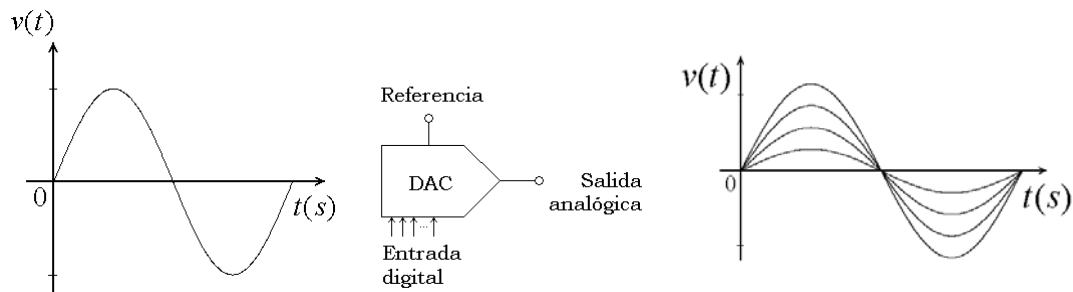


Figura 1.11 Principio básico del control de amplitud.

Para implementar el control de amplitud se utilizó el Convertidor digital/análogo TLV5616 cuyo diagrama de bloques se muestra en la figura 1.12. Como se puede observar, el corazón de este circuito es una cadena de resistores, cuya relación entrada/salida se encuentra determinada por 12 bits de datos [14]. El control del TLV5616 es de tipo serial, más adelante en el capítulo 4 se mostrará el control que se realiza desde el microcontrolador.

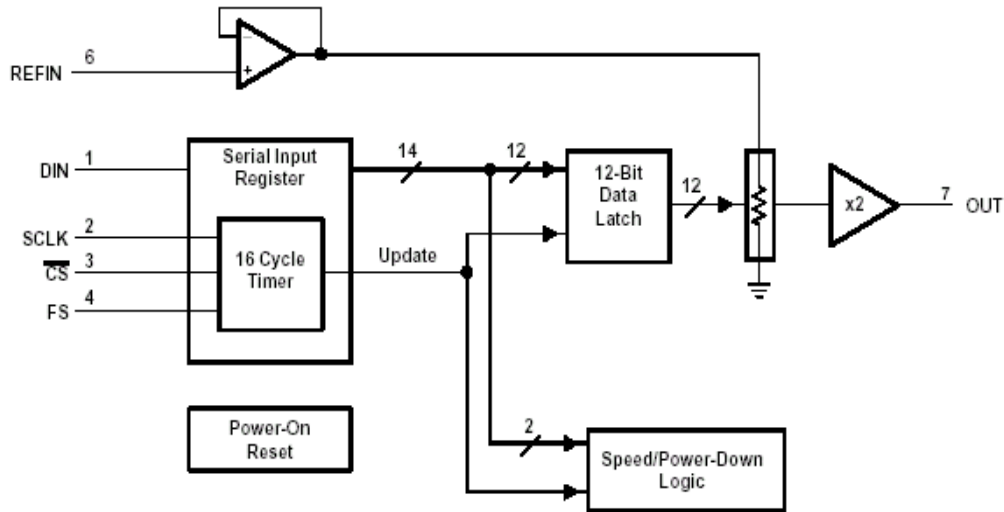


Figura 1.12 Diagrama a bloques del TLV5616.

Al estar implementado mediante un proceso CMOS, el TLV5616 está diseñado para su operación con una fuente de voltaje en el intervalo de 2.7V a 5.5V [7]. Por lo que es necesario adecuar la señal senoidal obtenida a la salida de filtro paso banda, con el fin de que en ningún momento resulte una tensión negativa a la entrada de referencia del convertidor. Lo anterior se logra sumando a la señal senoidal una tensión de directa. En la figura 1.13 se muestra el circuito empleado para tal tarea.

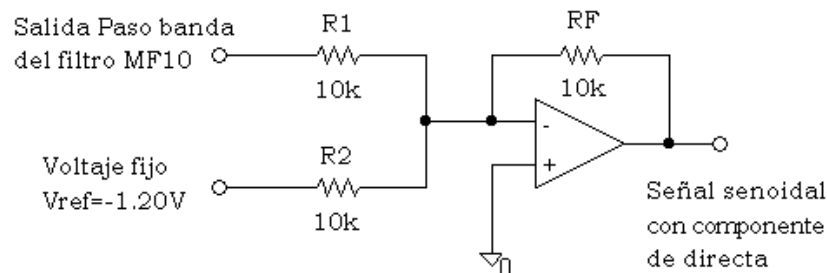


Figura 1.13 Adecuación de la señal de entrada al TLV5616.

Como resultado de la adecuación de la señal de entrada al TLV5616, a la salida de éste, se presenta una componente de directa cuya magnitud es variable y dependiente de la amplitud de la señal senoidal. Para eliminar dicha componente se utiliza un filtro paso altas de segundo orden tipo Sallen-Key. Las características del filtro están determinadas por las ecuaciones 1.13 y 1.14.

$$f_0 = \frac{1}{2\pi RC\sqrt{mn}} \quad (1.13)$$



$$Q = \frac{\sqrt{mn}}{n+1} \quad (1.14)$$

Como el intervalo de frecuencias del instrumento va desde los 10Hz a los 1000Hz se propone una frecuencia de corte para el filtro de 1Hz. Considerando las ecuaciones 1.13 y 1.14, utilizando capacitores de  $0.1 \mu\text{F}$ , resistores de  $1\text{M}\Omega$  y proponiendo  $n=1$  y  $m=2$ , se tiene para el filtro una frecuencia de corte  $f_0=1.125\text{Hz}$  y un factor de calidad  $Q=0.7071$ . El filtro implementado se muestra en la figura 1.14.

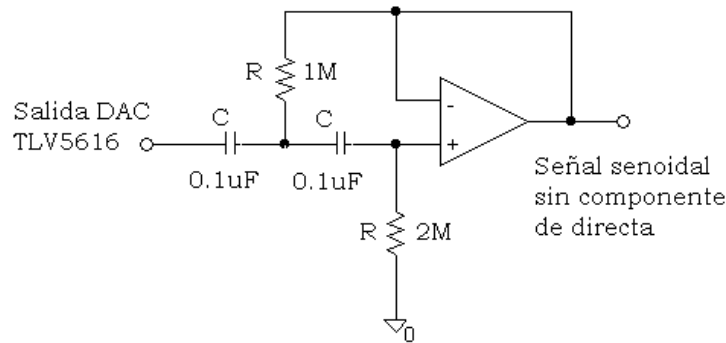


Figura 1.14 Filtro Butterworth paso altas de segundo orden.

### 1.3.4 Control de offset

Para agregar la componente de directa a la señal senoidal, se utiliza un circuito sumador inversor como el mostrado en la figura 1.15.

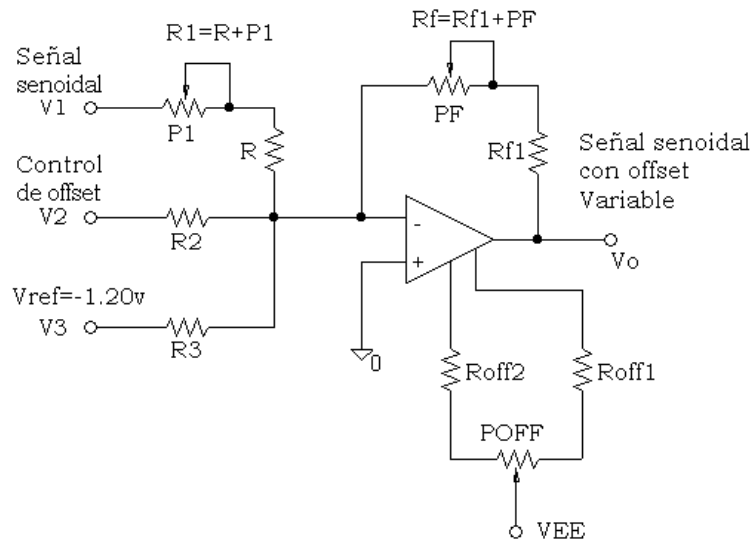


Figura 1.15 Amplificador sumador.

La ecuación 1.15 describe el funcionamiento del circuito.

$$v_o = - \left( \frac{R_f}{R_1} v_1 + \frac{R_f}{R_2} v_2 + \frac{R_f}{R_3} v_3 \right) \quad (1.15)$$

Al considerar la ecuación 1.15 se puede apreciar que, además de incorporar el offset, el circuito de la figura 1.15 permite introducir una ganancia tanto a la señal senoidal como a la señal de offset. Con lo anterior es posible calibrar la señal senoidal en su versión de baja potencia para poder obtener las características de amplitud requeridas.

El control del offset se realiza mediante la señal  $V_2$ . El amplificador operacional empleado para realizar el circuito sumador es el LF411. Este circuito permite un ajuste externo de offset, lo cual se utiliza en el circuito de la figura 1.15 para calibrar el offset de la señal a cero, cuando el voltaje de control  $V_2$  se encuentra a la mitad de su intervalo.

## 2. AMPLIFICACIÓN DE LA SEÑAL

En el capítulo anterior se describió el procedimiento empleado para obtener la señal senoidal en su versión de baja potencia. Aunque esta señal posee características deseables como amplitud y offset variables, y su frecuencia se puede controlar desde los 10Hz hasta los 1000Hz; para el instrumento se requiere que la señal generada, sea capaz de alcanzar voltajes hasta de 80V y corrientes hasta de 1A. Por esta razón es necesario utilizar un amplificador de potencia.

Los amplificadores de potencia pueden dar sólo una pequeña cantidad de ganancia de voltaje, pero una considerable ganancia en corriente. Por lo tanto, mientras que absorben muy poca potencia de la señal de entrada, entregan grandes cantidades de potencia a su carga.

Para la implementación del amplificador de potencia se contemplaron dos posibilidades: utilizar un circuito amplificador integrado o implementar un amplificador de potencia con elementos discretos. Debido a que en el mercado no se encontró ningún circuito integrado que cumpliera con las características de amplificación requeridas, se optó por diseñar un amplificador de potencia implementado con elementos discretos.

### 2.1 Retroalimentación

En el diseño de amplificadores, la retroalimentación negativa es utilizada ampliamente porque produce grandes beneficios. Entre las propiedades que se obtienen como resultado de aplicar retroalimentación, se encuentran las siguientes:

- Estabilidad de la ganancia contra cambios en los parámetros de los dispositivos activos, debido a las variaciones del voltaje de alimentación.
- Estabilidad de la ganancia contra cambios en la temperatura o a pesar del envejecimiento de los dispositivos.
- Reducción de la distorsión no lineal de la forma de onda de la señal obtenida.
- Posibilidad de modificar las impedancias de entrada y de salida del circuito en forma conveniente.
- Incremento del ancho de banda del amplificador respecto de la versión no retroalimentada.

Todas estas propiedades se obtienen a costa de una reducción de ganancia [7]. Dadas las características de la señal senoidal a amplificar, la ganancia requerida para el amplificador de potencia es de 11. Como esta ganancia es relativamente pequeña, la reducción de ganancia debida a la retroalimentación no resulta importante.

Cabe destacar que bajo ciertas condiciones, la retroalimentación negativa puede convertirse en positiva y de tal magnitud que ocasiona oscilación. Por lo que es necesario tomar las medidas necesarias para superar este problema.

### 2.1.1 Esquema general de retroalimentación

En la figura 2.1 se muestra la estructura básica de un amplificador con retroalimentación.

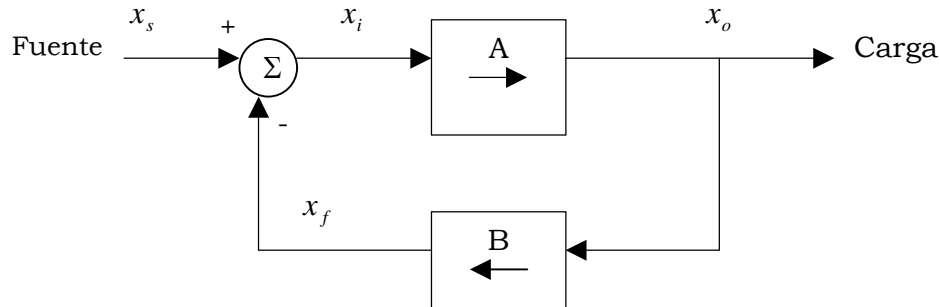


Figura 2.1 Estructura general del amplificador con retroalimentación.

Más que mostrar voltajes y corrientes, la figura 2.1 es un diagrama de flujo de señales, donde cada una de las cantidades  $x$  puede representar una señal ya sea de voltaje o de corriente. Denotando a las señales de entrada y de salida como  $x_s$  y  $x_o$  respectivamente, se pueden identificar tres bloques básicos: Un amplificador, una red de retroalimentación y un punto suma.

El amplificador tiene una ganancia de lazo abierto  $A$ . Entonces, su salida  $x_o$  está relacionada con la entrada  $x_i$  por la ecuación 2.1.

$$x_o = Ax_i \quad (2.1)$$

La salida  $x_o$  alimenta a la carga y a la red de retroalimentación, que produce una muestra de la salida. Esta muestra  $x_f$  está relacionada a  $x_o$  por el factor de retroalimentación  $B$ , según la ecuación 2.2.

$$x_f = Bx_o \quad (2.2)$$

La señal de retroalimentación  $x_f$  es sustraída de la fuente de señales  $x_s$ , para producir la señal  $x_i$ , que es la entrada al amplificador básico.

$$x_i = x_s - x_f \quad (2.3)$$

En la ecuación 2.3 se observa que es esta sustracción lo que hace negativa la retroalimentación.

Utilizando las ecuaciones 2.1 a la 2.3 se puede obtener la ganancia del amplificador retroalimentado determinada por la ecuación 2.4.

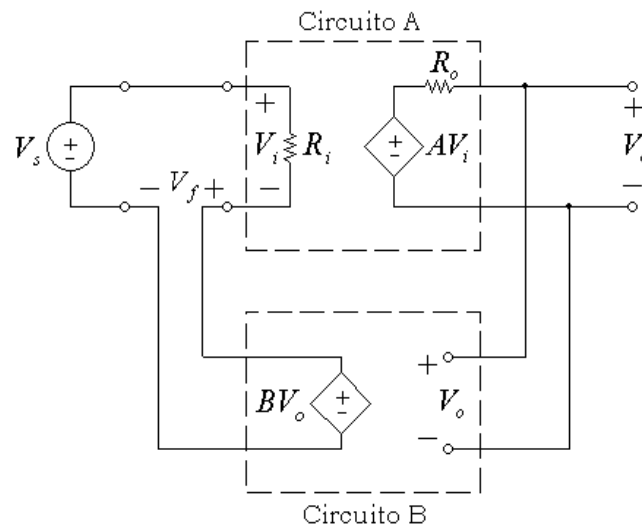
$$A_f \equiv \frac{x_o}{x_s} = \frac{A}{1 + AB} \quad (2.4)$$

En donde  $A_f$  se conoce como ganancia de lazo cerrado, y al producto  $AB$  se le conoce como ganancia de lazo [15].

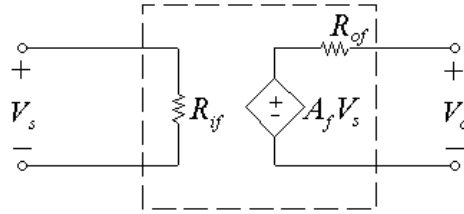
Si se logra que la ganancia de lazo sea grande,  $AB \gg 1$ , entonces de la ecuación 2.4 se deduce que  $A_f \approx 1/B$ . Bajo esta condición la ganancia del amplificador con retroalimentación está casi por completo determinada por la red de retroalimentación. Si se implementa la red de retroalimentación con elementos pasivos adecuados, se puede lograr un valor de  $B$  bien definido y, por lo tanto, una ganancia  $A_f$  precisa, predecible y estable. De esta manera la ganancia total resulta casi independiente de la ganancia  $A$  del amplificador básico. Lo cual resulta favorable ya que la ganancia  $A$  suele ser una función de muchos parámetros, algunos de los cuales pueden tener amplias tolerancias.

### 2.1.2 Topología de retroalimentación serie-paralelo

En particular para el caso de amplificación de señales de voltaje se puede utilizar la topología de retroalimentación serie-paralelo [7]. En la figura 2.2a se ilustra la estructura ideal de un amplificador con retroalimentación serie-paralelo. Este circuito retroalimentado consiste en un amplificador unilateral de lazo abierto (circuito  $A$ ) y una red ideal de retroalimentación de mezcla en serie de muestreo de voltaje (circuito  $B$ ). El circuito  $A$  tiene una resistencia de entrada  $R_i$ , una ganancia de voltaje  $A$  y una resistencia de salida  $R_o$ . Se supone que las resistencias de la fuente, de la carga y los efectos de una red de retroalimentación no ideal se han incluido dentro del circuito  $A$  como se indica en [7]. Se puede notar que el circuito de la figura 2.2a sigue exactamente al modelo de retroalimentación de la figura 2.1. por lo que, la ganancia de voltaje  $A_f$  de lazo cerrado está dada por la ecuación 2.4. En este caso  $x_s$  y  $x_o$  simbolizan los voltajes de entrada y de salida respectivamente.



(a)



(b)

Figura 2.2. Amplificador con retroalimentación serie paralelo.

Los amplificadores de voltaje se pueden considerar como fuentes de voltaje controladas por voltaje. Por lo que es deseable que la impedancia de entrada sea alta y que la impedancia de salida sea baja. En la figura 2.2b se muestra el modelo de circuito equivalente del amplificador con retroalimentación serie-paralelo. En esta figura  $R_{if}$  y  $R_{of}$  denotan las resistencias de entrada y salida con retroalimentación. La relación entre  $R_{if}$  y  $R_i$  se puede establecer considerando el circuito de la figura 2.2a. La ecuación 2.5 muestra dicha relación.

$$R_{if} = R_i(1 + AB) \quad (2.5)$$

Como se puede notar, la retroalimentación negativa aumenta la resistencia de entrada en un factor  $1 + AB$ . Por otro lado, se puede demostrar que la resistencia de salida para el circuito equivalente de retroalimentación, se puede expresar en términos de  $R_o$  según la ecuación 2.6 [15].

$$R_{of} = \frac{R_o}{1 + AB} \quad (2.6)$$

En este caso se observa que la resistencia de salida se ve reducida también por el factor  $1 + AB$ . De lo anterior se concluye que la retroalimentación ayuda a mejorar tanto la resistencia de entrada como la de salida en un amplificador de voltaje.

## 2.2 Implementación del amplificador retroalimentado

Para realizar el amplificador de potencia requerido en el instrumento, se implementó un amplificador de voltaje con una ganancia de aproximadamente 422 V/V. Este amplificador se encuentra contenido dentro de un esquema de retroalimentación serie-paralelo, con lo que se consigue aprovechar las ventajas que la retroalimentación ofrece. Bajo estas condiciones el amplificador de potencia se puede considerar como un “amplificador operacional” de potencia, conectado en una configuración de amplificador no inversor. Esta idea se muestra en la figura 2.3.

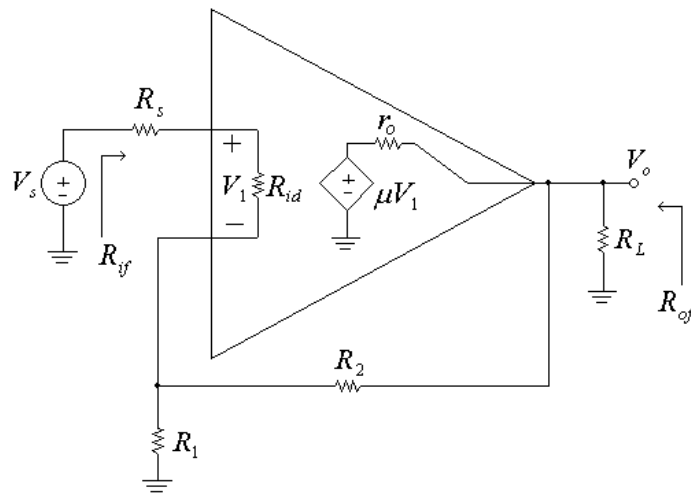


Figura 2.3. Amplificador de potencia como amplificador operacional.

Los amplificadores prácticos de transistores suelen estar formados de varias etapas conectadas en cascada. Además de proporcionar ganancia, la primera etapa por lo general debe contar con una elevada resistencia de entrada para evitar afectar a la señal de entrada. La función de las etapas intermedias en una cascada de amplificadores es producir la mayor parte de la ganancia de voltaje. Además, dependiendo de la configuración utilizada, las etapas intermedias realizan otras funciones como son la conversión de la señal del modo diferencial al modo asimétrico y el desplazamiento del nivel de DC de la señal. Finalmente, la principal función de la etapa de salida de un amplificador es producir una baja resistencia de salida, para evitar pérdida de ganancia cuando una carga de baja impedancia se conecte al amplificador. De igual manera la etapa de salida debe tener capacidad para alimentar de manera eficiente la corriente requerida por la carga.

En la figura 2.4 se muestra el amplificador de potencia que se implementó para amplificar a la señal senoidal.

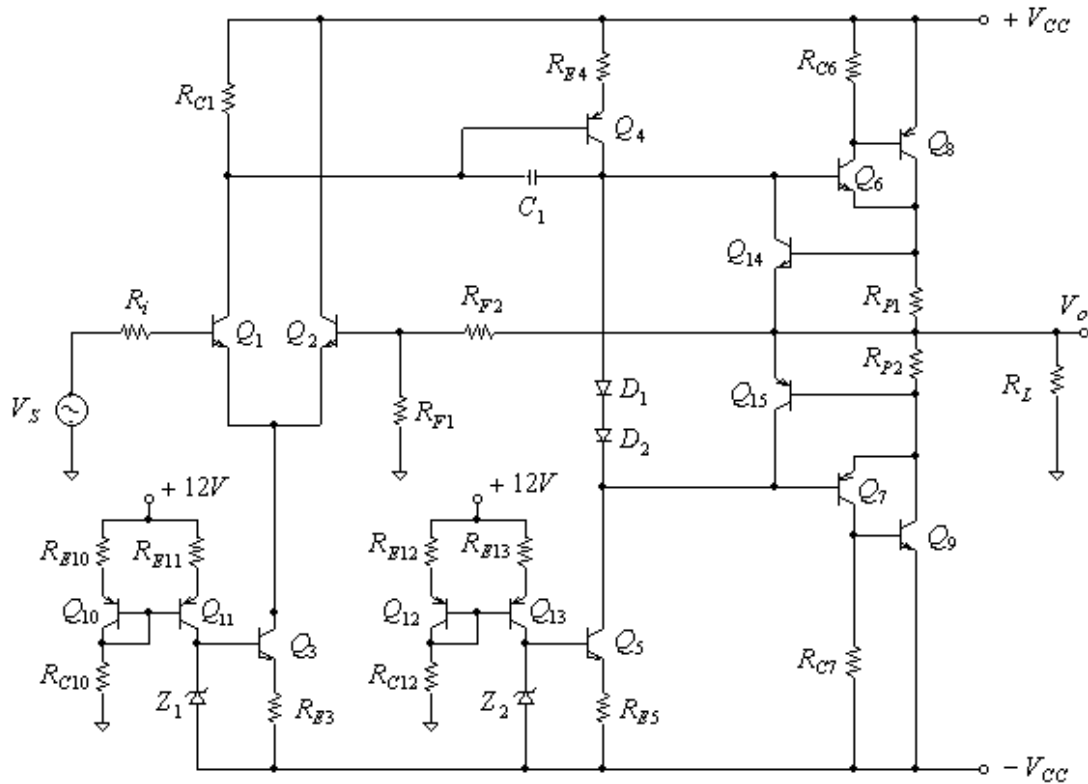


Figura 2.4. Implementación del amplificador de potencia.

En lo que resta del capítulo se tratará cada una de las etapas que conforman al amplificador de potencia. En el apéndice B se determinan los valores de los elementos pasivos y se muestran los cálculos efectuados para determinar la ganancia de lazo abierto del circuito.

### 2.2.1 Etapa de entrada

La etapa de entrada del amplificador lleva a cabo la importante tarea de sustraer la señal de retroalimentación de la señal de entrada. De esta manera se obtiene la señal de error que controla la salida.

Para implementar la etapa de entrada se utilizó una configuración de transistores en par diferencial. Se emplea esta configuración debido a que en general presenta mejores características en comparación con otras configuraciones como la singleton, que emplea un solo transistor [16].

En la figura 2.5 se muestra la etapa de entrada del amplificador de potencia. Como se puede observar, el par diferencial formado por  $Q_1$  y  $Q_2$  se encuentra polarizado por una fuente de corriente y como carga tiene al resistor  $R_{C1}$ . La fuente de corriente se implementó con la ayuda del transistor  $Q_3$  polarizado a un voltaje constante y prácticamente independiente del voltaje de alimentación. Para obtener este voltaje, se utilizó un diodo zener alimentado por la fuente de



corriente formada por  $Q_{10}$ ,  $Q_{11}$ ,  $R_{E10}$ ,  $R_{E11}$  y  $R_{C10}$ . Al implementar de esta manera la fuente de corriente del par diferencial, se pretende que no cambie la corriente de polarización al cambiar el voltaje de alimentación del amplificador de potencia. Por otro lado el valor de  $R_{C1}$  se escogió de manera tal que el desbalance en el par diferencial resultara mínimo, ya que, cuanto mejor este balanceada la corriente de polarización del par diferencial, mayor es la linealidad de la etapa de entrada [16].

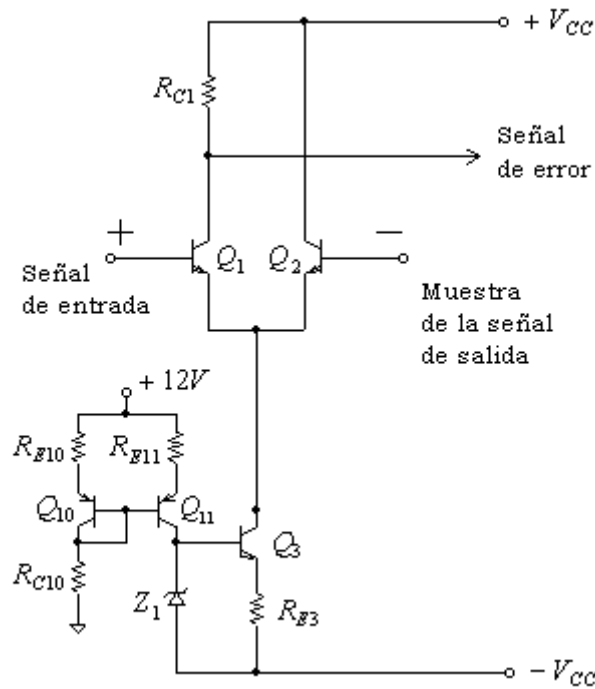


Figura 2.5. Etapa de entrada.

Cabe mencionar que la etapa de entrada se puede considerar como una etapa de transconductancia diferencial, en donde una entrada diferencial de voltaje, produce una corriente de salida que prácticamente resulta independiente del voltaje presente en la salida de la etapa [16].

### 2.2.2 Etapa de amplificación de voltaje

Esta etapa se encarga de proporcionar la mayor parte de la ganancia de voltaje en el amplificador de potencia. Además ésta debe ser capaz de manejar hasta la máxima excursión del voltaje de salida.

La topología utilizada para la etapa de amplificación, en el amplificador de potencia, se muestra en la figura 2.6. Como se puede apreciar, se trata básicamente de un amplificador de voltaje en configuración de emisor común formado por  $Q_4$  y  $R_{E4}$ , y manejado por una corriente de entrada en la base. Esta etapa se puede considerar como una etapa de transresistencia.

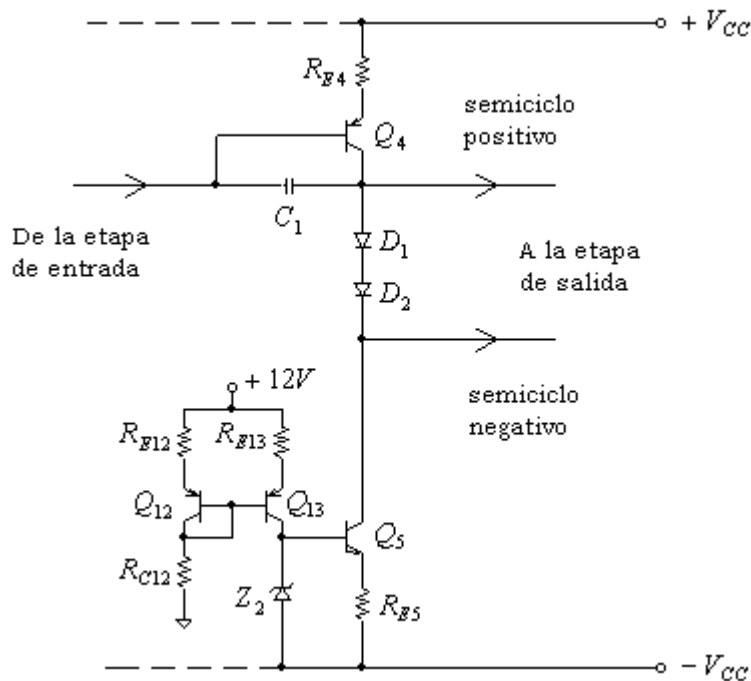


Figura 2.6 Etapa de amplificación de voltaje.

La distorsión que esta etapa produce se debe principalmente a la curva característica de transferencia del amplificador de emisor común [15]. Para que, dentro del esquema de retroalimentación, esta etapa pueda ser linealizada se requiere que la ganancia de lazo abierto sea alta. Una manera de lograr lo anterior consiste en colocar una carga activa en el colector de  $Q_4$  [17]. En la figura 2.6 se muestra la implementación de la carga activa mediante la fuente de corriente formada por  $Q_5$ ,  $Q_{12}$ ,  $Q_{13}$ ,  $R_{E5}$ ,  $R_{E12}$ ,  $R_{E13}$ ,  $R_{C12}$  y el diodo zener  $Z_2$ . Al igual que en el caso de la etapa de entrada, la fuente de corriente se implementó de forma tal que los cambios en el voltaje de alimentación no afecten de manera significativa su valor. Además la carga activa también asegura suficiente corriente para manejar la mitad inferior de la etapa de salida, en una dirección negativa, a valores cercanos al valor de la fuente de alimentación [17].

### 2.2.3 Etapa de potencia

La etapa de salida o de potencia se encarga de suministrar la cantidad de potencia requerida por la carga. Para implementar esta etapa se utiliza un amplificador de clase AB. Esta clase de amplificador además de las características de eficiencia de un amplificador clase B, posee una distorsión de cruce reducida gracias a una pequeña corriente de polarización en los transistores que la conforman [8].

Para llevar a cabo la etapa de salida clase AB se utiliza la topología conocida como par complementario retroalimentado también llamado Par Sziklai [18]. En la figura 2.7 se puede observar el par complementario retroalimentado compuesto por los transistores  $Q_6$ ,  $Q_8$  y los

resistores  $R_{C6}$ ,  $R_{P1}$  para la parte positiva del par y por  $Q_7$ ,  $Q_9$ ,  $R_{C7}$  y  $R_{P2}$  para la parte negativa. Los transistores  $Q_6$  y  $Q_7$  actúan como drivers de los transistores  $Q_8$  y  $Q_9$  respectivamente. Estos últimos son los encargados de manejar la potencia de salida. Los drivers están colocados de tal manera que comparan el voltaje de salida con el voltaje a la entrada de la etapa, formando un lazo local de retroalimentación [18]. Con esto se logra una buena estabilidad térmica, ya que al estar el voltaje  $V_{be}$  de los transistores de salida dentro de este lazo, solo el voltaje  $V_{be}$  de los drivers afecta la corriente de reposo en esta etapa.

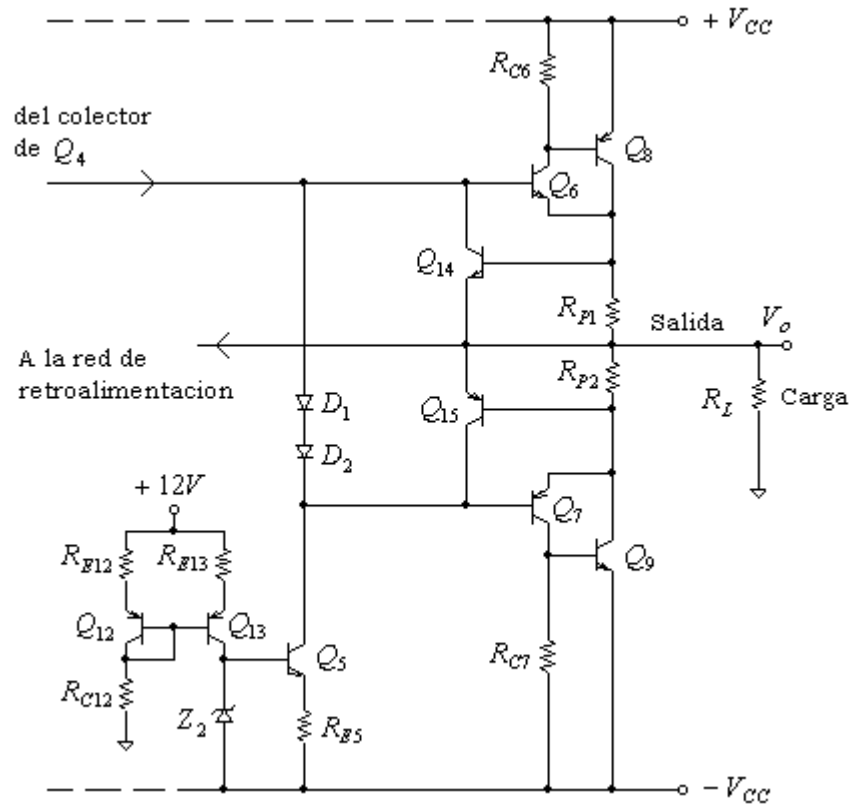


Figura 2.7 Etapa de salida.

Para generar el voltaje de bias en el par complementario retroalimentado se utiliza el par de transistores  $D_1$  y  $D_2$ , conectados como diodos y polarizados por una fuente de corriente. Esta fuente es la misma que se utiliza como carga activa en la etapa de amplificación de voltaje. Para lograr estabilizar a la pequeña corriente de polarización de la etapa de salida, contra variaciones en la temperatura de unión de los transistores de salida, tanto los drivers como los transistores conectados como diodos se montan en un mismo disipador [19].

Por último, el propósito de los transistores  $Q_{14}$  y  $Q_{15}$  y los resistores  $R_{P1}$  y  $R_{P2}$  que se pueden apreciar en la figura 2.7, es evitar que la corriente que circula por los transistores de salida sobrepase un nivel seguro.

### 2.2.4 Red de retroalimentación

Como ya se ha mencionado el amplificador de potencia se implementó con un amplificador de voltaje en una configuración de retroalimentación serie-paralelo. Con el fin de tomar la muestra de voltaje a la salida de amplificador, que se compara con la entrada, se utiliza un divisor de voltaje. En la figura 2.4 se puede apreciar que este divisor está formado por  $R_{F1}$  y  $R_{F2}$ . En este caso el factor de retroalimentación queda determinado por la ecuación 2.7.

$$B = \frac{R_{F1}}{R_{F1} + R_{F2}} \quad (2.7)$$

Los valores que se escogieron para los resistores son  $R_{F1}=1k\Omega$  y  $R_{F2}=10k\Omega$ . Con estos valores se obtiene un factor de retroalimentación de  $1/11$ , lo que implica una ganancia de lazo cerrado de aproximadamente 11.

### 2.2.5 Compensación en frecuencia

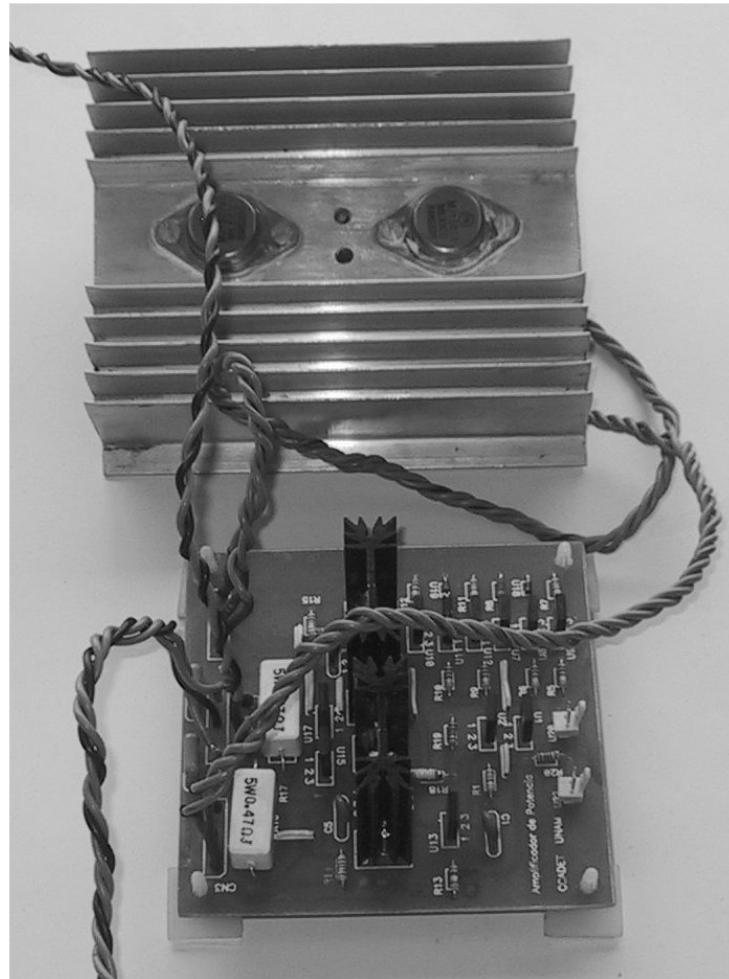
Con el fin de lograr que el amplificador retroalimentado sea estable es necesario modificar la respuesta en frecuencia de circuito abierto. Para lograr lo anterior se utiliza un procedimiento conocido como compensación en frecuencia [7].

El método que se empleó para compensar al amplificador de potencia se conoce como compensación de Miller [7]. Este método implica la conexión de un capacitor de retroalimentación en la etapa de ganancia del amplificador. Esto hace que el polo formado a la entrada de la etapa amplificadora se desplace a una frecuencia menor, haciéndose dominante, mientras que el polo formado a la salida de la etapa amplificadora se mueve a una frecuencia más alta, convirtiéndose así en un polo sin importancia.

Al hacer un polo dominante, utilizando el método de Miller, se logra que la ganancia de lazo  $AB$  caiga por debajo de la unidad antes de que se presente el cambio de fase suficiente para producir oscilación [20].

En la figura 2.4 se puede apreciar que para compensar al amplificador de potencia, utilizando el método de Miller, se conecta entre la base y el colector del transistor  $Q_4$ , el capacitor  $C_1$ .

Por último en la figura 2.8 se muestra el amplificador de potencia implementado.



*Figura 2.8 Amplificador de potencia retroalimentado.*

### 3. FUENTES DE ALIMENTACIÓN

Una parte fundamental en el generador de señal senoidal, la constituyen sus fuentes de alimentación. Para la electrónica de baja potencia se emplea un esquema de alimentación con fuentes de voltaje reguladas, mientras que para el amplificador de potencia se utiliza un esquema de alimentación de fuente de voltaje no regulada.

#### 3.1 Fuente de alimentación de baja potencia

Para alimentar al generador de señal, a la etapa de control y a las fuentes de corriente que polarizan al amplificador de potencia, se utilizan fuentes de voltaje reguladas.

En la figura 3.1 se muestra un diagrama de bloques que indica las principales etapas de una fuente de voltaje regulada.

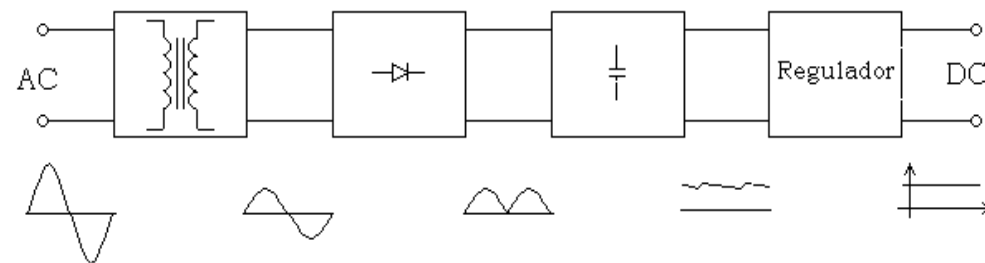


Figura 3.1 Diagrama de bloques de una fuente regulada de DC.

La primera etapa está compuesta por un transformador que lleva a cabo las siguientes funciones: reduce el voltaje de línea a un valor aceptable para la etapa de regulación y proporciona aislamiento eléctrico entre el equipo electrónico y el circuito de la línea de AC. La función que lleva a cabo el bloque de rectificación es convertir la señal senoidal presente en el secundario del transformador, en una señal unipolar con forma de onda pulsante. La señal que se obtiene de la etapa de rectificación por si misma resulta inapropiada como fuente de DC para circuitos electrónicos, por lo que hay necesidad de una etapa de filtrado. Gracias a esta etapa, las variaciones en la magnitud de la salida del rectificador son reducidas considerablemente. Aunque la etapa de filtrado reduce considerablemente las variaciones del voltaje, su salida todavía contiene una componente dependiente del tiempo conocida como rizo [9]. La etapa de regulación además de prácticamente eliminar el rizo, estabiliza la magnitud del voltaje de salida contra variaciones causadas por cambios en la corriente de carga.

Siguiendo la estructura básica de una fuente de voltaje regulada, se implementó el circuito de la figura 3.2 para obtener los voltajes necesarios para la electrónica de baja potencia. Los voltajes de DC requeridos son +12V, -12V, +5V y -5V.

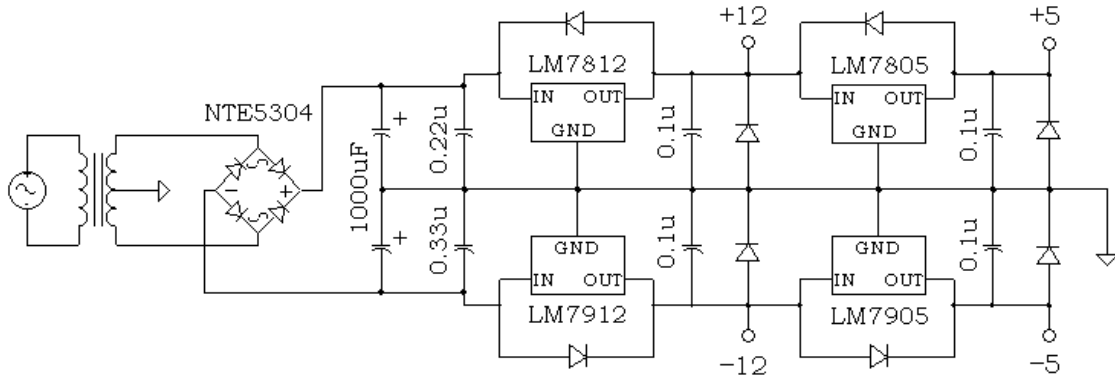


Figura 3.2 Fuente de alimentación para la electrónica de bajo nivel.

Como se puede observar en la figura, para implementar la fuente simétrica se utilizó: un rectificador de onda completa, implementado con un puente de diodos y un transformador con su tap central conectado como tierra común; un par de capacitores de filtrado, uno para las fuentes positivas y uno para las negativas; los reguladores lineales de voltaje LM7812 y LM7912 para obtener respectivamente +12V y -12V; y los reguladores LM7805 y LM7905 para obtener +5V y -5V respectivamente.

Para determinar el voltaje del transformador, se utilizó la fórmula 3.1 [5],

$$V_{RMS} = 1.1 \frac{V_o + V_{do} + V_{rect} + V_r}{\sqrt{2}} \frac{V_{line(nom)}}{V_{line(low)}} \quad (3.1)$$

donde  $V_o$  corresponde al voltaje de salida del regulador 7812 ó 7912,  $V_{do}$  corresponde al dropout de 7812 ó 7912,  $V_{rect}$  corresponde a la caída de potencial en el puente (equivalente a la caída de un diodo) y  $V_r$  corresponde al valor pico a pico del rizo. Además la razón de los términos  $V_{line}$  se utiliza para considerar variaciones en la línea de AC.

La fórmula 3.1 es válida tanto para el rectificador de onda completa tipo puente como para el rectificador de onda completa con tap central. La configuración empleada en el rectificador de la fuente de baja potencia, mediante superposición, se puede considerar como dos rectificadores de onda completa con tap central, por esta razón el voltaje en el secundario del transformador se puede considerar como 2 veces el valor  $V_{rms}$ .

Para obtener  $V_r$ , necesario en 3.1, se utiliza la fórmula 3.2 [5],

$$V_r \approx \frac{I_o}{2fC} \quad (3.2)$$

donde  $I_o$  corresponde a la corriente de salida del regulador 7812 ó 7912,  $f$  corresponde a la frecuencia de la línea y  $C$  es el capacitor de filtrado.

Considerando que  $f = 60\text{Hz}$ ,  $C = 1000\mu\text{F}$  y  $I_o = 250\text{mA}$  se tiene un voltaje de rizo  $V_r = 2.1\text{V}$ . Ahora con la fórmula 3.1 y teniendo que  $V_o = 12\text{V}$ ,  $V_{do} = 2.5\text{V}$ ,  $V_{rect} = 0.7\text{V}$ ,  $V_{line(nom)}/V_{line(low)} = 1.1$ , y  $V_r = 2.1\text{V}$ , se encuentra que  $V_{rms} = 14.8\text{V}$ . Este valor de  $V_{rms}$  implica que el voltaje del transformador en el secundario debe de ser por lo menos de  $29.6\text{V}$ , el valor utilizado es de  $30\text{V}$ .

En cuanto a la corriente en el secundario del transformador, en [5] se proporciona la fórmula 3.3, que de forma aproximada, relaciona la corriente de salida del regulador 7812 ó 7912 con la corriente en el secundario del transformador.

$$I_{rms} = 1.8I_o \quad (3.3)$$

Considerando una corriente  $I_o = 250\text{mA}$ , se tiene una corriente  $I_{rms} = 450\text{mA}$ . Con base en lo anterior, se escogió un transformador de  $500\text{mA}$  de corriente eficaz en el secundario.

### 3.2 Fuente de alimentación de alta potencia

La fuente de alimentación de alta potencia se requiere para alimentar al amplificador de potencia retroalimentado. Esta fuente es la que se encarga de proporcionar la potencia que utiliza el amplificador, para poder dar la amplitud y corriente deseadas a la señal de salida del instrumento.

#### 3.2.1 Fuente de alimentación bipolar no regulada

Se ha demostrado que para alimentar a un amplificador de potencia retroalimentado, se puede utilizar una fuente de voltaje bipolar no regulada. Esto, sin afectar de manera apreciable el desempeño del amplificador, en cuanto a la distorsión armónica total que produce en la señal de salida [19, 21]. Por esta razón para implementar la fuente de alimentación de potencia se utiliza un esquema de fuente de voltaje no regulado.

El amplificador de potencia que se implementó requiere de una fuente de alimentación bipolar. En la figura 3.3 se muestra una versión simplificada del circuito que se utilizó para implementar esta fuente. Como se puede observar consta de dos fuentes de voltaje no reguladas conectadas en serie. Cada una de estas fuentes utiliza un puente rectificador de diodos y un capacitor de filtrado para generar la tensión de DC necesaria para el amplificador de potencia.



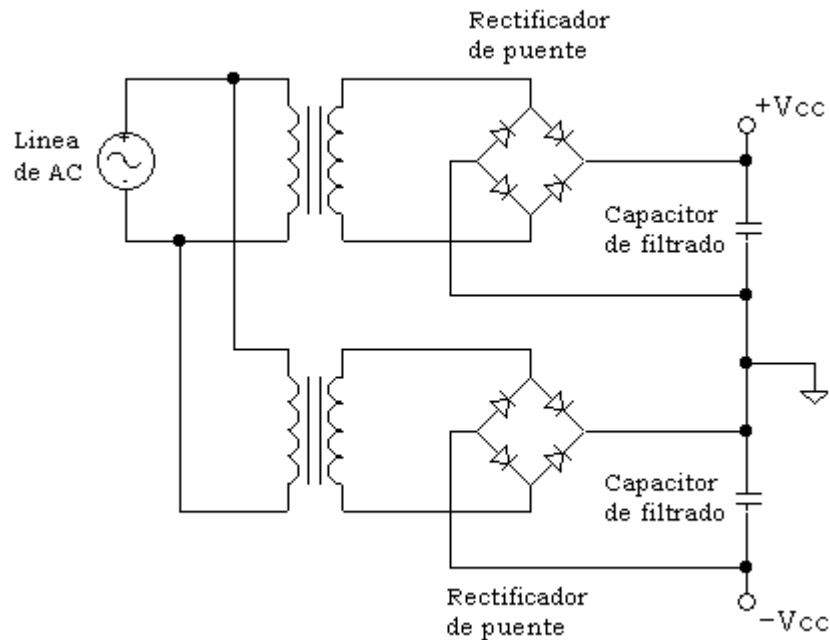


Figura 3.3 Circuito simplificado de la fuente de alimentación de potencia.

### 3.2.2 Sistema de alimentación multitaps

Como se explicó en la sección anterior, la fuente de alimentación consta básicamente de dos fuentes de voltaje no reguladas conectadas en serie, a continuación se tratará con más detalle la forma en que se implementaron dichas fuentes.

Como ya se mencionó, la etapa de salida del amplificador retroalimentado es la encargada de manejar la potencia que se entrega a la carga. Un aspecto que resulta importante considerar es la cantidad de potencia disipada en los dispositivos de salida, ya que entre más eficiente sea el sistema menos potencia se desperdiciará en forma de calor en estos dispositivos. Una mayor eficiencia implica la reducción del tamaño de los disipadores de calor y la prevención de la destrucción en los transistores de salida por sobre calentamiento.

Con la finalidad de tener una idea de la disipación de potencia en la etapa de salida, se considera la disipación de potencia en una etapa clase B. Como se puede demostrar [8], la disipación de potencia en una etapa de salida clase B, para el caso de una señal senoidal, se puede expresar por la siguiente ecuación:

$$P_D = P_S - P_L = \frac{2}{\pi} \frac{\hat{V}_o}{R_L} V_{CC} - \frac{1}{2} \frac{\hat{V}_o^2}{R_L} \quad (3.4)$$

donde  $\hat{V}_o$  corresponde al valor pico de la señal senoidal,  $R_L$  corresponde a la resistencia de la carga y  $V_{CC}$  Corresponde al voltaje de alimentación.

En la ecuación 3.4 si se considera a la disipación de potencia en función de  $V_{CC}$  teniendo a  $V_{CC} > \hat{V}_o = cte$  y a  $R_L = cte$ , se puede observar que conforme se aleja  $V_{CC}$  de  $\hat{V}_o$  se tiene un incremento lineal de la disipación de potencia. Además si en la ecuación 3.4 se mantienen fijos a  $V_{CC}$  y  $\hat{V}_o$  y se varía la carga  $R_L$ , se puede observar que la disipación de potencia resulta inversamente proporcional al valor de  $R_L$ , es decir, que conforme se reduce la impedancia de carga, manteniendo fijos a  $V_{CC}$  y  $\hat{V}_o$ , se incrementa la disipación de potencia.

El intervalo de operación de la salida del instrumento va desde los 100mV hasta los 80V. En todo este intervalo, dependiendo de la carga conectada, se puede tener una corriente hasta de un 1A. Considerando el análisis anterior sobre disipación de potencia, resulta conveniente tener una fuente de alimentación que sea capaz de cambiar su voltaje de operación, según el voltaje que se tenga a la salida del amplificador de potencia.

Para reducir a niveles aceptables la diferencia entre el voltaje de salida y el voltaje de alimentación de potencia, se planteó la implementación de una fuente de voltaje bipolar con cuatro pasos. En la figura 3.4 se muestra uno de los dos circuitos que se conectan en serie para obtener la fuente de alimentación bipolar. Para poder tener los cuatro pasos de voltaje, se utiliza un transformador de 80V a 2A (uno para cada fuente) con tres derivaciones. Para cambiar de tap, conectado al capacitor de filtrado, se utiliza un arreglo compuesto por un puente rectificador y 6 SCRs.

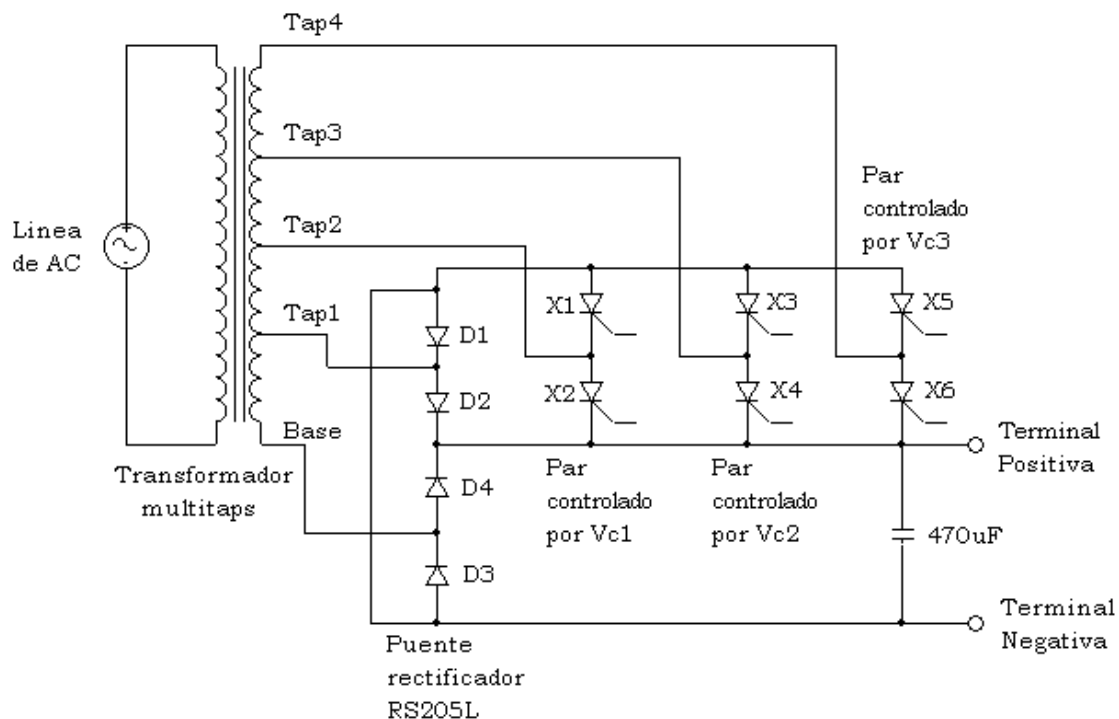


Figura 3.4 Fuente de voltaje con sistema de control multitap.

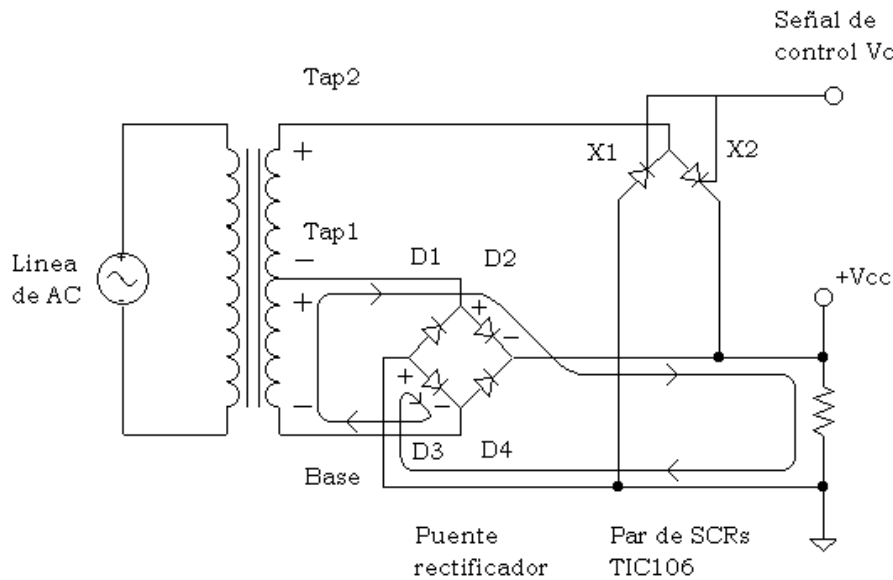
El puente rectificador formado por D1, D2, D3 y D4 opera si no existe señal de encendido en ninguna de las compuertas de los SCRs, con esto se obtiene el voltaje del tap1 que es el de 29V. Si se aplica la señal Vc1 de encendido en el par de SCRs X1 y X2, entonces D1 y D2 dejan de operar

y el par de SCRs X1 y X2 junto con D3 y D4 funcionan como un puente rectificador, con esto se obtiene el voltaje del tap2 que es el de 46V. De manera similar si se aplica la señal de encendido Vc2 en el par de SCRs X3 y X4, entonces X1 y X2 dejan de operar y se forma un puente rectificador con X3, X4, D3 y D4, de esta forma se obtiene el voltaje del tap3 que es el de 63V. Por último si se aplica la señal de encendido Vc3 en el par de SCRs X5 y X6, entonces X3 y X4 dejan de operar y se forma un puente rectificador con X5, X6, D3 y D4, de esta manera se obtiene el voltaje del tap4 del transformador que es el de 80V.

La otra fuente de voltaje que conectada en serie forma a la fuente de alimentación bipolar, es idéntica a la mostrada en la figura 3.4. Las señales de Control Vc1, Vc2 y Vc3 son comunes a las dos fuentes de voltaje para obtener los pasos de voltaje de  $+39.6\text{V}$ ,  $+63.6\text{V}$ ,  $+87.7\text{V}$  y  $+111.7\text{V}$  (éstos se midieron sin carga conectada a la fuente).

Para regresar de la operación de rectificación entre la base y un tap de mayor tensión del transformador, a una entre la base y un tap de menor tensión, simplemente se deja de aplicar la señal de encendido del par o pares de SCRs que operan a una mayor tensión que la deseada.

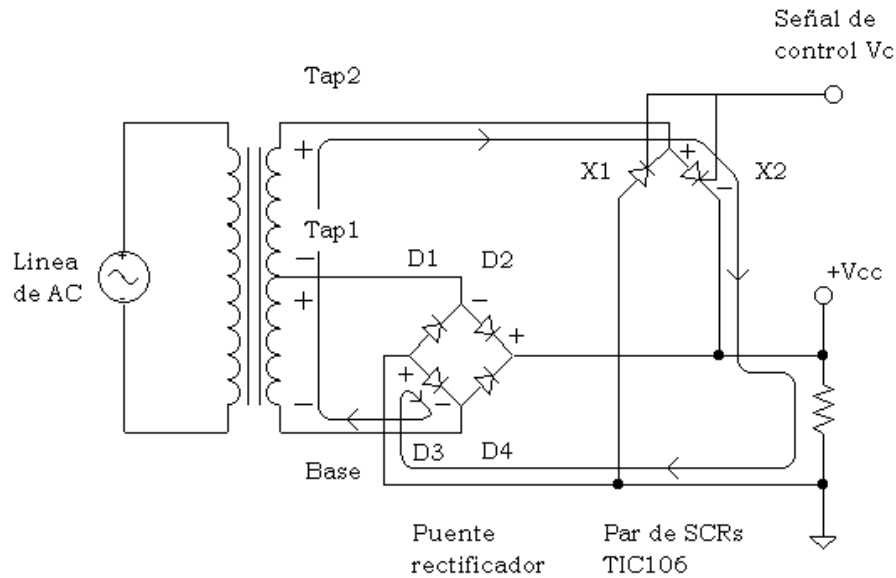
Para explicar cómo funciona el mecanismo que hace posible el cambio de taps, se muestran las figuras 3.5 y 3.6. En ambas figuras se observa una versión simplificada del sistema multitaps, la cual está compuesta por un transformador con tap central, un puente rectificador y un par de SCRs.



*Figura 3.5 Funcionamiento del sistema multitaps sin Señal de control Vc.*

En la figura 3.5 se muestran las condiciones de voltaje y corriente, durante el semiciclo positivo de la señal de AC, en ausencia de señal de encendido en las compuertas del par de SCRs. En este caso, los elementos que conducen son el D2 y D3, y al no conducir X2 el tap2 se encuentra “desconectado” de la carga. De manera similar ocurre durante el semiciclo negativo de la señal de

AC, solo que en este caso los diodos en conducción son D1 y D4, y mientras el SCR X1 permanezca apagado el tap 2 se encuentra desconectado de la carga.



*Figura 3.6 Funcionamiento del sistema multitaps con Señal de control Vc.*

En la figura 3.6 se muestran las condiciones de voltaje y corriente, durante el semiciclo positivo de la señal de AC, con señal de encendido en las compuertas del par de SCRs. En este caso, al estar encendido X2, se conecta el tap2 con la carga. Lo anterior resulta en una polarización en inversa del diodo D2, ocasionando que no conduzca y por lo tanto el tap1 se encuentre desconectado de la carga. De manera similar ocurre durante el semiciclo negativo de la señal de AC, solo que en este caso se encuentran en conducción X1 y D4, y mientras D1 permanece apagado el tap1 se encuentra desconectado de la carga.

Lo anterior también se aplica a los demás taps del sistema multitaps.

En la figura 3.7 se muestra el circuito que sirve para acoplar las señales de control, que genera el microcontrolador de la etapa de control, con las corrientes que se necesitan inyectar en las compuertas de cada par de SCRs para activarlos. Como Optoacoplador se utiliza el MOC3031 debido a que posee detector de cruce por cero, esto implica que el cambio entre tap y tap del transformador se realiza de manera suave.

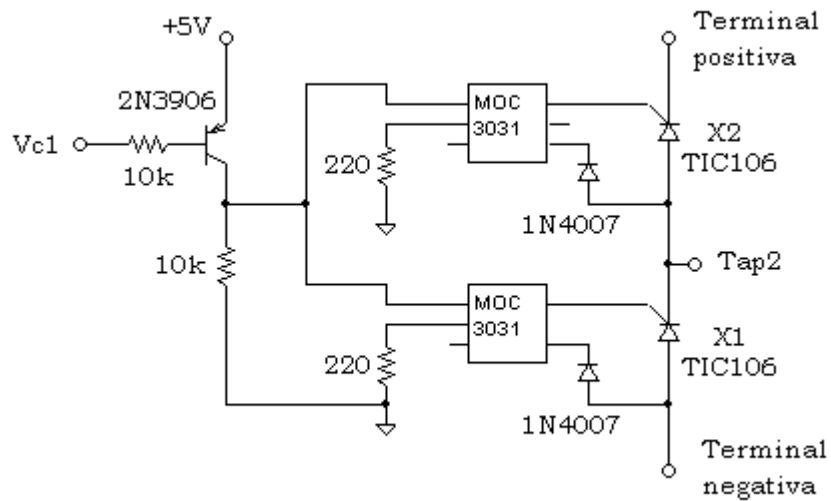


Figura 3.7 Interfaz de control de encendido de los SCRs.

En la figura 3.8 se muestran los cambios “suaves” logrados gracias a la característica de detección de cruce por cero del MOC3031. Como se puede observar, se logra el cambio de tap cerca de la región de cruce por cero de la señal de AC del secundario del transformador. Con esto se evitan posibles daños en los SCRs debido a que empiecen a conducir en un máximo de voltaje.

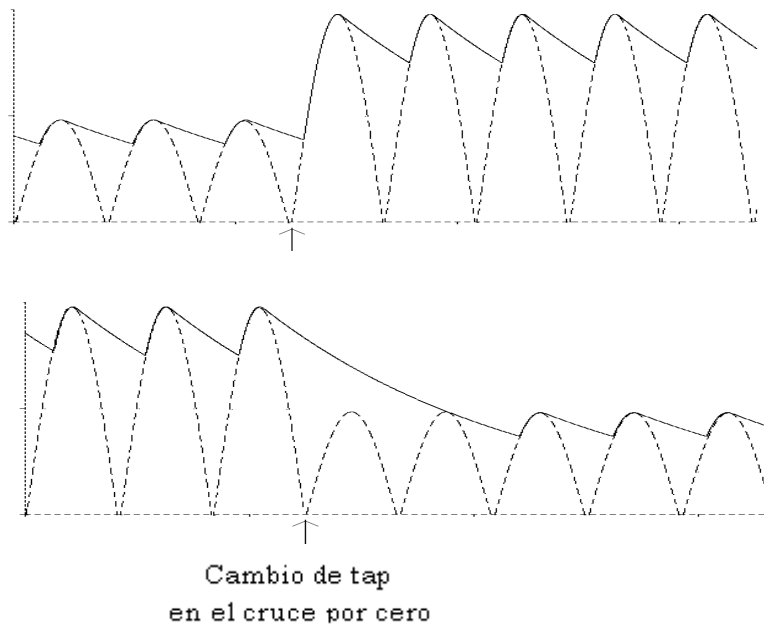


Figura 3.8 beneficio de utilizar al MOC3031 como optoacoplador.

Para determinar los voltajes máximos de salida de DC del instrumento, que puede soportar cada uno de los pasos de la fuente de alimentación, se utiliza la fórmula 3.5 que resulta al despejar  $V_o$  y considerar  $V_{do}=0$  de la ecuación 3.1.

$$V_o = \frac{\sqrt{2} V_{line(low)}}{1.1 V_{line(nom)}} V_{rms} - V_{rec} - V_r \quad (3.5)$$

El voltaje pico-pico de rizo, con corrientes de salida 1A de DC, se determinó de manera experimental, resultando  $V_r \approx 11V$ . La relación  $V_{line(low)}/V_{line(nom)}$  se considera de 0.9. La caída en el puente rectificador se considera como  $V_{rect}=1.4V$ .

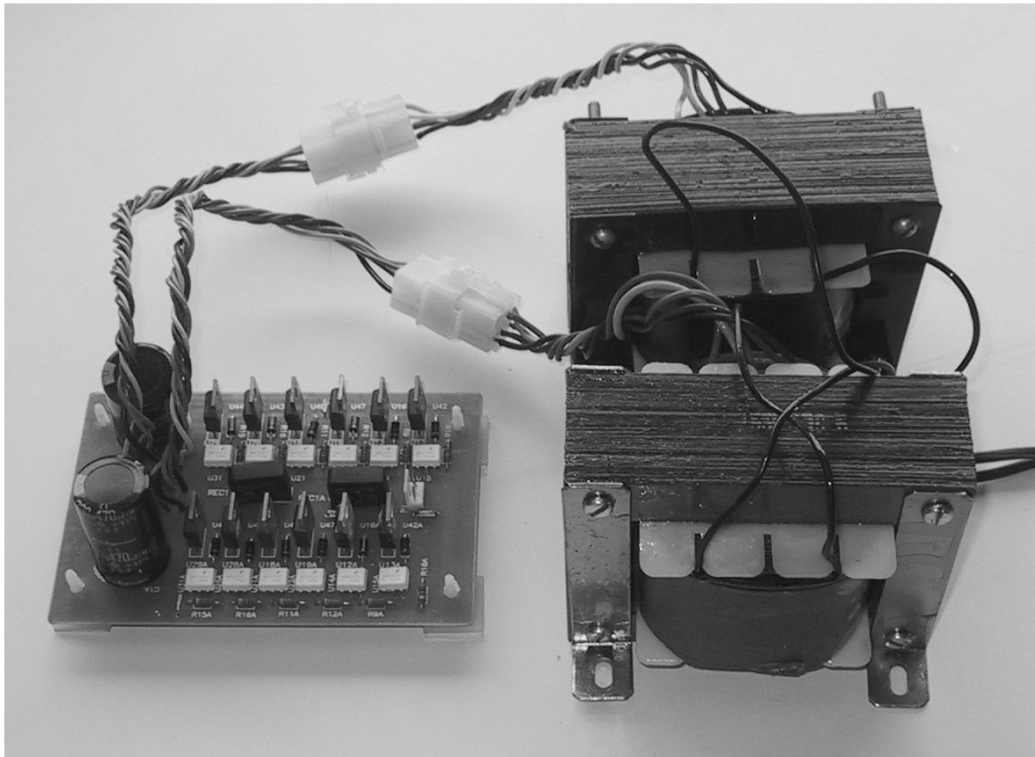
En la tabla 3.1 se muestran los voltajes obtenidos mediante 3.5.

	<i>Voltaje del tap</i> [V]	<i>Voltaje de DC</i> <i>Máximo [V]</i>
Tap1	29	20
Tap2	46	40
Tap3	63	60
Tap4	80	80

*Tabla 3.1 Voltajes de salida máximos soportados por cada tap  
De la fuente multitaps.*

En la sección 4.4 del capítulo siguiente, se describe el algoritmo con histéresis utilizado para cambiar el voltaje de alimentación, según el voltaje de salida requerido para el generador de señal senoidal.

En la figura 3.9 se muestra una foto de la implementación de la fuente de alimentación con sistema multitaps.



*Figura 3.9 Fuente de alimentación multitaps.*

## 4. MÓDULO DE CONTROL

Este módulo es el encargado de llevar a cabo la adquisición y despliegue de las variables de interés. Estas variables son: amplitud, componente de directa y frecuencia de la señal senoidal, y la corriente RMS existente en la carga. Además mediante el uso de un teclado de 5 botones junto con una pantalla de LCD, para observar los datos a modificar, la etapa de control permite al usuario poder establecer los siguientes parámetros: amplitud, componente de DC y frecuencia de la señal senoidal, y el periodo de envío de datos vía puerto serie a una PC. Este módulo también se encarga de controlar, según el nivel voltaje a la salida del instrumento, el cambio de taps en el sistema de alimentación multitaps.

Una parte fundamental del módulo de control es el microcontrolador PIC16F877 de la compañía Microchip. Este circuito es de tipo RISC con un conjunto de 35 instrucciones y está basado en una arquitectura tipo Harvard; posee una memoria de programa tipo flash de 8k y una memoria de dato tipo RAM de 368K. Además este microcontrolador posee 5 puertos de entrada/salida digitales. Algunos de los pines dedicados a estos puertos se encuentran multiplexados con una función alterna, para ser utilizados por los periféricos incluidos dentro del micro [22]. Para programar al PIC16F877 se utilizó el lenguaje C. Se utiliza este lenguaje de programación, porque el tiempo de desarrollo de programas, resulta menor que si se utilizara el lenguaje ensamblador.

Se utiliza este circuito debido a que sus características se adecuan a las necesidades de control que se tienen en el generador de señal senoidal de potencia.

### 4.1 Control de amplitud

Como se mencionó en la sección 1.3.3 el control de amplitud se lleva a cabo con ayuda del convertidor digital/analógico de 12 bits TLV5616. Este circuito se programa a través de una cadena serial de 16 bits conteniendo 4 bits de control y 12 de dato.

Tomando en cuenta que el TLV5616 posee 12 bits de precisión, aunque la salida solo llega a 80V, se consideró que la amplitud de la señal senoidal se controlaría hasta una amplitud máxima de 102.4V. De esta forma se logra controlar la amplitud de la señal senoidal en incrementos de 25mV o en múltiplos de este valor.

Para controlar la amplitud de salida, el PIC16F877 se comunica con el DAC TLV5616 por medio del puerto de comunicación serial MSSP, en su modo de operación SPI. En la figura 4.1 se muestra el diagrama de tiempos que rige el envío de datos al TLV5616.



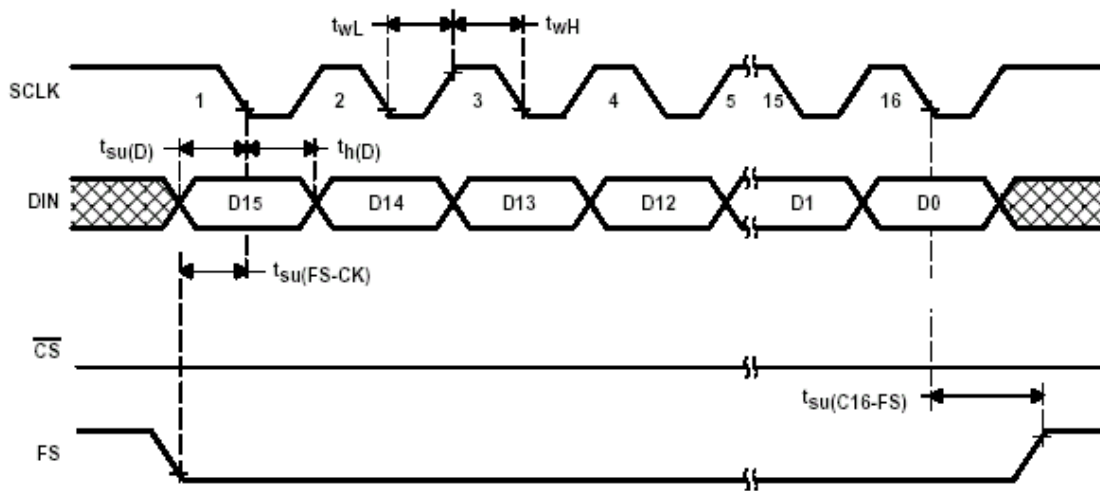


Figura 4.1. Comunicación serial con el TLV5616.

Como se puede apreciar, la señal  $\overline{CS}$  se conserva todo el tiempo a un nivel bajo para mantener habilitado al DAC TLV5616. Cuando se da un flanco de bajada en FS, se inicia la recepción de datos bit por bit, en un registro interno, al ritmo marcado por la señal de reloj SCLK. Después de que se han recibido los 16 bits o FS se pone a un nivel alto, la información contenida en el registro interno es utilizada para actualizar el voltaje de salida del DAC.

Cabe destacar que si no se da un flanco de bajada de la señal FS al comienzo de la transferencia de datos, los registros y el valor anterior en la salida del DAC no se ven afectados. Esto se aprovecha ya que además de controlar al DAC TLV5616, el módulo de comunicación MSSP también es usado para la comunicación con un DAC7615. Este último es utilizado para controlar el voltaje de offset y la frecuencia de la señal senoidal.

## 4.2 Control offset y frecuencia

Para agregar la componente de directa a la señal senoidal, se implementó el circuito mostrado en la figura 1.15 del capítulo 1. En ese circuito se requiere de la señal V2 variable entre los 0V y los 2.5V aproximadamente, para obtener una variación completa de la componente de directa. Esta variación se da entre los  $-7.27V$  y los  $7.27V$  a la salida del circuito de la figura 1.15. y con el amplificador de potencia se alcanza el intervalo de variación de  $-80V$  a  $+80V$ .

Por otro lado, debido al método empleado para generar a la señal senoidal, es requerido un nivel de voltaje variable para controlar su frecuencia. Un nivel de voltaje variable entre los 0V y los 2.5V se puede adecuar para situar la frecuencia de la señal senoidal en el intervalo de 0Hz a 1365Hz aproximadamente.

Considerando los dos puntos anteriores se utiliza al convertidor digital/análogo DAC7615 para controlar tanto al voltaje de offset como a la frecuencia de la señal senoidal. Este circuito es un DAC serial cuádruple de 12 bits. Utilizando la configuración de operación con una sola fuente, mostrada en la figura 4.2, se logra un voltaje de salida mínimo de 0V y un máximo de 2.5V

aproximadamente, para cada uno de los cuatro DACs. Para controlar, tanto a la frecuencia como al voltaje de offset, se utilizan 2 de estos DACs.

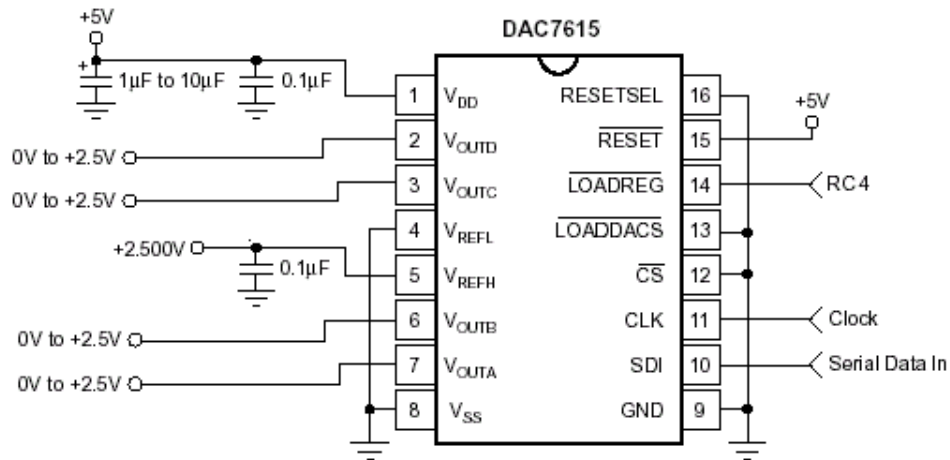


Figura 4.2 Configuración en una sola fuente del DAC7615.

Para controlar los voltajes de salida del DAC7615, se utiliza el puerto de comunicación serial MSSP del PIC16F877, en su modo de operación SPI. La transferencia de datos se hace de manera serial con una palabra de 16 bits, donde 12 bits son de datos, 2 bits son utilizados para seleccionar el DAC a modificar y dos 2 bits restantes no son utilizados. En la figura 4.3 se muestra el diagrama de tiempos que rige el envío de datos al DAC7615.

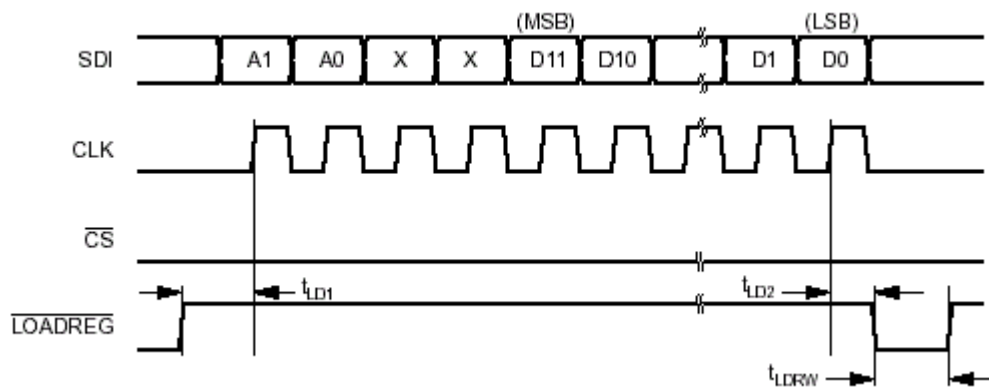


Figura 4.3 Comunicación serial con el DAC7615.

Como se puede observar, se envían primero los 2 bits de selección de DAC, después los 2 bits sin utilizar y por último los 12 bits de dato. La señal  $\overline{CS}$  se conserva todo el tiempo a un nivel bajo para mantener habilitado al DAC7615. Para actualizar la salida del DAC seleccionado, con el nuevo dato recibido, se requiere de un pulso bajo de la señal  $\overline{LOADREG}$ .

Cabe destacar que si no se da el pulso bajo en  $\overline{\text{LOADREG}}$ , al final de la transferencia de datos, la salida del DAC seleccionado no se actualiza. Esto se aprovecha ya que además de controlar al DAC7615, el módulo de comunicación MSSP también es usado para la comunicación con el DAC TLV5616.

Es importante remarcar que las señales de control FS y  $\overline{\text{LOADREG}}$  son las que permiten compartir, entre el TLV5616 y el DAC7615, al puerto serial de comunicación MSSP del PIC16F877. Para generar a la señal FS se utiliza el pin RA4 del microcontrolador y para la señal  $\overline{\text{LOADREG}}$  se utiliza el pin RC4. Cabe destacar que las señales de reloj que necesitan tanto el TLV5616 como el DAC7615 son complementarias. Por esta razón, la señal de reloj que proporciona el PIC16F877 se utiliza directamente para la comunicación con el DAC7615 y para la comunicación con el TLV5616 se utiliza esta misma señal pero de forma negada.

### 4.3 Adquisición de variables de interés

Con el fin de poder desplegar en el LCD y poder mandar, vía puerto serie a una PC, a la amplitud, a la componente de directa y a la corriente en la carga, se toman muestras de estas variables mediante el convertidor análogo/digital que incluye el PIC16F877. Este ADC tiene una resolución de 10 bits y se pueden configurar hasta 8 entradas para el convertidor.

En el caso del instrumento desarrollado, se utiliza la referencia externa del ADC del PIC. Se emplea el circuito LM336 de la National para establecer una referencia de 5V.

Para medir la amplitud, la componente de directa y la corriente en la carga, se utilizan 5 canales del convertidor análogo/digital del PIC. Además se toma una muestra de cada una de estas variables aproximadamente cada 819.2us, lo que implica una frecuencia de muestreo de 1220.7Hz.

#### 4.3.1 Medición de amplitud y offset

Para poder medir el voltaje pico y el voltaje de offset, se tuvo que adecuar la señal de salida del instrumento. Para adecuar a esta señal, se utilizó un divisor resistivo y un par de rectificadores de precisión de media onda. En la figura 4.4 se muestra el proceso de adecuación: la salida está conectada a la carga y a un divisor resistivo; al divisor resistivo se conectan dos rectificadores cuyas salidas van a dos canales del convertidor; en el PIC16F877 se muestrea la señal del rectificador positivo y la del rectificador negativo; con un algoritmo implementado en el programa del micro (ver apéndice A), a partir de las muestras tomadas, se determina el valor pico y el voltaje de offset de la señal senoidal.

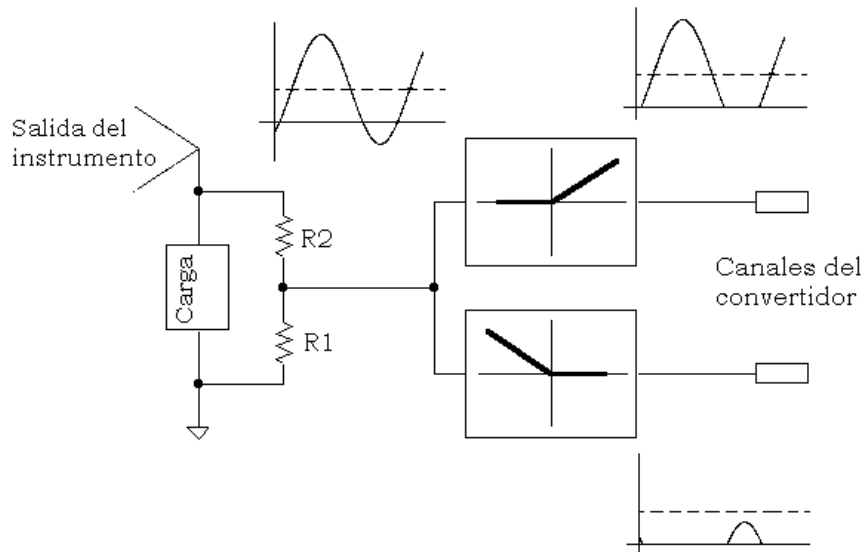


Figura 4.4 Adecuación de la señal de salida para medir voltaje.

Para medir el voltaje pico y el voltaje de offset de la señal senoidal se implementaron dos escalas de medición. Una que abarca desde los 0V hasta los 10.24V y otra que abarca desde los 0V hasta los 102.4V. La primera escala pretende tener una resolución de 10mV y la segunda una resolución de 100mV.

Para poder implementar un par de escalas de voltaje, se utilizan dos esquemas de adecuación como el que se ha descrito. Entonces se tiene un divisor resistivo y un par de rectificadores de media onda para cada escala. Por esta razón para las dos escalas de voltaje se requieren en total 4 canales del convertidor analógico/digital.

Para efectos de despliegue y de envío vía puerto serie, se utiliza ya sea la escala de 10.24V o la escala de 102.4V según el voltaje que se tenga a la salida. Para cambiar entre una escala o la otra, se utiliza un algoritmo con histéresis programado en el Microcontrolador (Ver apéndice A).

Se escogieron las escalas de 10.24V y la de 102.4V para que, cada paso del convertidor de 10 bits del PIC, correspondiera aproximadamente a 10mV y a 100mV de la señal de salida respectivamente. Aunque para hacer pequeñas correcciones a las escalas, se hace uso de aritmética de punto flotante dentro del programa del Microcontrolador.

#### 4.3.2 Medición de corriente

La corriente en la carga se mide en su valor RMS por medio del circuito AD736 de Analog Devices. Este circuito es un convertidor verdadero de RMS a DC y en su configuración de circuito RMS verdadero [24], se obtiene un voltaje de DC que es proporcional a la corriente eficaz existente en la carga.

El AD736 necesita, para poder calcular la corriente eficaz, una señal de voltaje que sea directamente proporcional a la señal de corriente presente en la carga. Para obtener dicha señal, se utiliza una resistencia de precisión de  $0.01\ \Omega$  conectada en serie con la carga conectada al instrumento. Se

utiliza este valor tan pequeño para no incrementar de manera significativa la resistencia de salida del instrumento. La señal de voltaje de DC a la salida del AD736, se amplifica antes de aplicarla a un canal del ADC del PIC, con el fin de aprovechar al máximo los 10 bits de resolución con que cuenta este convertidor.

En la figura 4.5 se muestra el arreglo de resistores que se utilizó para poder medir en dos escalas de voltaje y para poder medir la corriente. Para no incluir un voltaje de error generado por la resistencia de censado de corriente, las tensiones correspondientes a las dos escalas de voltaje, se amplifican de manera diferencial antes de ser sometidas a los rectificadores de precisión.

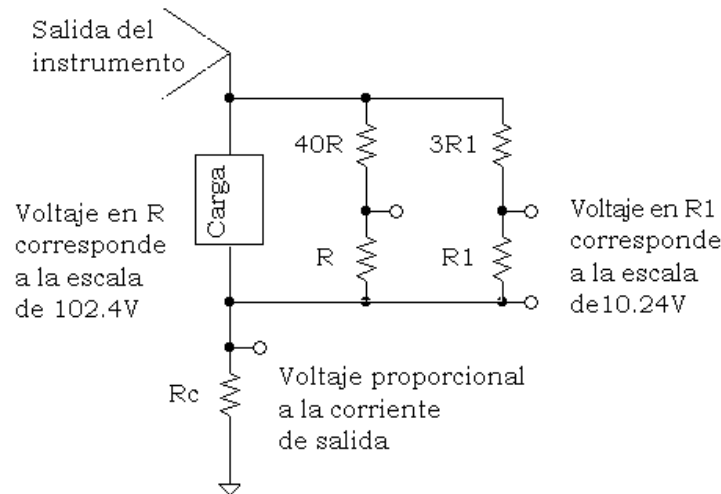


Figura 4.5 Escalamiento de voltaje y de corriente.

Por otro lado, debido a los elevados valores de resistencias utilizados para medir el voltaje de salida ( $R1=100K\Omega$  y  $R=5K\Omega$ ), su conexión en paralelo con la carga no afecta significativamente la medición de corriente.

### 4.3.3 Medición de frecuencia

Para medir la frecuencia de la señal senoidal, se utiliza la onda cuadrada obtenida a la salida del divisor de frecuencia entre 100. Esta señal tiene la misma frecuencia que la señal senoidal y gracias a que varía entre 0V y 5V, se puede utilizar al PIC16F877 para determinar su frecuencia. El único elemento extra que se utiliza, para conectar a la señal con el PIC, es un circuito inversor 7404.

El método empleado para medir la frecuencia consiste básicamente en encender un contador durante un segundo. El número de ciclos que se cuentan en ese lapso de tiempo corresponde directamente a la frecuencia de la señal. Para implementar el contador se utiliza el Timer1 del PIC16F877, configurado en modo contador. Para controlar los tiempos de encendido y apagado del Timer1 se utiliza la interrupción del Timer0, estando este último configurado en modo temporizador.

#### 4.4 Control del sistema multitaps

Como se explicó en el capítulo anterior el cambio de tap en la fuente de potencia, se controla por medio de tres señales: Vc1, Vc2 y Vc3. Para decidir el cambio de voltaje de salida en la fuente de potencia, se utiliza un algoritmo de comparación con histéresis para el voltaje de salida del instrumento. Este algoritmo se incluyó en el programa del PIC16F877 con el fin de que éste se encargue de proporcionar la señal de control adecuada (Vc1, Vc2, Vc3 o la ausencia de las tres). Básicamente este algoritmo utiliza los valores pico y de DC para determinar el voltaje máximo presente en la salida del instrumento. Este voltaje es comparado con límites predefinidos en el programa del microcontrolador, para determinar la señal de control adecuada. Para generar las señales Vc1, Vc2 y Vc3 se utilizan los pines RC1, RC2 y RD3 respectivamente.

Los límites del voltaje de salida del instrumento, impuestos para el cambio de taps de la fuente de potencia, se establecieron con base en los datos contenidos en la tabla 3.1. El límite para el cambio del tap1 al tap2 es 18V y el límite para el cambio del tap2 al tap1 es de 15V. El límite para el cambio del tap2 al tap3 es 36V y el límite para el cambio del tap3 al tap2 es de 33V. Por último, el límite para el cambio del tap3 al tap4 es 57V y el límite para el cambio del tap4 al tap3 es de 53V.

#### 4.5 Interfaz con el usuario

La interfaz con el usuario consta de un display de cristal líquido y un pequeño teclado. Para efectos de control y despliegue se utiliza una sola pantalla, mostrada en el display del instrumento. Esta pantalla se puede apreciar en la figura 4.6.

V p p :	4 0 . 0 0	V e f :	4 8 . 9 8
V d c :	4 0 . 0 0	I e f :	0 . 4 8 9
F _ S :	1 0 0 0	o v e r l o a d	
T _ S :	2 3 : 5 9	: 5 9 o n	

Figura 4.6 Despliegue gráfico de la información.

En esta pantalla se despliegan el voltaje pico (Vpp), el voltaje de offset (Vdc), la frecuencia (F\_S), el periodo de envío de datos a la PC (T\_S), el voltaje eficaz (Vef) y la corriente eficaz en la carga (Ief). Además el mensaje de OVERLOAD se despliega cuando la corriente sobrepasa 1A y el letrero de ON aparece cuando se inicia el envío de datos a la PC.

Mediante el uso de un cursor intermitente en la pantalla, de manera similar a la forma de ajuste de la hora en los relojes digitales, se indica tanto la variable seleccionada como el paso con que se va a modificar. En el caso de la amplitud y el voltaje de offset el paso se puede escoger de 50mV, 100mV, 1V o 10V. Para la frecuencia el paso se puede escoger de 1Hz, 10Hz o 100Hz. Para el periodo de envío de datos a una PC el paso se puede hacer de 1s, 10s, 1min, 10min o 1h.

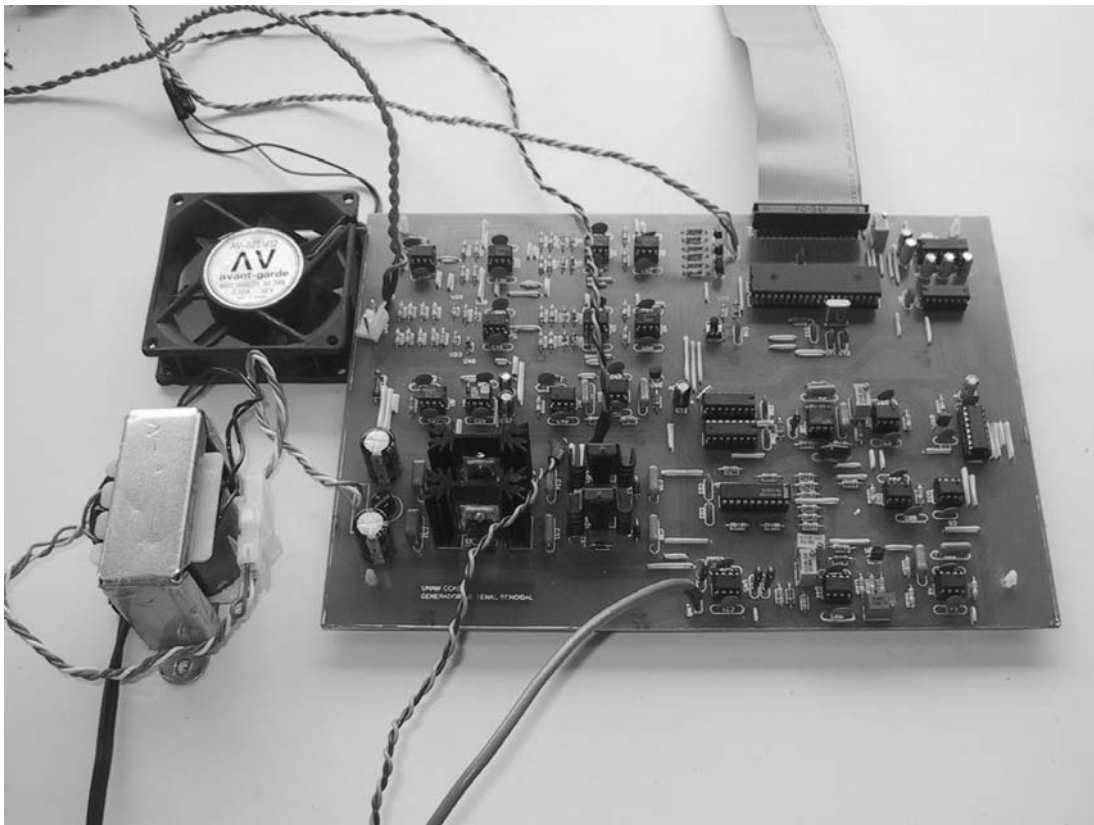
Para modificar a las variables de la señal senoidal de potencia se utilizan 4 teclas. Con una tecla el cursor se mueve de arriba a bajo para escoger la variable a modificar; con otra tecla el cursor se desplaza de derecha a izquierda para establecer el paso de la variable. Una vez escogidos la variable y el paso, se utilizan las dos teclas restantes para incrementar o decrementar la variable escogida con el paso elegido. Además para iniciar o detener el envío de datos a la PC vía puerto serie se dispone de otra tecla. En total el teclado del instrumento cuenta con cinco teclas.

#### 4.6 Comunicación vía puerto serie con una PC

El generador de señal senoidal de potencia, es capaz de enviar datos a una PC para que sean almacenados y posteriormente analizados. Los datos a enviar son: la amplitud y componente de DC de la señal senoidal, y el voltaje y la corriente eficaz en la carga.

Para establecer la comunicación con la PC el instrumento utiliza el protocolo de comunicación RS232. Para soportar esta forma de comunicación, el PIC16F877 cuenta con el módulo de comunicación serial USART.

Por último en la figura 4.7 se muestra una foto del circuito que incluye la etapa de control, la etapa de generación de la señal senoidal y la fuente de alimentación para la electrónica de baja potencia.

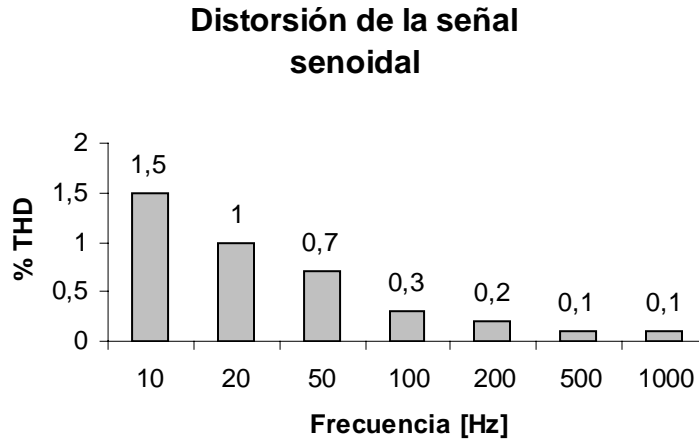


*Figura 4.7 Etapa de control, generador de señal senoidal y fuente de alimentación de baja potencia.*

## 5. CONCLUSIONES Y COMENTARIOS

De acuerdo a las características planteadas en la introducción, para la señal generada por el instrumento, a continuación se presenta un análisis de su desempeño.

Uno de los aspectos más importantes de la señal senoidal generada, consiste en la distorsión armónica que ésta posee. A continuación se muestra la gráfica 5.1, que contiene la distorsión armónica total para frecuencias significativas: 10Hz, 20Hz, 50Hz, 100Hz, 200Hz, 500Hz y 1000Hz



*Gráfica 5.1 Distorsión armónica de la señal senoidal.*

Como se puede apreciar la distorsión armónica resulta mayor para los 10Hz y conforme aumenta la frecuencia la distorsión disminuye. La máxima distorsión ocurre a la frecuencia de 10Hz y es 1.5%. Para los 20Hz la distorsión resulta de 1%, y para frecuencias mayores la distorsión se encuentra por debajo del 1%. De acuerdo con estos resultados se puede concluir que en general se logró obtener una señal senoidal, en un intervalo de frecuencias de 10Hz a 1000Hz, con una distorsión armónica prácticamente menor al 1%.

La amplitud de la señal senoidal se propuso ajustable entre los 100mV y los 80V. La componente de DC se propuso ajustable entre los -80V y los +80V. Para ajustar estos dos parámetros, se establecieron los siguientes pasos: 100mV, 1V, y 10V. Además para desplegar a la amplitud y a la componente de directa se utilizan 4 cifras de precisión, dos para la parte entera y dos para la parte fraccionaria. Para observar el desempeño del control y despliegue de estas dos variables se hicieron pruebas con cargas y frecuencia representativas. Las cargas fueron  $10\Omega$  para la escala de 10.24V y de  $80\Omega$  para la escala de 102.4V. La frecuencia de prueba, para ambas escalas en el caso de la onda senoidal, fue de 1000Hz. A continuación se presentan las tablas que muestran la diferencia existente entre el voltaje generado, el voltaje deseado y el voltaje desplegado para las dos escalas. En estas pruebas, para obtener el voltaje generado se utilizó el multímetro FLUKE 45.



Amplitud Deseada $A_D$ [V]	Amplitud Leída en LCD $A_L$ [V]	Amplitud Generada $A_G$ [V]	% Error absoluto entre $A_G$ y $A_L$	% Error absoluto entre $A_G$ y $A_D$
00.10	00.10	0.118	15.25	15.25
00.20	00.20	0.212	05.66	05.66
00.30	00.30	0.309	02.91	02.91
00.40	00.40	0.408	01.96	01.96
00.50	00.50	0.507	01.38	01.38
00.60	00.60	0.606	00.99	00.99
00.70	00.70	0.702	00.28	00.28
00.80	00.80	0.800	00.00	00.00
00.90	00.90	0.900	00.00	00.00
01.00	01.00	0.999	00.10	00.10
02.00	02.00	1.995	00.25	00.25
03.00	03.00	2.990	00.33	00.33
04.00	04.00	3.989	00.27	00.27
05.00	05.00	4.959	00.82	00.82
06.00	06.00	5.950	00.84	00.84
07.00	07.00	6.940	00.86	00.86
08.00	08.00	7.920	01.01	01.01
09.00	09.00	8.900	01.12	01.12
		Media de los Errores	01.89	01.89

Tabla 5.1 Escala de voltaje de 10.24V. Carga de 10  $\Omega$  Frecuencia 1000Hz.

Amplitud Deseada $A_D$ [V]	Amplitud Leída en LCD $A_L$ [V]	Amplitud Generada $A_G$ [V]	% Error absoluto entre $A_G$ y $A_L$	% Error absoluto entre $A_G$ y $A_D$
10.00	10.00	10.02	00.19	00.19
11.00	11.00	11.02	00.18	00.18
12.00	12.00	12.02	00.16	00.16
13.00	13.00	13.01	00.07	00.07
14.00	14.00	14.01	00.07	00.07
15.00	15.00	15.01	00.06	00.06
16.00	16.00	16.01	00.06	00.06
17.00	17.00	17.00	00.00	00.00
18.00	18.00	18.00	00.00	00.00
19.00	19.00	18.99	00.05	00.00
20.00	19.90	19.99	00.45	00.05
25.00	25.00	24.99	00.04	00.04
30.00	30.00	30.00	00.00	00.00
35.00	35.00	35.00	00.00	00.00
40.00	40.00	39.99	00.02	00.02
45.00	45.00	44.98	00.04	00.04
50.00	49.90	50.03	00.26	00.06
55.00	54.90	55.01	00.19	00.02
60.00	59.90	59.99	00.15	00.02

65.00	64.90	64.99	00.14	00.02
70.00	69.90	69.98	00.11	00.03
75.00	74.90	74.97	00.09	00.04
80.00	79.90	79.95	00.06	00.06
		Media de los Errores	00.104	00.05

Tabla 5.2 Escala de voltaje de 102.4V. Carga de 80  $\Omega$  Frecuencia 1000Hz.

Como se puede observar en la tabla 5.1 el error máximo entre la amplitud deseada y generada es de 15.25 % y el error máximo entre la amplitud leída del LCD y la generada es de 15.25 %. Aunque estos valores sobrepasan el 2%, la media del error entre la amplitud deseada y generada es de 1.89 % y la media del error entre la amplitud leída y generada es 1.89%. De igual forma para la escala de 102.4V de la tabla 5.2, al obtener el error medio entre la amplitud generada y la deseada, y el error medio entre la amplitud generada y la desplegada, se puede observar que estos no sobrepasan el 1%. Por lo tanto se puede considerar que el error, para ambas escalas, resulta menor al 2%.

Para el caso de la señal de DC se realizaron pruebas para las dos escalas de voltaje. Para la escala de 10.24V se utilizó una carga de 10  $\Omega$  y para la escala de 102.4V se utilizó una carga de 80  $\Omega$ .

En las tablas 5.3 y 5.4 se muestran los resultados para la señal de DC para las escalas de 10.24V y 102.4V respectivamente.

Amplitud Deseada $A_D$ [V]	Amplitud Leída en LCD $A_L$ [V]	Amplitud Generada $A_G$ [V]	% Error absoluto entre $A_G$ y $A_L$	% Error absoluto entre $A_G$ y $A_D$
-09.00	-09.05	-08.98	0.77	0.22
-08.00	-08.05	-07.98	0.87	0.25
-07.00	-07.05	-06.98	1.00	0.28
-06.00	-06.02	-05.98	0.66	0.33
-05.00	-05.00	-04.98	0.40	0.40
-04.00	-04.00	-03.98	0.50	0.50
-03.00	-03.00	-02.98	0.67	0.67
-02.00	-02.00	-01.98	1.01	1.01
-01.00	-01.00	-00.98	2.00	2.00
-00.90	-00.87	-00.88	1.10	2.27
-00.80	-00.77	-00.78	1.28	2.56
-00.70	-00.67	-00.68	1.47	2.90
-00.60	-00.57	-00.58	1.72	3.40
-00.50	-00.47	-00.48	2.08	4.10
-00.40	-00.37	-00.38	2.70	5.26
-00.30	-00.27	-00.28	3.57	7.14
-00.20	-00.17	-00.18	5.55	11.1
-00.10	-00.07	-00.08	12.5	25.0
00.10	00.10	00.10	0.00	0.00
00.20	00.20	00.21	4.76	4.76
00.30	00.30	00.31	3.22	3.22
00.40	00.40	00.41	2.43	2.43

00.50	00.50	00.51	1.96	1.96
00.60	00.60	00.61	1.63	1.63
00.70	00.70	00.71	1.41	1.41
00.80	00.80	00.81	1.23	1.23
00.90	00.90	00.91	1.09	1.09
01.00	01.00	01.01	0.99	0.99
02.00	02.02	02.01	0.49	0.49
03.00	03.02	03.01	0.33	0.33
04.00	04.05	04.02	0.74	0.49
05.00	05.05	05.02	0.59	0.39
06.00	06.07	06.02	0.13	0.33
07.00	07.07	07.02	0.71	0.28
08.00	08.10	08.02	0.99	0.25
09.00	09.10	09.02	0.88	0.22
		Media de los Errores	1.76	2.52

*Tabla 5.3 Escala de voltaje de 10.24V. Carga de 10  $\Omega$  Señal de DC.*

Amplitud Deseada $A_D$ [V]	Amplitud Leída en LCD $A_L$ [V]	Amplitud Generada $A_G$ [V]	% Error absoluto entre $A_G$ y $A_L$	% Error absoluto entre $A_G$ y $A_D$
-80.00	-79.80	-79.91	0.12	0.11
-70.00	-69.90	-69.92	0.03	0.11
-60.00	-59.80	-59.92	0.20	0.13
-50.00	-49.80	-49.92	0.24	0.16
-40.00	-39.80	-39.92	0.30	0.20
-30.00	-29.80	-29.92	0.40	0.27
-20.00	-19.80	-19.92	0.60	0.40
-10.00	-09.80	-09.93	1.31	0.70
+10.00	09.90	10.04	1.39	0.40
+20.00	19.90	20.03	0.64	0.15
+30.00	29.90	30.02	0.39	0.07
+40.00	39.90	40.03	0.32	0.07
+50.00	49.90	50.01	0.22	0.02
+60.00	59.90	60.01	0.18	0.02
+70.00	70.00	70.00	0.00	0.00
+80.00	79.90	79.99	0.11	0.01
		Media de los Errores	0.40	0.176

*Tabla 5.4 Escala de voltaje de 102.4V. Carga de 100  $\Omega$  Señal de DC.*

De la tabla 5.3, para la escala de 10.24V, se puede obtener el error medio entre el valor generado y el deseado, este error resulta menor al 3%. Además de esta tabla también se puede obtener el error medio entre el voltaje generado y el desplegado en el LCD. En este caso el error resulta menor al 2%. De manera similar de la tabla 5.4 para la escala de 102.4V, el error medio entre el valor generado y el deseado así como el error medio entre el valor generado y el desplegado en el display, resultan menores a 1%. De lo anterior se puede concluir que la tensión de DC a la salida del

instrumento, se puede establecer con error menor al 1% en el intervalo absoluto de 10V a 80V y con un error menor al 3% en el intervalo de 100mV a 10V.

Por otro lado las pruebas hechas al instrumento con un voltaje de DC de 80V y carga variable, arrojaron que el instrumento es capaz de generar hasta 1.2A de DC antes de que la protección del amplificador de potencia limite la corriente. Para el caso de una señal senoidal, con amplitud de 80V y carga variable, se pudo observar que el valor eficaz máximo de corriente que pudo obtenerse fue de 0.850A RMS. Se puede concluir que el instrumento cumple con las expectativas de corriente máxima. Ésta fue de 1A pico.

Como se puede apreciar el instrumento diseñado cumple con las características que se tenían previstas para el diseño.

En cuanto a la comunicación vía puerto serie queda abierta la posibilidad del desarrollo de un programa en la PC que se encargue de la manipulación de los datos enviados por el instrumento. Una posibilidad está en usar el lenguaje de programación Visual Basic.

Durante el desarrollo del instrumento se hizo claro que el conocimiento de los fundamentos de electrónica, si bien supone una buena base, no es suficiente para el desarrollo de un instrumento. Es necesario además, tener la habilidad de poder utilizar dicho conocimiento, con el fin de adquirir las herramientas adecuadas, para llevar a buen término el desarrollo de cualquier proyecto.

Cabe mencionar que el conocimiento adquirido a lo largo de la realización de esta tesis es de gran valor. Para el diseño del amplificador de potencia, se tuvo que aprender la teoría de retroalimentación aplicada a circuitos electrónicos. Para la generación de la señal senoidal fue necesario estudiar configuraciones de circuitos poco convencionales, como son los circuitos de capacitores conmutados, los filtros en configuración de variable de estado, los convertidores voltaje frecuencia y los circuitos convertidores de RMS a DC verdaderos. Para observar el comportamiento de los circuitos propuestos para cada una de las etapas del instrumento, antes de implementarlas, se aprendió a utilizar el programa de simulación Pspice. Para probar estos circuitos, antes de implementarlos de manera definitiva, se utilizaron tarjetas protoboard y se realizaron pruebas; con lo que se gana experiencia en el diseño, en la implementación y prueba de circuitos electrónicos. Para implementar los circuitos de manera definitiva se necesitó saber utilizar el programa para circuitos impresos PCAD. Además para la etapa de control se tuvo que aprender a programar el microcontrolador PIC16F877 mediante el uso del lenguaje C.

Por último como todo diseño, el generador de señal senoidal es susceptible a ser mejorado. Se puede ampliar el intervalo de frecuencias generadas y se puede aumentar el límite del voltaje de salida. También se puede pensar en aumentar la capacidad de manejo de corriente. Además el programa de control del instrumento, se podría modificar para que el instrumento pudiera ser controlado por una PC vía puerto serie.

**APÉNDICE A**

En esta sección se muestra el código fuente y los diagramas de flujo del programa elaborado para el control del generador de señal senoidal de potencia. Este programa esta escrito en lenguaje C.

## **APÉNDICE B**

En esta sección se determinan los elementos pasivos y activos del amplificador de potencia. Además se realizan los cálculos, con el circuito equivalente a señal pequeña, para determinar la ganancia de lazo abierto del amplificador de potencia.

En la figura B.1 se muestra el amplificador retroalimentado del generador de señal senoidal de potencia.

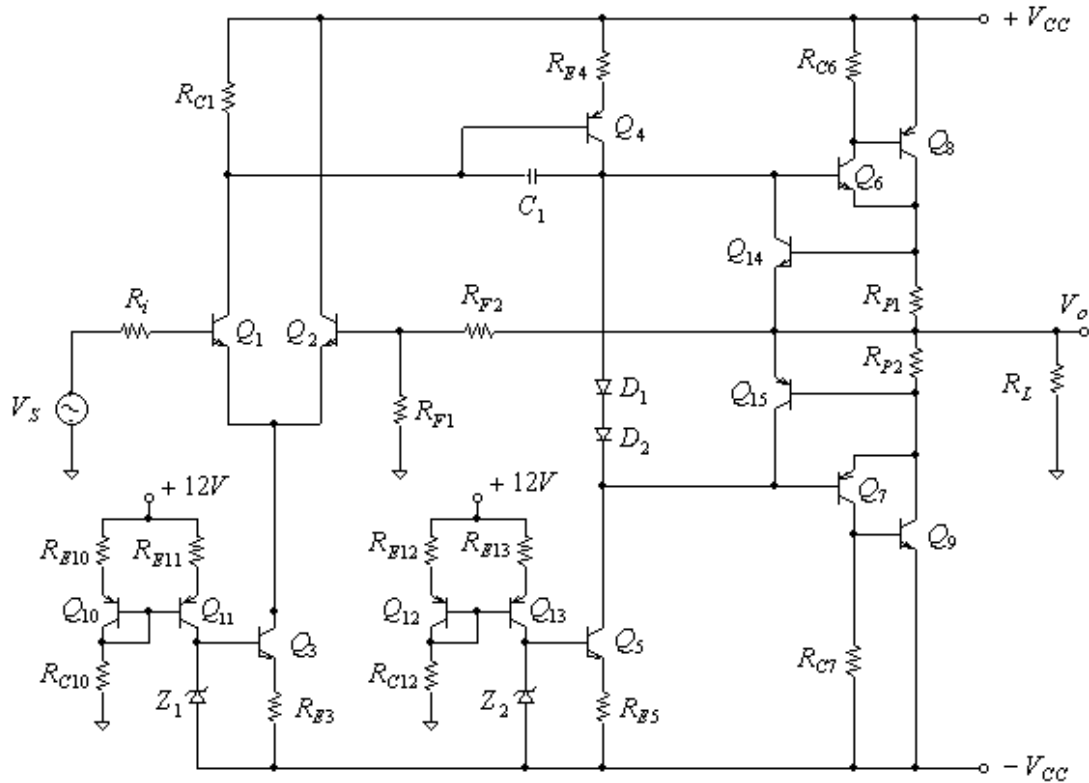


Figura B.1 Esquemático del amplificador de potencia.

De la figura B.1 se puede observar que el voltaje entre colector y emisor de los transistores de salida corresponde prácticamente a la diferencia de potencial existente entre la salida y la fuente de alimentación. Esta diferencia puede llegar a ser hasta de 200V en el caso de salidas de +80V y de -80V para  $Q_9$  y  $Q_8$  respectivamente. En la figura B.2 se muestra una simulación en Pspice para el caso de +80V de DC a 1A. Considerando lo anterior, para la etapa de salida se utilizan los transistores MJ15024 (NPN) y MJ15025 (PNP). Estos transistores soportan un voltaje  $V_{CE}$  máximo de 250V.

Para los demás transistores que componen al amplificador de potencia se ocupan los transistores MJE340 (NPN) y MJE350 (PNP).

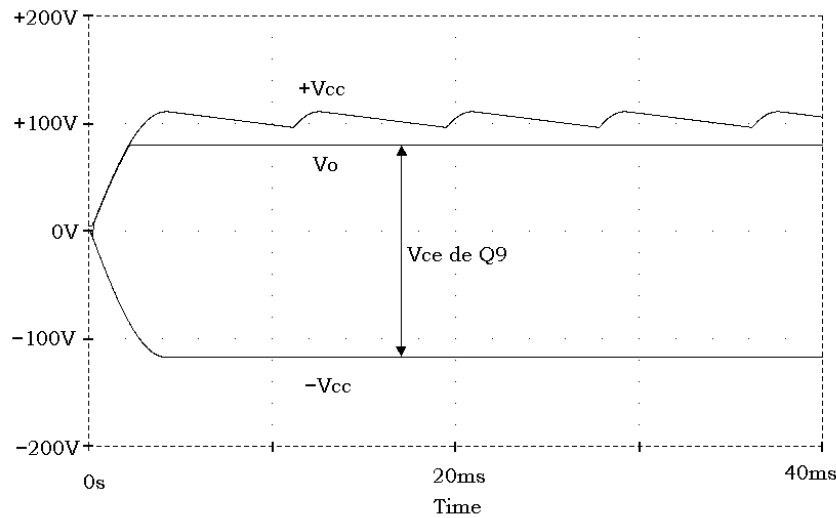


Figura B.2 Voltajes de alimentación y señal de salida de 80V de DC.

### Análisis en DC del amplificador de potencia

El análisis en DC se realiza con base al circuito de la figura B.1. Para los transistores MJE340 y MJE350 se considera una  $\beta = 100$  y para los transistores de MJ15024 y MJ15025 se considera una  $\beta_o = 60$ .

Considerando la malla formada por  $Z_1$ ,  $Q_3$  y  $R_{E3}$  se establece la siguiente ecuación:

$$V_{Z1} - 0.7 - R_{E3} I_{EQ3} = 0 \quad (\text{B.1})$$

Teniendo  $V_{Z1}=3.0\text{V}$  y  $R_{E3}=820\Omega$ , a partir de la ecuación B.1 se determina el valor de  $I_{EQ3}=2.805\text{mA}$ . Teniendo que  $\alpha=0.99$ , se puede determinar que  $I_{CQ3}=2.777\text{mA}$ .

Considerando la malla formada por  $Z_2$ ,  $Q_5$  y  $R_{E5}$  se establece la siguiente ecuación:

$$V_{Z2} - 0.7 - R_{E5} I_{EQ5} = 0 \quad (\text{B.2})$$

Teniendo  $V_{Z2}=3.0\text{V}$  y  $R_{E5}=330\Omega$ , a partir de la ecuación B.2 se determina el valor de  $I_{EQ5}=6.9697\text{mA}$ . Teniendo que  $\alpha=0.99$ , se puede determinar que  $I_{CQ5}=\alpha I_{EQ5}=6.9\text{mA}$ .

Considerando la ley de corrientes de Kirchhoff en el nodo conectado al colector de  $Q_4$  y en el nodo conectado al colector de  $Q_5$ , se tienen las siguientes ecuaciones:

$$I_{CQ4} = I_{D1} + I_{BQ6} \quad (\text{B.3})$$



$$I_{CQ5} = I_{D1} + I_{BQ7} \quad (\text{B.4})$$

Considerando que  $I_{BQ6} \approx I_{BQ7}$  al observar B.3 y B.4 se tiene que  $I_{CQ4} = I_{CQ5} = 6.9\text{mA}$  y  $I_{EQ4} = 6.9697\text{mA}$ .

Ahora considerando que  $V_{RC1} = V_{BEQ4} + R_{E4}I_{E4} = 0.971818\text{V}$ , se puede calcular la corriente  $I_{RC1} = V_{RC1}/R_{C1} = 1.42914\text{mA}$ . Aplicando la ley de corrientes de Kirchhoff en el nodo conectado al colector de  $Q_1$  y obteniendo la corriente  $I_{BQ4} = I_{CQ4}/100 = 69\mu\text{A}$ , se tiene que  $I_{CQ1} = I_{RC1} + I_{BQ4} = 1.4988\text{mA}$ . Además  $I_{EQ1} = I_{CQ1}/\alpha = 1.51378\text{mA}$ .

Aplicando la LCK en el nodo conectado a los emisores de  $Q_1$  y  $Q_2$  se puede obtener que  $I_{EQ2} = I_{CQ3} - I_{EQ1} = 1.2632\text{mA}$  y que  $I_{CQ2} = 1.25\text{mA}$ .

Para la polarización de la etapa de salida, se omite el circuito de protección. Teniendo que  $I_{D1} \approx I_{CQ5} = 6.9\text{mA}$ , considerando que  $D_1$  y  $D_2$  son iguales, y considerando una caída de voltaje entre los dos de  $1.2\text{V}$ , se puede plantear la ecuación B.5 al seguir la malla formada por  $D_1$ ,  $D_2$ ,  $Q_6$  y  $Q_7$ .

$$1.2 = V_{BEQ6} + V_{BEQ7} = n_6 V_{T6} \ln\left(\frac{I_{CQ6}}{I_{S6}}\right) + n_7 V_{T7} \ln\left(\frac{I_{CQ7}}{I_{S7}}\right) \quad (\text{B.5})$$

Si se consideran iguales  $Q_6$  y  $Q_7$ , con  $n=1$ ,  $V_T=25\text{mV}$  y  $I_{S6}=10^{-14}\text{A}$ , y se considera que  $I_{CQ6} \approx I_{CQ7}$  se puede obtener  $I_{CQ6} = 1\text{mA}$  al despejarlo de B.5.

Despreciando a  $I_{BQ8}$  se tiene que  $I_{RC6} = I_{CQ6}$ , lo que implica que  $V_{RC6} = I_{RC6}R_{C6} = 0.106\text{V}$  con  $R_{C6} = 100\Omega$ . Considerando que  $V_{RC6} = V_{BEQ8}$  y que  $I_{CQ8} = I_{S8} e^{\frac{V_{BEQ8}}{nV_T}}$  con  $I_{S8} = 12 \times 10^{-14}$  n=1 y  $V_{T8} = 25\text{mV}$ , se obtiene  $I_{CQ8} = 6.55\text{pA} \approx I_{CQ9}$ .

Para la fuente de corriente que polariza al diodo zener  $Z_1$ , se puede establecer que como  $R_{E10} = R_{E11}$ , entonces  $I_{E11} \approx I_{E10}$ . Considerando que  $R_{E10} = 1\text{k}\Omega$  y que  $R_{C10} = 5.6\text{k}\Omega$  se puede escribir la ecuación B.6.

$$12 \approx 0.7 + I_{CQ10}(R_{E10} + R_{C10}) \quad (\text{B.6})$$

$I_{CQ10} \approx 1.7\text{mA}$  se obtiene a partir de B.6. Además se puede considerar que  $I_{CQ11} \approx I_{CQ10}$ . La fuente de corriente que polariza a  $Z_2$  es idéntica a la que polariza a  $Z_1$ .

En la tabla B.1 se muestran las corrientes de DC de colector del amplificador de potencia.

Q <sub>1</sub>	1.49mA	Q <sub>6</sub>	1.00mA	Q <sub>11</sub>	1.70mA
Q <sub>2</sub>	1.25mA	Q <sub>7</sub>	1.00mA	Q <sub>12</sub>	1.70mA
Q <sub>3</sub>	2.77mA	Q <sub>8</sub>	6.55pA	Q <sub>13</sub>	1.70mA
Q <sub>4</sub>	6.90mA	Q <sub>9</sub>	6.55pA	Q <sub>14</sub>	0.00
Q <sub>5</sub>	6.90mA	Q <sub>10</sub>	1.70mA	Q <sub>15</sub>	0.00

Tabla B.1 Corrientes de DC de colector del amplificador de potencia.

### Análisis de señal pequeña del amplificador de potencia

En la figura B.3 se muestra la etapa de entrada del amplificador de potencia para su análisis a señal pequeña.

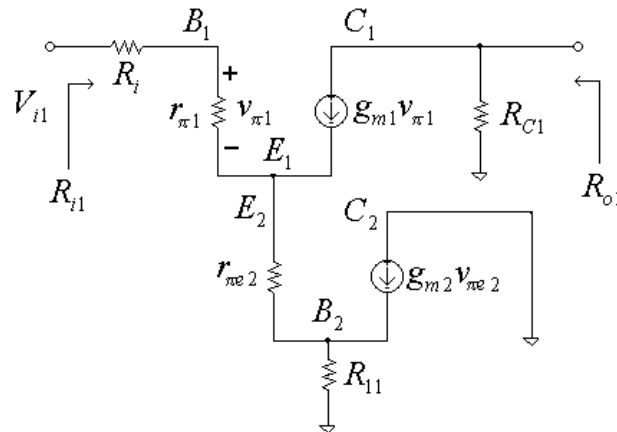
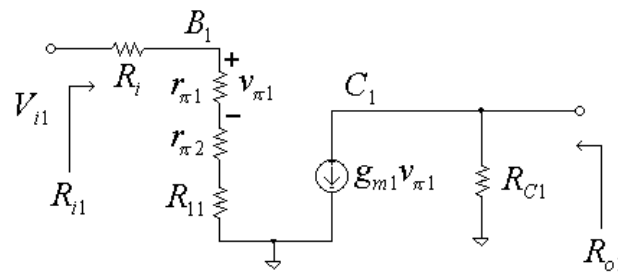
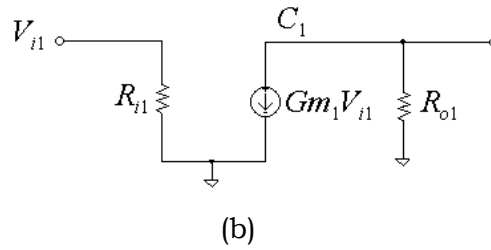


Figura B.3 Modelo incremental de la etapa de entrada.

Este circuito se puede simplificar por medio de la técnica de reflexión de impedancias, aplicada a las resistencias  $r_{\pi e}$  y  $R_{11} = R_{F1} // R_{F2}$  como se muestra en la figura B.4a. En la figura B.4b. se muestra el circuito equivalente a señal pequeña resultante.



(a)



(b)  
Figura B.4 Modelo de circuito equivalente a señal pequeña de la etapa de entrada.

De la figura B.4.b  $R_{i1}$  está determinado por la ecuación B.7

$$R_{i1} = R_i + r_{\pi1} + r_{\pi2} + \frac{R_{F1}R_{F2}}{R_{F1} + R_{F2}} \quad (\text{B.7})$$

Además  $Gm_1$  está determinado por la ecuación B.8

$$Gm_1 = \frac{r_{\pi1}g_{m1}}{R_i + r_{\pi1} + r_{\pi2} + \frac{R_{F1}R_{F2}}{R_{F1} + R_{F2}}} \quad (\text{B.8})$$

y

$$R_{o1} = R_{C1} \quad (\text{B.9})$$

Los valores de  $r_{\pi1}$ ,  $r_{\pi2}$  y  $g_{m1}$  se determinaron con fórmulas proporcionadas en [10] para el modelo híbrido  $\pi$ , con las corrientes de colector correspondientes obtenidas de la tabla B.1. Los valores son  $r_{\pi1}=1.668\text{k}\Omega$ ,  $r_{\pi2}=2\text{k}\Omega$  y  $g_{m1}=59.952\text{mA/V}$ . Utilizando estos valores y considerando que  $R_i=680\Omega$ ,  $R_{C1}=680\Omega$ ,  $R_{F1}=1\text{k}\Omega$  y  $R_{F2}=10\text{k}\Omega$  se pueden determinar  $R_{i1}=5.257\text{k}\Omega$ ,  $Gm_1=19.022\text{mA/V}$  y  $R_{o1}=680\Omega$  a partir de B.7, B.8 y B.9 respectivamente.

En la figura B.5 se muestra la segunda etapa del amplificador de potencia para su análisis a señal pequeña.

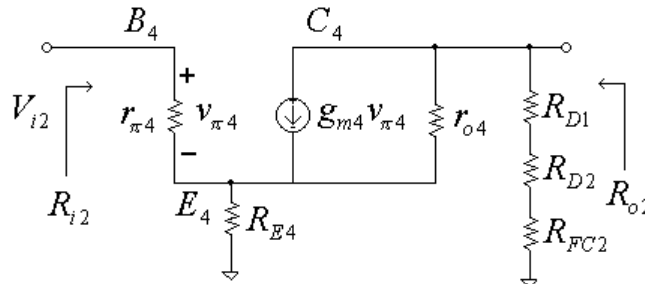


Figura B.5 Modelo incremental de la etapa de amplificación de voltaje.

En este circuito para obtener los parámetros propios del modelo híbrido  $\pi$ , correspondientes al transistor  $Q_4$ , se utilizan las fórmulas proporcionadas en [10] y se considera la corriente de colector  $I_{CQ4}$  registrada en la tabla B.1. Además para determinar completamente a esta etapa, se tiene que  $R_{E4}=39\Omega$ , se considera que  $R_{D1}=R_{D2}=50\Omega$  y mediante la ayuda de Pspice se determina la resistencia de la fuente de corriente de carga a  $Q_4$  como  $R_{FC2}=512.18k\Omega$ .

El circuito de la figura B.5 se puede simplificar, como lo muestra la figura B.6. Para obtener la resistencia de entrada  $R_{i2}$ , la resistencia de salida  $R_{o2}$ , y la transconductancia equivalente  $Gm_2$  se simuló el circuito de la figura B.5 con el programa Pspice. El circuito de la figura B.6 se encuentra en su forma de Thévenin.

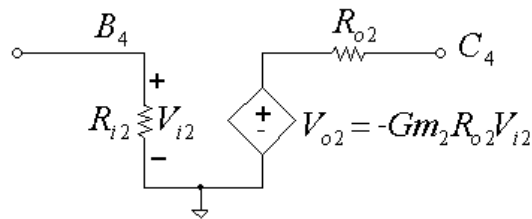


Figura B.6 Forma de Thévenin del modelo incremental la segunda etapa.

Los parámetros del circuito son:  $R_{i2}=1.222k\Omega$ ,  $Gm_2=23.23mA/V$  y  $R_{o2}=23.4k\Omega$ .

En la figura B.7 se muestra la etapa de salida del amplificador de potencia para su análisis a señal pequeña.

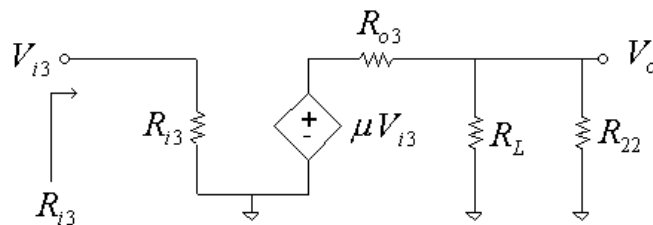


Figura B.7 Modelo incremental de la etapa de salida.

Para determinar las resistencias de entrada  $R_{i3}$  y salida  $R_{o3}$ , se considera en operación la parte positiva del par complementario retroalimentado formado por  $Q_6$  y  $Q_8$ , y se considera que la protección no opera.

En la figura B.8 se muestra el circuito utilizado para hallar la resistencia  $R_{i3}$ .

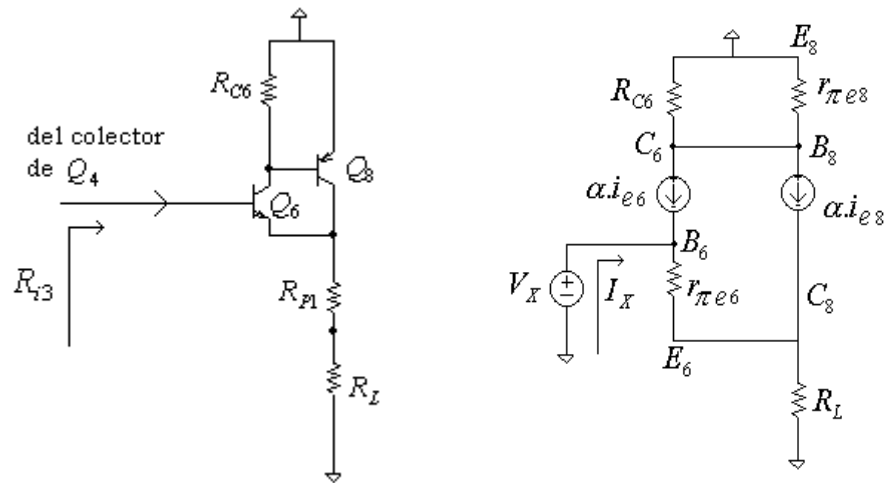


Figura B.8 Circuito a señal pequeña para determinar  $R_{i3}$ .

Para determinar los parámetros de modelo T para los transistores  $Q_6$  y  $Q_8$ , se supone una corriente  $I_{CQ8}=0.676\text{A}$  que implica  $I_{BQ8}=11.26\text{mA}$ . El transistor  $Q_8$  se encuentra encendido con un  $V_{BE8}=2\text{V}$ . Como el resistor  $R_{C6}=100\ \Omega$  se tiene que  $I_{RC6} = V_{BE8}/R_{C6}=20\text{mA}$ . Haciendo la ley de corrientes de Kirchhoff en el nodo correspondiente al colector de  $Q_6$  se puede obtener que  $I_{CQ6} \approx 31.26\text{mA}$  lo que implica  $I_{EQ6} \approx 31.5726\text{mA}$ . Bajo las condiciones supuestas se tiene en la carga una corriente  $I_{RL} = I_{EQ6} + I_{CQ8}=0.707\text{A}$ .

Con los valores obtenidos de  $I_{CQ6}$  e  $I_{CQ8}$  y las fórmulas propuestas en [10], para el modelo T, se obtienen los siguientes parámetros:  $g_{m6}=1.250\text{A/V}$ ,  $g_{m8}=27.04\text{A/V}$ ,  $r_{\pi e6}=0.718\ \Omega$  y  $r_{\pi e8}=36.376\text{m}\Omega$

Mediante el programa Pspice se simuló el circuito de la figura B.8 y la resistencia de entrada resultó  $R_{i3} = V_X/I_X = 10.18019\text{k}\Omega$ .

En la figura B.9 se muestra el circuito utilizado para hallar la resistencia  $R_{o3}$ .

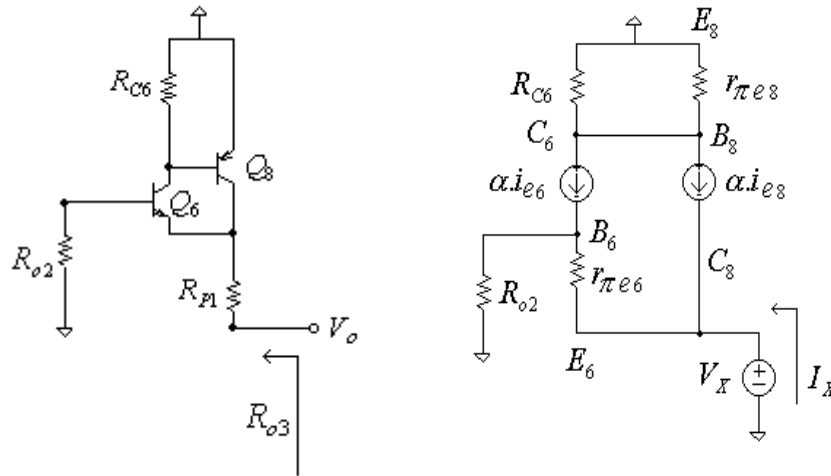


Figura B.9 Circuito a señal pequeña para determinar  $R_{o3}$ .

En este caso para obtener la resistencia de salida, se simuló con Pspice el circuito de la figura B.9 y se obtuvo que  $R_{o3} = V_X / I_X = 222.37 \Omega$ .

Por último el valor de  $\mu$ , en la etapa de salida se puede considerar cercano a 1 ya que la configuración de par complementario retroalimentado tiene una ganancia prácticamente unitaria.

La ganancia de lazo abierto del amplificador de potencia, considerando los efectos de la red de retroalimentación no ideal con el método propuesto en [7], se determina a partir del circuito resultante al conectar en cascada, los circuitos equivalentes definidos para las tres etapas del amplificador de potencia. Esta conexión se muestra en la figura B.10.

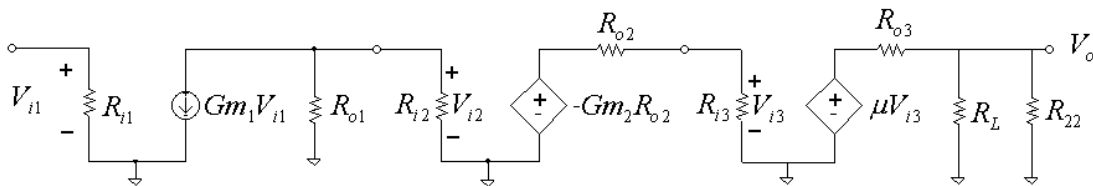


Figura B.10. Circuito equivalente a señal pequeña de lazo abierto.

Con base en el circuito de la figura B.10 se determina la ganancia A de lazo abierto, que esta dada por la ecuación B.10.

$$A = \left( \frac{V_o}{V_{i3}} \right) \left( \frac{V_{i3}}{V_{i2}} \right) \left( \frac{V_{i2}}{V_{i1}} \right) = \left( \frac{R_L // R_{22} \mu}{R_{o3} + R_L // R_{22}} \right) (-Gm_2 \cdot R_{o2} // R_{i3}) (-Gm_1 \cdot R_{o1} // R_{i2}) \quad (B.10)$$

Al resolver la ecuación, sustituyendo todos los valores obtenidos con anterioridad, se obtiene que  $A=(0.3083)(-164.79)(-8.3105)=422.213 \frac{V}{V}$ .

Para obtener una estimación del polo dominante, de la respuesta en frecuencia del circuito en lazo abierto, se utiliza el teorema de Miller como se propone en [7]. Mediante el uso de este teorema, la capacitancia eficaz debida a  $C_1$  entre la base de  $Q_4$  y tierra se determina mediante la ecuación B.11,

$$C_i = C_1 (1 + |A_2|) \quad (B.11)$$

donde  $A_2$  es la ganancia de la segunda etapa. Utilizando el valor calculado de  $A_2 = (V_{i3}/V_{i2}) = -164.79$  y considerando a  $C_1 = 1\text{nF}$ , se tiene que  $C_i = 165798.521\text{pF}$ . Entonces el polo dominante se puede obtener a partir de la ecuación B.12,

$$f_p = 1/2\pi C_i R_t \quad (B.12)$$

donde la resistencia total entre la base de  $Q_4$  y tierra es  $R_t = R_{o1} // R_{i2} = 437\Omega$ , por lo que  $f_p = 2196\text{Hz}$ .

La ganancia de lazo cerrado está determinada por la ecuación B.13,

$$A_f = \frac{A}{1 + AB} \quad (B.13)$$

donde B se conoce como factor de retroalimentación y para este caso se tiene que es  $B = R_{F1} / (R_{F1} + R_{F2}) = 1/11$ . Entonces  $A_f \approx 10.72$ .

Las resistencias de entrada y salida del amplificador con retroalimentación se determinan, según se propone en [7], mediante las ecuaciones B.14 y B.15 respectivamente.

$$R_{en} = R_{i1} (1 + AB) - R_S \quad (B.14)$$

$$R_{sal} = \frac{1}{\frac{1 + AB}{R_{o3} // R_L // R_{22}} - \frac{1}{R_L}} \quad (B.15)$$

Al sustituir en estas ecuaciones, los valores previamente determinados se tiene que  $R_{en} \approx 207\text{k}\Omega$  y  $R_{sal} = 1.7\Omega$ .

```

/*
*****
Programa para el control del generador de señal senoidal de potencia
Autor: Edgar Tello Paleta
*****
*/

#include <16f877.H>

#DEVICE ADC=10 // Define el valor que devuelve la función read_adc()

#fuses hs,nowdt,noprotect,noput,nobrownout,nolvp
#use delay(clock=20000000)
#use rs232(baud=9600, xmit=PIN_C6,rcv=PIN_C7) // Directiva necesaria para la
// la comunicación con una PC
// mediante el USART(SCI)

#include <math.h>
#include "lcd.c" // Inclusión de código para manejo del LCD

//
// Definición de los pines para actualización de los DACs
// TLV5615 y DAC7615

#define pinLOADREG PIN_C4 // Para el DAC7615
#define pinFS_CS PIN_A4 // Para el TLV5616
//

#use fast_io(B)

//
// Alias para manipulación de la interrupción por
// cambio de estado en el puerto B

#bit RBIF=0x0b.0 // RBIF es un alias para el bit 0 del registro INTCON
#bit RBIE=0x0b.3 // RBIE es un alias para el bit 3 del registro INTCON
#byte PORTB=0x06 // PORTB es un alias para manejar el puerto b
//

//-----
// Definiciones relativas a la medición de frecuencia

#define UnSeg 1220 // Define un segundo de tiempo
// con un XTAL de 20 MHz.
// 1220 con el timer0 dividido entre 16

#bit t1contmr1on=0x10.0 // Bit de control de encendido y apagado del Timer1.
long frecuencia=0; // Variable que guarda el valor de la frecuencia
// producto de la cuenta de ciclos por segundo
// que llevan a cabo los registros del timer1

long contime=0; // Variable que lleva la cuenta del numero de
// interrupciones ocurridas para ver si ya ha
// transcurrido un segundo o no
//-----

```



```

//-----
// variables relativas al control de tiempo para la comunicación con Un PC

long tmuestra=0;      // Esta variable determina cada cuando se
                    // realiza la condición principal if dentro del while
                    // principal del programa.
                    // Dentro del if se realiza toda la parte
                    // del programa principal que se repite.

int32 tsamp=0;       // Variable utilizada para establecer el periodo
                    // de muestreo de los datos que se van a enviar
                    // a la PC

int32 conttsamp=0;   // Variable utilizada para llevar la cuenta
                    // del tiempo transcurrido para poder mandar
                    // datos a la PC.
                    // El valor de conttsamp indica el numero de
                    // veces que se ha llevado a cabo el
                    // el programa dentro del if principal,
                    // contenido dentro del while principal.
                    // El codigo dentro del if se ejecuta
                    // cada 305 interrupciones del timer0
                    // y las interrupciones en el timer0
                    // se dan cada 0.8192ms
                    // (se tiene el escalador del Timer0 en div16)

int1 f3samponof=0;  // Bandera de estado del muestreo
                    // 0 indica apagado

//-----

//=====
// Variables utilizadas para determinar la amplitud y la componente
// de directa de la señal senoidal

//-----
// Variables de muestreo comunes a las dos escalas de voltaje
// para el método empleado
// para obtener valor maximo, minimo, y offset

signed long vmaxp=0;      // Variable que guarda el valor
                        // máximo del rectificador positivo

signed long vamaxp=0;     // Variable auxiliar para determinar
                        // el valor máximo en el rectificador
                        // positivo

signed long vminp=1024;   // Variable que guarda el valor
                        // mínimo del rectificador postivo

signed long vaminp=1024;  // Variable auxiliar para determinar
                        // el valor mínimo en el rectificador
                        // positivo

```



```

int dacsel=1;          // Esta variable indica el parámetro a cambiar en
                      // el generador de señal senoidal
                      // con 1 se elige la amplitud, con 2 el offset,
                      // con 3 la frecuencia y con 4 el periodo de envío
                      // de datos vía puerto serie a una PC

// Variables relativas a la rutina de servicio de interrupción
// por cambio de estado en el puerto B, utilizado para el teclado

int tecapre=0;        // Guarda el valor correspondiente
                      // a la tecla apretada
int current;          // Se utiliza para observar el estado en el puerto B
//

int selpos=5;         // Indica en que posición se debe situar el cursor.
                      // También indica los incrementos que se deben utilizar,
                      // para las variables de generador de señal senoidal,
                      // dentro de la función selecpos

signed long cur=0;    // Variable para recibir el dato del convertidor
                      // correspondiente a la corriente eficaz en la carga

int toverload=0;     // Variable para la protección contra sobre corriente.
                      // Esta variable que lleva la cuenta del tiempo
                      // transcurrido en la condición de sobrecarga.

// variables para guardar
// los datos a desplegar y a ser enviados a la PC

float  vamp=0.0;
float  voffset=0.0;
float  vrms=0.0;
float  irms=0.0;
//

// Variables relativas al despliegue de información en el display
// para el control del generador de señal senoidal

int p0=0;            // Dígito menos significativo.
int p1=0;            //
int p2=0;            //
int p3=0;            //
int p4=0;            // Dígito más significativo.
int p5=0;            // Dígito complementario para el despliegue del periodo
                      // de muestreo
//

// Variables relativas a los incrementos de los parámetros, en el generador de
// señal senoidal

long incremento1=1;  // Paso de control para la amplitud
long incremento2=1;  // Paso de control para el offset
long incremento3=1;  // Paso de control para la frecuencia
long incremento4=1;  // Paso de control para el envío de datos
//

```

```

int tope=0;    // Bandera para mantener el voltaje de salida,
               // máximo en 80V en valor absoluto.

// definiciones relativas a los umbrales del voltaje
// para el control multitaps
// basadas en la escala de voltaje alto

#define vtap12 180          // limite transición taps 1-2
#define vtap21 150          // limite transición taps 2-1
#define vtap23 360          // limite transición taps 2-3
#define vtap32 330          // limite transición taps 3-2
#define vtap34 570          // limite transición taps 3-4
#define vtap43 530          // limite transición taps 4-3
//

int tap=1;     // Variable que indica el tap activo.
               // Inicializo con la bandera indicando el tap1

int escala=1;  // variable para control de despliegue de escalas
               // escala 1 para voltaje alto
               // escala 2 para voltaje bajo

// Variables para envío de datos al TLV5616 y al DAC7615

union worddac
{
    int lowhigh[2];
    long palabra;
}    wdaca,wdacb,wdacc,wdacd,wdac;    // wdac corresponde a los
                                     // datos enviados al TLV5616

// El arreglo lowhigh se emplea para poder enviar el dato
// a través del MSSP (SCI) que envía paquetes de 8 bits.
//

//=====
// Declaraciones de funciones y rutinas de servicio de interrupción

long leedato(int sch);    // Función para que estando activado
                          // el A/D, se escoja un canal y se lea
                          // el registro ADRESH y ADRESL

#define INT_RB
void teclado(void);    // rutina de interrupción
                       // que implementa el teclado

#define INT_TIMER0
void tmro(void);    // control de tiempos y medición de frecuencia

void resetdacs(void);    // Pone los DAC a un valor predeterminado

void actualizadac(void);    // Actualiza los DAC seleccionados
                             // (DAC7615 y/o TLV5616)

void actualizaregsel_da(void);    // Proporciona el pulso bajo LOADREG para
                                   // actualizar el DAC seleccionado del DAC7615

```

```

void incdatdac(int dacscl, short masmenos);
    // modifica las variables que establecen
    // las variables en el instrumento

void largoaabcd(long vaux);    // Función que convierte un long (de 0 a 4095)
    // a 5 dígitos p4, p3, p2, p1, p0
    // que son variables enteras

void largoaahms(int32 vaux1);
    // Función para ajustar las variables
    // p5, p4, p3, p2, p1, p0 cuando son
    // utilizadas para el despliegue del periodo
    // de envío de datos a la PC

void contmultitap(void);
    // Selecciona la escala de voltaje alto
    // y dependiendo del voltaje de salida
    // selecciona el tap adecuado. Además
    // hace uso de la variable int tap para
    // hacer los cambios de tap con histéresis.

void selecpos(void);
    // Dependiendo del valor de selpos se establecen
    // los valores de las variables long incremento(1 2 3 4)

void ponpantalla(void);
    // Esta función despliega los letreros
    // que van a estar fijos en la
    // pantalla del instrumento

void posponcurs(void);
    // Función que proporciona las coordenadas para
    // colocar el cursor para el control de variables

void despvar(void);
    // Función para desplegar los
    // valores de Vpp,Vdc,F_s,T_s,Vef y Ief

void valrms(void);
    // Función que usando vamp y voffset calcula el valor
    // eficaz y lo guarda en vrms

//=====

//*****
// Programa principal

main()
{

// Inicialización de las variables para el DAC7615P
    wdaca.palabra=0x0000;
    wdacb.palabra=0x4000;
    wdacc.palabra=0x8000;
    wdacd.palabra=0xc000;
//

// Inicialización de la variable para el TLV5615
    wdac.palabra=0x0000;
//

```

```

//-----
// Configuración de los puertos a, b, c, d.

set_tris_a(0b00101111); // para hacer uso del convertidor analógico
                        // y del pin RA4 como salida
set_tris_d(0b00000000); // para hacer uso del display

set_tris_c(0b10000001); // Para comunicación con la PC se pone
                        // el bit7(RC7/RX/DT) como 1 (entrada) y
                        // el bit6(RC6/TX/CK) como 0 (salida)
                        // Para utilizar el MSSP en modo SPI
                        // RC5(SDO)=0,RC4(LOADREG)=0,RC3(CLK)=0
                        // Para el control multitap
                        // RC2=0 y RC1=0
                        // Para utilizar al timer1 como
                        // contador sincronizado RC0=0 ->TICKI

set_tris_e(0b00000111); // Para poder utilizar al puerto como
                        // entrada para el convertidor

set_tris_b(0b11110000); // Para poder utilizar la interrupción
                        // por cambio de estado en la
port_b_pullups(True);   // la implementación del teclado
//-----

lcd_init();             // Inicializa al LCD

delay_ms(200);

// configuración del convertidor analógico digital

setup_adc_ports( ANALOG_RA3_RA2_REF);
                    // A0 A1 A5 E0 E1 E2 Ref=A2,A3

setup_adc(ADC_CLOCK_DIV_32 );
                    // Establece división del reloj a 36.
                    // Enciende al convertidor.
//

output_bit( pinLOADREG, 1);
                    // Inicializa LOADREG con un valor alto
output_bit(pinFS_CS , 1);

// Configuración del MSSP como SCI master

setup_spi(spi_master |spi_l_to_h | spi_clk_div_64 | SPI_XMIT_L_TO_H);
//

resetdacs();         // Pone todas las variables del generador a 0.

// Configuración del timer0
SET_TIMER0(0);
SETUP_TIMER_0(RTCC_INTERNAL|RTCC_DIV_16);
enable_interrupts(INT_TIMER0); // Habilita la interrupción del timer0
//

```

```

RBIF=0;           // borra la bandera de interrupción de cambio
                  // en el puerto b con el fin de evitar que
                  // por efectos espurios, transitorios se lleve
                  // a cabo la interrupción falsa.

enable_interrupts(int_RB);
                  // Habilita la interrupción de cualquier
                  // cambio en los bits de menos peso del puerto b

enable_interrupts(global);
                  //Habilita todas las interrupciones

portb=0x00;       // para que funcione la interrupción
                  // por cambio de estado en el puertoB

lcd_putc("\f");   // para limpiar el diplay

ponpantalla();    // pone los letreros vpp:, vdc:, fc :, t_s:
                  // Vef:, Ief:.

//=====
// todos los procesos dentro de este ciclo
// se realizan cada 0.25s cuando la condición
// if(tmuestra>=305) se verifica

while(tecapre!=16)
{
    if(tmuestra>=305)    // 305 para 0.25s
    {
        tmuestra=0;
        conttsamp=conttsamp+1;

        if(f3samponof==0)
            conttsamp=0;

        posponcurs();   // Define las coordenadas
                        // del cursor

        if(f2cursonof==0)
        {
            lcd_putc(255); // Pone el cursor
        }
        else
        {
            despvar();    // Despliega variables
        }

        f2cursonof=~f2cursonof;

        if((conttsamp==tsamp<<2)&&(tsamp>0))
        {
            printf("%4.2f ",vamp); // Dato a la PC
            printf("%4.2f ",voffset);
            printf("%4.2f ",vrms);
            printf("%4.2f ",irms);
        }
    }
}

```

```

        conttsamp=0;
    }

    contmultitap(); // Control multitaps

// Apaga al equipo por sobre carga
//-----
    if(cur>1020)
    {
        toverload=toverload+1;
        lcd_gotoxy(33,1);
        lcd_putc("OVERLOAD");
    }
    else
    {
        toverload=0;
        lcd_gotoxy(33,1);
        lcd_putc(" ");
    }
    if(toverload>=40)
    {
        resetdacs(); // para poner a cero la amplitud
                    // el offset y la frecuencia
        toverload=0;
    }
//-----

// Elección de escala para calcular los valores a desplegar en el LCD
//-----
    switch(escala)
    {
    case 1:
        if(vmax<=80)
        {
            escala=2;
            break;
        }
        else
        {
            vamp=((102.3/1023.0)*(float)vpico)*1.02;
            voffset=((102.3/1023.0)*(float)vdc)*1.02;
            escala=1;
            break;
        }
    case 2:
        if(vmax1>=1000)
        {
            escala=1;
            break;
        }
        else

```



```

        {
            vamp=(10.23/1023.0)*(float)vpico1;
            voffset=(10.23/1023.0)*(float)vdc1;
            escala=2;
            break;
        }
    }
}

//-----
valrms();          // cálculo valor RMS del voltaje
irms=1.0*(float)cur; // cálculo de la corriente

selecpos();        // actualiza los incrementos de
                  // las variables a controlar

switch(tecapre)
{
    case 1:        // Cambia variable a controlar
        dacscl++;
        if(dacscl>4)
            dacscl=1;
        tecapre=0;
        break;

    case 5:        // Cambio de campo en una variable
        selpos--;
        if(selpos<1)
            selpos=8;
        tecapre=0;
        break;

    case 2:        // Incremento de variable seleccionada
        incdatdac(dacscl,1);
        actualizadac();
        tecapre=0;
        break;

    case 6:        // Decremento de variable seleccionada
        incdatdac(dacscl,0);
        actualizadac();
        tecapre=0;
        break;

    case 3:        // On/Off del envío de datos a la PC
        f3samponof=~f3samponof;
        if(f3samponof==1)
        {
            lcd_gotoxy(36,2);
            lcd_putc('O');
            lcd_putc('\n');
            lcd_putc(' ');
        }
        else
        {
            lcd_gotoxy(36,2);

```

```

        lcd_putc('O');
        lcd_putc('f');
        lcd_putc('f');
    }

    tecapre=0;
    break;
}

}
// Fin del if que es válido cada 0.25s.

}
// Fin del ciclo while principal
//=====

    lcd_putc('\f');
}

//*****
// Fin programa principal

//*****
// Rutinas de servicio de interrupción y funciones
//*****

//=====
// Rutina de servicio de interrupción por cambio de estado en el puerto B
// Implementa el teclado que sirve de interfaz con el usuario
// Necesita de las variables globales current y tecapre de tipo entero

#INT_RB
void teclado(void)
{
    int i,j;
    int const drive_ren[4]={0b00000111,0b00001011,0b00001101,0b000001110};

    delay_ms(30); // retardo para evitar rebotes

    for(i=0;i<4;i++)
    {
        portb=drive_ren[i];
        delay_cycles(2);
        current=portb>>4;
        //para tener pb3pb0 en vez pb7pb4 se usa portb>>4
        // que recorre 4 lugares los bits

        for(j=0;j<4;j++)
            if (!bit_test(current,j))
            {
                portb=0x00;
            }
    }
}

```

```

        delay_cycles(2);
        tecapre=defteclaapretada[i][j];
        return;
    }

}

delay_ms(20);          // retardo implementado para reducir el
                        // efecto de los rebotes
portb=0x00;
}
//=====

//=====
// Esta rutina determina el valor de la frecuencia
// e implementa el algoritmo para determinar la amplitud
// y el voltaje de offset de la señal senoidal.
// Esta rutina de servicio de interrupción
// requiere que la variable frecuencia
// sea global tipo long
// Se tiene que definir el alias t1contmr1on para
// tener acceso al bit tmr1on del registro t1con.
// Se debe definir como entrada el bit0 del puerto
// c que corresponde al T1CKI.
// Esta rutina modifica el valor de la variable
// frecuencia la cual esta disponible para poderse
// desplegar.

#INT_TIMER0
void tmro(void)
{
    sp=sp+1;

    cur=leedato(6);      // Muestra de corriente

    if(f1escala==0)
    {
        // escala de alto voltaje
        vspp=leedato(0); // lectura de rectificador positivo
        vspn=leedato(1); // lectura de rectificador negativo
    }
    else
    {
        // escala de bajo voltaje
        vspp=leedato(4); // lectura de rectificador positivo
        vspn=leedato(5); // lectura de rectificador negativo
    }

    if(vspp>vamaxp)
        vamaxp=vspp;

    if(vspp<vaminp)
        vaminp=vspp;

    if(vspn>vamaxn)

```

```

    vamaxn=vspn;

if(vspn<vaminn)
    vaminn=vspn;

if(sp==625) // 625=> 0.500s si el timer0 esta dividido 16
{
    vmaxp=vmaxp;
    vamaxp=0;

    vminp=vaminp;
    vaminp=1024;

    vmaxn=vamaxn;
    vamaxn=0;

    vminn=vaminn;
    vaminn=1024;

    if(f1escala==0)
    {
        vdc=(abs(vmaxp+vminp-vmaxn-vminn))>>1;
    }
    else
    {
        vdc1=(abs(vmaxp+vminp-vmaxn-vminn))>>1;
    }

    if(vmaxp>=vmaxn)
    {
        if(f1escala==0)
        {
            vpico=vmaxp-vdc;
            vmax=vmaxp;
        }
        else
        {
            vpico1=vmaxp-vdc1;
            vmax1=vmaxp;
        }
    }

    else
    {
        if(f1escala==0)
        {
            vpico=vmaxn-vdc;
            vdc=-vdc;
            vmax=vmaxn;
        }
        else
        {
            vpico1=vmaxn-vdc1;
            vdc1=-vdc1;
            vmax1=vmaxn;
        }
    }
}

```

```

        }
    }

    flescala=~flescala;
    sp=0;
}

tmuestra=tmuestra+1;
contime=contime+1;
if(contime==1)
{
    set_timer1(0x0000);
    setup_timer_1(T1_EXTERNAL_SYNC|T1_DIV_BY_1);
}

if(contime==UnSeg)
{
    t1contmr1on=0;
    frecuencia=get_timer1();
    contime=0;
}
}

//=====

//=====
// Esta función selecciona el canal que se pide mediante el
// argumento sch y devuelve la lectura del canal seleccionado
// en formato entero
// se necesita que previamente se haya configurado tanto
// la función de los pines en el ADCON1 (setup_adc_ports) como
// el modo de operación del A/D ADCON0 (setup_adc)

long leedato(int sch)
{
    long value;
    set_adc_channel(sch);          // Selecciona el canal a convertir

    delay_us(20);                 // retardo para esperar un tiempo de
                                // adquisición
    value = read_adc();           // La función read_adc() inicia la conversión

    return(value);
}

//=====

//=====
// Función que modifica a las variables
// wdac wdaca, wdacb y tsamp
// Requiere de las variables globales
// long incremento 1 2 3 4
// y de la variable global int conta

```

```

void incdatdac(int dacscl, short masmenos)
{

    long vptemp=0;           // Variable auxiliar para obtener el valor
                            // que se enviara al TLV5616

    long vdctemp=0;         // Variable para obtener "el valor absoluto"
                            // del valor de DC enviado al DAC

    long topetemp=0;        // variable necesaria para que el voltaje de salida no
                            // sobrepase 80v en valor absoluto

    long auxwdac=0;

    int32 auxtsamp=0;

    if(dacscl==1)
    {
        auxwdac=(wdac.palabra&0x0fff);

        if(masmenos&&(!tope)) //&&(!tope)
        {
            auxwdac=auxwdac+incremento1;
            if(auxwdac<0x0fa0)
                wdac.palabra+=incremento1;
            else
                wdac.palabra=0x0fa0; // 0x0fa0 => 4000
        }

        if(!masmenos)
        {
            if(auxwdac>incremento1)
                wdac.palabra-=incremento1;
            else
                wdac.palabra=0x0000;
        }
    }

    if(dacscl==2)
    {
        auxwdac=wdacb.palabra&0x0fff;
        if(!masmenos&&(!tope)||auxwdac<2048))
        {
            auxwdac=auxwdac+incremento2;
            if(auxwdac<0x0f08 ) // 0x0f08 -> 3848 => 90.0 tope
                wdacb.palabra+=incremento2;
            else
                wdacb.palabra=0x4f08; // antes 0x4fa0
        }

        if(masmenos&&(!tope)||auxwdac>2048))
        {
            if(auxwdac>(incremento2+0x00f8)) // 0x00f8 -> 248

```

```

        wdacb.palabra-=incremento2;
    else
        wdacb.palabra=0x40f8;
    }
}

if(dacsel==3)
{
    auxwdac=(wdaca.palabra&0x0fff);
    if(masmenos)
    {
        auxwdac=auxwdac+incremento3;
        if(auxwdac<0x0fa0 )
            wdaca.palabra+=incremento3;
        else
            wdaca.palabra=0x0fa0;
    }

    if(!masmenos)
    {
        if((auxwdac>incremento3))
            wdaca.palabra-=incremento3;
        else
            wdaca.palabra=0x0000;
    }
}

if(dacsel==4)
{
    auxsamp=tsamp;
    if(masmenos)
    {
        auxsamp=auxsamp+incremento4;
        if(auxsamp<86400 )
            tsamp=tsamp+incremento4;
        else
            tsamp=86400;
    }

    if(!masmenos)
    {
        if(auxsamp>incremento4)
            tsamp=tsamp-incremento4;
        else
            tsamp=0;
    }
}

vptemp=wdac.palabra&0x0fff;

```

```

vdctemp=wdacb.palabra&0x0fff;

if(vdctemp>=2048)
{
    vdctemp=vdctemp-2048;
}
else
{
    vdctemp=2048-vdctemp;
}

topetemp=vptemp+(vdctemp<<1);

if(topetemp>=3200)
    tope=1;
else
    tope=0;

}
//=====

//=====
// Actualiza el voltaje a la salida del DAC TL5616 y del DAC7615
// Requiere de la definición de la variable global dacscl
// Manda vía SCI una palabra hacia el DAC7615P que según el valor de dacscl
// actualiza el valor de uno de los 4 dacs

void actualizadac(void)
{
    switch(dacscl)
    {
        case 1:
            // para actualizar al DAC TLV5616
            output_bit(pinFS_CS , 0);
            spi_write(wdac.lowhigh[1]);
            spi_write(wdac.lowhigh[0]);
            output_bit(pinFS_CS , 1);
            break;

        case 2:
            spi_write(wdacb.lowhigh[1]);
            spi_write(wdacb.lowhigh[0]);
            actualizaregsel_da();
            break;

        case 3:
            spi_write(wdaca.lowhigh[1]);
            spi_write(wdaca.lowhigh[0]);
            actualizaregsel_da();
            break;

        case 4:
            spi_write(wdacd.lowhigh[1]);
            spi_write(wdacd.lowhigh[0]);
            actualizaregsel_da();
            break;
    }
}

```



```

    }

}

//=====

//=====
// Función que proporciona un pulso bajo aplicado a LADREG para que el DAC7615P
// actualize el DAC seleccionado
// Esta función considera que el pin conectado a LADREG es PIN_C4

void actualizaregsel_da(void)
{
    output_bit( pinLOADREG, 0);
    delay_cycles(2);          // retardo para cumplir con el valor mínimo
                              // de permanencia en bajo
                              // del pin LOADREG del DAC7615P(Tldrw>=45ns)
    output_bit( pinLOADREG, 1);

}

//=====

//=====
// Inicialización de los DAC del DAC7615P y del DAC del TLV5616
// Las variables wdac son globales y pertenecen a una Unión

void resetdacs(void)
{
    // inicialización con cero
    wdaca.palabra=0x0000;
    wdacb.palabra=0x4800;          // Para inicializar el valor del offset
                                  // a 0V

    wdacc.palabra=0x8000;
    wdacd.palabra=0xc000;
    wdac.palabra= 0x0000;

    // para actualizar al dac TLV5616
    output_bit(pinFS_CS , 0);
    spi_write(wdac.lowhigh[1]);
    spi_write(wdac.lowhigh[0]);
    output_bit(pinFS_CS , 1);
    //

    spi_write(wdaca.lowhigh[1]);
    spi_write(wdaca.lowhigh[0]);
    actualizaregsel_da();

    spi_write(wdacb.lowhigh[1]);
    spi_write(wdacb.lowhigh[0]);
    actualizaregsel_da();

    spi_write(wdacc.lowhigh[1]);
    spi_write(wdacc.lowhigh[0]);

```

```

    actualizarregsel_da();

    spi_write(wdacd.lowhigh[1]);
    spi_write(wdacd.lowhigh[0]);
    actualizarregsel_da();
}
//=====

//=====
// Selección de tap a utilizar
// El control multitaps se lleva a cabo con ayuda de la escala de
// alto voltaje
// Como se utilizan transistores pnp como drivers,
// las salidas de control son negadas

void contmultitap(void)
{
    switch(tap)
    {
        case 1:
            if(vmax>=vtap12)
            {
                output_bit (PIN_D3, 1); // D3 corresponde a VC3
                output_bit (PIN_C2, 1); // C2 corresponde a VC2
                output_bit (PIN_C1, 0); // C1 corresponde a VC1
                tap=2;
                break;
            }
            else
            {
                output_bit (PIN_D3, 1); // D3 corresponde a VC3
                output_bit (PIN_C2, 1); // C2 corresponde a VC2
                output_bit (PIN_C1, 1); // C1 corresponde a VC1
                tap=1;
                break;
            }
        case 2:
            if(vmax<=vtap21)
            {
                output_bit (PIN_D3, 1); // D3 corresponde a VC3
                output_bit (PIN_C2, 1); // C2 corresponde a VC2
                output_bit (PIN_C1, 1); // C1 corresponde a VC1
                tap=1;
                break;
            }
            else if(vmax>=vtap23)
            {
                output_bit (PIN_D3, 1); // D3 corresponde a VC3
                output_bit (PIN_C2, 0); // C2 corresponde a VC2
                output_bit (PIN_C1, 1); // C1 corresponde a VC1
                tap=3;
                break;
            }
    }
}

```

```

else
{
    output_bit (PIN_D3, 1); // D3 corresponde a VC3
    output_bit (PIN_C2, 1); // C2 corresponde a VC2
    output_bit (PIN_C1, 0); // C1 corresponde a VC1
    tap=2;
    break;
}

case 3:
if(vmax<=vtap32)
{
    output_bit (PIN_D3, 1); // D3 corresponde a VC3
    output_bit (PIN_C2, 1); // C2 corresponde a VC2
    output_bit (PIN_C1, 0); // C1 corresponde a VC1
    tap=2;
    break;
}
else if(vmax>=vtap34)
{
    output_bit (PIN_D3, 0); // D3 corresponde a VC3
    output_bit (PIN_C2, 1); // C2 corresponde a VC2
    output_bit (PIN_C1, 1); // C1 corresponde a VC1
    tap=4;
    break;
}
else
{
    output_bit (PIN_D3, 1); // D3 corresponde a VC3
    output_bit (PIN_C2, 0); // C2 corresponde a VC2
    output_bit (PIN_C1, 1); // C1 corresponde a VC1
    tap=3;
    break;
}

case 4:
if(vmax<=vtap43)
{
    output_bit (PIN_D3, 1); // D3 corresponde a VC3
    output_bit (PIN_C2, 0); // C2 corresponde a VC2
    output_bit (PIN_C1, 1); // C1 corresponde a VC1
    tap=3;
    break;
}
else
{
    output_bit (PIN_D3, 0); // D3 corresponde a VC3
    output_bit (PIN_C2, 1); // C2 corresponde a VC2
    output_bit (PIN_C1, 1); // C1 corresponde a VC1
    tap=4;
    break;
}
}
}
}
//=====

```

```

//=====
// Función que convierte un long a 4 digitos
// 0 - 4096 -> 0->1023
// p4, p3, p2, p1, p0 los cuales son variables enteras

void largoabcd(long vaux)
{
    long aux;

    aux=vaux;
    vaux=(vaux>>2);
    p4=0;
    p3=0;
    p2=0;
    p1=0;
    p0=0;
    while(vaux>=1000)
    {
        vaux=vaux-1000;
        p4=p4+1;
    }
    while(vaux>=100)
    {
        vaux=vaux-100;
        p3=p3+1;
    }
    while(vaux>=10)
    {
        vaux=vaux-10;
        p2=p2+1;
    }
    while(vaux>=1)
    {
        vaux=vaux-1;
        p1=p1+1;
    }
    aux=aux&0x0003;
    if(aux==0x0002)
    {
        p0=5;
    }
    else
    {
        p0=0;
    }

    p4=p4+48;
    p3=p3+48;
    p2=p2+48;
    p1=p1+48;
    p0=p0+48;
}

//=====

```

```

//=====
// Función que convierte un largo a 6 digitos
// 0 - 43200 -> 12:00:00 con int16
// 0 - 86400 -> 24:00:00 con int32
// p5, p4, p3, p2, p1, p0 los cuales son variables enteras

void largohms(int32 vaux1)
{
    p5=0;
    p4=0;
    p3=0;
    p2=0;
    p1=0;
    p0=0;

    while(vaux1>=36000)
    {
        vaux1=vaux1-36000;
        p5=p5+1;
    }
    while(vaux1>=3600)
    {
        vaux1=vaux1-3600;
        p4=p4+1;
    }
    while(vaux1>=600)
    {
        vaux1=vaux1-600;
        p3=p3+1;
    }
    while(vaux1>=60)
    {
        vaux1=vaux1-60;
        p2=p2+1;
    }
    while(vaux1>=10)
    {
        vaux1=vaux1-10;
        p1=p1+1;
    }
    while(vaux1>=1)
    {
        vaux1=vaux1-1;
        p0=p0+1;
    }
    p5=p5+48;
    p4=p4+48;
    p3=p3+48;
    p2=p2+48;
    p1=p1+48;
    p0=p0+48;
}

//=====

```

```
//=====
//
void ponpantalla(void)
{
    lcd_gotoxy(1,1);
    lcd_putc("Vpp:");

    lcd_gotoxy(1,2);
    lcd_putc("Vdc:");

    lcd_gotoxy(21,1);
    lcd_putc("F_s:");

    lcd_gotoxy(21,2);
    lcd_putc("T_s:");

    lcd_gotoxy(12,1);
    lcd_putc("Vef:");

    lcd_gotoxy(12,2);
    lcd_putc("Ief:");

    lcd_gotoxy(36,2);
    lcd_putc('O');
    lcd_putc('F');
    lcd_putc('F');
}
//
//=====
```

```
//=====
// Esta función determina los valores de los incrementos (cambios)
// según el valor de selpos

void selecpos(void)
{
    switch(selpos)
    {
        case 1:
            incremento1=400;
            incremento2=200;
            incremento3=0;
            incremento4=36000;
            break;

        case 2:
            incremento1=40;
            incremento2=20;
            incremento3=300;
            incremento4=3600;
            break;

        case 3:
            incremento1=0;
            incremento2=0;
            incremento3=30;
            incremento4=0;
    }
}
```

```

        break;

    case 4:
        incremento1=4;
        incremento2=2;
        incremento3=3;
        incremento4=600;
        break;

    case 5:
        incremento1=2;
        incremento2=1;
        incremento3=0;
        incremento4=60;
        break;

    case 6:
        incremento1=0;
        incremento2=0;
        incremento3=0;
        incremento4=0;
        break;

    case 7:
        incremento1=0;
        incremento2=0;
        incremento3=0;
        incremento4=10;
        break;

    case 8:
        incremento1=0;
        incremento2=0;
        incremento3=0;
        incremento4=1;
        break;
    }
}

//=====

//=====
// Función para indicar que campo de las variables a modificar esta activo
// Esta funcion necesita la variable dacscl para indicar la variable
// activa y de la variable selpos para indicar el campo activo
// Determina las coordenadas X y Y de la función lcd_gotoxy()

void posponcurs(void)
{
    if(dacscl==1)
    {
        switch(selpos)
        {
            case 1:
                lcd_gotoxy(6,1);
                break;

            case 2:
                lcd_gotoxy(7,1);
                break;
        }
    }
}

```

```
        case 3:
            lcd_gotoxy(7,1);
            selpos=2;
            break;
        case 4:
            lcd_gotoxy(9,1);
            break;
        case 5:
            lcd_gotoxy(10,1);
            break;
        default:
            lcd_gotoxy(10,1);
            selpos=5;
    }
}

if(dacsel==2)
{
    switch(selpos)
    {
        case 1:
            lcd_gotoxy(6,2);
            break;
        case 2:
            lcd_gotoxy(7,2);
            break;
        case 3:
            lcd_gotoxy(7,2);
            selpos=2;
            break;
        case 4:
            lcd_gotoxy(9,2);
            break;
        case 5:
            lcd_gotoxy(10,2);
            break;
        default:
            lcd_gotoxy(10,2);
            selpos=5;
    }
}

if(dacsel==3)
{
    switch(selpos)
    {
        case 1:
            lcd_gotoxy(29,1);
            selpos=4;
            break;
        case 2:
```



```
        lcd_gotoxy(27,1);
        break;
    case 3:
        lcd_gotoxy(28,1);
        break;
    case 4:
        lcd_gotoxy(29,1);
        break;
    default:
        lcd_gotoxy(29,1);
        selpos=4;
    }
}

if(dacsel==4)
{
    switch(selpos)
    {
        case 1:
            lcd_gotoxy(26,2);
            break;
        case 2:
            lcd_gotoxy(27,2);
            break;
        case 3:
            lcd_gotoxy(27,2);
            selpos=2;
            break;
        case 4:
            lcd_gotoxy(29,2);
            break;
        case 5:
            lcd_gotoxy(30,2);
            break;
        case 6:
            lcd_gotoxy(30,2);
            selpos=5;
            break;
        case 7:
            lcd_gotoxy(32,2);
            break;
        case 8:
            lcd_gotoxy(33,2);
            break;
    }
}

}
//=====
```

```

//=====
// Esta función despliega el valor actualizado de los parámetros del instrumento

void despvar(void)
{
    lcd_gotoxy(6,1);
    largoabcd((long)(vamp*40));

    lcd_putc(p3);
    lcd_putc(p2);

    lcd_putc('.');

    lcd_putc(p1);
    lcd_putc(p0);

    lcd_gotoxy(5,2);
    if(voffset>=0)
    {
        lcd_putc('+');
    }
    else
    {
        lcd_putc('-');
    }
    largoabcd((long)(abs(voffset)*40));

    lcd_putc(p3);
    lcd_putc(p2);

    lcd_putc('.');

    lcd_putc(p1);
    lcd_putc(p0);

    lcd_gotoxy(26,1);
    largoabcd(frecuencia<<2);           // multiplico por cuatro porque
                                        // la función divide entre cuatro

    lcd_putc(p4);
    lcd_putc(p3);
    lcd_putc(p2);
    lcd_putc(p1);

    lcd_gotoxy(26,2);
    largoahms(tsamp);                 // tsamp debe corresponder a la cantidad de segundos

    lcd_putc(p5);
    lcd_putc(p4);

    lcd_putc(':');

    lcd_putc(p3);
    lcd_putc(p2);

    lcd_putc(':');
}

```

```
    lcd_putc(p1);
    lcd_putc(p0);

    lcd_gotoxy(16,1);
    largoabcd((long)(vrms*40));

    lcd_putc(p3);
    lcd_putc(p2);

    lcd_putc('.');

    lcd_putc(p1);
    lcd_putc(p0);

    lcd_gotoxy(16,2);
    largoabcd((long)(irms*4));

    lcd_putc(p4);

    lcd_putc('.');

    lcd_putc(p3);
    lcd_putc(p2);
    lcd_putc(p1);
}

//=====

//=====
// esta función requiere de las variables globales
// vamp, voffset y vrms
// por el momento ocupa demasiada memoria ROM
// por lo que no cabe en el PIC
// pero se intentará después con el programa definitivo
//
void valrms(void)
{
    vrms=sqrt(voffset*voffset+(vamp*vamp)/2);
}
//=====
```

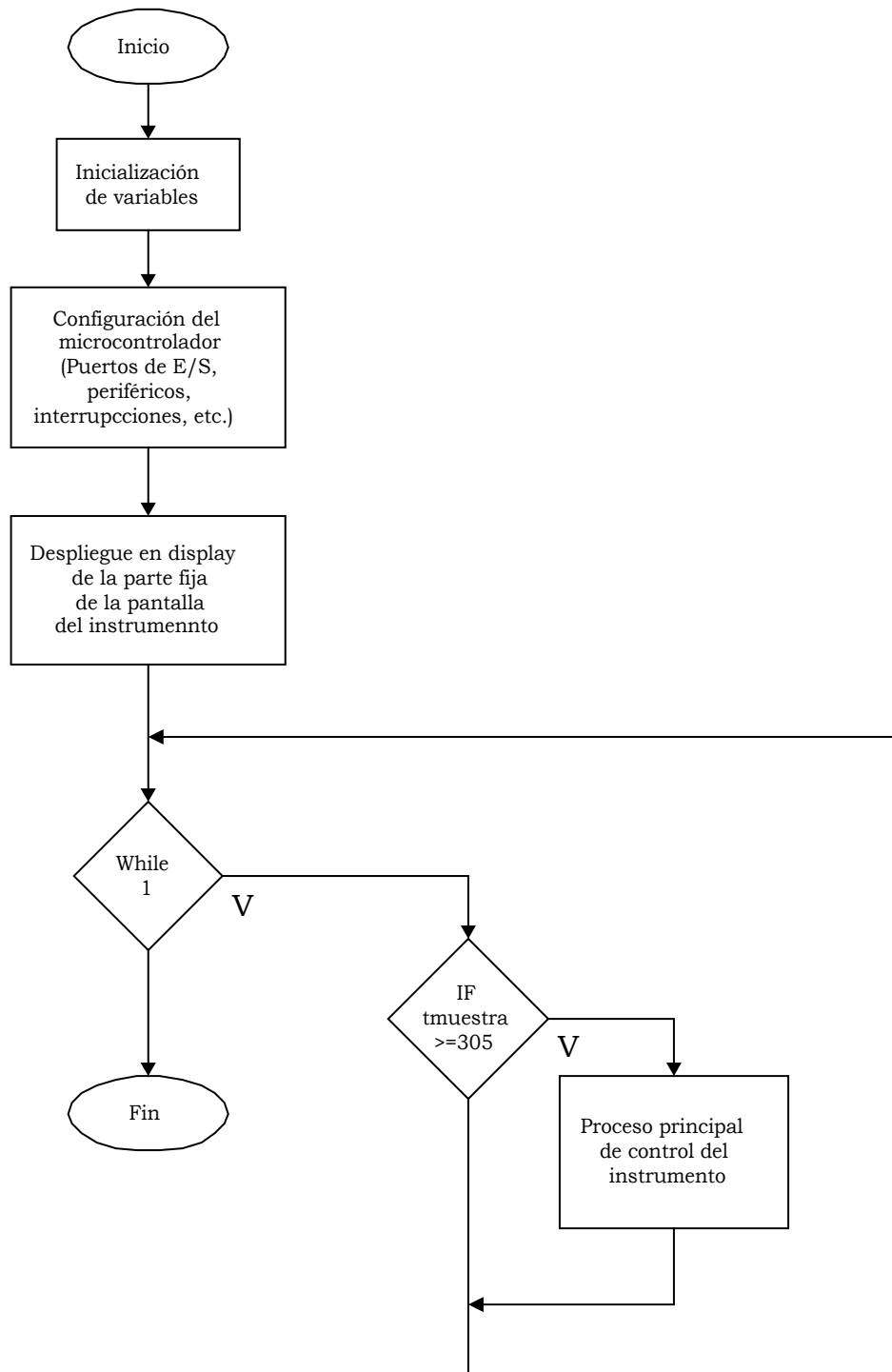


Figura A.1 Diagrama de flujo del programa principal.

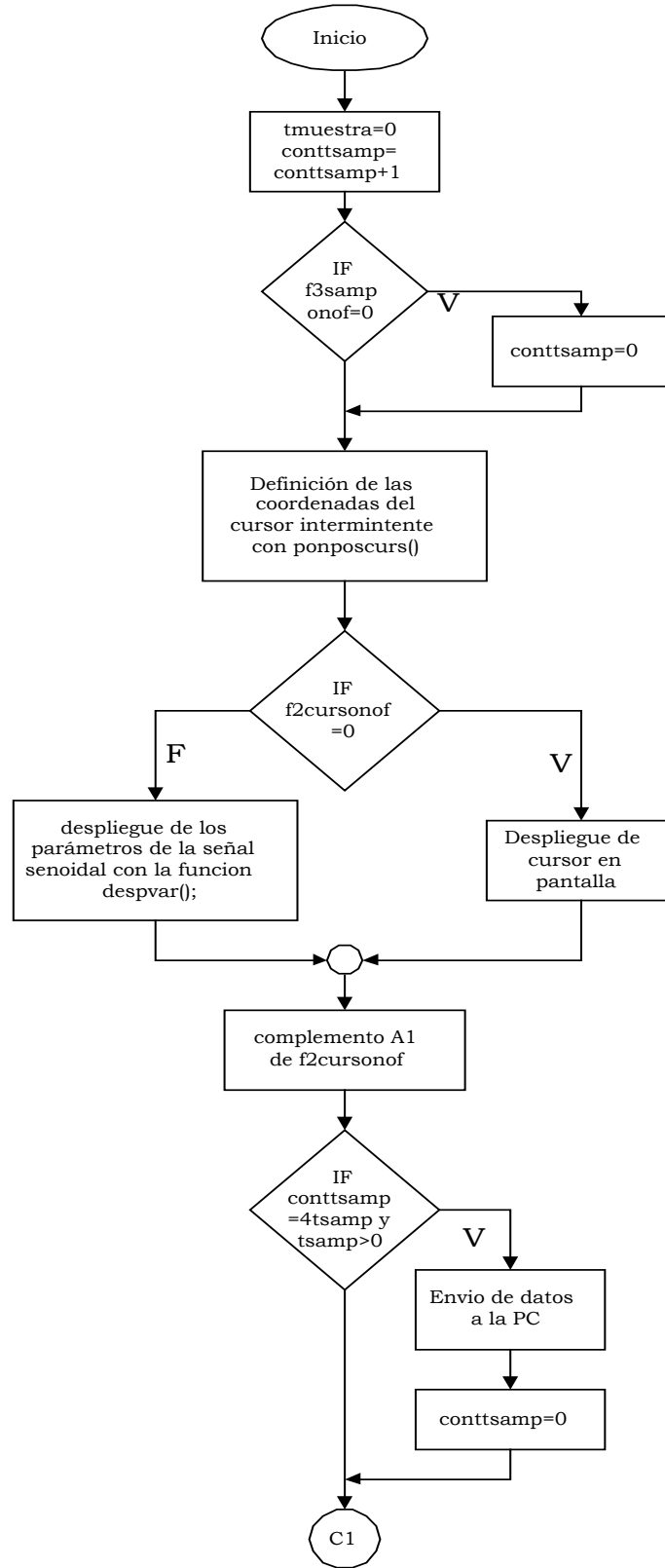


Figura A.2 Diagrama de flujo del proceso principal de control del instrumento.

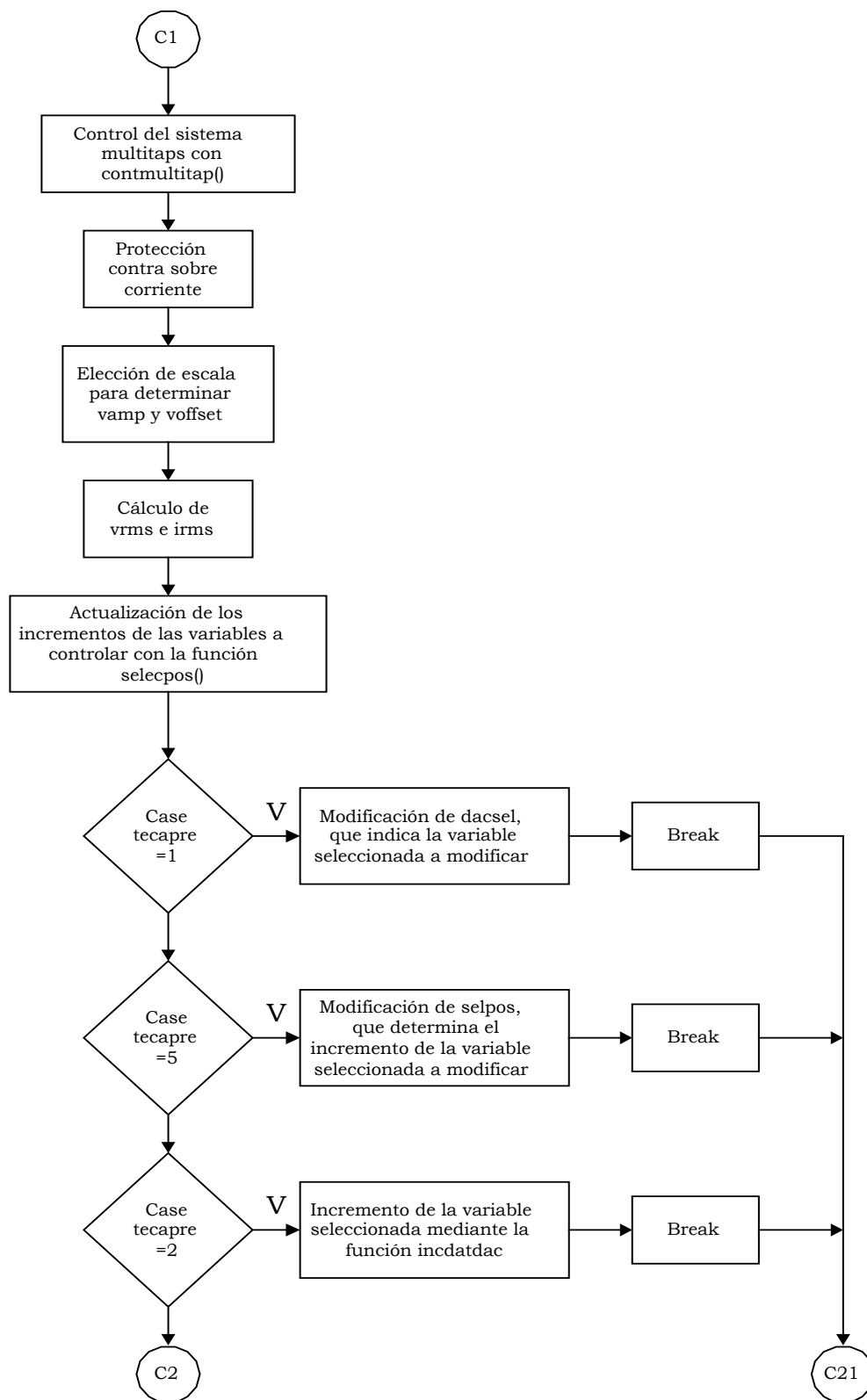


Figura A.3. Continuación del diagrama de flujo de la figura A.2.

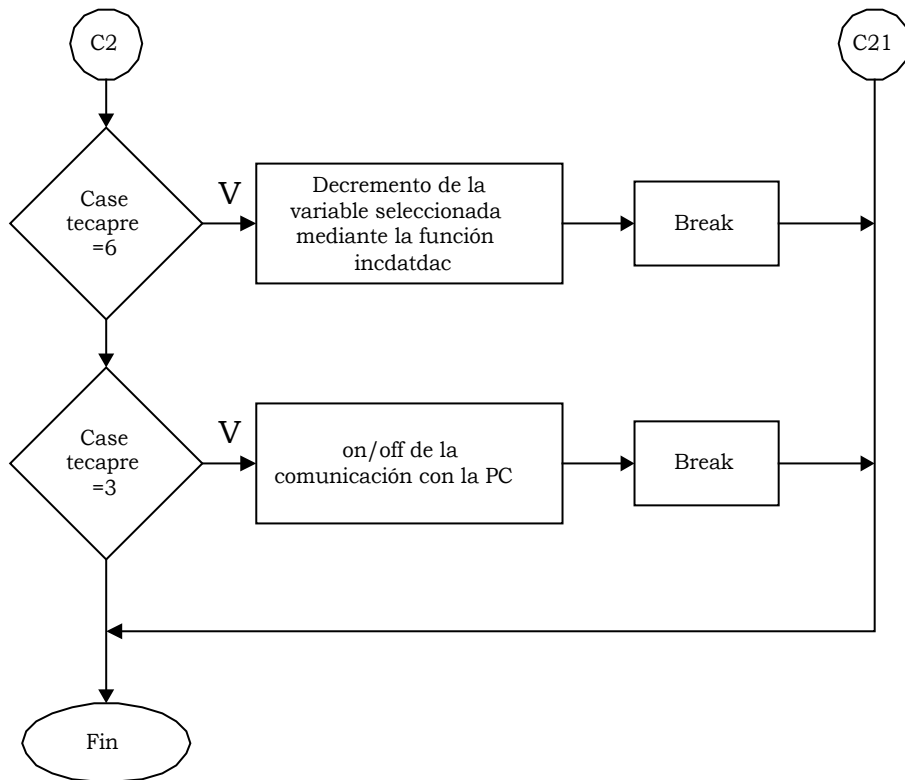


Figura A.4. Continuación del diagrama de flujo de la figura A.3.

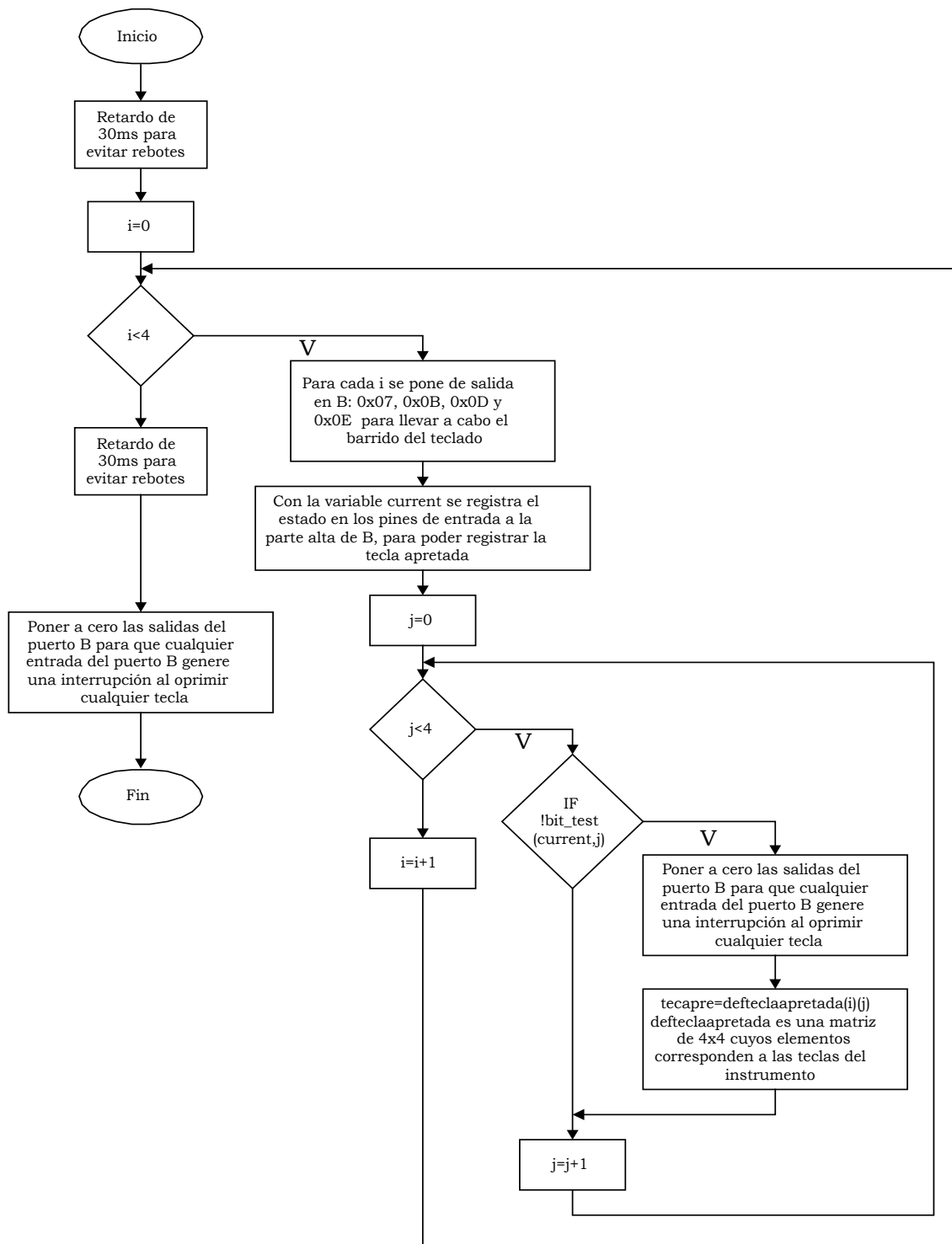


Figura A.5 Diagrama de flujo de la interrupción por cambio de estado en el puerto B.



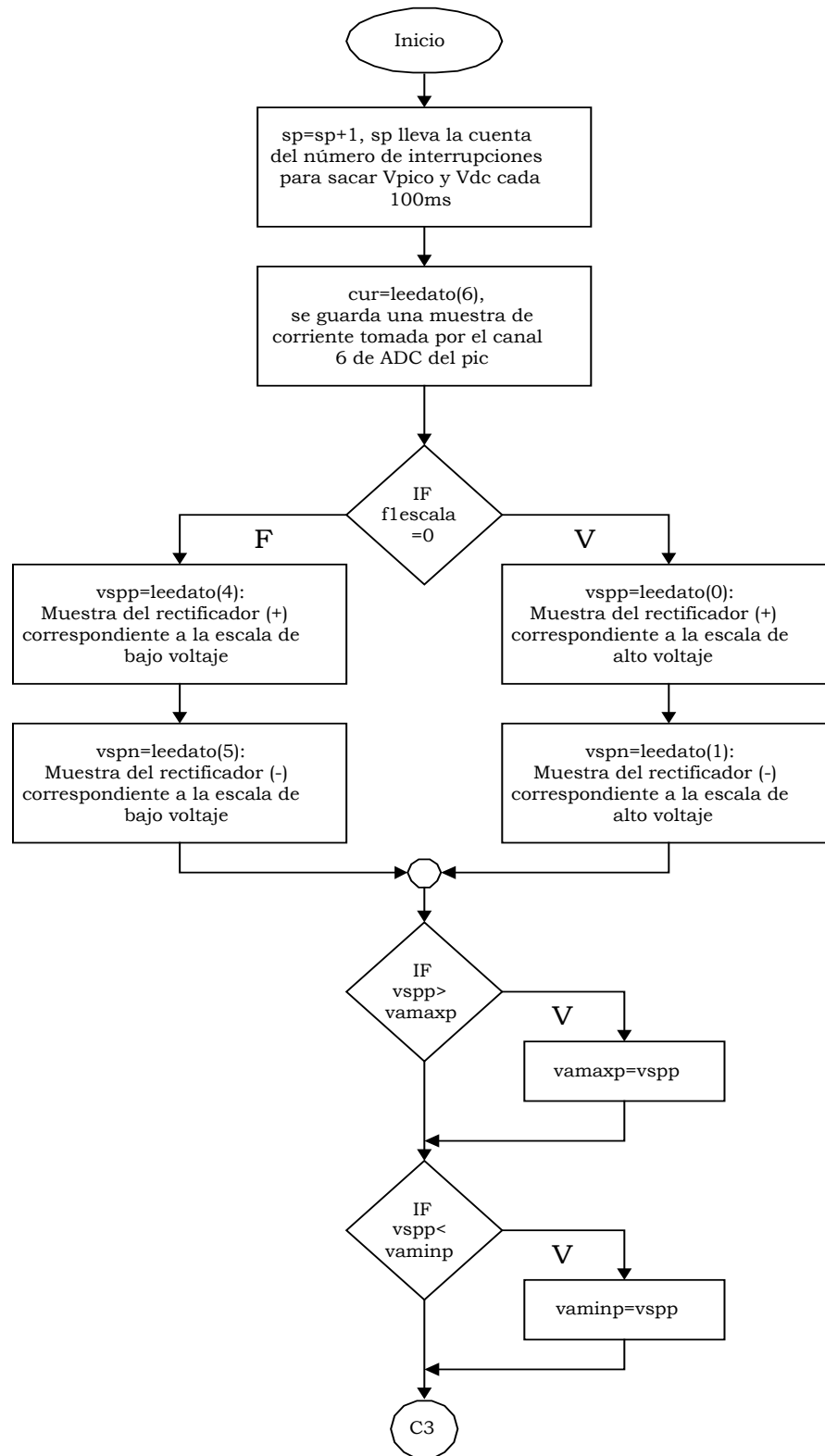


Figura A.6 Diagrama de flujo de la interrupción del Timer0.

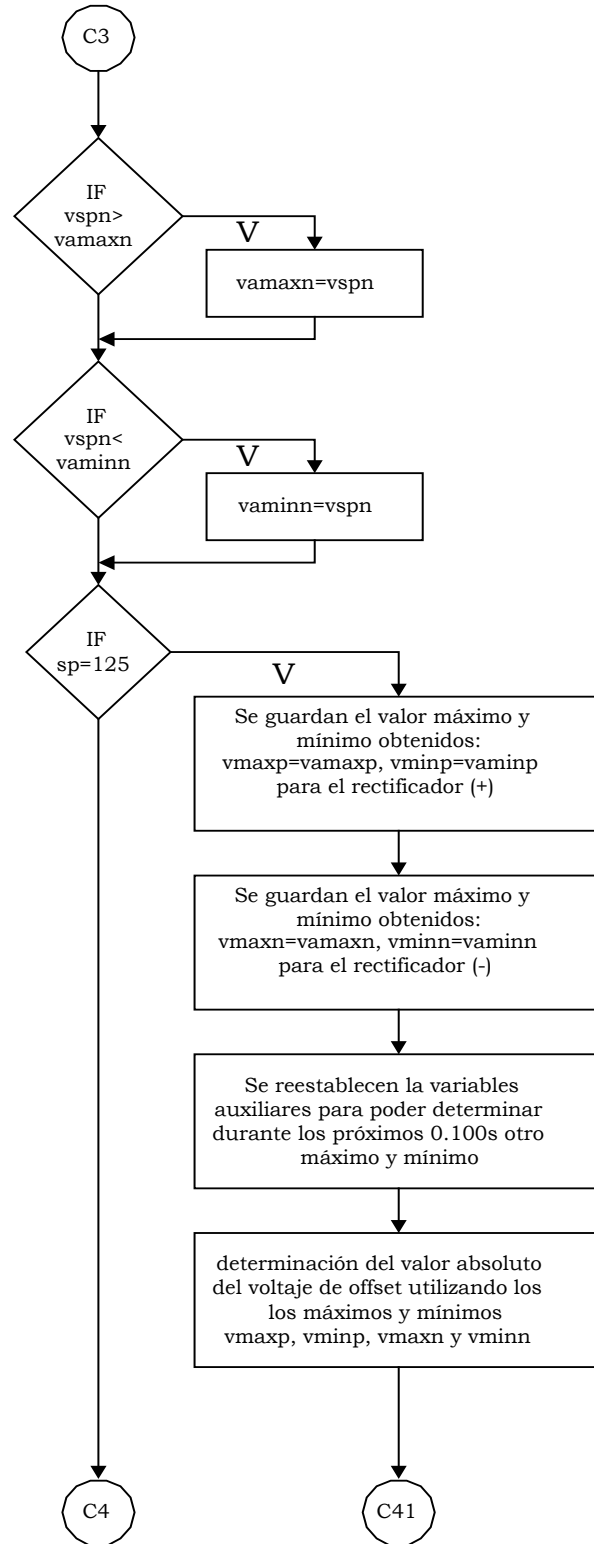


Figura A.7 Continuación del diagrama de flujo de la figura A.6.

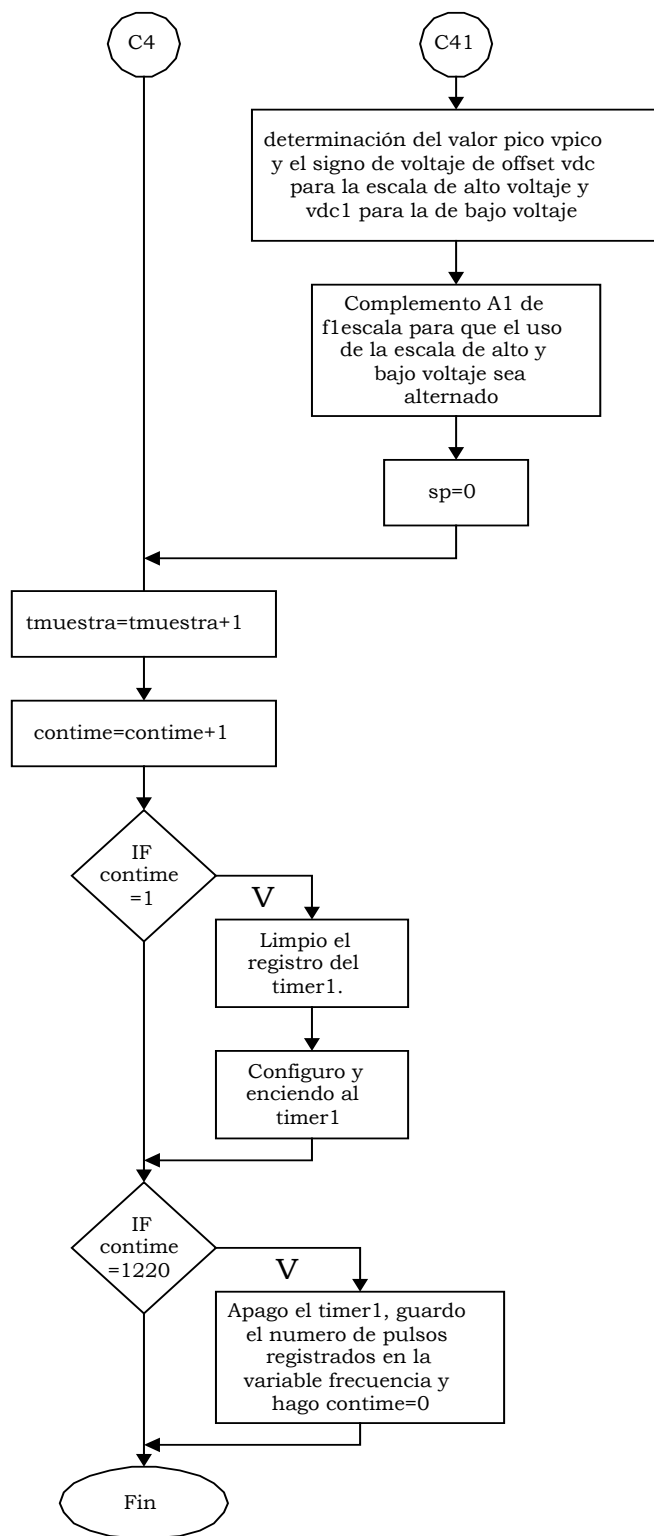
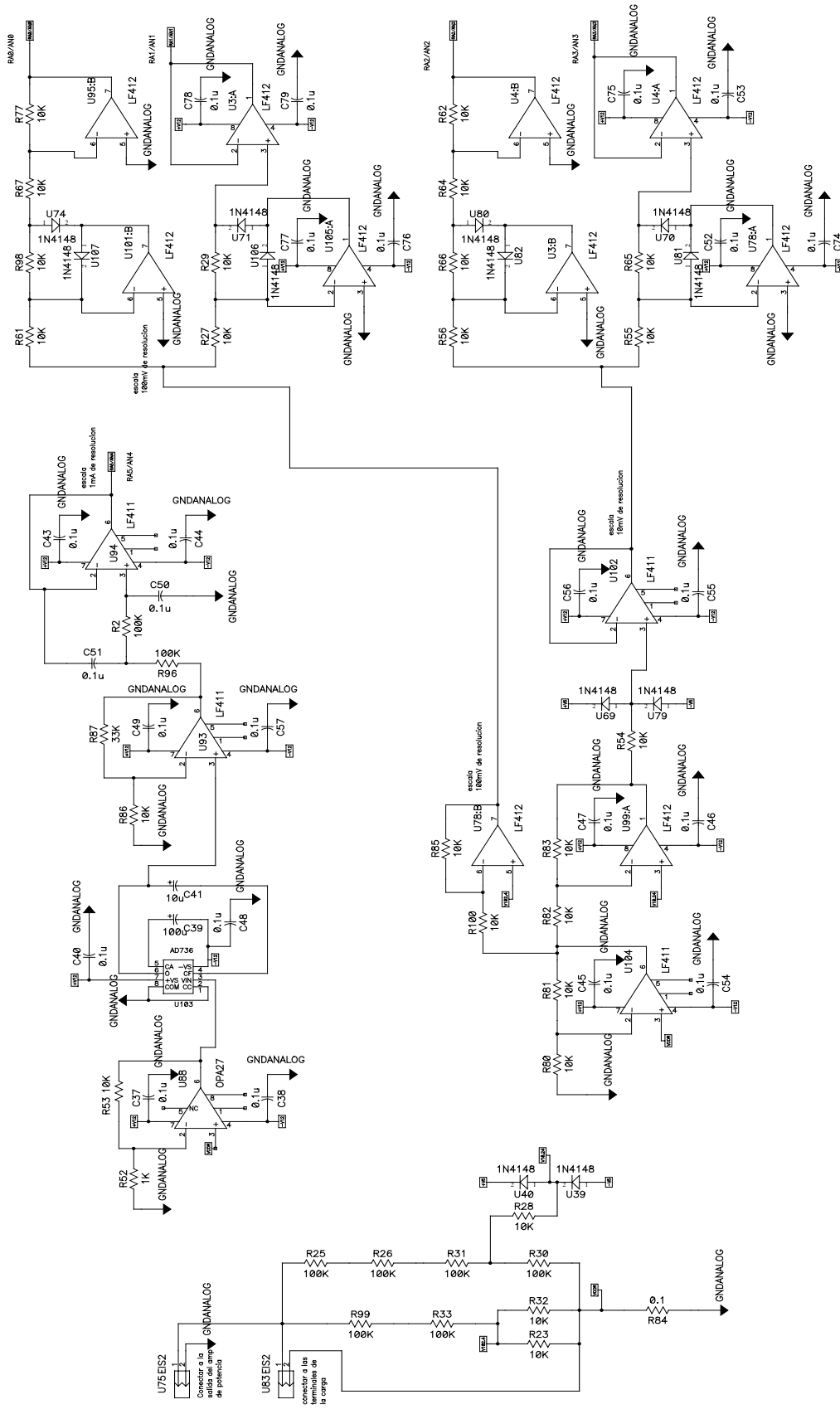
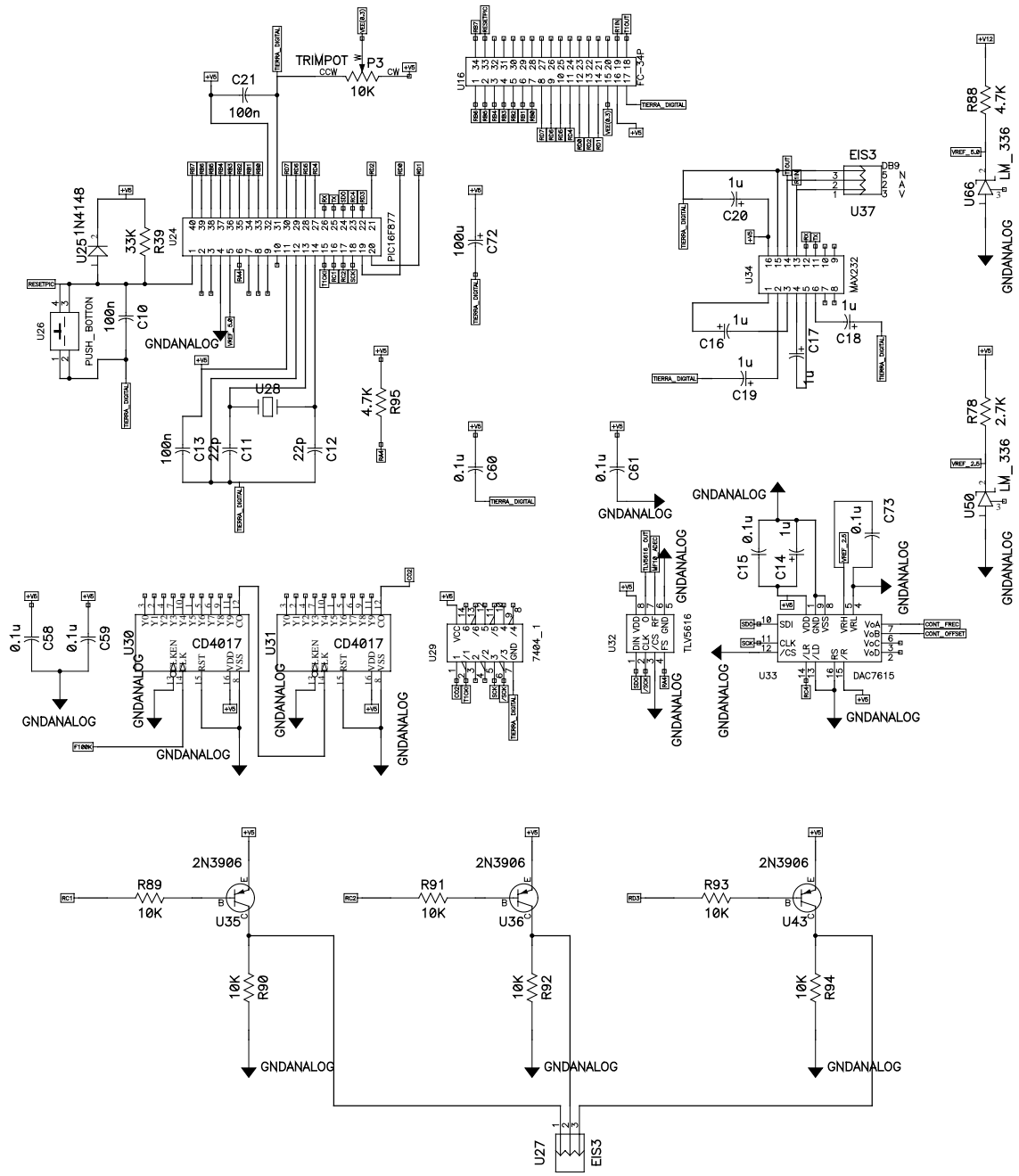


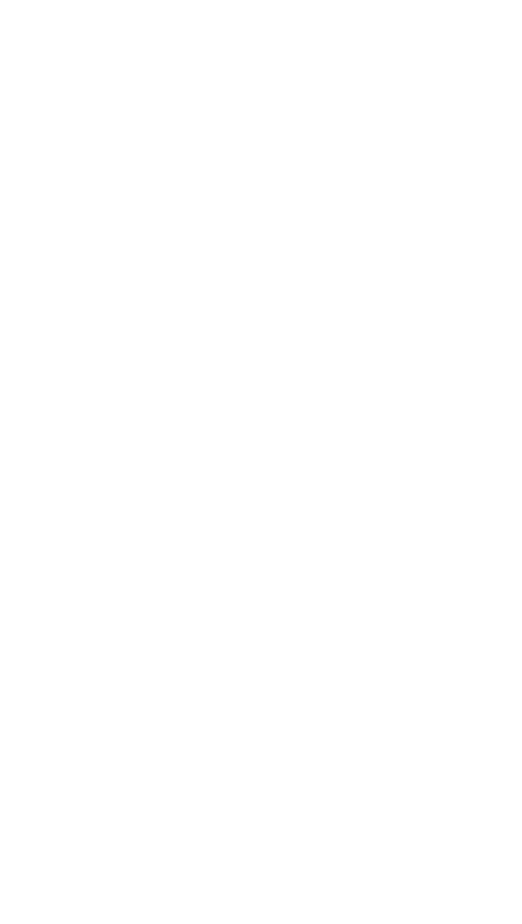
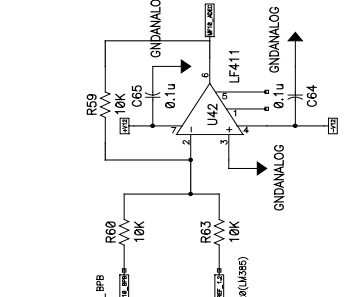
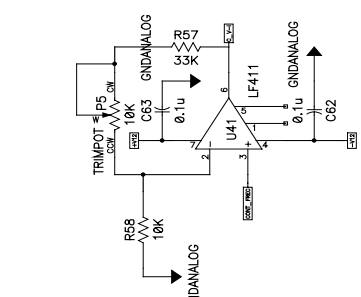
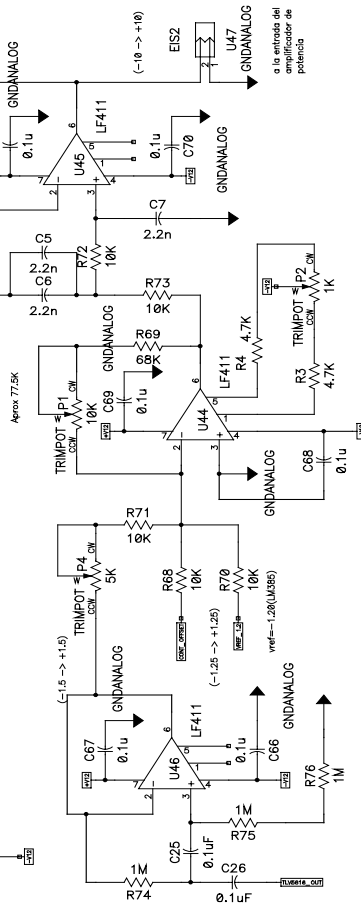
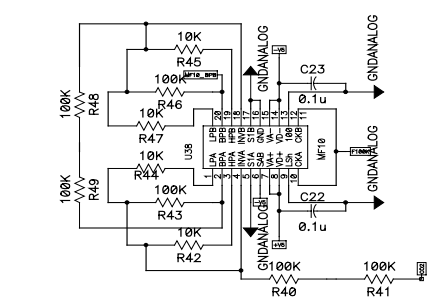
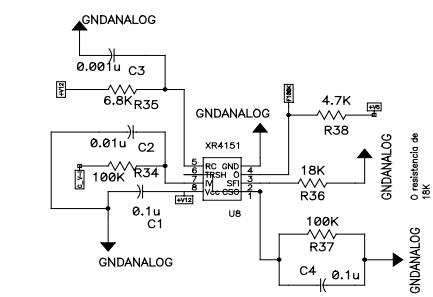
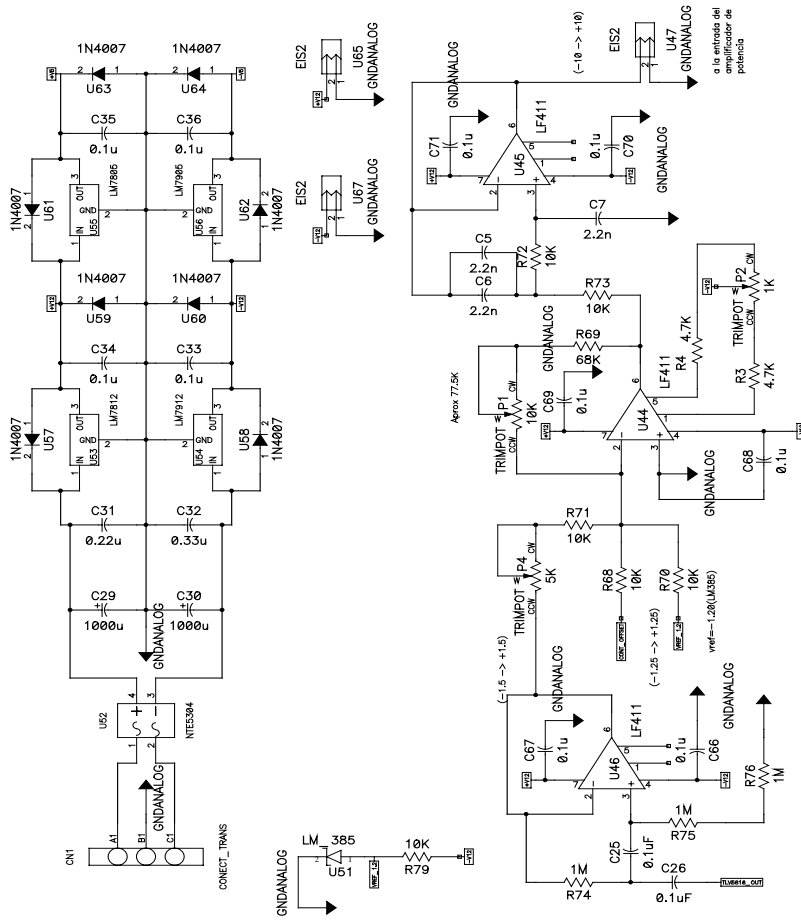
Figura A.8 Continuación del diagrama de flujo de la figura A.7.

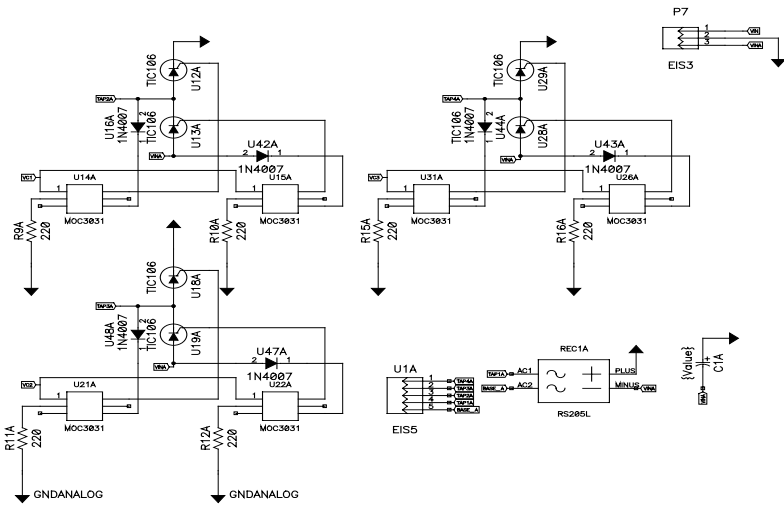
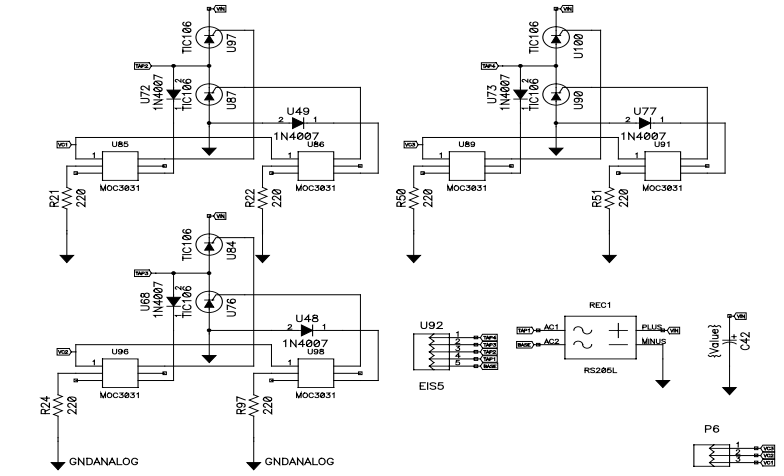
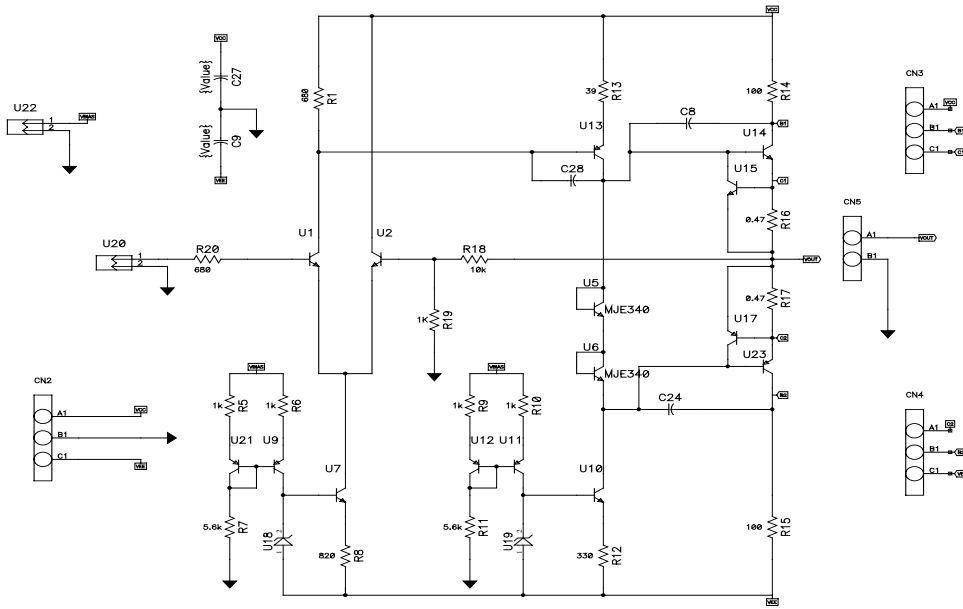
## **APÉNDICE C**

En esta sección se muestran los diagramas esquemáticos de las etapas del generador de señal senoidal de potencia.











**REFERENCIAS**

- [1] Y.C. Sui, J.M. Saniger, Characterization of anodic porous alumina by AFM, *Materials Letters* 48, 3-4 (2001) 127-136
- [2] Sergio Franco, *Desing With Operational Amplifiers and Analog Integrated Circuits*, México, Ed. McGraw-Hill, 1988, pp. 355-409.
- [3] *ib.* pp. 556-591.
- [4] *ib.* pp. 96-145.
- [5] *ib.* pp. 443-481.
- [6] Adel S. Sedra, Kenneth C. Smith, *Circuitos Microelectrónicos*, México, Ed. Oxford, 1998, Cuarta Edición, pp 973-1019.
- [7] *ib.* pp. 667-735.
- [8] *ib.* pp. 751-791.
- [9] *ib.* pp. 122-191.
- [10] *ib.* pp. 221-326.
- [11] Alan V. Oppenheim, *Señales y Sistemas*, México, Ed. Prentice Hall, 1997, Segunda Edición, pp. 177-284.
- [12] National Semiconductor, MF10, Data Sheet, 2001.
- [13] Exar, XR4151, Data Sheet, 1997.
- [14] Texas Instruments, TLV5616, Data Sheet, 2002.
- [15] Robert G. Meyer, Paul R. Gray, *Análisis y diseño de circuitos integrados analógicos*, México, Ed. Prentice Hall, 1993.
- [16] Douglas Self, Distortion in power amplifiers 2: the input stage, *Electronics World + Wireless World* Septiembre 1993, pp. 730-736.
- [17] Douglas Self, Distortion in power amplifiers 3: the voltage-amplifier stage, *Electronics World + Wireless World* Octubre 1993, pp. 818-824.
- [18] Douglas Self, Distortion in power amplifiers 4: the power-amplifier stages, *Electronics World + Wireless World* Noviembre 1993, pp. 928-934.
- [19] Douglas Self, Distortion in power amplifiers 6: The remaining distortions, *Electronics World + Wireless World* enero 1994, pp. 41-45.
- [20] Douglas Self, Distortion in power amplifiers 7: Frequency compensation and real designs, *Electronics World + Wireless World* febrero 1994, pp. 137-142.

[21] Douglas Self, Distortion off the rails, *Electronics World + Wireless World* Marzo 1995, pp. 201-206.

[22] Microchip Technology, PIC16F87X, data sheet, 1999.

[23] Texas Instruments, DAC7615, data sheet, 1998.

[24] Analog Devices, AD736, data sheet, 1988

**BIBLIOGRAFÍA**

Adel S. Sedra, Kenneth C. Smith, Circuitos Microelectrónicos, México, Ed. Oxford, 1998, Cuarta Edición

Alan V. Oppenheim, Señales y Sistemas, México, Ed. Prentice Hall, 1997, Segunda Edición.

H. M. Deitel, P. J. Deitel, Como programar en C/C++, México, Ed Prentice Hall, 1995, Segunda Edición.

Nigel Gardner, PICmicro MCU C: An Introduction to Programming the Microchip PIC in CCS C, USA, Bluebird Electronics, 2002.

Robert G. Meyer, Paul R. Gray, Análisis y diseño de circuitos integrados analógicos, México, Ed. Prentice Hall, 1993.

Robert L. Boylestad, Louis Nashelsky, Electrónica: Teoría de Circuitos, México, Ed Prentice Hall, 1997, Sexta Edición.

Sergio Franco, Desing With Operational Amplifiers and Analog Integrated Circuits, México, Ed. McGraw-Hill, 1988.

P-CAD Schematic, User's Guide, ACCEL Technologies, Inc.

P-CAD PCB, User's Guide, ACCEL Technologies, Inc.