

**FACULTAD DE INGENIERIA U.N.A.M.
DIVISION DE EDUCACION CONTINUA**

CURSOS ABIERTOS

INSTRUMENTACION DIGITAL POR MEDIO
DE MICROPROCESADORES Y MICROCOMPUTADORAS

1.- SENSORES ANALOGICOS

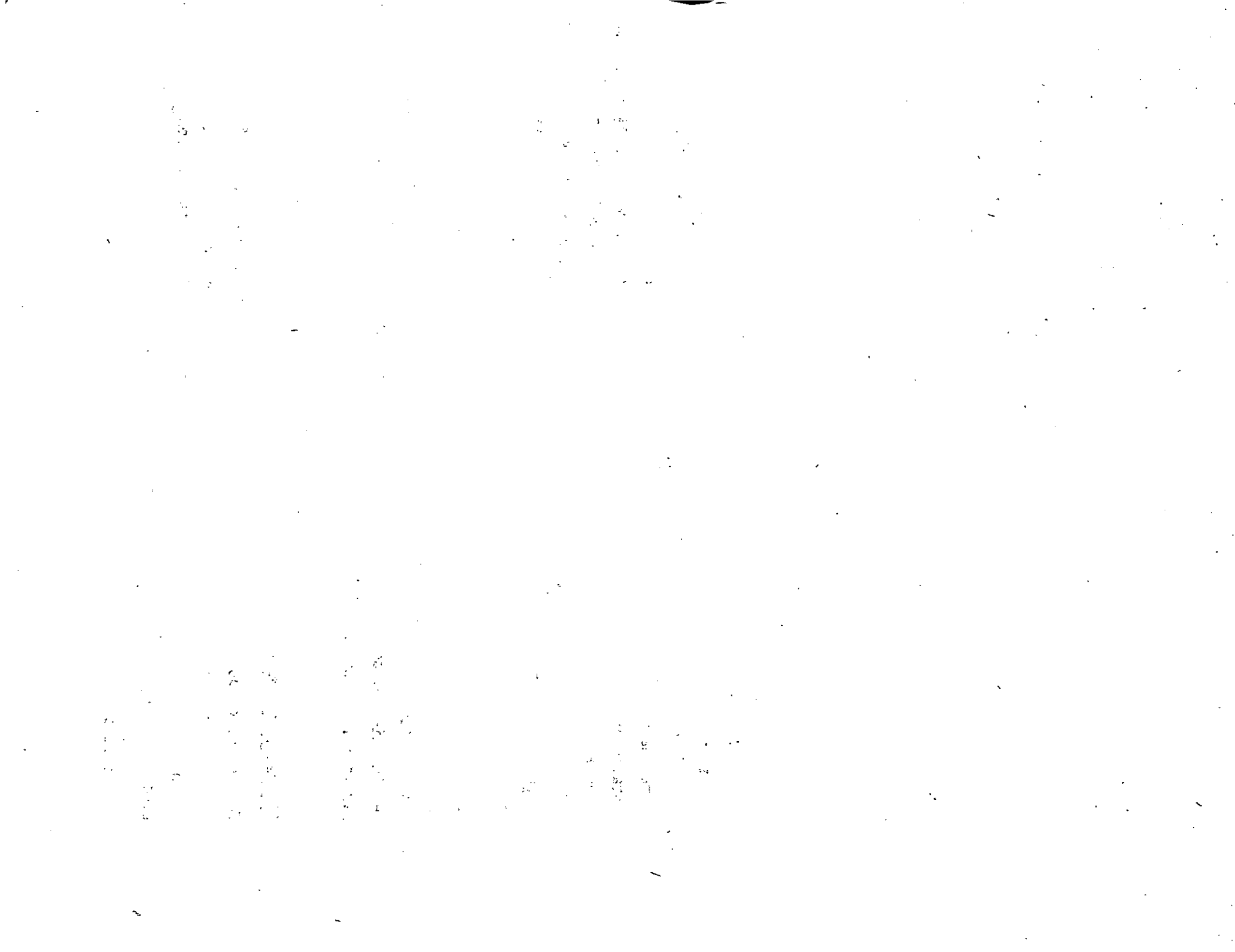
AUTORES:

ING. JORGE ROSAS VAZQUEZ
ING. RICARDO GARIBAY JIMENEZ

EXPOSITOR:

ING. JOSE JUAN VILLAGRAN ARAIZA

FEBRERO - MARZO



3.1 TRANSDUCTORES ELECTRICOS

Un gran número de dispositivos operan bajo el principio de transformar una entrada que representa una variable física, en una señal eléctrica; a tales dispositivos se les llama transductores. En las secciones siguientes discutiremos algunos de los transductores más ampliamente usados, así como sus principios de operación. La tabla 3.1 presenta un resumen compacto de las características de algunos transductores.

Otro tipo de transductores de naturaleza más especializada (Termopares, RTD's, etc.) se analizarán en sesiones posteriores.

A. El Transductor de Resistencia variable.

Este transductor es un dispositivo muy común, el cual se puede construir en forma de un contacto que se mueve sobre un alambre; un contacto que se mueve sobre una bobina de alambre, ya sea con un movimiento lineal o angular, o un contacto que se mueve angularmente sobre un conductor sólido, como una pieza de grafito. A este dispositivo también se le llama "Potenciómetro" o "Reóstato" y se puede conseguir comercialmente en diferentes dimensiones, tamaños y rangos. El costo varía grandemente pues depende de la precisión del dispositivo.

Esencialmente este transductor es un dispositivo que convierte un desplazamiento lineal o angular en una señal eléctrica; sin embargo, por medio del uso de métodos mecánicos, es posible convertir una fuerza o una presión en un desplazamiento, de tal forma que este dispositivo también puede ser útil en las mediciones de fuerza y presión.

B. El Transformador Diferencial.

Como se puede observar en la figura 3.3, el transformador diferencial está formado por tres bobinas con disposición lineal, con un núcleo magnético que se puede mover libremente dentro de ellas. El funcionamiento de este dispositivo es el siguiente:

A la bobina central se le aplica un voltaje alterno, de manera que el volta-

donde: I = Corriente fotoeléctrica

ϕ = Iluminación del cátodo

S = Sensibilidad

Generalmente la sensibilidad se expresa en ampers por watt o amperes por lumen.

La respuesta del tubo fotoeléctrico a diferentes longitudes de onda de luz, está afectada por dos factores:

- a) Las características de transmisión de la cubierta del vidrio, y
- b) Las características fotoemisivos del material del cátodo.

Existen materiales fotoemisivos que responden a la luz en un rango de 0.2 a 0.8 . La mayoría de los cristales transmiten la luz en la porción superior de este rango, pero muchos de ellos no transmiten abajo de cerca de 0.4 . Sin embargo, el cuarzo transmite abajo de 0.2 .

Los tubos fotoeléctricos se utilizan a menudo para la medición de intensidad de luz. Se pueden utilizar dispositivos baratos para propósitos de conteo que se basen en la interrupción periódica de una fuente luminosa.

F. Transductores de Presión.

Elementos Elásticos.

Existen tres tipos principales de elementos elásticos para medir presión:

- Tubo Bourdon
- Diafragma
- Fuelle

Básicamente el funcionamiento de estos elementos sigue la ley de Hooke, la cual establece que, dentro del límite elástico, la deformación es función del esfuerzo, esto es, la deflexión es función de la presión.

Tubos Bourdon.

Los sensores de presión tipo Bourdon son los elementos elásticos que más se usan en la industria. No son completamente adecuados para medir el vacío, bajas presiones o rangos compuestos debido a que desarrollan poca fuerza en amplitudes menores de 2 Kg./cm.^2 . El tubo puede tener forma C/C , de espiral o helicoidal. La forma que se utilizará en determinado instrumento es función de varios factores, siendo uno de los más importantes el espacio disponible en la caja. Los tres tipos pueden detectar presiones en un amplio rango, lo cual ocasiona falta de uniformidad, en dichos rangos, dependiendo del fabricante y del tipo de elemento. En general, los tipos espiral y helicoidal, que tienen una longitud mayor, se emplean cuando se desea reducir los esfuerzos en el tubo. Los materiales más comunes para fabricar los tubos Bourdon son: bronce, acero de aleación, acero inoxidable y monel. La deflexión obtenida en estos elementos es función de la longitud del tubo, del espesor de la pared, de la geometría de la sección transversal y del módulo de elasticidad del material empleado.

Bourdon Tipo C.

Un elemento de este tipo se ilustra en la figura 3.7. La presión de proceso se aplica a la conexión donde está fijo un extremo del tubo. El otro extremo, la punta, está sellado y tiene libertad para moverse. Debido a la diferencia-

se pueden emplear para construir instrumentos que midan presiones absolutas, manométricas o diferenciales.

En la medición de presión absoluta se emplea un elemento con cápsula o cápsulas sin aire en su interior, la presión de proceso se aplica a su exterior. La deflexión se transmite a los elementos secundarios del instrumento (mecanismo de balance de movimiento o de balance de fuerzas).

Si la presión que se va a medir se aplica al interior del elemento y su superficie exterior está expuesta a la presión atmosférica, la medición estará referida a esta última, con lo que se obtiene la presión manométrica o de vacío en el proceso. Si una presión actúa en el interior y otra en el exterior del elemento, la deflexión será una medida de la presión diferencial.

Ejemplo:

En la figura 3.11 se muestra un medidor típico de tiro que utiliza un determinado número de cápsulas. El grupo de cápsulas se encuentra rígidamente montado en una plataforma dentro del instrumento, al que llega la conexión de presión. La deflexión de dicho grupo aumenta por medio de un mecanismo que mueve un puntero dentro de una escala fija vertical de vidrio.

El medidor de tiro tipo diferencial consta de un grupo de cápsulas contenidas en una cámara cerrada. Las dos tomas de presión están conectadas al interior del grupo y al de la cámara respectivamente, de tal forma que la deflexión obtenida sea proporcional a la presión diferencial y que sea transmitida al puntero por medio de una varilla que pase a través de un sello en el lado de la cámara.

El ajuste de cero en ambos tipos de instrumentos se efectúa al mover la palanca de montaje con respecto a la carcasa del instrumento.

El diafragma suelto es el dispositivo con mayor sensibilidad entre los elementos elásticos y puede detectar presiones cercanas a la atmosférica, como la de los tiros. La presión por medir se puede balancear con el diafragma mismo o con un resorte calibrado. La presión que puede soportar es baja, del orden de 0.35 a 1.76 kg./cm.^2 (5 a 25 psig.). El diafragma puede ser metálico, por ejem., de acero inoxidable o puede fabricarse de algún elastómetro, por ejem., neopreno, teflón o Buna-N.

Medidores de Fuelle.

Otro dispositivo que se usa en sistemas de baja presión, particularmente equipo operado neumáticamente, es el medidor de fuelle. Consta de una sección de tubo delgado sin costura, plegado profundamente (ver figura 3.12). El material que se usa para el fuelle depende de la naturaleza del fluido y el movimiento está restringido a la carrera parcial que normalmente realiza un resorte de oposición, de tal forma que se maximice la vida del medidor (ver figura 3.13).

La ecuación para un fuelle simple de resorte de oposición es:

$$d = \frac{PAe}{K_b + K_s}$$

donde:

- d = deflexión del fuelle
- P = presión aplicada
- Ae = área efectiva del fuelle
- K_b = constante del fuelle
- K_s = constante del resorte

Si el fuelle está dispuesto para operar un mecanismo o palanca conectada a un transductor eléctrico, la fuerza disponible, que incluye fricción, inercia y contacto, está dada por:

$$F = PAe = ds (K_b + K_s)$$

donde:

- ds = deflexión requerida.

El fuelle es un elemento axialmente flexible, con capacidad para aumentar o disminuir su longitud. Los fuelles sin costura se fabrican de tubo delgado (tubing) de latón, bronce fosforado, berilio-cobre, monel, acero inoxidable, inco-nel u otros metales. La selección del material se hace considerando las características de la aplicación: corrosión, rango de presión y deflexión requeri-

da. La sensibilidad de estos elementos aumenta con su tamaño. En general, los fuelles pueden detectar presiones ligeramente más altas que las cápsulas formadas con diafragmas y generan una fuerza mayor al aplicárseles una presión dada. Una de sus desventajas es que son sensitivos a cambio de la temperatura ambiente.

Los fuelles se usan en instrumentos similares a los descritos en relación con las cápsulas de diafragmas y pueden emplearse para medir presiones absolutas, manométricas o diferenciales. Para medir presiones diferenciales pequeñas, a altas presiones estáticas, pueden emplearse un elemento de dos fuelles. Como se muestra en la figura 3.14 ambos fuelles están llenos con un líquido apropiado. La presión alta comprime el fuelle de alta presión, con lo que el líquido se transfiere al fuelle de baja presión, a través de un pasaje en el que hay una restricción ajustable que cumple la función de amortiguar las pulsaciones. La amplitud de medición del elemento varía al cambiar el resorte de rango. El movimiento de los fuelles se transmite mediante un tubo de torque cerrado. El líquido empleado debe tener un coeficiente de expansión térmico bajo, y puede suministrarse un fuelle adicional para compensar los cambios de volumen que pueda sufrir el líquido de llenado al variar la temperatura. La protección por sobre-rango, que es muy alta, se obtiene usando válvulas, cuando la presión diferencial alcanza un valor dado, la válvula se cierra impidiendo la transferencia de más líquido. La presión diferencial puede aumentar, pero debido a la incompresibilidad del líquido, el fuelle no sufrirá daños o deformación.

Sensores de Presión Electrónicos.

En los últimos años se ha desarrollado una tendencia hacia el uso de sensores electrónicos, debido a su gran exactitud, respuesta rápida y bajo consumo de energía. Por otro lado, la electrónica ha hecho posible grandes avances al desarrollar circuitos integrados, circuitos impresos y tarjetas intercambiables, lo cual hace que los dispositivos electrónicos sean más confiables y de fácil mantenimiento. Estos dispositivos pueden dividirse en dos grupos básicos:

- a) De circuito cerrado y
- b) De circuito abierto

dependiendo de si el torque o fuerza de restitución fuerza o no al elemento sensor hacia una posición de nulificación de su movimiento

Transductores de Circuito Cerrado.

Un ejemplo típico de circuito cerrado es el que utiliza un sensor de balance de fuerzas. La figura 3.15 muestra el principio para operar un dispositivo de este tipo, las presiones de alta y baja se conectan en los lados opuestos de una cápsula de diafragma doble; la diferencia de presiones resultante ejerce una fuerza opuesta proveniente de la bobina de retroalimentación. Ambas fuerzas operan sobre la barra de fuerzas y en el ensamble de flexión; el sello de diafragma y el punto P actúan como pivotes. Cualquier movimiento de la armadura del detector la cual cambia el flujo de corriente en el detector secundario; la corriente se amplifica y aplica simultáneamente a la bobina de retroalimentación y al receptor; la fuerza en la bobina de retroalimentación balancea la fuerza en la cápsula. La corriente de la señal de salida (10-50 mA ó 4-20 mA), que establece la fuerza de balance, es la señal transmitida y es proporcional a la diferencia de presiones; la señal se transmite a un receptor para su registro, indicación y/o control.

Transductores de Circuito Abierto.

Este tipo de mecanismo mide la desviación de un sensor eléctrico; entre mayor sea la desviación, mayor será la señal de salida. Entre los sensores del tipo eléctrico abierto están los sensores de deformación (strain gages) de lámina metálica, de semiconductores (Figura 3.16), de capacitancia variable (Figura 3.17) y los de reluctancia variable.

Detección de presión por medio de sensores de deformación.

Principio de operación de sensores de deformación tipo resistivo: La resistencia de un conductor metálico a temperatura constante, varía directamente con su longitud e inversamente al área de la sección transversal, esto es:

$$R = \frac{KL}{A} \text{ ohms}$$

donde:

K = constante que depende del tipo de alambre.

L = longitud medida en las mismas unidades de K.

A = área de la sección transversal medida en las mismas unidades de K.

Debido a que el volumen de un alambre es constante a una temperatura dada, cualquier carga mecánica que incremente el esfuerzo mecánico producirá dos efectos:

a) Incrementará la longitud del alambre.

b) Reducirá el diámetro y, por lo tanto, el área de la sección transversal.

Ambos efectos incrementarán la resistencia, la cual se puede medir por medio de un puente de Wheatstone. En teoría, para medir el esfuerzo al que se someta la muestra podría utilizarse un alambre de cualquier tamaño; sin embargo, en la práctica se han encontrado arreglos y dimensiones definitivamente ventajosos. Como resultado de esto, los sensores de deformación pueden dividirse en ligados y desligados.

a) Sensores ligados.- El sensor normal, (figura 3.18) consiste de varias redes de alambre fino que van pegadas a la base u hoja transportadora de papel o de plástico; el alambre tiene un diámetro de 0.001 pulgadas y una resistencia nominal generalmente de 120 ohms; la corriente del puente que fluye a través del elemento es de aproximadamente 24 mA, el material de la base es relativamente débil y el esfuerzo mecánico del sensor con respecto al de la muestra bajo prueba debe ser esencialmente cero. Con un buen ligamento entre la base y el elemento sensor podrá medirse la deformación ya sea por tensión o por compresión.

b) Sensores desligados.- El sensor desligado (figura 3.19) difiere del ligado en que los componentes resistivos se montan en partes que tienen movimiento relativo una con respecto a otra; este movimiento es independiente de la deformación como tal. El alambre se monta con una tensión inicial; de esta manera el dispositivo podrá medir tanto la tensión como la compresión.

Efecto de la Temperatura. Debido a que por el sensor de deformación fluye corriente eléctrica, habrá un efecto de calentamiento proporcional al cuadrado de la corriente. Puesto que todos los alambres apropiados a esta aplicación tienen un coeficiente de resistencia-temperatura apreciable, cualquier cambio en la resistencia debido a una variación en la temperatura ambiente o al calentamiento por corriente, debe considerarse o eliminarse mediante circuitos. Uno de los métodos más sencillos es utilizar un sensor fingido en el que fluya la misma corriente y que esté a la misma temperatura ambiente que el elemento activo; este sensor fingido se conecta al puente (figura 3.20), de tal manera que se cancele cualquier efecto excepto el resistivo debido a la deformación, debe estar lo suficientemente cerca del sensor activo, de tal manera que la temperatura sea la misma que la de este sensor y el material con el cual se fija al sensor debe ser esencialmente el mismo con objeto de que la transferencia de calor sea, hasta donde sea posible y práctico, igual.

Una pequeña cantidad de energía eléctrica que fluya a través de estos alambres tan finos puede originar un calentamiento apreciable.

Sensores de Deformación tipo Semiconductor.

Estos sensores son básicamente similares a los metálicos convencionales; la principal diferencia radica en que los sensores de semiconductor tienen una respuesta más grande tanto en esfuerzo como en temperatura. La característica de resistencia grande y no lineal con respecto a la deformación, se debe principalmente al efecto piezorresistivo de un cristal de semiconductor adecuadamente orientado.

Los sensores de deformación tipo semiconductor se usan ampliamente para desarrollar transductores de salida grande, tales como las celdas de carga y las de presión; en una aplicación de transductores, se pueden utilizar las técnicas de compensación, explicadas arriba, para reducir los efectos de la sensibilidad a la temperatura y la no linealidad. El elemento sensor generalmente es un filamento de semiconductor que se prepara y corta para producir sensores del tipo 'p' o 'n'; uno del tipo 'p' exhibirá una característica de salida positiva, esto es, un incremento en la resistencia corresponde a un incremento en la tensión (figura 3.21); la resistencia de un sensor 'n' disminuye al incrementarse la tensión (figura 3.22). El sensor tipo 'n' compensa la

temperatura por sí mismo y es económico en lo que se refiere a que no necesita de sensores o componentes de circuito adicionales para conseguir una compensación relativa del defasamiento de cero efectivo; una desventaja del tipo "h" es su poca linealidad.

Sensor de Capacitancia Variable.

Su principio de operación se basa en la variación de la capacitancia entre una parte movable (usualmente un diafragma) y uno o dos diafragmas o placas fijas. (Ver figura 3.23).

Sensor de Reluctancia Variable.

Este medidor usa básicamente un elemento de presión para posicionar un núcleo de ferrita entre dos bobinas alimentadas con C.A. Este movimiento cambia el espacio o cantidad de aire creando un cambio en la reluctancia de las bobinas. El voltaje inducido es medido por un puente de C.A. antes de ser convertido a un voltaje de C.D. para transmisión.

G. Transductores de Nivel.

Dentro de las mediciones de las variables de un proceso, la del nivel ocupa el segundo lugar en importancia inmediata después de la medición de flujo. La operación adecuada de un proceso se relaciona directamente con el problema de mantener el almacenamiento de fluidos en un valor predeterminado.

Al proponer una instalación apropiada de un proceso en particular que involucre la medición y/o control de nivel, el ingeniero de sistemas de control que diseña debe distinguir las ventajas, aplicaciones y limitaciones de los diferentes tipos de instrumentos. Además, han de tenerse en cuenta las condiciones existentes, tales como la acidez o alcalinidad, presión y temperatura, entre otras, y el tipo de material que se va a utilizar.

Debido a que para indicar el nivel de un líquido, se puede utilizar un simple manómetro, para indicar el nivel se podrá emplear un indicador de presión con su rango de presión correspondiente.

Las unidades de presión pueden convertirse fácilmente en unidades de nivel (m, cm, pulgadas o pies) o bien puede recalibrarse la escala del indicador. Como la presión del fondo del tanque se origina por el peso de la columna del líquido, ésta puede expresarse en kg./cm.^2 (Figura 3.23).

$$P = Hd$$

donde:

P = presión en kg./cm.^2

H = altura del líquido arriba de algún punto de referencia, cm.

d = densidad del líquido, kg./cm.^3

Medidores de presión diferencial hidrostática.

La presión debida a la carga hidrostática en un tanque abierto se puede medir con un simple manómetro de tubo "U". Como se muestra en la figura 3.24, la carga H del líquido en el tanque produce un levantamiento "h" del líquido del manómetro que contrabalanca la carga del primer líquido. El balance de presiones puede expresarse como:

$$h \times D_m = H \times D_1$$

donde:

h = altura de la columna del manómetro, cm.

D_m = densidad del líquido del manómetro

D_1 = densidad del líquido en el recipiente

por lo tanto:

$$h = H \frac{D_1}{D_m}$$

Mecanismos de Flotador.

La figura 3.25 muestra una esfera conectada a una barra y ésta a una flecha

rotatoria que opera sobre un cojinete, soporte, o empaque, unido a un puntero indicador y a una escala. El viaje efectivo del flotador y del dispositivo de medición de flecha es limitado debido a consideraciones prácticas. El ángulo a , que se muestra en la figura 3.25, no debe exceder 60° de la rotación de la flecha ($\pm 30^\circ$ de la horizontal) con el objeto de obtener una medición y respuesta satisfactoria. Por lo tanto, el máximo rango de la medición del nivel puede expresarse aproximadamente como:

$$H = 2 L \operatorname{sen} \frac{a}{2}$$

donde:

H = rango de la medición del nivel

L = longitud de la varilla que conecta al flotador con la flecha

a = ángulo de rotación de la flecha

La potencia que desarrolla una unidad de flotador, es función del desplazamiento disponible del líquido alrededor de la circunferencia del flotador. Por ejemplo, si el flotador se mantiene en una posición fija, por fricción u otros medios, un incremento del nivel en la circunferencia del flotador provocará un desplazamiento del líquido igual al producto del segmento del flotador por el incremento del nivel. Debido a esto, se producirá una fuerza de flotación igual al peso del líquido desplazado. Por otro lado si el líquido baja por la circunferencia del flotador, el peso del líquido equivalente al volumen del segmento desplazado es igual al valor de la fuerza de flotación negativa o a la cantidad de fuerza actuante en dirección hacia abajo. Como se muestra en la figura, esta fuerza puede expresarse de la siguiente manera:

$$F = 0.0361 \quad A t G \quad (a)$$

donde:

F = fuerza del flotador debida al efecto de flotación

A = área cubierta del segmento del flotador

t = cantidad del aumento o disminución del nivel

G = gravedad específica del líquido

Nota: 0.0361 es en libras por pulgada cúbica de agua ó 0.001 kilogramos por centímetro cúbico de agua.

El área A para un flotador es $D^2/4$ donde D es el diámetro del flotador. Por lo tanto, la ecuación (a) se convierte en:

$$F = 0.009025 D^2 tG \quad (b)$$

El torque disponible para vencer la resistencia por fricción, en cualquier punto "p" del brazo, puede representarse como:

$$T = \frac{FL}{k} \quad (c)$$

donde:

T = torque en cualquier punto del brazo de medición, a una distancia k de la flecha de medición.

k = longitud del brazo de medición al punto "p"

Para un flotador específico la ecuación (c) se convierte en:

$$T = \frac{0.009025 D^2 tGL}{k}$$

Dispositivos de punto de contacto.

En los primeros depósitos de nivel, una simple vara servía como dispositivo para medir el nivel, un refinamiento de este fué el medidor de gancho (figura 3.26a) y el de cinta y plomada (figura 3.26b). Este último mide la distancia del menisco del líquido al punto de referencia. Por lo general, la escala está grabada en una varilla cuadrada de latón. Cuando se usa el medidor de gancho, éste se mueve de abajo hacia arriba, justamente hasta que perfora la superficie del líquido. En cambio si se utiliza el medidor de cinta y plomada, la punta se baja hasta que una depresión muestra el contacto con la superficie del líquido.

Otra variación de estos dispositivos de punto de contacto es el medidor de cinta (de bronce o acero) y plomada que se muestra en la figura 3.26b.

Tubo de Vidrio.

La necesidad de un medio de indicación claro con una localización más conveniente ocasionó la introducción de un manómetro o tubo de extremo abierto. La altura del líquido en el tubo iguala el nivel del recipiente y, por medio de un tubo de material transparente, como el vidrio, se puede leer en un punto exterior el nivel del líquido en el recipiente. En tubos de diámetro pequeño, la atracción capilar provoca que el agua se levante a una altura extrema de $0.046/d$, donde "d" es el diámetro del tubo en pulgadas. Esta altura extra debida a la capilaridad podría sobrepasar 1/4" para un tubo de 1/8" de diámetro.

Por esto, en indicadores de vidrio normalmente se utilizan tubos de diámetro grande. El tubo de vidrio, puede considerarse como un manómetro en el cual el tubo de vidrio busca la misma posición que el nivel dentro del recipiente. Estos sencillos instrumentos aún se usan cuando una lectura directa local del nivel es satisfactoria y cuando la aplicación cae dentro de sus limitaciones.

Sistema de Caja de Diafragma.

El empleo del sistema de caja de diafragma (figura 3.27) es frecuente cuando el medidor no se puede instalar directamente en o debajo del nivel mínimo del tanque. En este diseño, la presión generada por la carga del líquido se balancea con la presión neumática del gas encerrado dentro de la caja. Este dispositivo es recomendable por su simplicidad mecánica; además, tiene las ventajas de poderse colocar en cualquier punto y de separar los sólidos de los líquidos dentro del indicador o medidor. Las turbulencias o el flujo no afectan este sistema, que también puede utilizarse para medir el nivel en depósitos o tanques en los que pueda formarse hielo en la superficie. Si aparecen condiciones que garanticen el uso de la caja de diafragma, se deben tener presentes varias consideraciones prácticas como:

- a) Elegir los materiales apropiados de la caja y diafragma para que el líquido no los afecte.
- b) Seleccionar el tamaño correcto de la caja y tubería. La figura muestra -

cómo un incremento en el tamaño del tubo limita la distancia de transmisión para una presión dada. Por otro lado, el reducir el tamaño del tubo aumentará el tiempo de respuesta. El tiempo de respuesta para los sistemas que utilizan tubo de 1/8" es aproximadamente un sexto de aquéllos que usan tubo de 1/16". Siempre que sea posible deberá elegirse el tamaño de tubería más grande, aunque algunos fabricantes pueden especificar otros tamaños.

Sistemas de Sello de Balance de Fuerzas.

En un sistema de balance de fuerzas, la carga de la presión hidrostática actúa contra un diafragma que se balancea con aire. Un sello de balance de fuerzas puede usarse cuando los líquidos, por su naturaleza, hacen conveniente un sistema de purga, pero provocan que el aire o gas de purga reaccione desfavorablemente con el líquido. También pueden emplearse si no se desea que el aire o gas de purga se mezcle con el líquido. El sello de balance de fuerzas en operación funciona esencialmente como se muestra en la figura 3.28.

La presión hidrostática del líquido forza al diafragma flexible contra el orificio "O", lo que provoca que el aire ya no escape por dicho orificio. Debido al aumento en la presión del proceso que empuja al diafragma para que cierre "O", la presión del aire en la línea aumenta hasta que ésta excede a la del proceso. Esto permitirá que se escape algo de aire y la presión de la línea caiga un poco provocando nuevamente que la presión del diafragma exceda la de la línea y vuelva a cerrar a "O". Esta operación continuará con la presión de purga ligeramente arriba y luego ligeramente abajo de la presión hidrostática ocasionada por la altura del líquido. La presión promedio será representativa del nivel del líquido. El hecho de que el diafragma sea de algún material flexible o metálico tiene poca importancia. En ambos casos el diafragma abre o cierra el orificio con la consiguiente ligera variación de la presión.

Diferentes aplicaciones de Celdas de Presión Diferencial en Medición de Nivel.

Los detectores de presión diferencial, son ideales para la medición de ni

vel. El principio de operación se basa en detectar la presión hidrostática en el fondo del tanque.

Los medidores de nivel hidrostático no miden el nivel real del líquido sino la presión ejercida por el líquido. Debido a que la presión es proporcional a la altura de la columna del líquido y a su densidad, el medidor "infiere la posición del nivel real".

Tanques Abiertos.

Casi todos los instrumentos de medición de presión son apropiados para determinar el nivel en tanques abiertos. El rango del instrumento depende de la altura y de la densidad del líquido que se va a medir; para rangos de nivel bajos pueden utilizarse los sensores de diafragma, manómetros o los sensores de presión diferencial que pueden tener rangos de calibración desde unos cuantos centímetros hasta 12 ó 15 m. (40 ó 50 pies) de nivel de líquido. En el caso de rangos de presión mayores pueden utilizarse los sensores de presión tipo tubo Bourdon, los de presión diferencial o los manómetros.

- a) La figura 3.29 muestra un medidor de presión diferencial montado directamente en el fondo del tanque. También se muestra el mismo dispositivo cuando se instala con una columna de referencia que proporciona una presión positiva en el medidor, la cual es equivalente a la altura del tanque lleno (cuando el tanque es cerrado y la presión, arriba del líquido es mayor o menor que la atmosférica, debe usarse el sistema de la figura 3.29b o un equivalente).
- b) La figura 3.30 ilustra un dispositivo de presión diferencial con columna de referencia "negativa"; si el tubo se ha llenado al vacío, la presión atmosférica ejercerá presión sobre la superficie del líquido y mantendrá al tubo lleno de líquido; con esto, la columna del líquido ejercerá una presión de vacío en el medidor. La altura máxima de la columna invertida depende de la densidad y de la presión de vapor del líquido; por ejemplo para el agua a 21°C, la altura máxima de la columna es 10.2 m.
- c) El sistema cerrado de la figura 3.31 tiene una cámara de aire, en el fon

do del tanque, que va conectada al medidor de nivel por medio de una tubería. Puede utilizarse un diafragma para sellar el aire. Cuando dicho sistema está en operación, la presión hidrostática del líquido comprime el aire en la cámara hasta que su presión es igual a la del líquido; el medidor determina la presión del aire como en el caso de los sistemas de purga, aunque las distancias entre el tanque y el dispositivo de lectura están limitadas; además, las fugas en la tubería causarán errores. Por último, los tanques presurizados no pueden utilizar este sistema.

- d) En el método de purga o burbujeo (figura 3.32), una tubería va sumergida en el líquido hasta el fondo del tanque y por donde fluye un gas (generalmente aire) cuyo flujo se ajusta de manera que ocurra un burbujeo lento, la presión en la línea es aproximadamente igual a la presión hidrostática del líquido con lo que el medidor puede calibrarse en unidades de nivel del tanque.

- e) Medición de nivel en interfase con sistema de burbujeo. En ciertos casos se requiere el nivel de interfase entre dos líquidos no miscibles, tal como el agua y el aceite. En el caso de líquidos inmiscibles, la densidad generalmente se conoce y es constante. Al considerar esto, la aplicación de un transmisor de presión diferencial y dos tubos de burbujeo es todo lo que se requiere para detectar el nivel de interfase; (figura 3.33), aquí el transmisor de presión diferencial funciona como un transmisor de densidad promedio. Cuando el nivel de la interfase desciende hasta el extremo del tubo burbujeador inferior (el más largo), el líquido de la fase superior ocupará todo el espacio entre los dos tubos y por lo tanto, la densidad transmitida corresponda a la de la fase superior; esto determina el valor mínimo del rango de la densidad promedio. Inversamente cuando el nivel de la interfase sube y alcanza al extremo del tubo superior (el más corto), la sección entre ambos tubos estará ocupada enteramente por el líquido de la fase inferior; esta densidad corresponde al límite máximo del rango.

Tanques Presurizados.

La presión en el fondo del tanque es función de cinco variables:

- H = altura del líquido en el tanque.
- D = densidad del líquido.
- G = presión en el espacio vapor del tanque.
- V = densidad del gas o vapor sobre el líquido.
- L = altura del espacio vapor.

La presión hidrostática total es:

$$P = HD + G + VL$$

En estos tanques, la presión del tanque G pudiera exceder con mucho al rango de trabajo HD, por lo tanto, deben usarse los medidores de presión diferencial o manómetros, para eliminar el efecto de la presión del tanque.

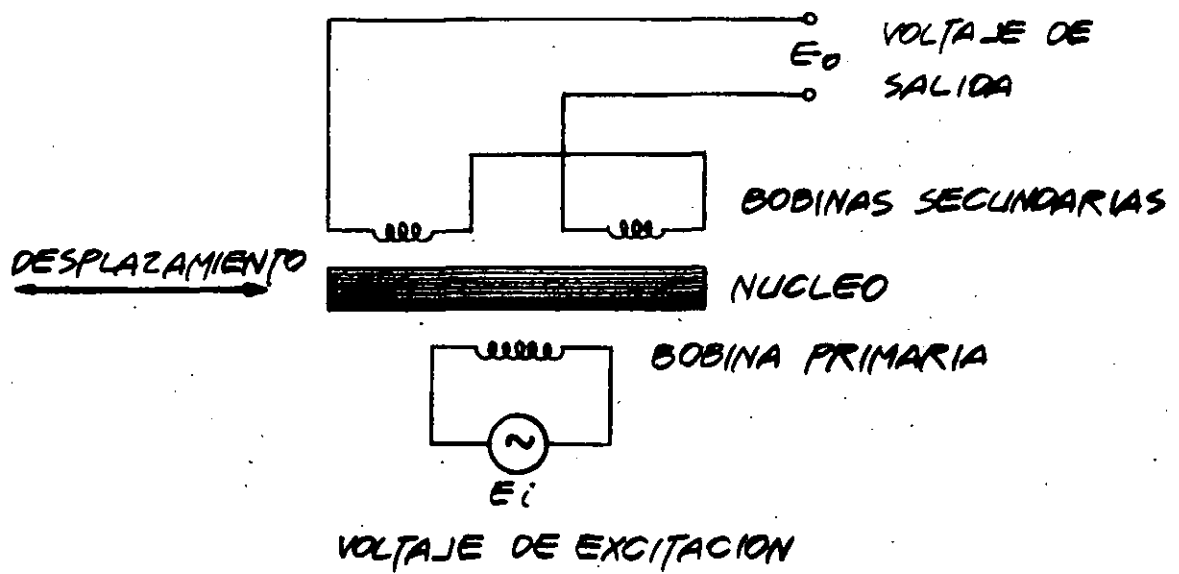


FIG. 3.3 a DIAGRAMA ESQUEMATICO DE UN TRANSFORMADOR DIFERENCIAL.

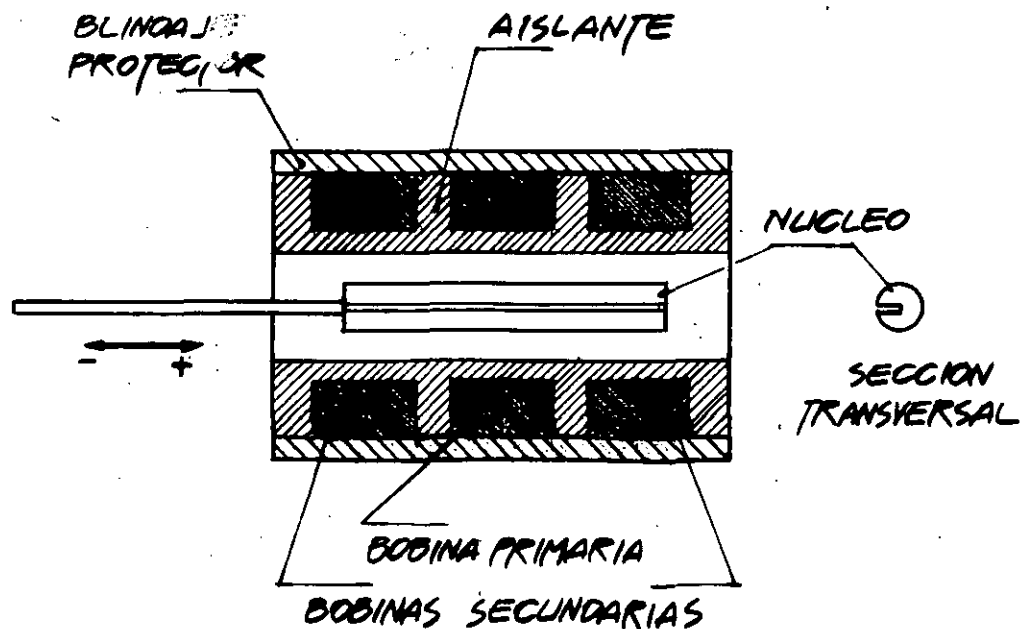
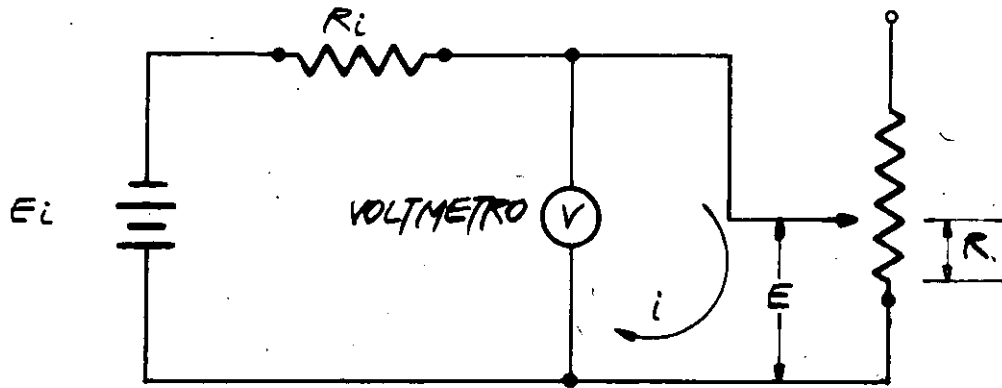


FIG. 3.3 b CONSTRUCCION DE UN TRANSFORMADOR DIFERENCIAL LINEAL VARIABLE COMERCIAL.



$$\frac{E}{E_i} = \frac{LR}{(R+R_i)}$$

FIG. 3.2 a DIAGRAMA ESQUEMATICO DE UN POTENCIOMETRO .

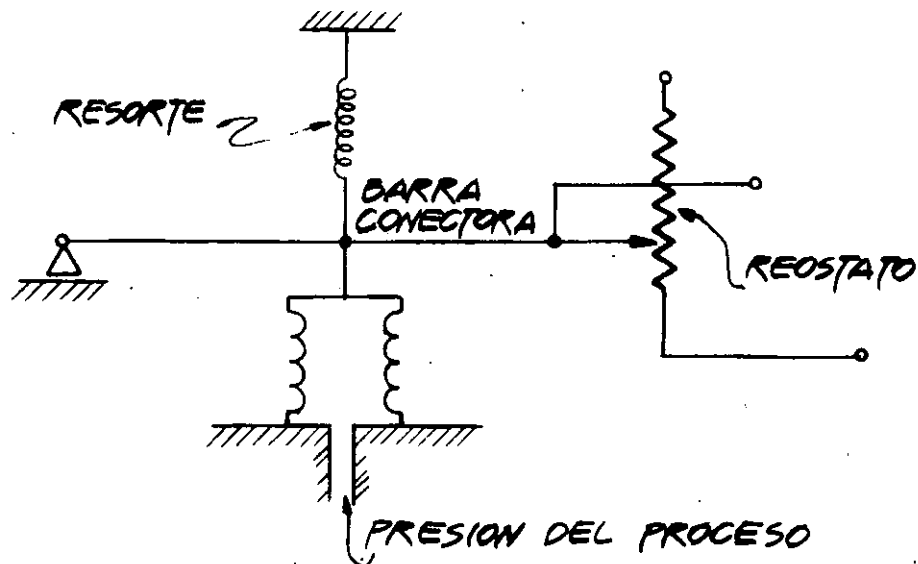


FIG. 3.2 b USO DE UN CIRCUITO DE POTENCIOMETRO .



FIG. 3.4 ESQUEMA DE UN TRANSDUCTOR CAPACITIVO.

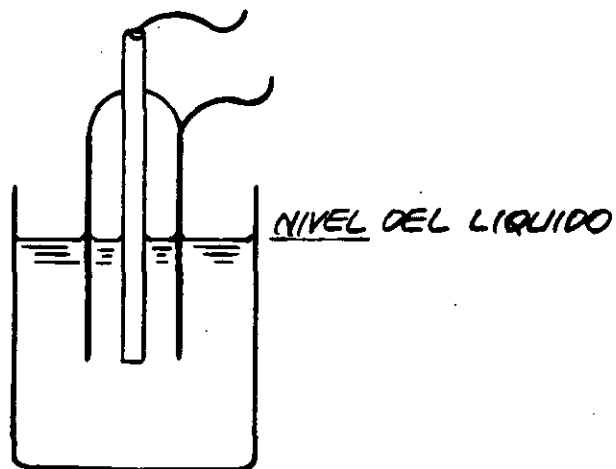


FIG. 3.5 USO DE UN TRANSDUCTOR CAPACITIVO PARA LA MEDICION DEL NIVEL DE UN LIQUIDO

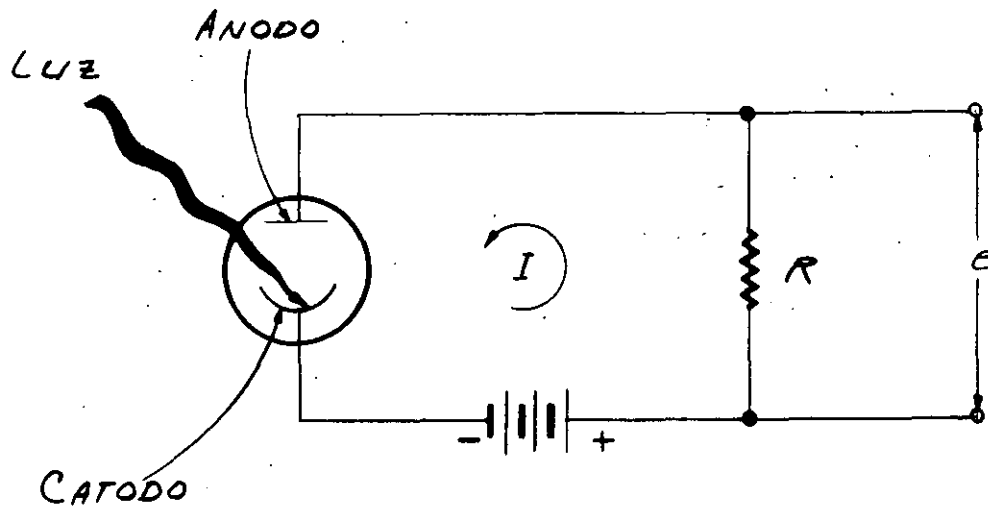


FIG. 3.6 EL EFECTO FOTOELECTRICO

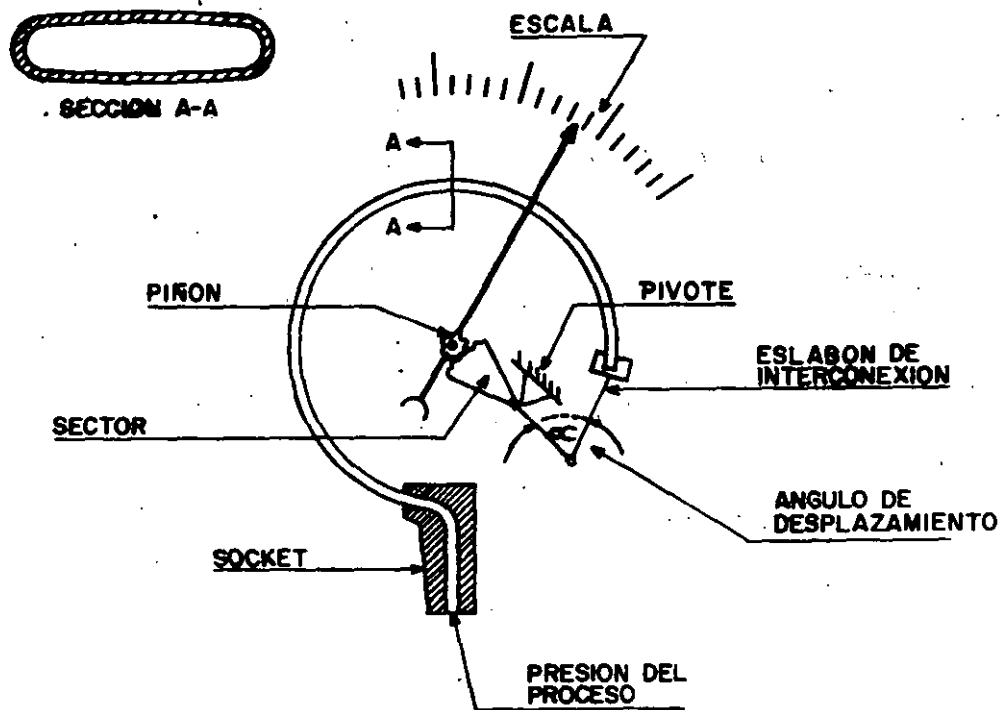


FIGURA 3.7 ELEMENTO DE PRESION BOURDON TIPO "C"

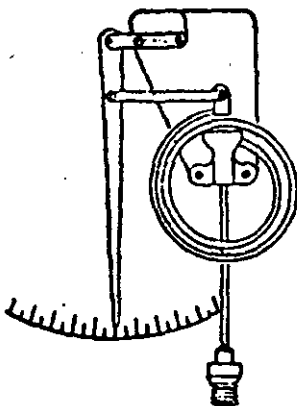


FIGURA 3.8 ELEMENTO DE ESPRAL PLANA

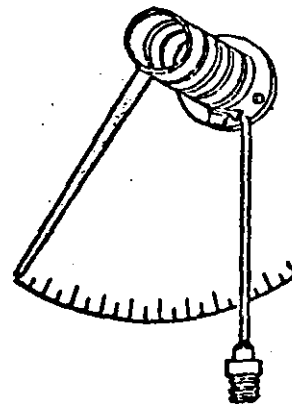


FIGURA 3.9 ELEMENTO HELICOIDAL

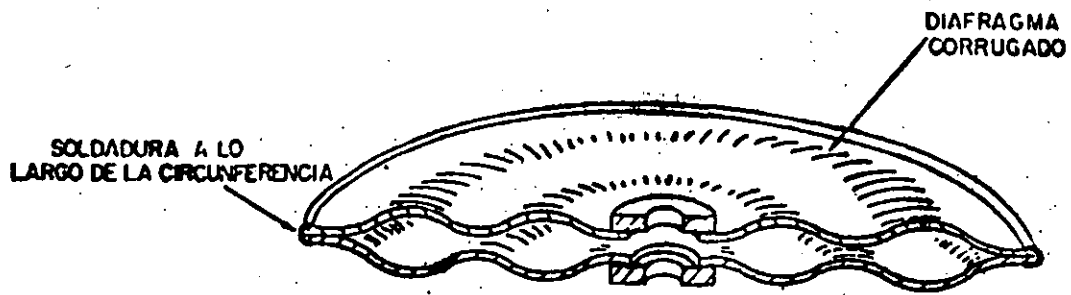


FIG. 3.10 CÁPSULA ELEMENTAL

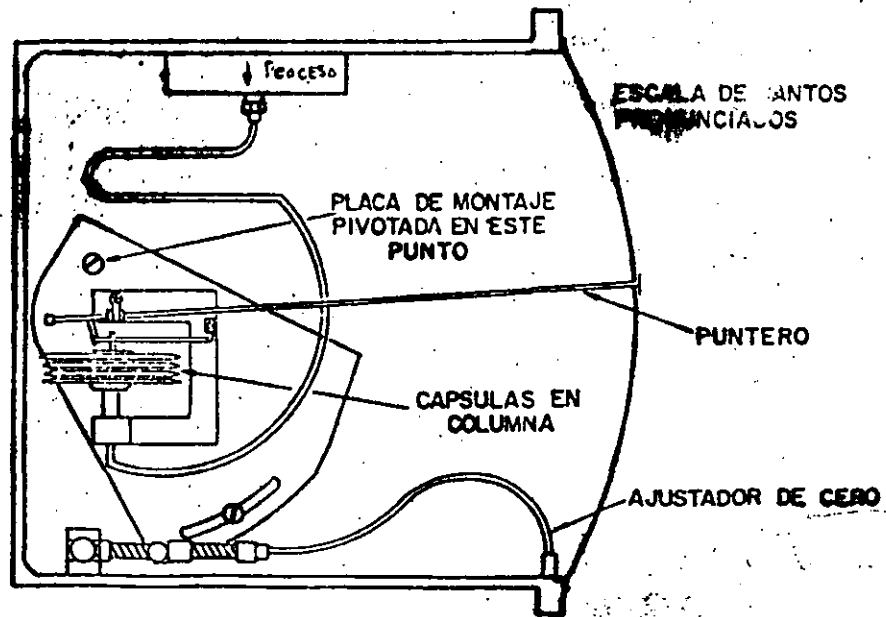


FIG. 3.11 MEDIDOR DE COLUMNA DE CÁPSULAS

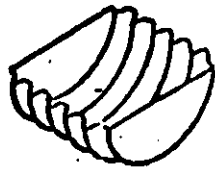


FIG.3.12 CORTE A LA MITAD PARA MOSTRAR LA CONSTRUCCION

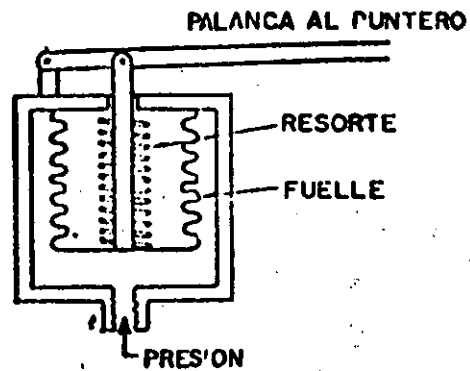


FIG. 3.13 APLICACION CON ESLABON

ELEMENTO TIPO FUELLE

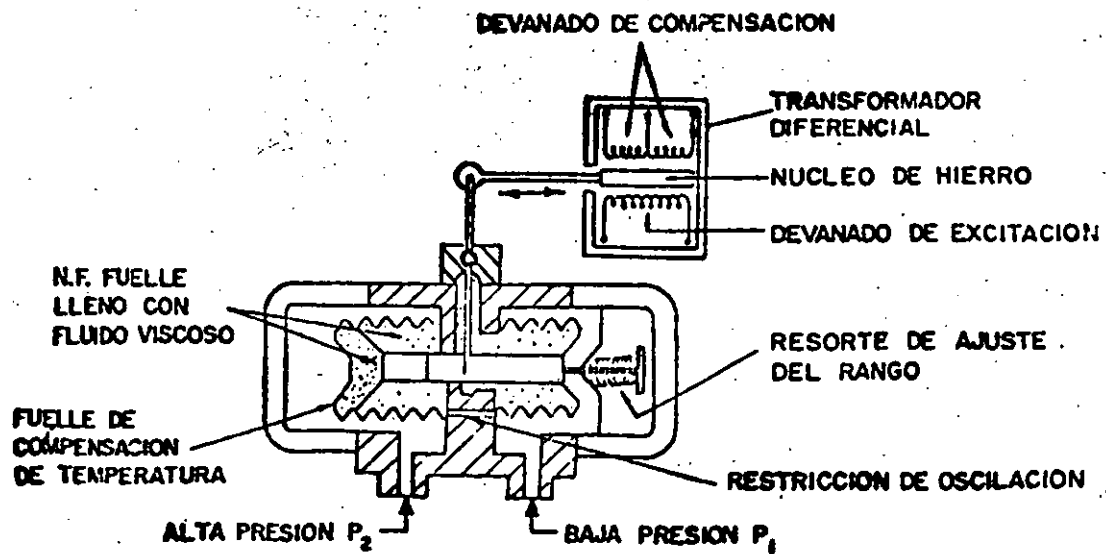


FIG.3.14 FUELLE FUNCIONANDO COMO MEDIDOR DE PRESION DIFERENCIAL

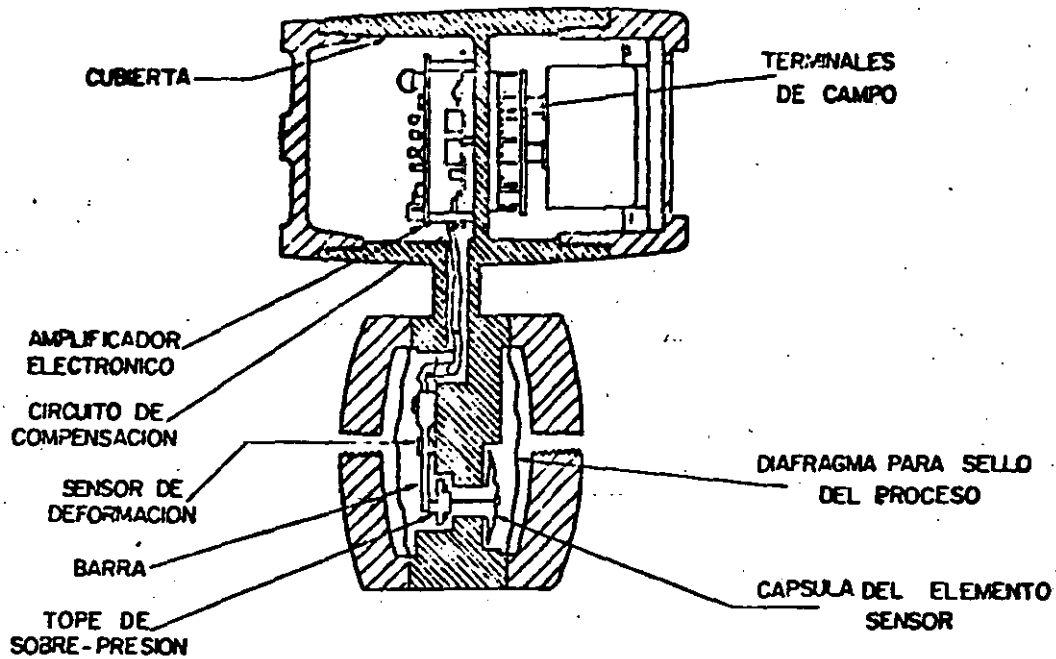


FIG.3.16 TRANSMISOR ELECTRONICO DE CIRCUITO ABIERTO
CON SENSOR DE DEFORMACION DE SEMICONDUCTOR

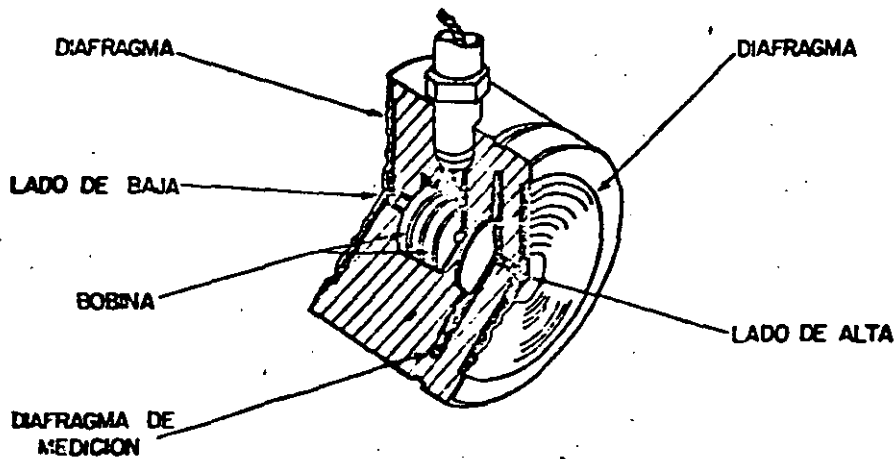


FIG. 3.17 ELEMENTO SENSOR ELECTRONICO DE CIRCUITO
ABIERTO TIPO "RELUCTANCIA"

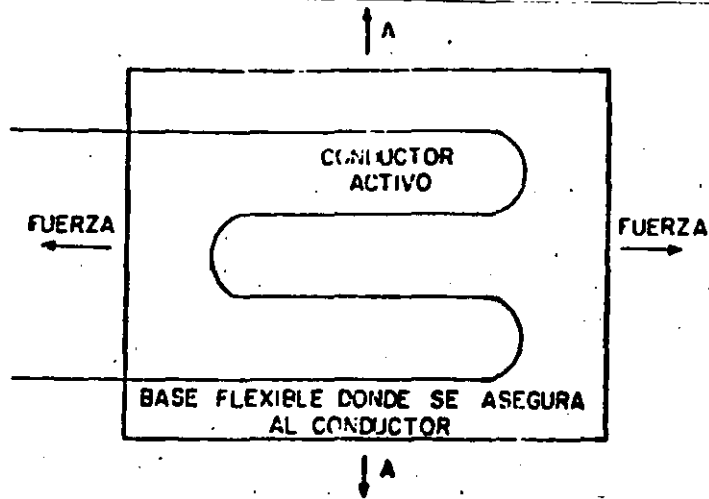


FIG. 3.18 PRINCIPIO DE OPERACION DE LOS SENSORES DE DEFORMACION LIGADOS

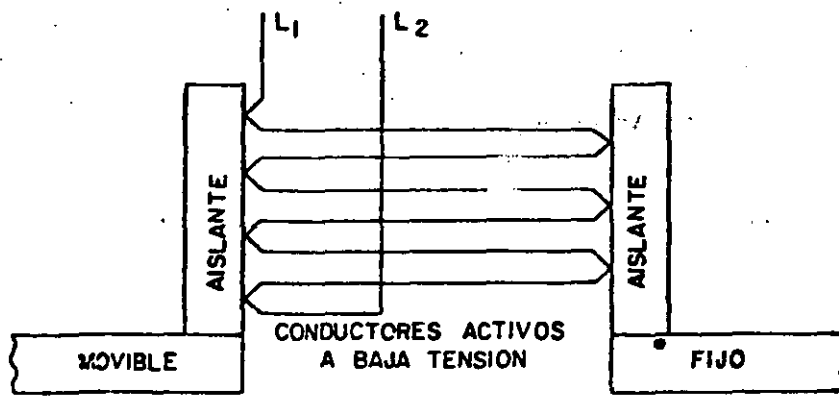


FIG. 3.19 OPERACION DE LOS SENSORES DE DEFORMACION DESLIGADOS

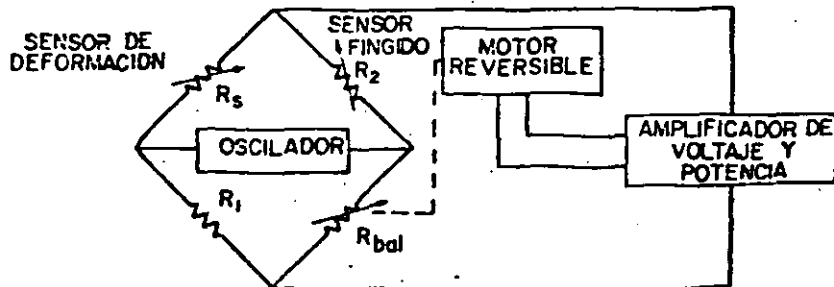


FIG. 3.20 PUENTE DE RESISTENCIA PARA MEDIR LA DEFORMACION

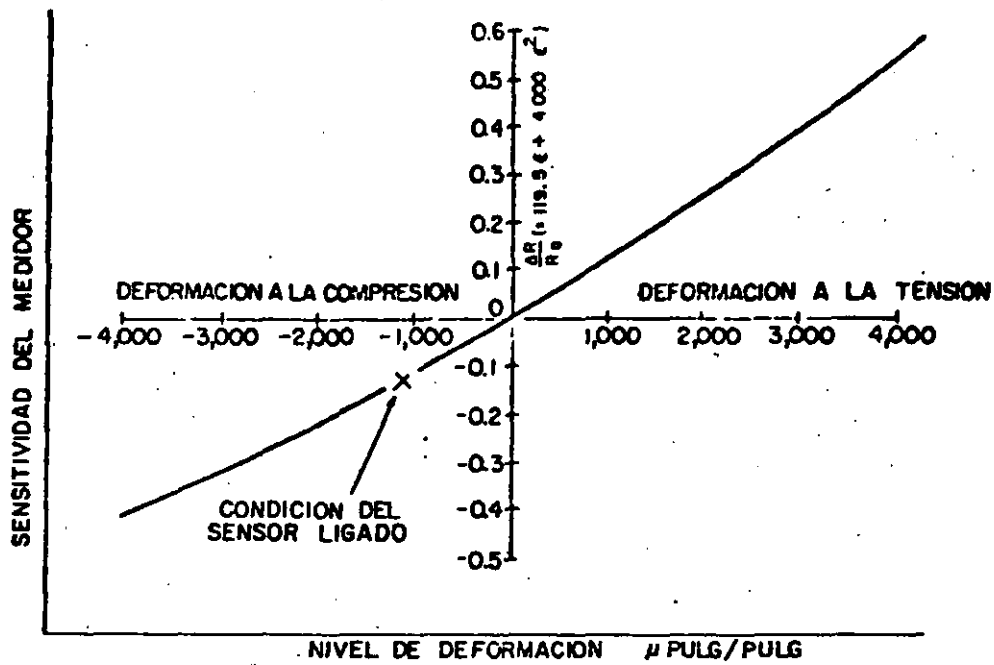


FIG. 3.21 CARACTERISTICA DE SALIDA DE LOS SENSORES DE DEFORMACION TIPO p

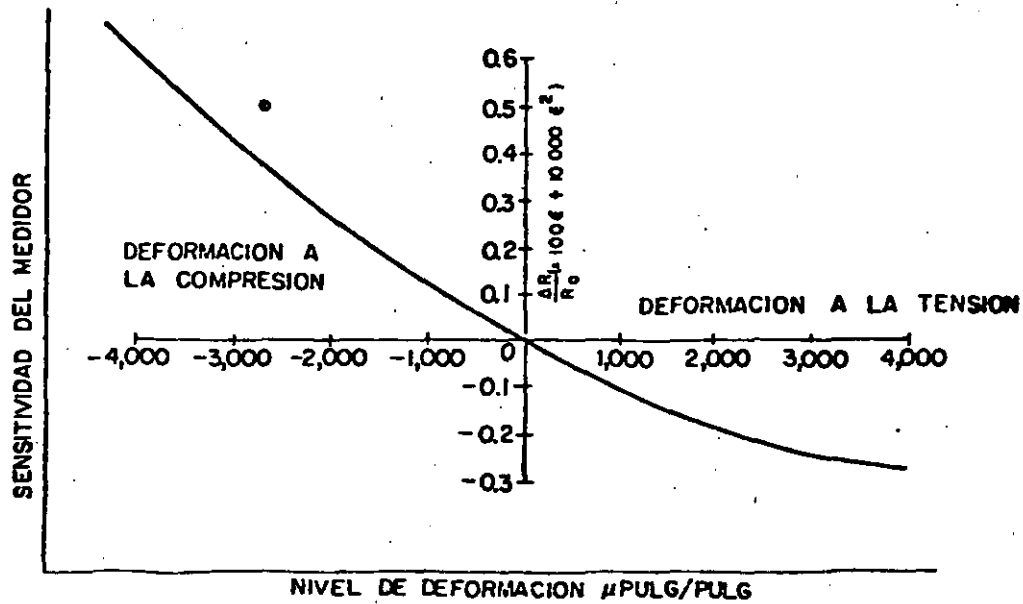
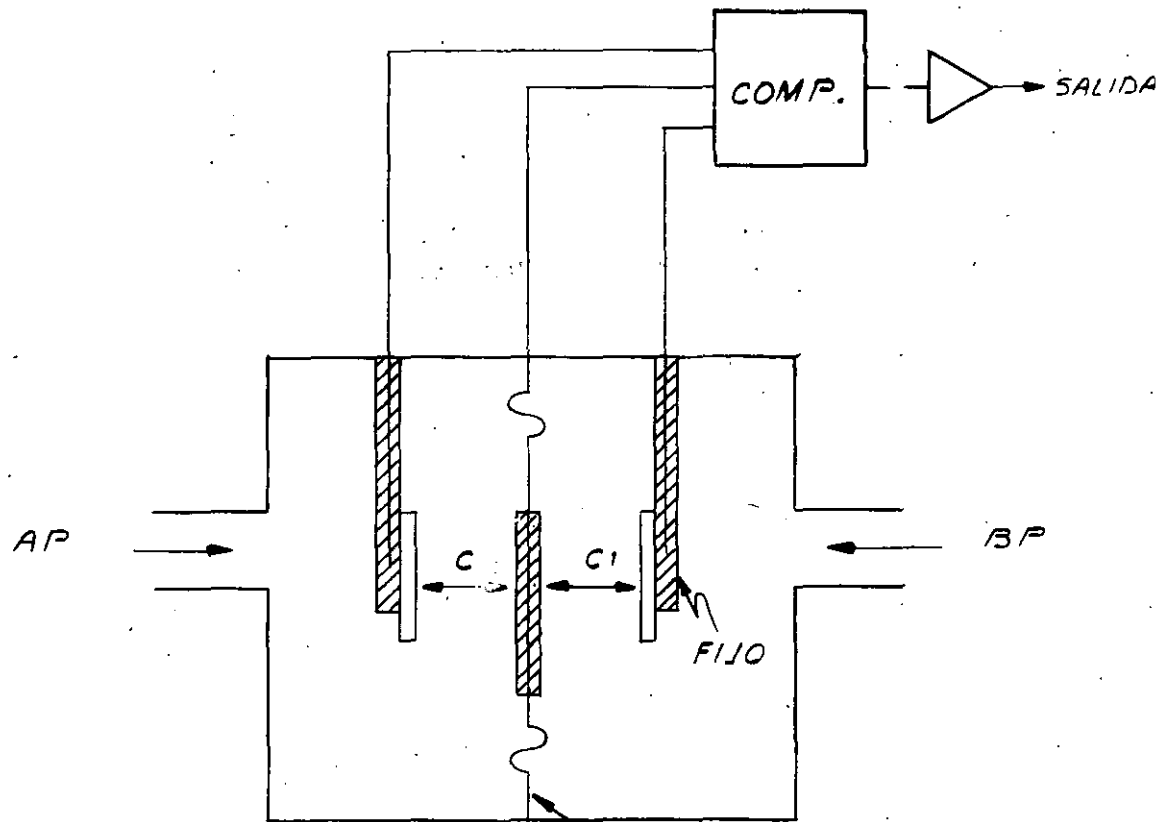


FIG. 3.22 CARACTERISTICA DE SALIDA DE LOS SENSORES DE DEFORMACION TIPO n



C1 = CAPACITOR (1)

C2 = CAPACITOR (2)

DIAFRAGMA
MOVIBLE

FIG. 3.23 TRANSDUCTOR DE CAPACITANCIA VARIABLE

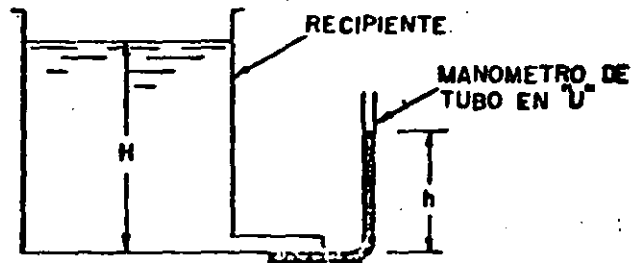


FIG.324 DIAGRAMA ESQUEMATICO DE TUBO EN U PARA RECIPIENTES ABIERTOS.

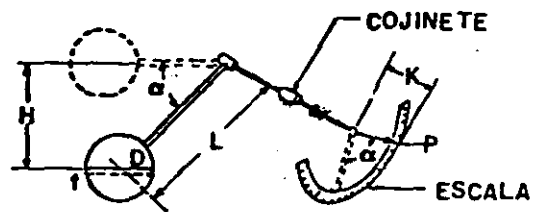


FIG.325 PRINCIPIO DE OPERACION DEL MECANISMO DE FLOTADOR.

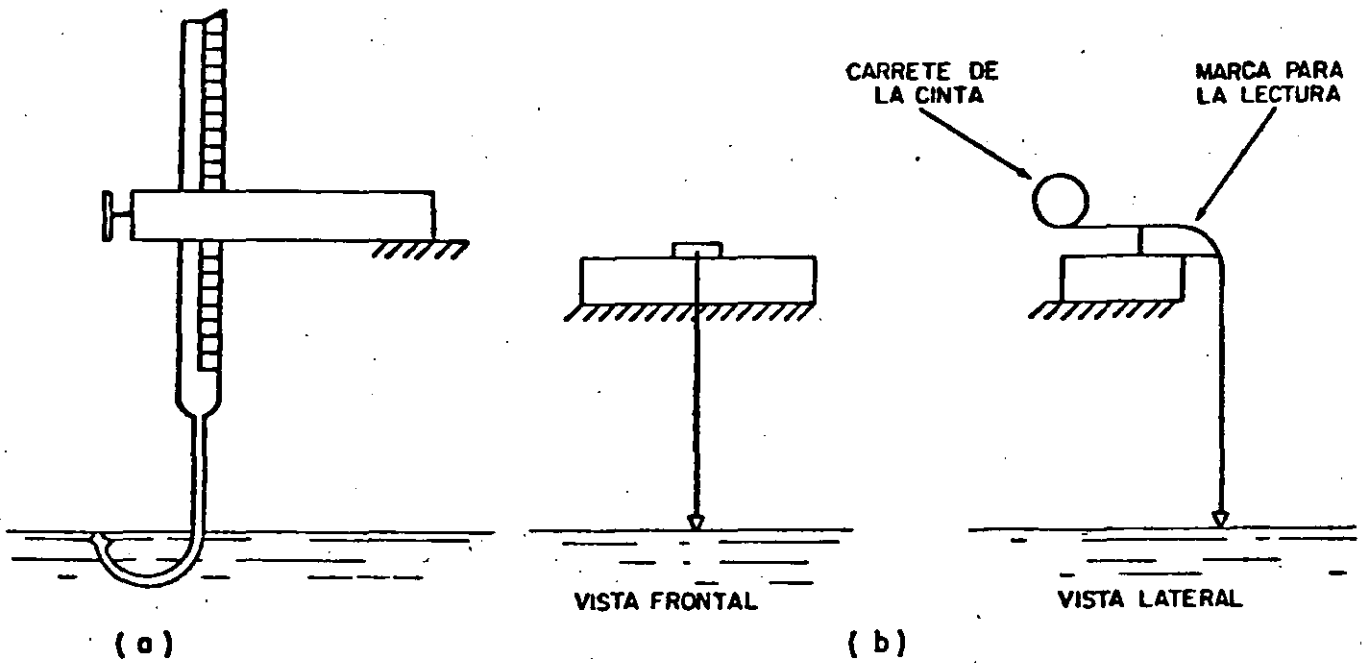
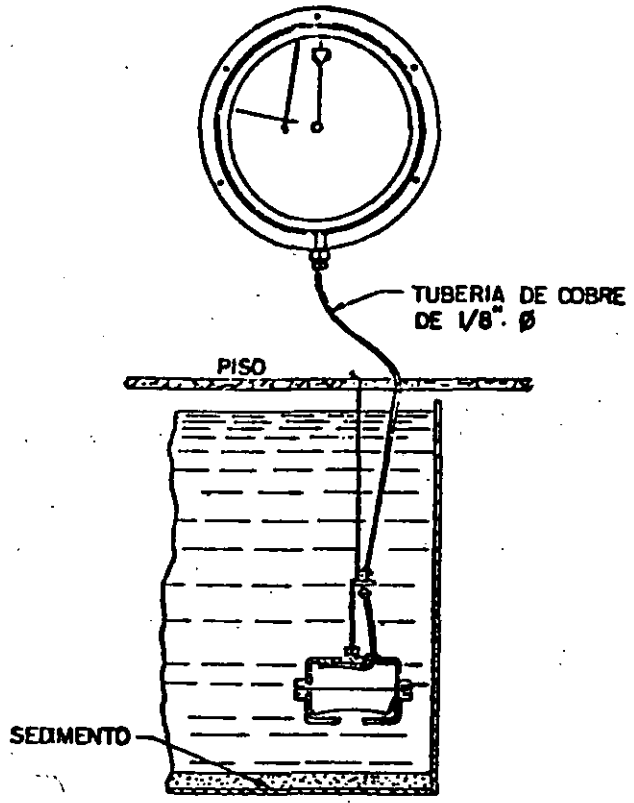


FIG.3.26 DISPOSITIVO DE PUNTO DE CONTACTO

a) MEDIDOR DE GANCHO

b) MEDIDOR DE CINTA Y PLOMADA



INDICADOR DE NIVEL TIPO CAJA DE DIAFRAGMA

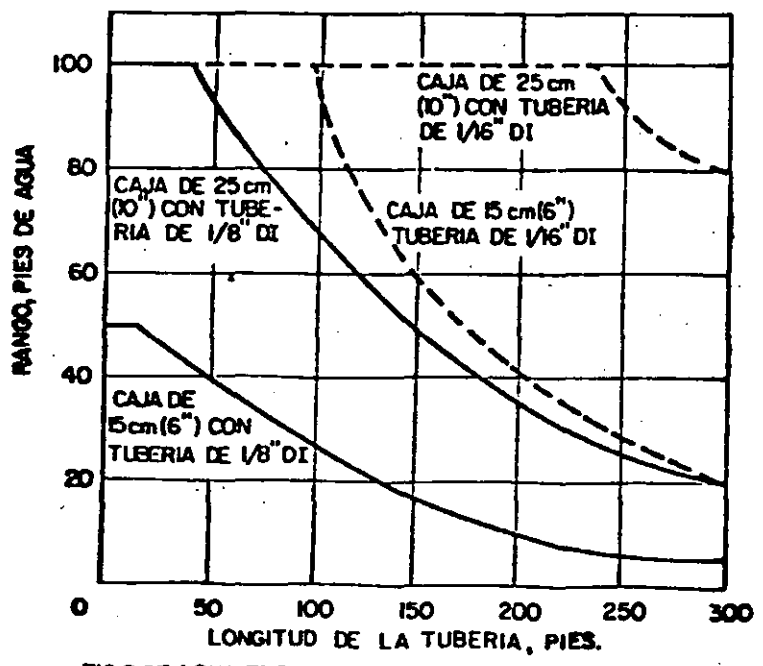


FIG.3.27 LONGITUD DE TUBERIA MAXIMA CONTRA RANGO DEL MEDIDOR EN PIES DE AGUA.

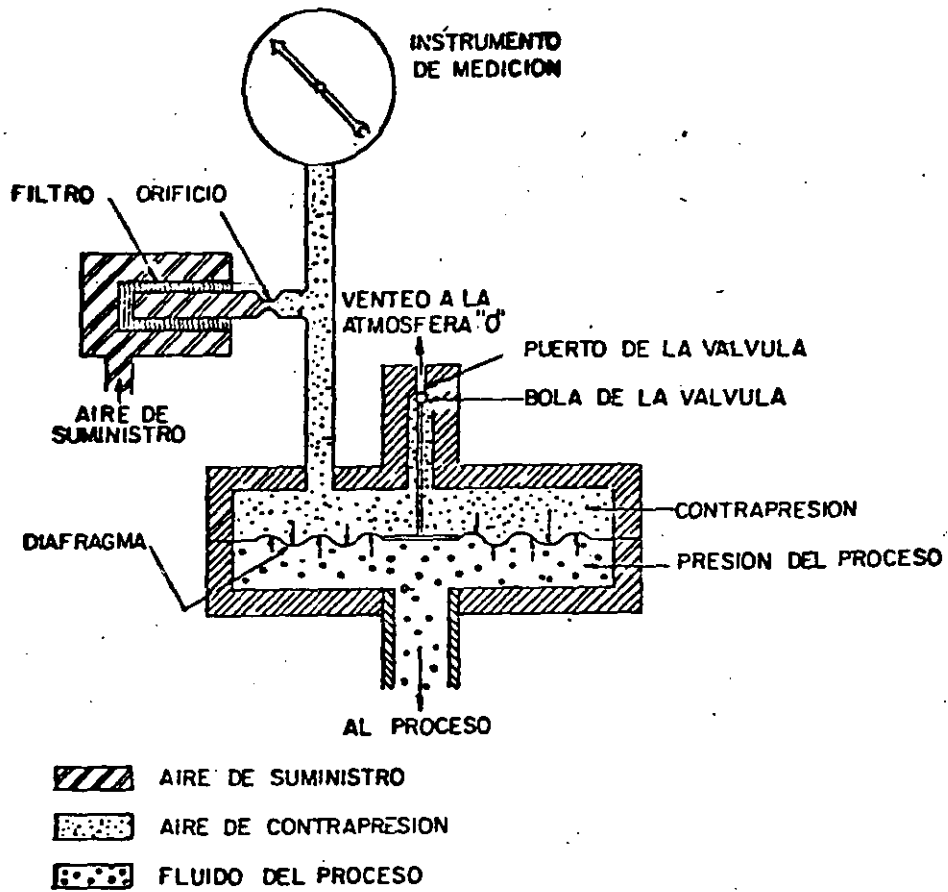
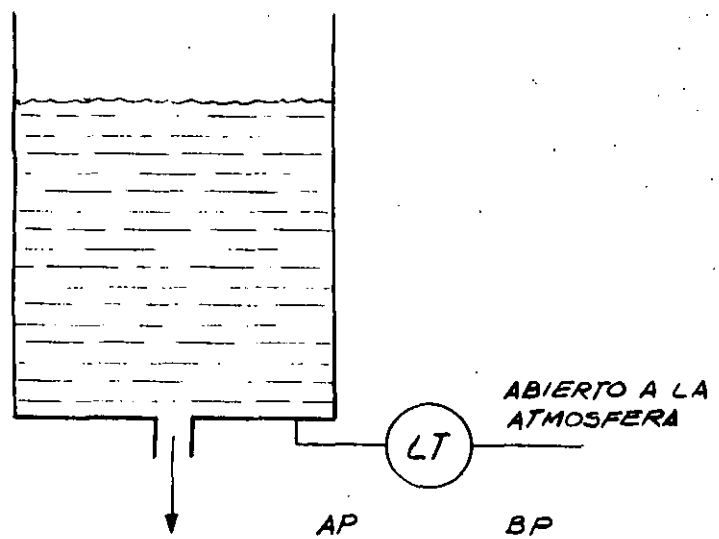


FIG.3.28 DIAGRAMA ESQUEMATICO DE UN SELLO DE BALANCE DE FUERZAS NEUMATICO

a)



b)

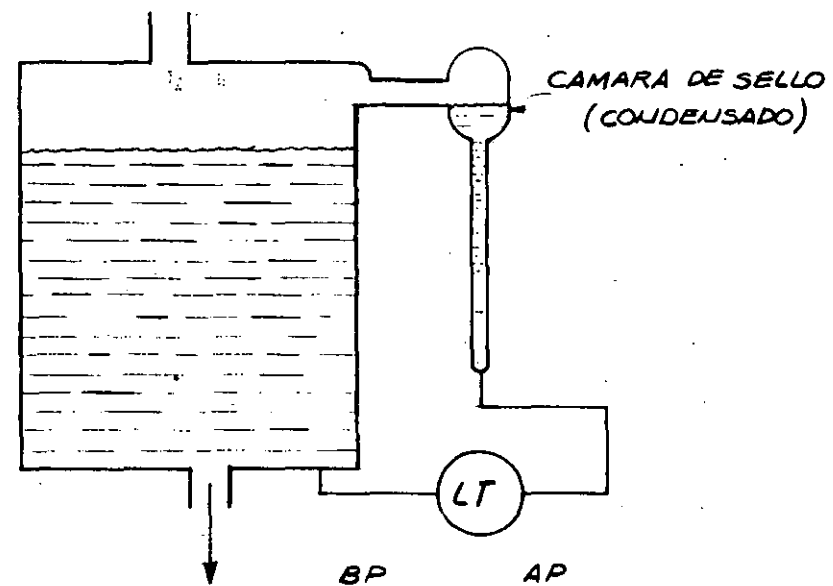


FIG.3.29 MONTAJE DE UN TRANSMISOR DE PRESION DIFERENCIAL EN:

- a) TANQUE ABIERTO
- b) TANQUE CERRADO

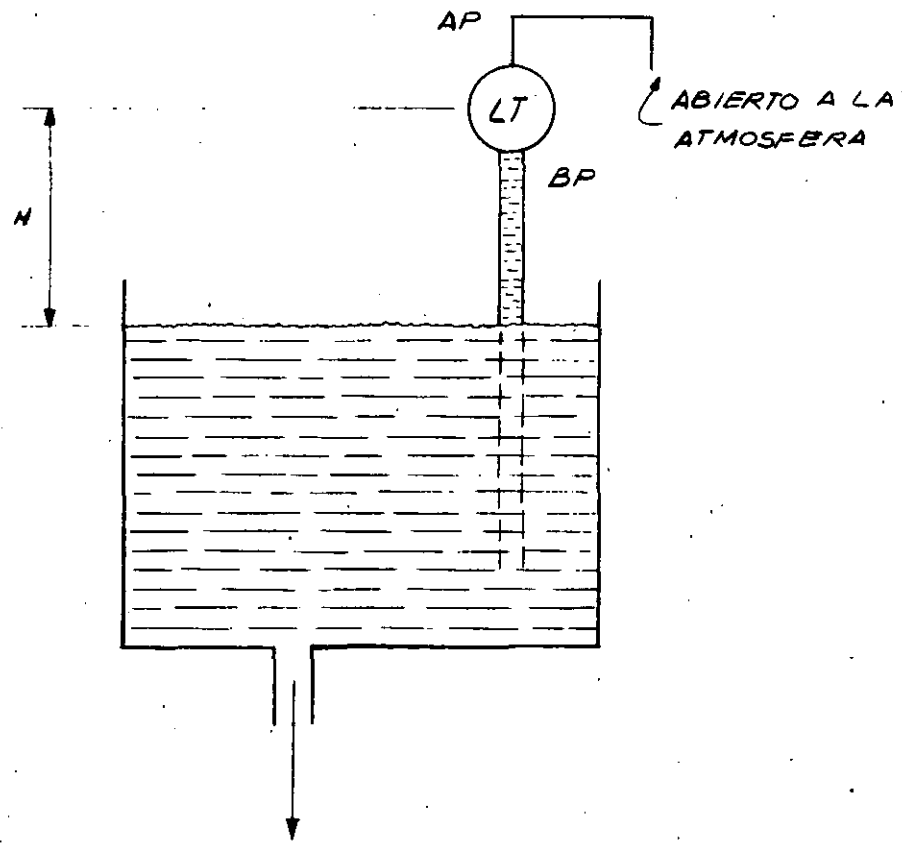


FIG.3.30 DISPOSITIVO DE PRESION DIFERENCIAL
CON COLUMNA NEGATIVA.

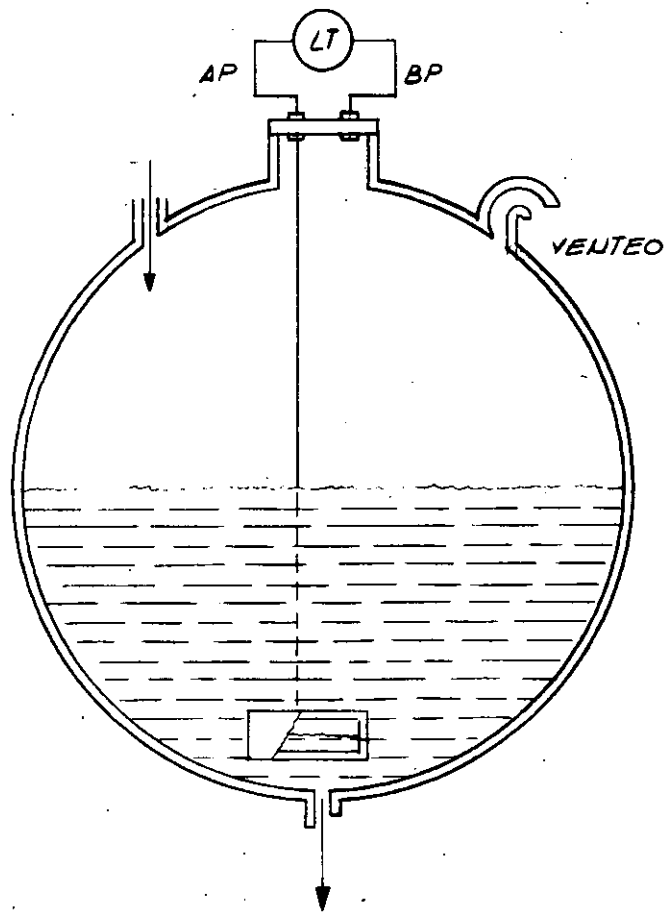


FIG. 3.21 APLICACION DE UN TRANSMISOR DE PRESION DIFERENCIAL EN UN SISTEMA CERRADO.

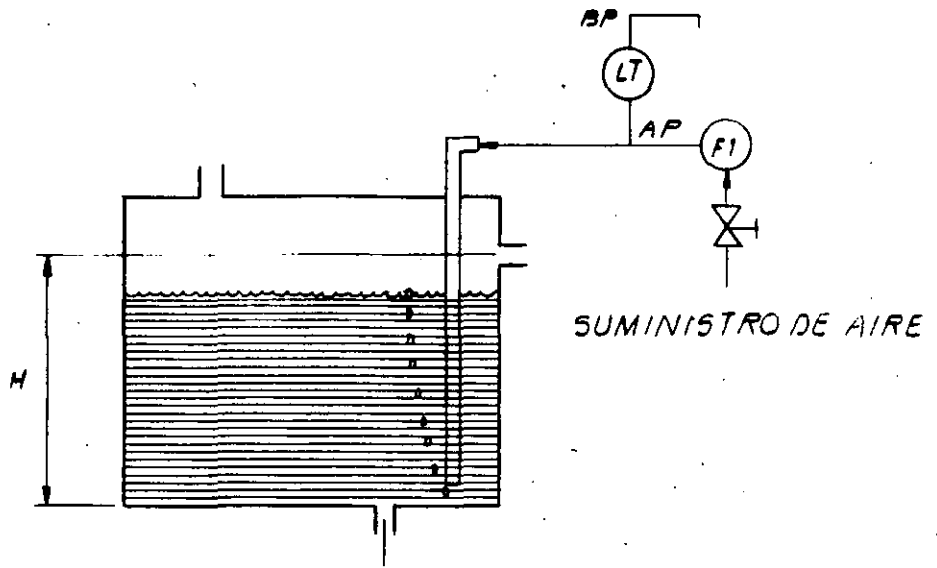


FIG. 3.32 SISTEMA DE BURBUJEO CON UNA CELDA DE PRESION DIFERENCIAL.

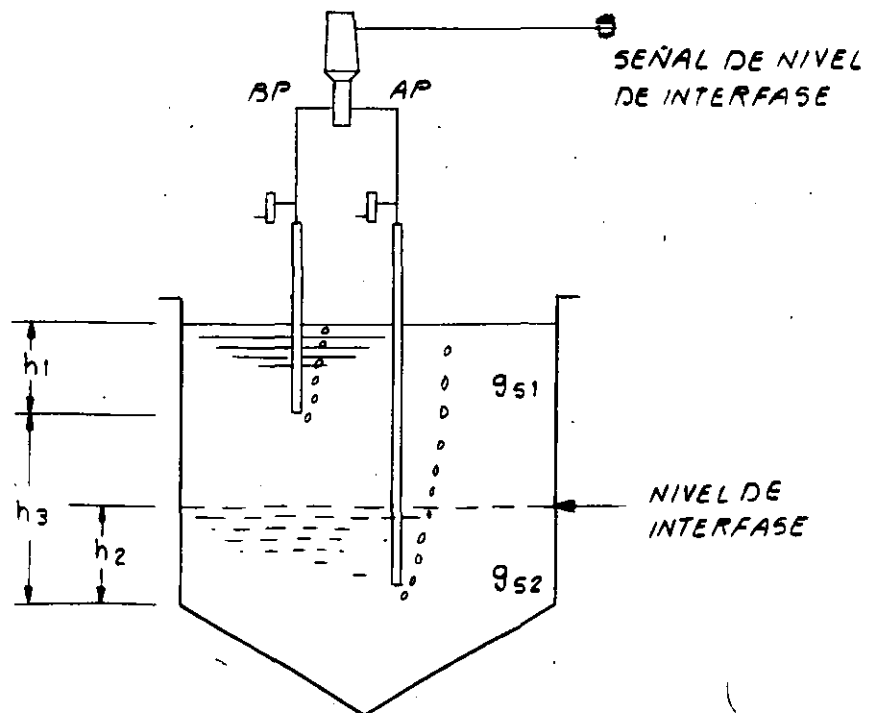


FIG. 3.33 SISTEMA DE DOS TUBOS BURBUJADORES PARA MEDIR EL NIVEL DE INTERFASE.

420

2.4.- Medición de Flujo.

El flujo es la variable dominante en las industrias que procesan fluidos. Es la variable que al ser manejada adecuadamente mantiene a las restantes condiciones del proceso en sus valores requeridos, asegurando una producción con la calidad y velocidad deseadas.

El flujo es el medio físico determinado por el fluido desplazándose. La condición más importante de este medio es el Gasto, el cual se define como la cantidad de fluido desplazado por unidad de tiempo y se le identifica como la magnitud del flujo. Dependiendo de si se evalúa la cantidad de fluido por su volumen o por su masa, el Gasto puede ser Volumétrico o Másico.

Aunque el flujo es una de las variables de proceso más frecuentemente medidas, es indudablemente la medición física que mayor dificultad presenta para hacerse con exactitud, lo que determina una amplia variedad de medidores con diversas características de operación y aplicación, costos, complejidad, etc. Hacer una exposición de cada uno de ellos sería una tarea muy larga y exhaustiva, por lo que en el presente trabajo mencionaremos solamente a algunos de los más importantes.

Excepto en los medidores de flujo por desplazamiento positivo, la medición se realiza indirectamente, es decir, la magnitud del gasto se determina midiendo alguna variable o efecto dependiente de dicho gasto. Por esta razón conviene revisar brevemente el principio de operación de los dispositivos tratados para comprender mejor sus características de comportamiento y aplicación.

Los medidores de flujo que analizaremos son, de acuerdo a su principio de operación, los siguientes:

- A.- Medición de Flujo por presión diferencial
- B.- Medidores de Flujo de área variable.
- C.- Medidor Electromagnético.
- D.- Medidor Ultrasónico.

A.- Medición de Flujo por presión diferencial.

Este método de medición se basa en la caída de presión provocada por la presencia de una restricción en el conducto. La restricción consiste en un elemento que reduce el área de la tubería para convertir la energía cinética del fluido (velocidad) en energía potencial (presión): la velocidad del fluido se transforma en una presión diferencial, variable que es fácilmente medible, y a partir de ella se infiere la magnitud del flujo.

Aunque casi cualquier tipo de restricción puede ser usada, es deseable el empleo de una cuyas características sean conocidas y permitan predecir la caída de presión que tendrá lugar para una determinada velocidad.

El efecto de presión diferencial producido por una restricción se muestra en la figura 2.4-1 y el análisis se desarrolla en los párrafos siguientes

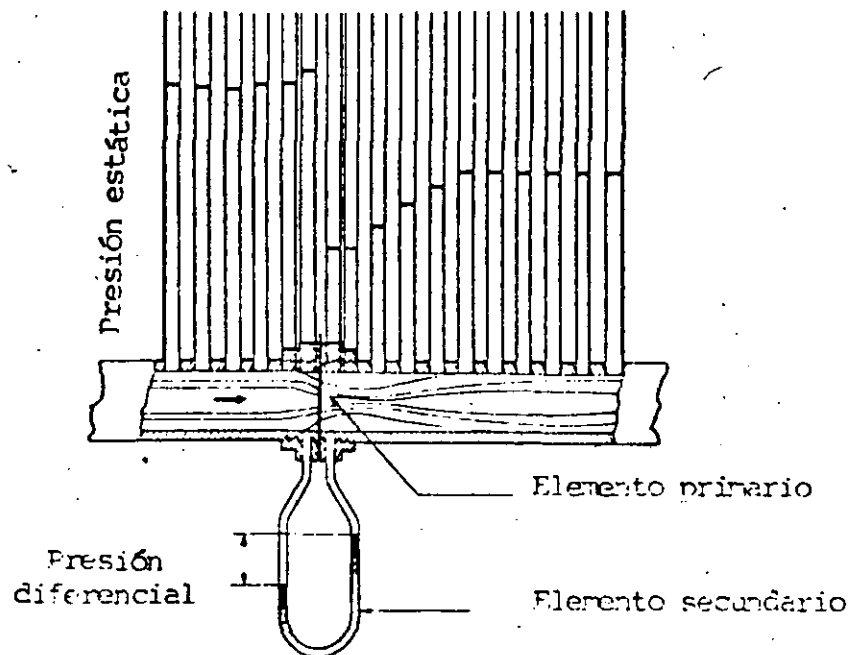


Fig. 2.4-1 Variación de presión estática alrededor de una restricción.

Consideremos el sistema de flujo unidimensional mostrado en la figura 2.4-2. La ecuación de continuidad para el sistema es

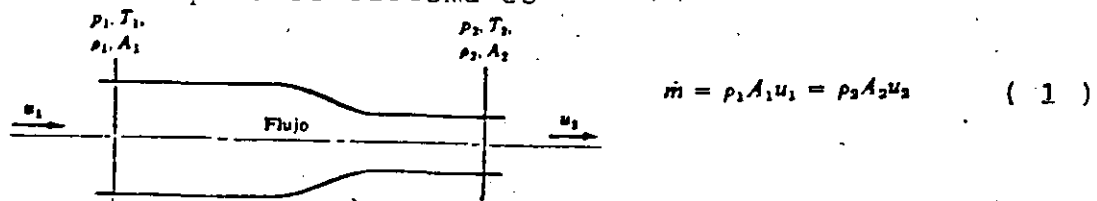


Fig. 2.4-2 Sistema de flujo unidimensional.

La ecuación de Bernoulli para un fluido incompresible es

$$\frac{p_1}{\rho_1} + \frac{u_1^2}{2g_c} = \frac{p_2}{\rho_2} + \frac{u_2^2}{2g_c} \quad (2)$$

$\rho_1 = \rho_2 = \rho$ - peso específico del fluido.

De la ecuación (1) encontramos que

$$u_1 = u_2 \frac{A_2}{A_1} \quad (3)$$

sustituyendo ésta última en la ecuación de Bernoulli y despejando u_2 , se obtiene

$$u_2 = \sqrt{\frac{2g_c (p_1 - p_2) / \rho}{1 - \left(\frac{A_2}{A_1}\right)^2}} \quad 45 (4)$$

El gasto volumétrico está dado por

$$Q = A_2 u_2 = A_2 \sqrt{\frac{2g_c / \rho (p_1 - p_2)}{1 - \left(\frac{A_2}{A_1}\right)^2}} \quad (5)$$

Definiendo los siguientes parámetros

Relación de diámetros

$$\beta = \frac{d}{D} = \sqrt{\frac{A_2}{A_1}} \quad (6)$$

Factor de velocidad

$$K = \frac{1}{\sqrt{1 - \left(\frac{A_2}{A_1}\right)^2}} = \frac{1}{\sqrt{1 - \beta^4}} \quad (7)$$

obtenemos

$$Q = K A_2 \sqrt{\frac{2g_c}{\rho}} \sqrt{p_1 - p_2} \quad (8)$$

La última ecuación define el gasto a partir de la presión diferencial provocada por la restricción; tomando como parámetros la relación de diámetros de la restricción-tubería y las características físicas del ducto y el fluido. Sin embargo esta ecuación ha sido obtenida para un flujo ideal sin fricción y sin pérdidas energéticas, por lo que debe considerarse en el cálculo del gasto real un factor de desviación C empírico que introduzca los factores secundarios no involucrados en la deducción de la fórmula.

Coefficiente de descarga

$$C = \frac{Q_{\text{real}}}{Q} \quad (9)$$

Por tanto

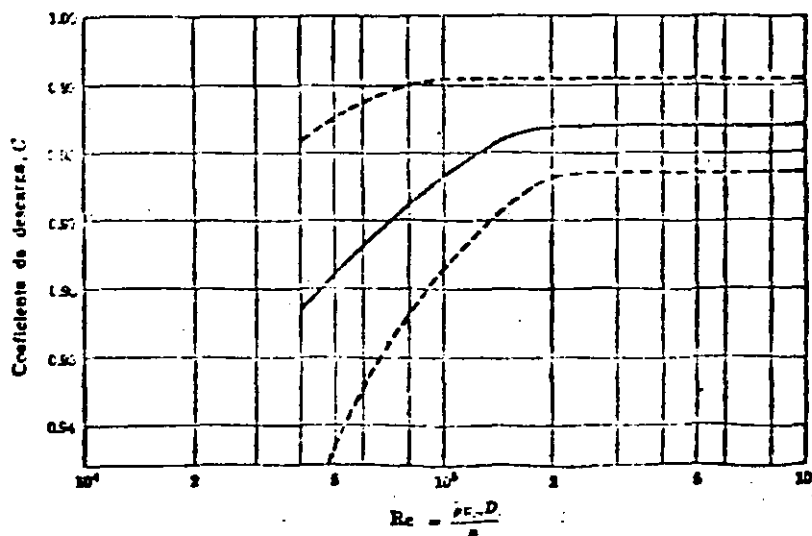
$$Q_{\text{real}} = C M A_2 \sqrt{\frac{2g_c}{\rho}} \sqrt{P_1 - P_2} \quad (10)$$

Se llama coeficiente de flujo K al producto CM y en algunos casos se maneja este coeficiente como parámetro.

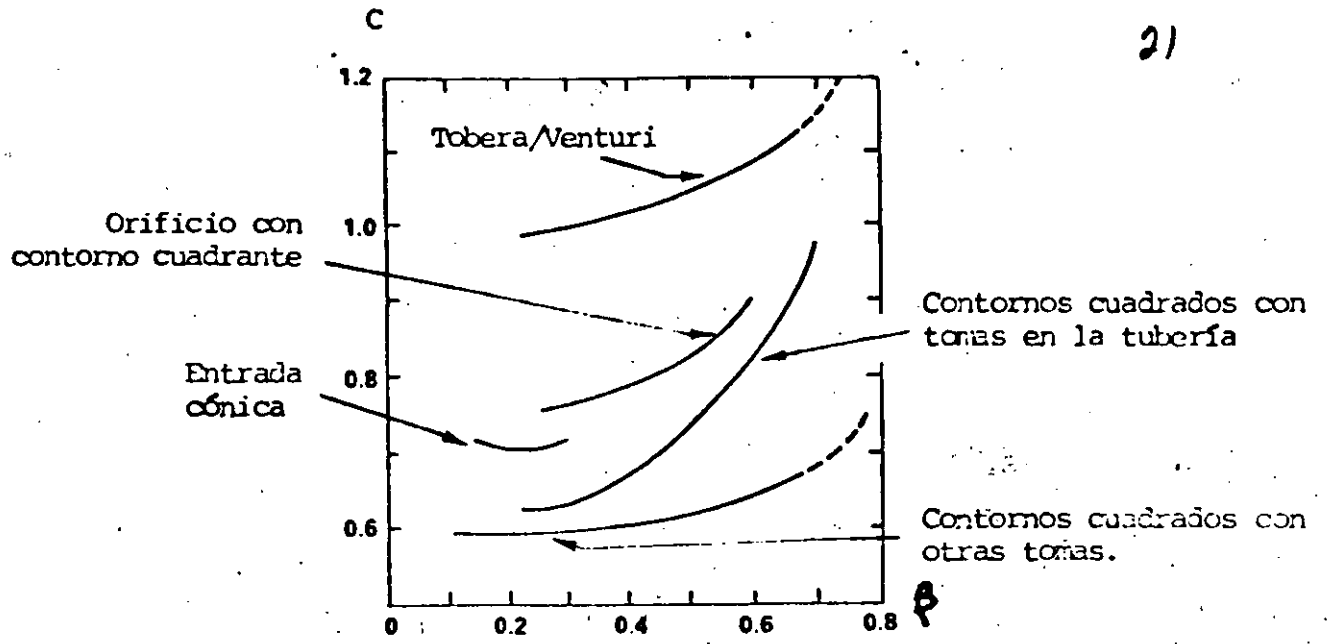
$$K = C M$$

$$Q_{\text{real}} = K A_2 \sqrt{\frac{2g_c}{\rho}} \sqrt{P_1 - P_2} \quad (11)$$

Los coeficientes de descarga y de flujo no son constantes, varían para cada tipo de elemento de obstrucción y dependen del número de Reynolds (Re), de la relación de diámetros (β) y de la geometría del ducto y elemento. En la figura 2.4-3 (a) y (b) se muestran las características de variación del coeficiente de descarga C de un tubo Venturi como función de Re y de diversos elementos de obstrucción como función de β .



a) Coeficiente de descarga para tubo Venturi respecto al número de Reynolds.



b) Coeficiente de descarga para diferentes tipos de restricciones respecto a la relación de diámetros.

Fig.- 2.4-3

El número de Reynolds está determinado por las condiciones y características del fluido y se define por la relación siguiente:

$$R_e = \frac{\rho u_m D}{\mu}$$

en donde ρ - densidad del fluido

μ - viscosidad dinámica

u_m - velocidad media del flujo.

D - diámetro de la sección particular del ducto para la cual se especifica el número Re

El producto $f u_m$ se puede calcular de la definición de gasto másico.

Respecto a los medidores de flujo por obstrucción deben considerarse diversos aspectos:

Relación cuadrática.- La relación cuadrática establecida entre el gasto y la caída de presión hace impráctico medir flujos menores del 30% del rango del elemento, ya que esto ocasiona pérdida de exactitud. La misma relación cuadrática determina el empleo, en el sistema de medición, de complejos dispositivos totalizadores de flujo.

Recuperación de presión.- Debe considerarse que una vez cruzada la restricción, el fluido fluye nuevamente por el conducto de área transversal A_1 donde la velocidad vuelve a su valor original u_1 . Sería deseable que la presión retornara también a su valor p_1 , sin embargo no ocurre así: la restricción causa turbulencia y pérdidas energéticas por lo que no se logra la recuperación total de la presión. En la figura 2.4-4 se muestran las curvas de recuperación para diversos medidores operando con una capacidad equivalente.

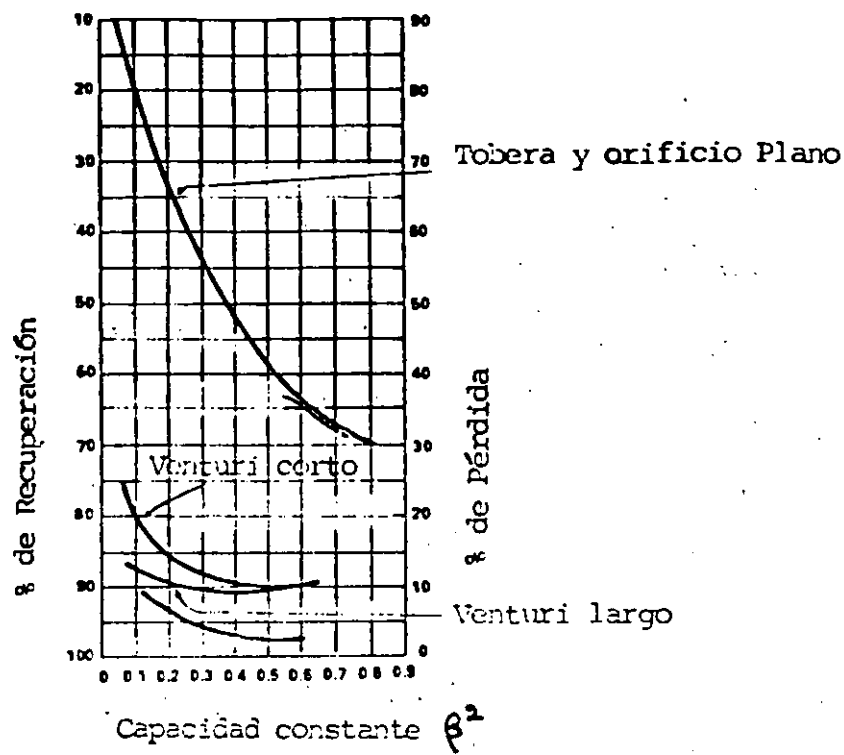


Fig. 2.4-4 Curvas de recuperación de presión.

Ubicación del elemento y de las tomas de presión.- La exactitud de la medición depende también de la ubicación que se le dé al elemento de obstrucción. Es importante que se instale en un tramo recto de la tubería alejado de cualquier tipo de conexión o dispositivo que perturbe el flujo o cause turbulencia, ya que ésto propicia cambios en la velocidad y por tanto mediciones erróneas. El distanciamiento se mide en múltiplos del diámetro de la tubería y debe asegurarse un mínimo antes y después del elemento..

Por otra parte, considerando que la restricción provoca que la velocidad se incremente al pasar por ella, encontramos que dicha velocidad (y con ella la presión) varía en diferentes puntos de la misma y en algunos casos en puntos más allá. Esto determina que la ubicación de las tomas de alta y baja presión (taps) influya también en la medición, por lo cual debe tomarse en cuenta la variación del coeficiente de descarga con respecto al sitio en donde se toma la presión.

Exactitud de la medición.- Debido a que la medición es indirecta, dependiente de diversos parámetros y condiciones que no siempre son controladas, la exactitud se ve comprometida por la incertidumbre involucrada por los componentes que intervienen en la medición completa. Puede suceder que teniendo el elemento de obstrucción una buena exactitud, digamos $\pm 0.5\%$, la exactitud total se desvíe hasta 5 ó 10% a causa de los factores que se enumeran:

- exactitud del transmisor	$\pm 1\%$
- exactitud del receptor	$\pm 1\%$
- incertidumbre en la medición de presión	$\pm 0.75\%$
- incertidumbre en la determinación de temperatura	$\pm 0.5\%$
- incertidumbre del coeficiente de descarga	$\pm 0.5\%$
- incertidumbre dependiente de la instalación del elemento	$\pm 0.5\%$
- total	$\pm 4.25\%$

Principales elementos de obstrucción.

En los párrafos siguientes trataremos los principales elementos de obstrucción enunciando sus características más importantes.

Placa de Orificio.

Es el más simple y utilizado de los elementos de obstrucción. Consiste en una placa delgada con un orificio, instalada transversalmente, por medio de bridas, en un tramo recto de la tubería. Su construcción es sencilla aunque debe tenerse cuidado con las dimensiones y maquinado del contorno del orificio, ver figura 2.4-5 .

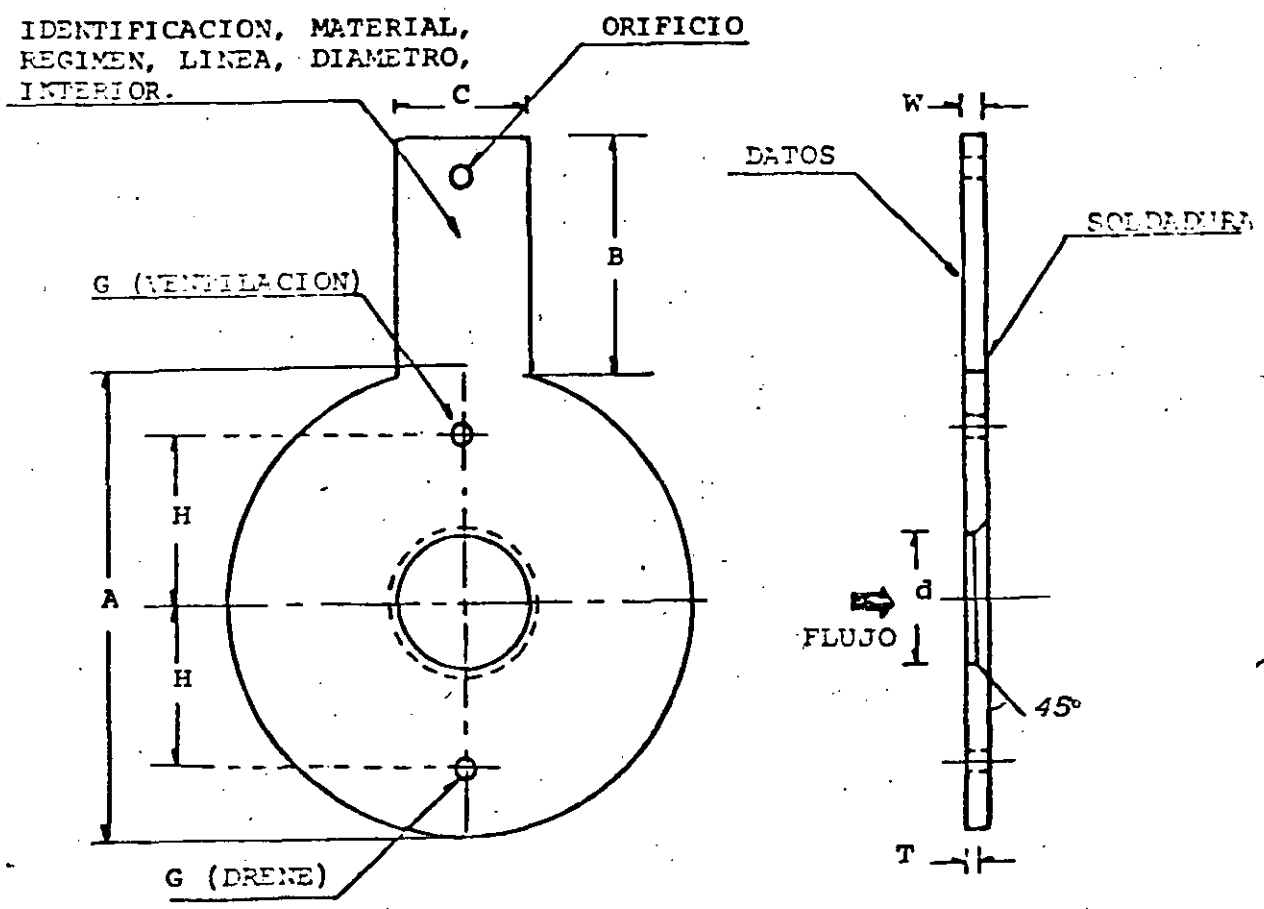


Fig. 2.4-5 Placa de Orificio.

El diámetro del orificio normalmente es del orden de entre 20 y 70 % del diámetro interno de la tubería. El

espesor de la placa no debe ser mayor de $\frac{d}{8}$, $\frac{D}{50}$ o $\frac{D-d}{8}$.

Pueden disponer de una pequeña perforación adicional ya sea en la parte superior para ventear gases cuando se mide líquido, o en la parte inferior para drenar líquidos cuando se miden gases.

La ecuación aplicada a orificios es

$$Q = K A_2 \sqrt{\frac{2g_c}{\rho}} \sqrt{p_1 - p_2}$$

El parámetro K es el coeficiente de flujo y depende, como se había apuntado, del número de Reynolds y de la relación de diámetros.

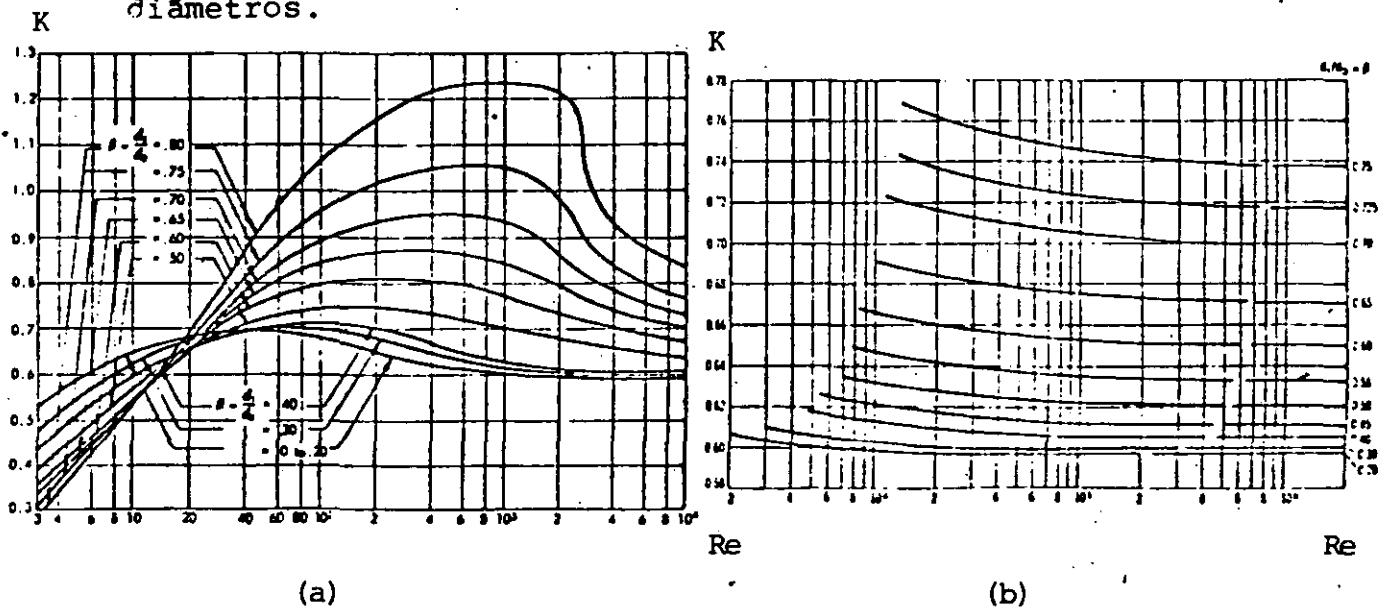


Fig.- 2.4-6 Coeficiente de flujo.

La instalación debe hacerse tomando una distancia aproximada de 20 diámetros de tubería (D) antes de la placa y de 5 diámetro después con respecto a cualquier dispositivo que cause turbulencia.

En la gráfica 2.4-7 se muestra el porcentaje de error causado en la medición por diversos tipos de conexiones de acuerdo a la ubicación de la placa.

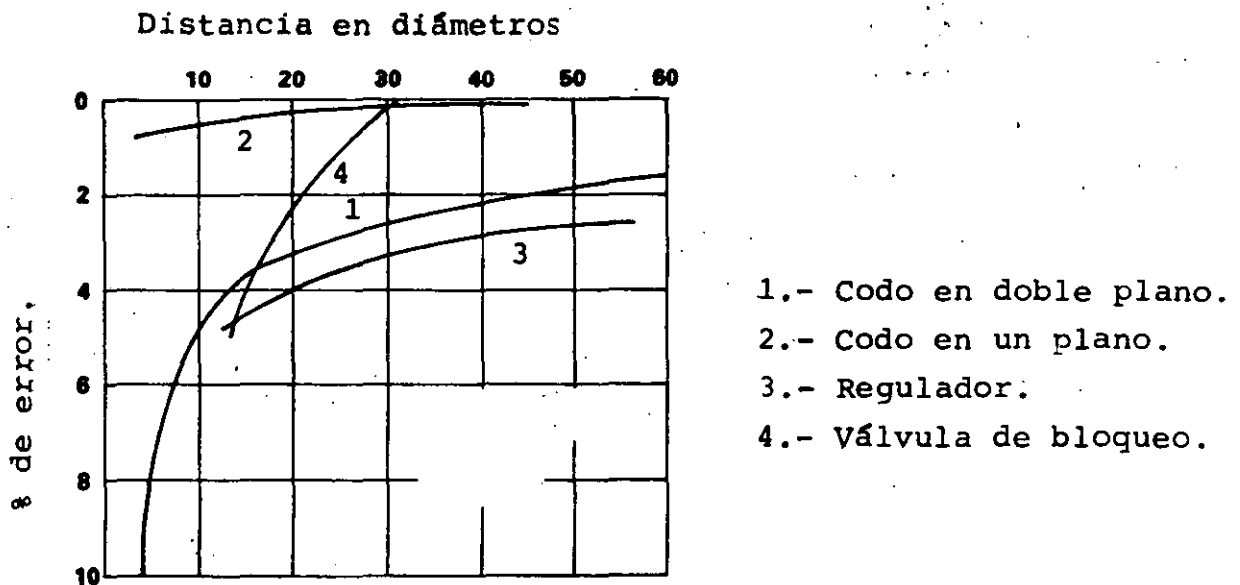


Fig. 2.4-7 Perturbación al Flujo.

Respecto a la localización de las tomas de presión hay tres formas mayormente recomendadas: a) hacer la conexión sobre cada una de las bridas a ambos lados de la placa; b) ubicar la toma de alta presión sobre el tubo a una distancia D antes del elemento y la toma de baja presión a una distancia $1/2 D$ adelante del orificio; c) la toma de alta presión de acuerdo a lo indicado en el inciso b y la de baja en el punto de vena contracta (punto de mínima presión). Lo anterior se muestra en la figura 2.4-8.

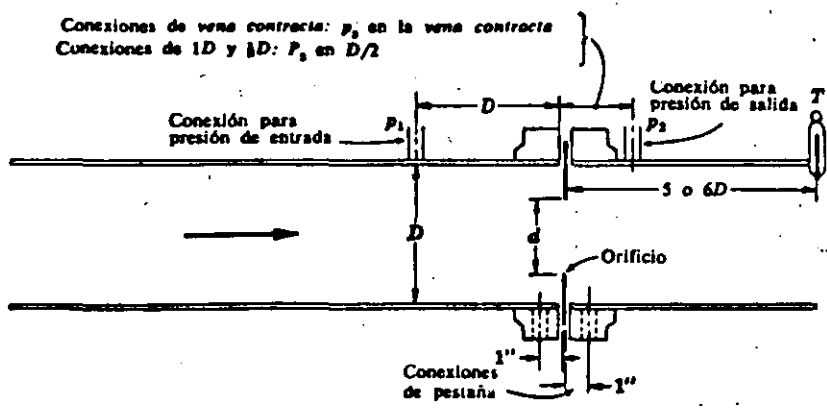


Fig. 2.4-8 Ubicación de tomas de presión en placas de orificio.

La placa de orificio más empleada es la de tipo concéntrico, sin embargo cuando se trabaja con fluidos sucios o con materiales en suspensión, es necesario emplear orificios de tipo excéntrico o segmental. Este tipo de orificios permiten el paso de materiales que un orificio concéntrico normalmente bloquearía. Los coeficientes para orificios excéntricos y segmentales no han sido establecidos con precisión, pudiendo emplearse los datos de orificios concéntricos equivalentes, aunque esto acarreará errores en la medición. En la figura 2.4-9 se muestran los tres tipos de orificios que hemos mencionado.

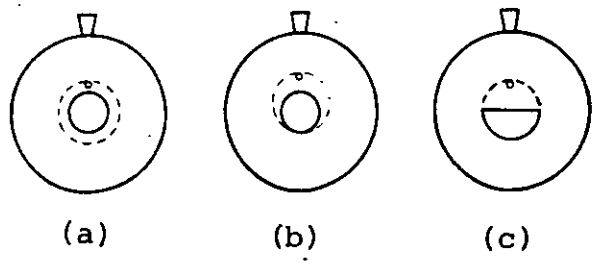


Fig. 2.4-9 Tipos de orificio: (a) Concéntrico, (b) Excéntrico (c) Segmental.

Las placas de orificio se fabrican en acero inoxidable (con mayor frecuencia), monel, bronce fosforado y otros materiales. Por su sencillez son de fácil fabricación, instalación, mantenimiento y sustitución. Son las restricciones de más bajo costo, aunque también las que causan mayor pérdida de presión permanente.

Tobera de Flujo.

La tobera de flujo tiene una sección longitudinal plana que hace convergir la descarga de flujo más paralelamente al eje del tubo. Su extremo de salida tiene la forma de un tubo corto de diámetro igual al de la vena contracta de un orificio de igual capacidad. Ver figura 2.4-10.

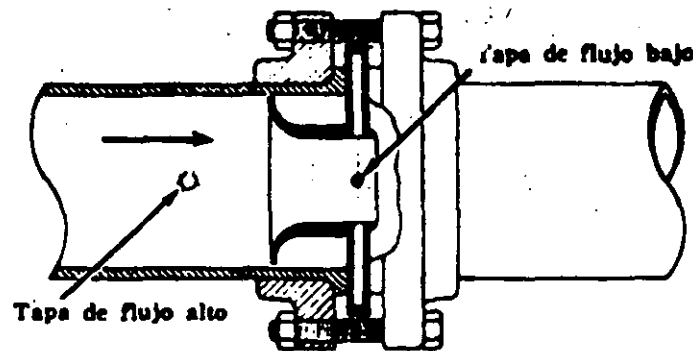


Fig. 2.4-10 Tobera de Flujo.

Se emplea generalmente para flujos de alta velocidad, sobre todo en la medición de flujo de vapor de agua.

Se rige por la ecuación.

$$Q = C K A_2 \sqrt{\frac{2E_c}{\rho}} \sqrt{p_1 - p_2}$$

El coeficiente de descarga depende de Re y de β .

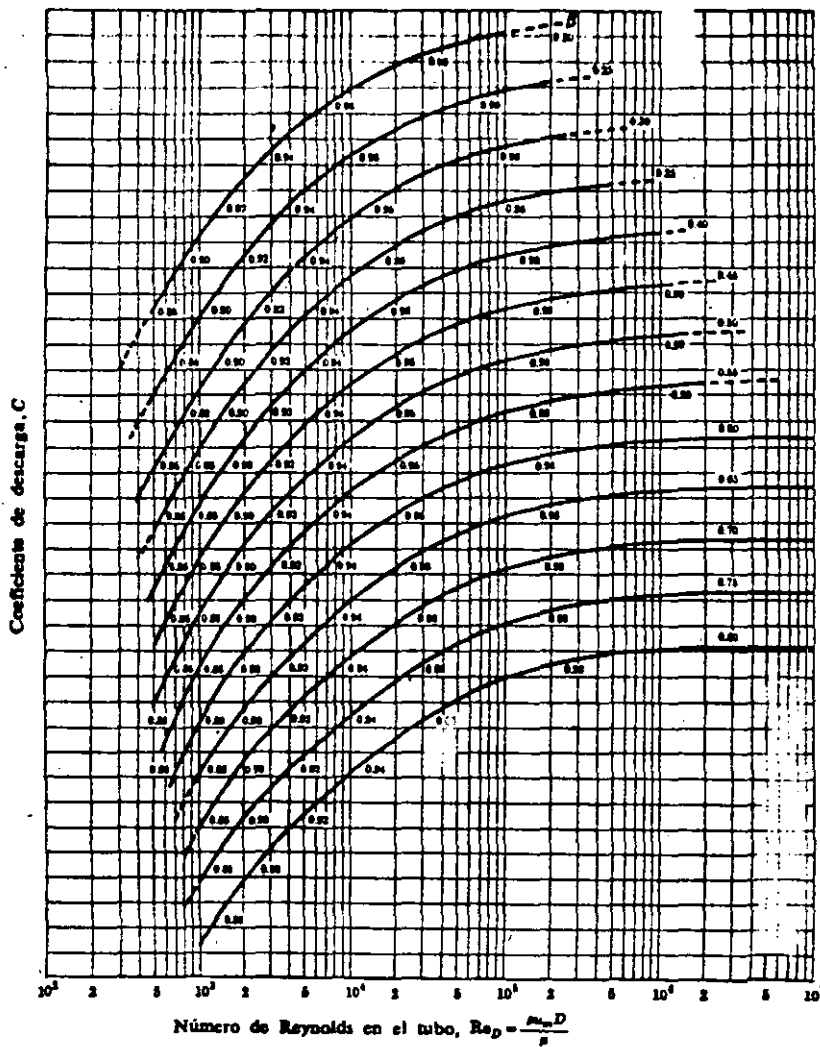


Fig. 2.4-11 Variación del coeficiente de descarga en toberas.

La instalación debe hacerse en un tramo recto de la tubería buscando el mayor distanciamiento de las conexiones o accesorios que causan perturbaciones al flujo. Las tomas de presión se localizan a una distancia D antes de la entrada y $1/2D$ adelante de la salida.

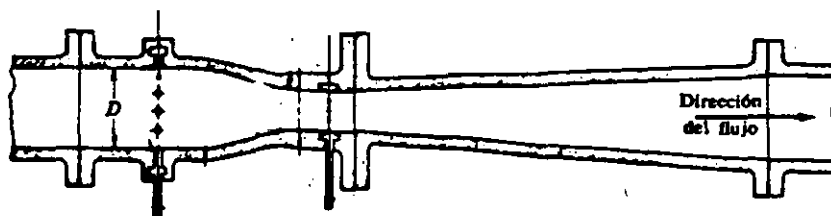
Las toberas son de fácil mantenimiento. Con respecto a los orificios tienen 60% de mayor capacidad, pérdidas de presión equiparables y su costo es mayor.

Tubo Venturi.

En redes de tubería extensas y de grandes capacidades, como gasoductos y sistemas de distribución de agua en las ciudades, es indispensable que la medición de flujo se efectúe sin pérdidas de carga. Es en este tipo de aplicaciones en donde el tubo Venturi tiene amplia utilización ya que su principal característica es precisamente permitir una alta recuperación de presión (ver figura 2.4-4).

El Venturi está compuesto de tres partes principales, figura 2.4-12 .

El cono de entrada que determina la reducción gradual del área transversal de la tubería hasta alcanzar la sección mínima llamada garganta, en donde la velocidad es máxima. La garganta, que es la parte más importante del elemento, consiste en un tramo recto de conducción que desemboca en el cono de descarga, a través del cual vuelve a incrementarse el área de conducción hasta su dimensión original.



D - Diámetro del tubo a la entrada y la salida
 d - Diámetro de la garganta según se requiera

Fig. 2.4-12 Tubo Venturi.

La geometría del tubo Venturi además de proporcionar bajas pérdidas de presión hace posible su empleo en fluidos altamente viscosos, con sólidos en suspensión.

La toma de alta presión se localiza a la entrada del elemento, la de baja en la garganta. Ambas tomas están conectadas a un múltiple que circunda las porciones de entrada y garganta del tubo para hacer más confiable la toma de presión; a estos múltiples se les llama anillos piezométricos.

La ecuación que se aplica convencionalmente a Venturis es

$$Q = C K A_2 \sqrt{\frac{2\sigma_c}{\rho}} \sqrt{P_1 - P_2}$$

El coeficiente de descarga C depende de Re y de β tal como se muestra en la gráfica de la figura 2.4-3 (a). Es importante mencionar que el Venturi es el elemento de obstrucción que ofrece mayor exactitud.

La instalación del tubo no necesariamente tiene que ser horizontal, puede instalarse con alguna inclinación e incluso verticalmente. Se requieren tramos de tubería rectos antes y después del elemento, aunque dichos tramos son menores que los especificados para las placas de orificio.

Otras características importantes de los Venturis son las siguientes: su vida útil es mayor que la de los orificios, su capacidad es 60% mayor que la de éstos, y requieren poco mantenimiento. Considerando su alta exactitud y recuperación de presión es posible afirmar que dichas características compensan su elevado costo en aplicaciones donde tales factores son importantes.

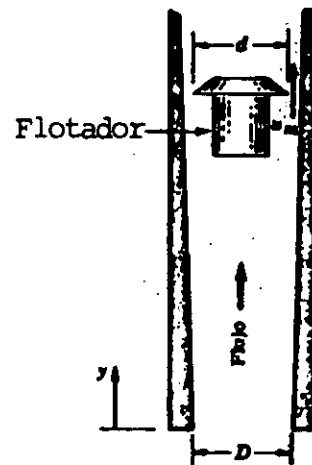
B.- Medidores de Flujo de Area Variable.

Rotámetro.

El rotámetro es el medidor de área variable más conocido. En la figura 2.4-13 (a) se muestra uno de tipo comercial.



(a)



b).- Principio de operación.

Fig. 2.4-13 Rotámetro.

Consta de un tubo de vidrio con cierta conicidad en cuyo interior se instala un flotador de dimensiones específicas que se mueve libremente obstruccionando al flujo. Se instala verticalmente, dando entrada al flujo por su extremo inferior; de acuerdo a la conicidad del tubo, la sección de mayor área se ubica en la parte superior.

En presencia de flujo el flotador ocupa una cierta posición vertical determinada por el equilibrio de las fuerzas que actúan sobre él. La fuerza descendente, el peso del flotador, se contrarresta por la fuerza de flotación que el fluido ejerce sobre el cuerpo sumergido (la fuerza

de flotación es igual al peso del fluido desplazado por el flotador y depende directamente de la densidad del fluido), por la caída de presión ocasionada por la obstrucción al flujo y por la fuerza de arrastre viscoso que el fluido ejerce sobre el flotador. Ver figura 2.4-13 (b).

Al incrementarse la velocidad del flujo el flotador es arrastrado hacia arriba en donde el área del tubo es mayor, por lo que el incremento de velocidad no se traduce en un cambio de la caída de presión, sino en un cambio en la posición de éste dentro del tubo cónico. Para la nueva posición se alcanza el equilibrio de fuerzas, permaneciendo invariable la caída de presión ya que el área de conducción se ha incrementado. Cualquier cambio en la velocidad del flujo causa que el flotador suba o baje hasta encontrar una nueva condición de equilibrio: cada posición obtenida por el flotador corresponde solamente a un valor particular de la velocidad del flujo.

Recordando que el flujo en presencia de una obstrucción cumple con la ecuación

$$Q = C A \sqrt{2g_c (p_1 - p_2)}$$

si la caída de presión se mantiene constante, entonces el gasto es proporcional al área de conducción.

El tubo del medidor dispone de una escala lineal calibrada en unidades de flujo y la medición se obtiene de acuerdo a la posición del flotador.

En las aplicaciones donde el tubo debe ser de metal o cuando se requiere transmisión de la medición, la posición del flotador se detecta magnética o eléctricamente.

Aunque la medición se ve afectada considerablemente por la densidad y viscosidad del fluido, existen diversos diseños del flotador que permiten compensar el comportamiento del medidor contra esos factores.

Los rotámetros se fabrican en una amplia variedad de materiales y tamaños, desde 1/8 hasta 6 pulgadas (aunque raramente son usados en tamaños mayores a 2 pulgadas), con capacidad desde 2cc/min hasta 900 gpm.

Normalmente su exactitud es aproximadamente 2% de la escala, pudiendo mejorarse hasta 1% con calibración especial. Algunas características de los rotámetros son las siguientes: funcionamiento lineal, caída de presión constante y muy baja, pueden medir fluidos de densidad y viscosidad variables o corrosivos, la lectura indica el gasto directamente sin necesidad de accesorios.

C.- Medidor Electromagnético de Flujo.

Este instrumento mide el flujo volumétrico en base al principio electromagnético que indica que una fuerza electromotriz es inducida en un conductor cuando éste se mueve dentro de un campo magnético.

El dispositivo produce un campo magnético uniforme que se aplica sobre la tubería, el fluido representa al conductor que se mueve dentro del campo, resultando de estos factores un voltaje inducido en la masa del fluido. La tensión inducida esta dada por

$$E = B l u$$

donde B - densidad de flujo magnético

l - longitud del conductor

u - velocidad del conductor

la longitud del conductor es proporcional al diámetro del tubo y la velocidad u es proporcional a la velocidad media del fluido. Para un medidor electromagnético de campo constante, el flujo volumétrico es directamente proporcional al voltaje inducido.

El voltaje generado se detecta por medio de un par de electrodos aislados situados perpendicularmente a la dirección del campo, ver figura 2.4-14.

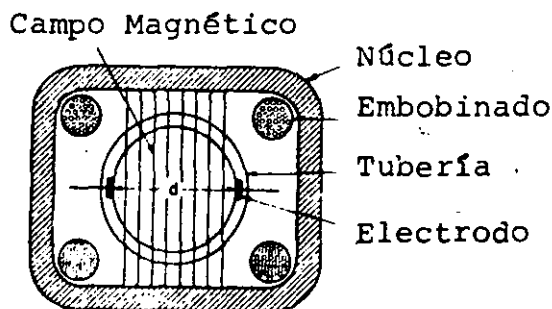


Fig. 2.4-14 Sección transversal de un medidor magnético de flujo.

El fluido medido debe tener una conductividad eléctrica mínima de $50 \mu\text{V}/\text{cm}$. Los medidores para fluidos de baja conductividad tienen electrodos de área amplia insertados en contacto con el fluido, su salida generalmente es baja y requiere amplificación.

En fluidos de alta conductividad los electrodos van colocados externamente y producen una salida suficientemente alta que puede utilizarse para obtener una lectura directa.

Los medidores magnéticos de flujo son preferentemente aplicados para medir metales en estado líquido. Entre otras de sus características destacan las siguientes: medición sin obstrucción al flujo, no es afectado por fluidos sucios o viscosos, la medición puede efectuarse en ambas direcciones.

y tienen buena exactitud (1%).

D.- Medidor Ultrasónico de Flujo.

Los medidores ultrasónicos de flujo operan en base al principio físico que establece que la velocidad del sonido en un fluido en movimiento es igual a la velocidad del sonido en el fluido en reposo más la velocidad con que se mueve el fluido.

Existen dos métodos principales de medición ultrasónica:

- 1.- Medición por la diferencia de tiempo de viaje, en donde ondas sónicas son transmitidas en direcciones opuestas con respecto al flujo y al ser recibidas en los sensores del dispositivo manifiestan una diferencia en el tiempo de viaje, la cual es una medida de la velocidad del flujo. Ver figura 2.4-15 .

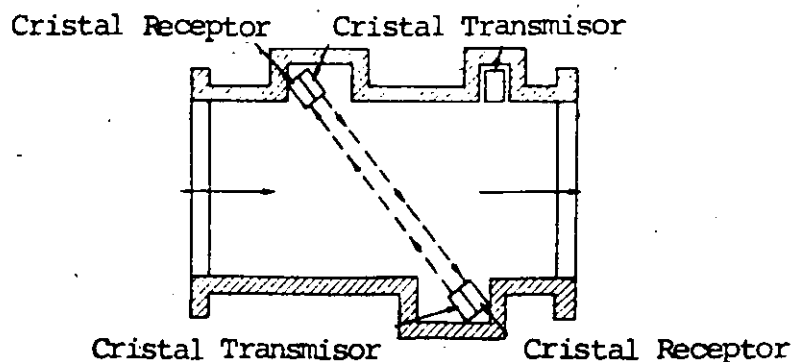


Fig. 2.4-15 Medidor de flujo ultrasónico.

La diferencia de tiempo se obtiene enviando simultáneamente pulsos en ambas direcciones. La velocidad del flujo hace que la emisión que viaja a contra corriente se atrase con respecto a la que viaja a favor de la corriente.

2.- Medición por efecto Doppler. En estos medidores se dispone de un transmisor-receptor que envía ondas sónicas hacia el flujo, éste las devuelve hacia el dispositivo nuevamente por la acción reflejante de impurezas o burbujas presentes en el medio. La medición se efectúa considerando el corrimiento en frecuencia de las ondas reflejadas, de acuerdo al efecto ondulatorio descrito por C. Doppler. El corrimiento de frecuencia en las ondas recibidas por el sensor del instrumento es proporcional a la velocidad del cuerpo que las ha reflejado y consecuentemente a la velocidad del flujo que transporta dicho cuerpo. En la figura 2.4-16 se muestra un medidor ultrasónico comercial tipo Doppler.

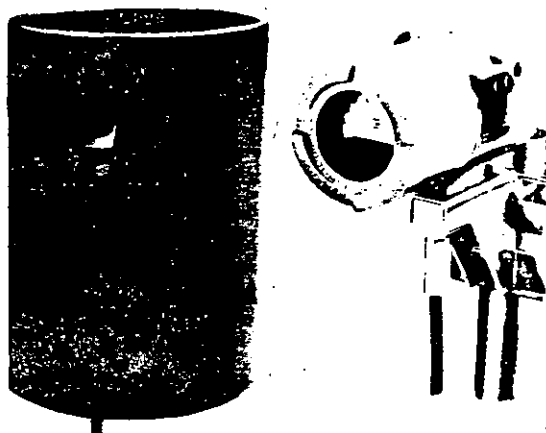


Fig. 2.4-16 Medidor de flujo tipo Doppler.

Algunas características destacadas de los medidores ultrasónicos son las siguientes: medición sin obstrucción al flujo, aplicación en líquidos, gases y sólidos, aplicación a cualquier tamaño de tubería, medición en ambas direcciones, exactitud del 1%, respuesta rápida ($1 \mu\text{seg}$), y costo alto.

2.5.- Medición de Temperatura.

Una de las variables más importantes y comunes dentro de los procesos industriales es la temperatura, ya que se encuentra involucrada prácticamente dentro de todos ellos.

La temperatura se define como una medida del estado relativo de calor o frío. También se puede decir que es una manifestación del promedio de energía cinética de las moléculas de una sustancia debido a la presencia de calor. Existen diferentes escalas para la medición de temperatura, las cuales han sido definidas asignando un valor numérico arbitrario a diferentes puntos definiéndose la unidad de medición, grado, como la diferencia entre dos puntos fijos de la variable. A continuación definiremos las escalas de temperatura más aceptadas:

- Escala de Celsius.

En esta escala, también llamada centígrada, el intervalo básico es de 100° , designándose 0° como el punto de congelación del agua y 100° como el punto de evaporación. El símbolo del grado de la escala Celsius es $^{\circ}\text{C}$.

- Escala Fahrenheit.

G. Fahrenheit definió el punto de congelación del agua como 32° y el punto de ebullición como 212° , creando un intervalo básico de 180° . El símbolo de la escala Fahrenheit es $^{\circ}\text{F}$.

- Escalas Absolutas.

En un esfuerzo por excluir de las escalas de temperatura todos aquellos factores que las hicieran dependientes, se decidió asignar un valor a una temperatura

determinada en vez de a la diferencia entre dos puntos. Se eligió la temperatura del punto triple del agua y se le asignó el valor de 273.16° absolutos. A esta escala se le denomina escala Kelvin y sus símbolo es $^{\circ}\text{K}$.

También existe una escala absoluta relacionada a la de Fahrenheit, llamada escala Rankine. En esta escala se asignó un valor de 491.69° a la temperatura del punto triple del agua. El símbolo de la escala es $^{\circ}\text{R}$.

En este tema se estudiarán aquellos elementos sensores de temperatura que de alguna manera son capaces de generar una señal (eléctrica, hidráulica o mecánica) que pueda ser medida a distancia, para incorporarse al lazo de control. Los elementos que se tratarán, son los siguientes:

- A.- Medición de Temperatura por efectos mecánicos .
Sistemas termales llenos.
- B.- Medición de Temperatura por efectos eléctricos.
 - B1.- Elementos termoresistivos.
Termómetros de resistencia.
Termistores.
 - B2.- Elementos Termoeléctricos.
Termopares.
Sensores por Radiación.

- A.- Medición por efectos mecánicos.
Sistemas termales llenos.

Los sistemas termales llenos están contruidos básicamente, por una unidad cerrada bajo presión, un capilar flexible conectado a un tubo y un resorte helicoidal sensitivo a la presión, el cual actúa un mecanismo de transmisión o un elemento indicador. El resorte sensor a la presión es un tubo de Bourdon. El fluido que se encuentra en la unidad cerrada (bulbo) se expande con los incrementos de temperatura,

incrementando la presión, causando que el tubo de Bourdon accione.

El fluido utilizado para llenar los sistemas puede ser vapor, gas, mercurio u otro líquido. La tabla 2.5-I muestra algunos de los principios de operación de los sistemas termales, con los diferentes fluidos utilizados, mencionando algunas de sus principales características.

Para seleccionar un sistema termal deben considerarse las siguientes clases:

- Clase II.- Presión de vapor.
- Clase IB.- Expansión de líquido, caja compensada.
- Clase IA.- Expansión de líquido, totalmente compensado.
- Clase IIIB.- Presión de gas.

La clase II es la más simple y barata, tiene una respuesta rápida y los cambios de temperatura en la caja y elementos no afectan la exactitud por lo que no es necesario utilizar un compensador. Dentro de esta clase existen las siguientes subdivisiones:

Clase IIA.- La temperatura del bulbo está siempre sobre la temperatura del resto del sistema.

Clase IIB.- La temperatura del bulbo está abajo del resto del sistema.

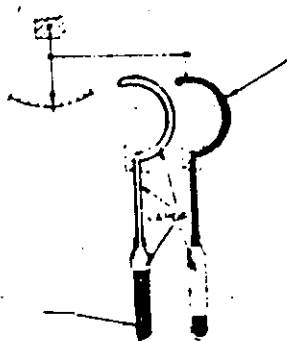
Clase IIC.- La temperatura del bulbo puede estar arriba o abajo de la temperatura del resto del sistema.

Tabla 2.5-I.- Comparación de Sistemas Termales Llenos.

Principio de Operación	EXPANSION DE LIQUIDO			PRESION	
	V Mercurio	1-B Monoalex	1-A Ducalex	II Vapor	III Gas
Medio de Actuación	Mercurio	Líquido Orgánico (Hidro - Carbón)	Líquido Orgánico	Líquido Orgánico	Gas Inerte
Límite inferior de Temperatura	-39°C	-87°C	-87°C	-40°C	-240°C
Límite Superior de Temperatura	649°C comprimido; 315°C sin comprimir	+260°C	+260°C	315°C	538°C
Gama Mayor	649°C	Lineal hasta 138°C No lineal hasta 192°C	138°C	538°C	538°C
Gama Menor	25°C	30°C	30°C	50°C	60°C
Límite Superior para la gama menor	+288°C	+260°C	+260°C	+288°C	+38°C
La gama está determinada por:	Tamaño del Bulbo	Tamaño del Bulbo	Tamaño del Bulbo	Medio de Actuación y Bourdon	Presión del medio de actuación
Escala	Lineal	Lineal	Lineal	Lineal	Lineal
Máxima longitud del capilar	63.5 cm no compensado 508 cm compensado	38 cm	508 cm	508 cm	508 cm
Tipo de Compensación por temperatura en el capilar.	Mediante un alambre de Invar.	Ninguna	Doble Bourdon	Ninguna	Ninguna
Tipo de Compensación en la caja	Tira Bimetálica	Tira Bimetálica	Doble Bourdon	Generalmente no es necesaria	Tira Bimetálica
Elevación del bulbo sobre o bajo la caja	Debe especificarse si está a más de 76 cm abajo o 152 cm arriba	No afecta	No afecta	Se corrige durante la calibración	No afecta
Capacidad de sobre-rango, en % de la gama	100%	100%	Varía con la longitud del capilar hasta un máximo de 120%	Generalmente no es necesario	Depende de la gama y del rango. Hasta 300%

* Sociedad de Fabricantes de Aparatos Científicos.

Posición del líquido cuando la temperatura del bulbo es mayor que la temperatura del resto del sistema.



Posición del líquido cuando la temperatura del bulbo es menor que la temperatura del resto del sistema.

Fig.- 2.5-1. Medición sobre y bajo de la temperatura del Sistema.

Las clases IA y IB, sistemas llenos de líquido, son los sistemas más pequeños con la ventaja de utilizar escalas lineales. Son recomendados particularmente para medir temperaturas cercanas a la ambiente, además permiten gamas muy estrechas.

La clase IA, la cual es totalmente compensada, es de precisión más alta que la clase II, pero son sistemas más caros. La clase IB, que no es totalmente compensada, tiene la limitación de que la temperatura en la caja y a lo largo del tubo debe ser siempre la misma o de lo contrario se introducirían errores en la lectura.

En la clase IIIB el volumen del bulbo debe ser mucho mayor que los volúmenes combinados del capilar y del tubo y los cambios de temperatura ambiente a lo largo del tubo y en la caja sólo deben causar cambios de presión despreciables en el sistema. De esto se intuye que se requieren bulbos de gran volumen, pero afortunadamente existen muchas aplicaciones que no están limitadas por el espacio. Estos sistemas siguen la ley de los gases perfectos:

$$T_{abs} = K P V$$

Entonces si el volumen es constante y el gas es ideal la presión en el sistema es proporcional a la temperatura, pero el volumen no es constante ya que varía con las deflexiones del Bourdon y ningún gas es ideal.

Los gases más cercanos a la perfección son el helio y el hidrógeno, pero tienden a transpirar a través de los poros de los sistemas metálicos. Algunas veces se usa helio, pero el gas más comunmente utilizado es el nitrógeno, que a pesar de no ser un gas perfecto permite la utilización de escalas graduadas uniformemente.

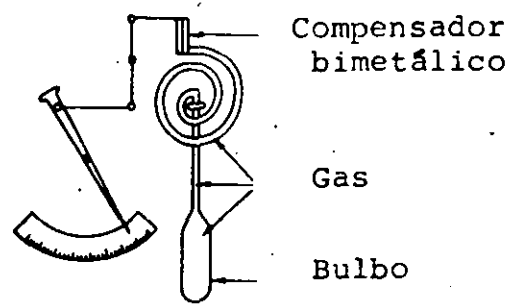


Fig. 2.5-2 Sistema Compensado.

B.- Medición por efectos eléctricos.

B1.- Elementos termoresistivos.

El principio básico de operación de los elementos termoresistivos consiste en el hecho de que la resistencia de los metales y materiales semiconductores varía con la temperatura y esta variación es reproducible a altos grados de exactitud.

La relación de las variaciones de la resistencia de acuerdo a la temperatura se expresa mediante la siguiente ecuación.

$$R_T = R_0 (1 + aT + bT^2 + cT^3 + \dots)$$

donde R_0 - resistencia a la temperatura de referencia (normalmente el punto de congelación del agua), en ohms.

R_T - resistencia a la temperatura T, en ohms.

a - coeficiente de variación de resistencia con respecto a la temperatura, $\text{ohm}/^\circ\text{C}$.

b, c - coeficientes calculados en base a dos o más puntos de resistencia a temperaturas conocidas.

La mayoría de los metales presentan coeficientes de temperatura positivos, dando incrementos en su resistencia a incrementos en la temperatura, mientras que la mayoría de los elementos semiconductores presentan coeficientes negativos.

Para la fabricación de elementos termoresistivos de metal (termómetros de resistencia) se cuenta con muy pocos de ellos ya que deben de cumplir con características muy específicas como es el tener una extrema estabilidad en la relación resistencia-temperatura, de tal manera que ni el valor R_0 ni los coeficientes a, b y c cambien con los repetidos calentamientos y enfriamientos a que estarán expuestos, además la resistencia específica del material, en ohm/cm^3 , debe tener tal valor que permita la fabricación de elementos de tamaño práctico. Debe ser fácilmente localizable en estado puro y permanecer puro durante su

uso (ser resistente a la corrosión). Debe ser lo suficientemente dúctil para permitir la fabricación de hilo fino y además ser comercialmente accesible. A continuación mencionamos algunos de los materiales para fabricación de termómetros de resistencia, así como sus características más importantes.

Platino.- Tiene una razonable alta resistividad y un coeficiente resistivo relativamente grande. Es un metal noble y su resistencia varía casi linealmente con la temperatura. Aunque es caro, de hecho es el material más usado para la fabricación de termómetros de resistencia.

Níquel.- Es muy usado debido a su bajo costo y alto coeficiente de temperatura, pero es difícil de obtener con alta pureza y es susceptible a la contaminación. Pierde su linealidad sobre los 300°C , por lo que no se puede usar más allá de este límite.

Cobre.- Tiene la relación resistencia temperatura más lineal de todas las conocidas, es barato y se le consigue fácilmente, pero debido a su baja resistividad se requiere fabricar detectores de gran tamaño, se oxida rápidamente y tiene una pobre estabilidad y reproducibilidad.

Para conectar los termómetros de resistencia a los instrumentos de medición se utiliza alambre de cobre, el cual da un buen enlace entre ellos pero a la vez representa una resistencia en serie con el sensor, la cual es necesario compensar. Para realizar estas compensaciones se utilizan las configuraciones de tres y cuatro hilos, en las cuales se utilizan hilos extras para balancear los instrumentos de medición.

Para proteger los elementos termoresistivos de los ataques atmosféricos en aplicaciones industriales se utilizan termopozos. Ver figura 2.5-3.

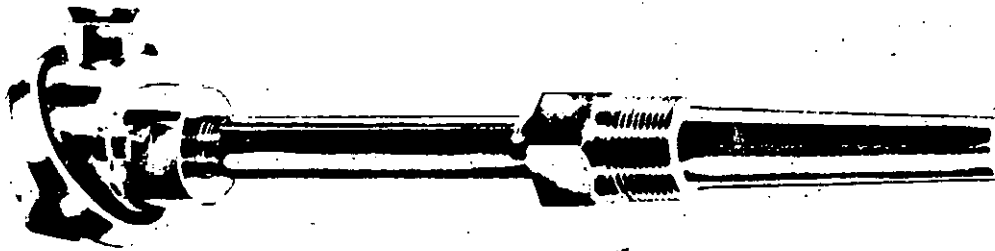


Fig. 2.5-3 Elemento Termoresistivo.

Dentro de la clasificación de elementos termoresistivos se encuentran los termistores, que son dispositivos hechos de material semiconductor con alto coeficiente de temperatura. La relación resistencia temperatura está determinada por la siguiente expresión, que es válida para casi todos los termistores.

$$R_T = R_0 \exp B \left(\frac{1}{T} - \frac{1}{T_0} \right)$$

donde R_0 - valor de resistencia a la temperatura de referencia, (T_0), en ohms.

R_T - resistencia a la temperatura T , en ohms.

B - constante sobre el rango de temperatura. Depende del proceso de construcción y está dado por

$$B = \frac{E}{K}$$

E - nivel energético, en electrón-volt.

K - constante de Boltzman (8.625×10^{-5} eV/o_K)

Las temperaturas de referencia y de medición deberán ser absolutas (escala Kelvin).

La aplicación de los termistores sigue los mismos lineamientos que el resto de los elementos termoresistivos. Aunque muchas de las aplicaciones de los termistores están limitadas a los laboratorios, su uso en aplicaciones industriales se está incrementando, principalmente en técnicas avanzadas de control.

B2.- Elementos termoeléctricos.

Termopares.

Los termopares son, prácticamente, los elementos más usados para hacer mediciones de temperatura en la industria debido a que son capaces, en sus diferentes aleaciones, de medir desde temperaturas muy bajas, aproximadamente $-200\text{ }^{\circ}\text{C}$, hasta temperaturas muy altas, más de $+1800\text{ }^{\circ}\text{C}$, por lo que cubren todos los rangos de trabajo existentes.

La teoría de los termopares está basada en los siguientes principios y leyes:

Principio de Seebeck.- T. J. Seebeck descubrió que si se forma un lazo con dos metales diferentes, como el mostrado en la figura 2.5-4 y cada uno de los extremos o juntas se encuentra a una temperatura diferente se genera una fuerza electromotriz y su magnitud es proporcional a la diferencia entre las temperaturas de las dos juntas.

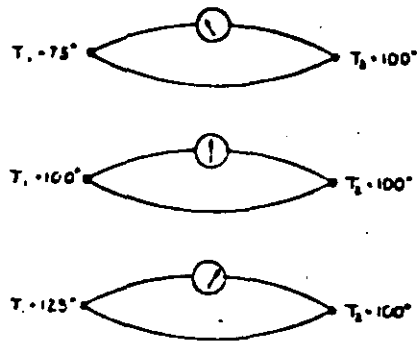


Fig. 2.5-4 Efecto Seebeck.

Principio de Peltier.- Cuando una corriente fluye a través de un lazo termoeléctrico una de las juntas absorberá calor mientras que la otra lo liberará.

Principio Thompson.- Sir William Thompson, más tarde Lord Kelvin, descubrió que cuando un material metálico es conectado a una fuente externa de fem y existe un gradiente de temperatura a través del conductor, el flujo de corriente causará un incremento de temperatura en una de las juntas y un decremento en la otra.

Los tres efectos anteriores dieron origen a las leyes en que está basada la tecnología de mediciones termoeléctricas:

- 1.- Ley de los circuitos homogéneos. No se puede mantener una corriente eléctrica en un circuito construido por un solo metal homogéneo por la sola aplicación de calor.
- 2.- Ley de los metales intermedios.- La suma algebraica de las fuerzas termoelectromotrices en un circuito compuesto por cualquier número de materiales disímiles es cero, si todo el circuito está a una temperatura uniforme.

3.- Ley de las temperaturas intermedias. Si dos metales disímiles homogéneos producen una fem térmica E_1 , cuando las juntas están a temperatura T_1 y T_2 y una fem térmica E_2 cuando están a T_2 y T_3 , la fem generada, cuando las juntas están a T_1 y T_3 , sería

$$E_3 = E_1 + E_2$$

como se muestra en la figura 2.5-5 .

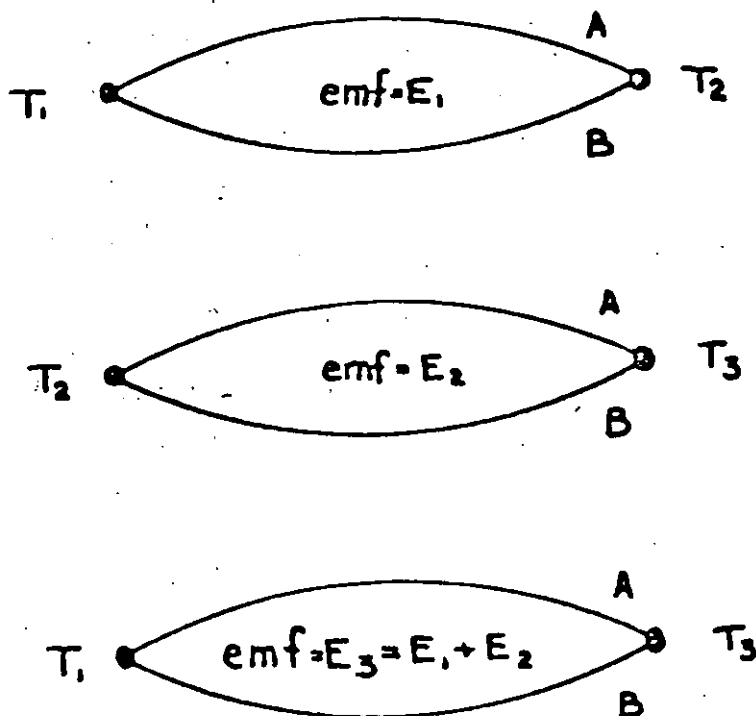


Fig. 2.5-5 Ley de las temperaturas intermedias.

La tabla 2.5-II muestra algunas de las aleaciones más comunmente usadas para la fabricación de termopares, así como su nomenclatura y rango recomendado de operación.

Tipo ANSI	Elemento Positivo	Elemento Negativo	Rango Util	
			°F	°C
B	Platino 30% rodio	Platino 6% rodio	1600 - 3100	870 - 1700
E	Originalmente Cromel	Constantano	32* - 1600	0 - 870
J	Hierro	Constantano	32 - 1400	0 - 760
K	Originalmente Cromel	Originalmente Alumel	32* - 2300	0 - 1260
R	Platino 13% rodio	Platino	32 - 2700	0 - 1480
S	Platino 10% rodio	Platino	32 - 2700	0 - 1480
T	Cobre	Constantano	- 300 a + 700	-180 a + 370

* Puede ser usado a - 400°F (-240°C), pero los límites de error no están establecidos para rangos de subcero.

Tabla 2.5-II Rango de Aplicación de los Termopares.

La adecuada selección de un termopar depende de diversos factores. Algunos de los más importantes son:

Rango de trabajo.- Como se mencionó anteriormente existen diferentes aleaciones para la construcción de termopares y cada uno de ellos se recomienda para usarse en un determinado rango de operación, debido a la certeza en la generación de milivoltaje que se tendrá dentro de esos rangos. Fuera de ellos la incertidumbre en la cantidad de milivoltaje generado por grado será mayor.

Selección de acuerdo a la atmósfera.- Debe tenerse muy en cuenta que tipo de atmósfera existirá en el punto en el que el termopar estará trabajando. La tabla 2.5-III menciona los efectos de la atmósfera en los diferentes tipos de termopares.

Selección de acuerdo al tamaño del cable.- Es muy importante considerar la velocidad de respuesta que se desea tener a los cambios de temperatura. Si se tiene un alambre de diámetro

Tipo de Termopar	Influencias de la Temperatura y gases de la atmósfera *
B, R, S	1.- Muy buena resistencia a la oxidación. 2.- Pobre resistencia a atmósferas reductoras. 3.- El platino se corroe fácilmente sobre 1000°C. Deben usarse tubos de cerámica. No deben usarse tubos metálicos.
K	1.- Buena resistencia a la oxidación. 2.- Pobre resistencia a atmosferas reductoras. 3.- Se ve afectado por gases de azufre, sulfurosos o reductores.
J	1.- Las atmósferas oxidantes y reductoras tienen poco efecto sobre su exactitud. Es preferentemente usado en atmósferas secas. 2.- Buena resistencia a la oxidación hasta + 400°C, pero pobre sobre los + 70°C. 3.- Buena resistencia a atmósferas reductoras hasta + 400°C. 4.- Debe protegerse del oxígeno y del azufre.
T	1.- Resistente a la corrosión en atmósferas húmedas. 2.- Buena resistencia a atmósferas oxidantes. 3.- Buena resistencia en atmósferas reductoras. 4.- Requiere protección a los humos ácidos.
E	1.- El cromel es atacado por atmósferas sulfurosas. 2.- Buena resistencia a la oxidación. 3.- Buena resistencia en atmósferas reductoras.

* Una atmósfera oxidante principalmente ataca oxidando los elementos del metal base de los termopares. El efecto de una atmósfera reductora (CO , H_2) en los tipos B, R y S es el de reducir parcialmente los refractarios con los que están en contacto los alambres del termopar, para en seguida atacar el termopar mediante el producto de la reducción, frecuentemente silicio.

muy pequeño la velocidad de respuesta será muy rápida, pero los efectos de corrosión se presentarán también más rápidamente que si se tuvieran alambres gruesos, los que responden en forma más lenta. Este factor es muy importante, principalmente si los termopares se utilizan desnudos.

Selección de acuerdo al costo.- El costo de los termopares es función directa del tipo de material que se emplee para su construcción. Así por ejemplo los termopares construidos con cromel-alumel costarán el doble que los construidos con cobre-constantano o hierro-constantano y los que están construidos con platino-rodio costarán mucho más que cualquiera de los anteriores.

Es muy común encontrar en la industria que el punto donde se desea realizar la medición está muy alejado del punto donde se encuentra el instrumento de medición, por lo que es necesario utilizar algún tipo de cable para conectar los dos elementos. La primera solución en que se piensa es en utilizar cable termopar para llevar la señal desde una caja terminal cercana al punto de medición hasta el punto donde está el instrumento. Esto solo será posible si todas las uniones se encuentra exactamente a la misma temperatura, ya que de no ser así se crearían puntos de generación de fem térmica, introduciendo errores en la medición.

Una solución sería poner un segundo termopar midiendo la temperatura de la caja terminal y conectarlo en serie con el primer termopar para de esta manera eliminar el error generado, pero la solución más conveniente es utilizar un cable de extensión que genere la cantidad de milivoltaje necesaria para compensar los cambios de temperatura en la terminal de conexión remota y en la tablilla de conexiones del instrumento de medición. La tabla 2.5-IV muestra el tipo de cable de extensión que se recomienda utilizar para cada tipo de termopar.

T E R M O P A R	ALAMBRE DE EXTENSION
Cobre - Constantano	Cobre - Constantano
Hierro - Constantano	Hierro - Constantano
Cromel - Alumel	Cromel - Alumel Hierro - Cuproniquel Cobre - Constantano
Cromel - Constantano	Cromel - Constantano
Pt. - Pt., 10% Rodio Pt. - Pt., 13% Rodio	Cobre - Aleación 11

Tabla 2.5-IV Uso de Cables de extensión.

Cuando se desea dar una mayor protección al termopar o a cualquier otro elemento de medición de temperatura, se utilizan los tubos de protección o termopozos, los cuales los protegen de la corrosión, contaminación, presión, efectos eléctricos, etc., además permite retirar los sensores, para reparación o calibración, sin interrumpir el proceso.

El material de construcción de los termopozos depende básicamente de su aplicación y van desde los construidos con acero inoxidable, bronce, aluminio, hasta cerámicos y termopozos con estructura metálica y superficies expuestas cubiertas de vidrio, tantalio, plomo o algún otro material.

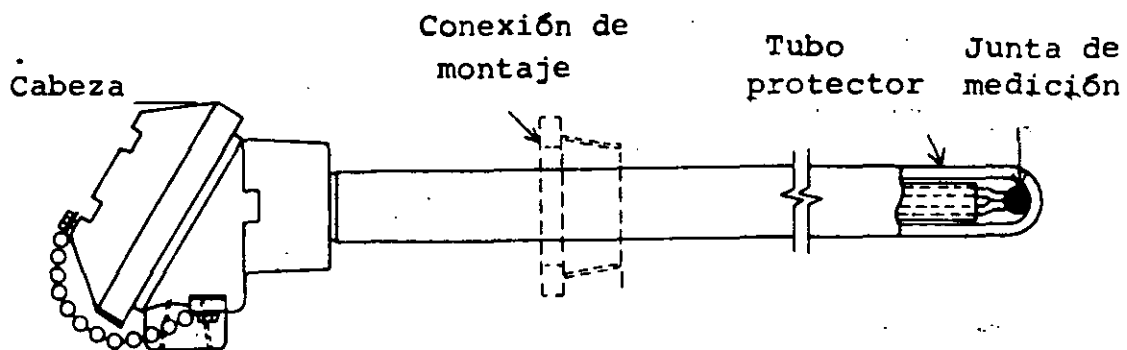


Fig. 2.5-6 Termopar.

Elementos sensores por radiación.

El objetivo inicial de los sensores de temperatura por radiación era exclusivamente determinar la temperatura solar. El primer pirómetro de este tipo fue creado por Pouillet y usaba la ley de Dulong y Petit:

$$J = aT$$

donde J - es la energía total recibida

a - constante del aparato

T - temperatura de la fuente.

Con esta ley se determinó una temperatura solar de 1300°C.

No fue sino hasta la formulación de la ley de la cuarta potencia para la radiación total de un cuerpo negro, por Stefan y su derivación teórica de Boltzmann, que se aplicaron satisfactoriamente los métodos de radiación. La ley de Stefan-Boltzmann establece que la radiación total por unidad de área y por segundo de un cuerpo negro (un cuerpo con emisividad unitaria) es proporcional a la cuarta potencia de su temperatura absoluta:

$$W = \sigma T^4$$

donde W - flujo radiante por unidad de área

σ - constante de Stefan-Boltzmann

T - temperatura absoluta en grados Kelvin

Una consecuencia de esta ley es que si un cuerpo negro de área A a una temperatura T es colocado en un depósito con las paredes a una temperatura T_0 perderá por radiación una cantidad de energía por segundo dada por:

$$U = \sigma A (T^4 - T_0^4)$$

Se ha encontrado que el valor de la constante de Stefan-Boltzmann es 5.6699×10^{-12} watt/cm² (°K)⁴.

Como una consecuencia de la relación entre la temperatura de un cuerpo negro y la energía que radia es posible, medir la temperatura de una fuente midiendo la intensidad de la radiación que emite.

Practicamente la energía que reciben los sensores no proviene de cuerpos negros, por lo que la ley de Stefan-Boltzmann no se cumple. La energía absorbida por un sensor es $E = \sigma T^n$, donde n es mayor que cuatro y crece mientras T disminuye. Esto es consecuencia de la absorción selectiva de radiación por la atmósfera, lentes, espejos y el sensor mismo, por lo que es necesario medir la fuente a varias temperatura conocidas para establecer una relación empírica entre T y la señal que generará el elemento sensor, para de esta manera hacer mediciones útiles.

Los pirómetros de radiación más comunmente usados son:

- Pirómetro de banda ancha o radiación total. Es el más simple y barato de los pirómetros de radiación. Las unidades comerciales responden a la radiación desde $0.3 \mu\text{m}$ de longitud de onda hasta una longitud de corte que va de 2.5 a $20 \mu\text{m}$, dependiendo del material empleado en los lentes.

Son llamados de radiación total porque en las aplicaciones típicas la mayor parte de la radiación emitida por el blanco u objeto es de la longitud de onda a la cual el elemento es sensitivo.

- Pirómetros de brillantez. Miden la intensidad de la radiación en una región espectral estrecha del rango visible.
- Pirómetros paso banda. En este tipo de pirómetros se selecciona la banda de respuesta espectral seleccionando las características del detector, interponiendo filtros infrarrojos en el sistema óptico del sensor, para obtener la banda de longitud de onda deseada. Una aplicación típica es en la industria del vidrio, el cual es opaco y tiene emisiones fuertes en la banda de 5 a $7\mu\text{m}$ pero fuera de ella sus emisiones son débiles.
- Pirómetros de relación. Miden la energía en dos bandas, la del espectro infrarrojo y la del espectro visible y calculan la temperatura basados en la relación de las energías medidas. Son muy aplicados en atmósferas sucias ya que los cambios en la vía de conducción tienen el mismo efecto, porcentualmente, en la energía en ambas bandas, no alterándose la lectura de temperatura.

Los elementos sensores empleados en los pirómetros de radiación son elementos que convierten la energía térmica en una señal eléctrica. Están contruidos por un sistema óptico que colecta la radiación del blanco y la enfoca en el detector mismo. Los detectores pueden ser agrupados en dos clases:

- Detectores térmicos. Producen una salida debido a que absorben energía y cambian su propia temperatura.

- Detectores fotónicos. Producen una salida debido a que la energía térmica crea cargas eléctricas en el cuerpo del detector.

Las termopilas son los detectores térmicos más comunes y están construidas por un gran número de juntas de termopar conectadas en serie, como se muestra en la figura 2.5-7 .

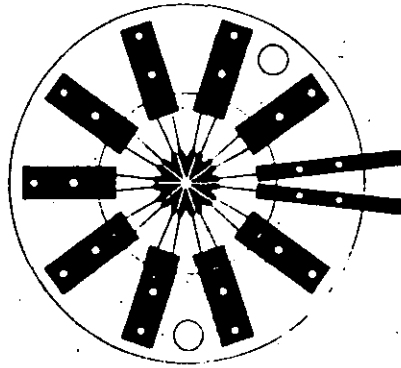


Fig.- 2.5-7 Termopila.

En ellas la radiación incidente calienta las juntas de medición mientras que las juntas de referencia permanecen a la temperatura del medio que las rodea. La fem generada por la termopila es una medida de la temperatura en las juntas de medición. Cuando la radiación de una fuente a una temperatura constante es enfocada en el receptor (la termopila) se absorbe la energía de acuerdo a una relación constante E_r , la cual es función de la temperatura de la fuente, de la cantidad de radiación absorbida en el camino de la fuente al detector y del hecho de que el receptor no absorbe el total de la radiación sino que una cantidad de ella se refleja.

Otro tipo de sensores son los detectores bolométricos, en los cuales la resistencia cambia de acuerdo a la radiación que reciben, pero los detectores térmicos más comunes son las termopilas, debido a que su generación de fem está bien controlada, se les puede proteger de la contaminación y no requieren de fuente de poder externa.

Los detectores fotoeléctricos son elementos semiconductores que pueden ser de tres tipos distintos:

- Celdas fotoconductoras, en las cuales se producen cambios de resistencia debido a la radiación incidente. A este tipo de sensores tradicionalmente se les ha dado una aplicación diferente a la piro-metría de radiación. Celdas construidas con selenito de cadmio o alambres de sulfuro y selenito han sido usadas en aplicaciones como interruptores electrónicos y otras similares.
- Celdas fotovoltaicas, las cuales producen una salida de voltaje en función de la radiación incidente. Son muy utilizadas en las porciones visibles y de onda corta del espectro, pero sus aplicaciones prácticas están muy limitadas, como a las aplicaciones de tipo espacial.
- Celdas fotoelectromagnéticas. Generan un voltaje cuando se les coloca dentro de un campo magnético.

Todos estos tipos de celdas tienen la ventaja de no necesitar una fuente de polarización para su utilización.

2.2.5.- Medición de pH y Conductividad Electrolítica.

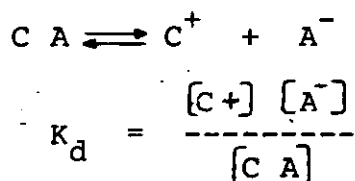
Medición de pH.

Se puede decir, en forma simple, que el pH es la medida de acidez o alcalinidad en un líquido. En forma más estricta se dice que el pH es la concentración de iones hidrógeno o iones hidroxilo en una sustancia. El concepto de pH fué introducido por S. P. L. Sorenson, quien lo definió como:

$$\text{pH} = \log_{10} C_H$$

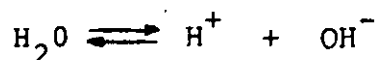
donde C - concentración.

Una sustancia es neutra cuando la cantidad de iones hidrógeno es igual a la cantidad de iones hidroxilo. Veamos el siguiente análisis:



K_d - constante de disociación de una sustancia.

Para el agua:



$$K_d(\text{agua}) = \frac{[H^+][OH^-]}{H_2O}$$

$$K_d = [H^+][OH^-] = 1 \times 10^{-14} \quad \text{a } 25^\circ\text{C}$$

Cuando $[H^+] = [OH^-]$ el agua es neutra, entonces

$$[H^+] = 10^{-7} \quad \text{y} \quad [OH^-] = 10^{-7}$$

Los iones no son más que partículas cargadas que determinan la capacidad de circulación de corriente de una solución. Cuando se habla de medición de pH se habla de soluciones ácidas y básicas o alcalinas. Una solución es ácida cuando la concentración de iones hidrógeno es

mayor que la concentración de iones hidroxilo y la solución es alcalina si la relación es inversa a la anterior. Esto es, si se agrega una solución ácida al agua se están agregando iones H^+ , por lo que los iones OH^- disminuye, ya que la constante de disociación no debe variar y está dada por el producto $[H^+][OH^-]$. El efecto es contrario si se agrega al agua una solución alcalina ya que se están agregando iones OH^- .

Para simplificar la medición del pH se manipula la ecuación

$$pH = -\log H^+$$

$$H^+ = 10^{-pH}$$

por lo que es posible trabajar con una escala lineal, como muestra la siguiente figura.

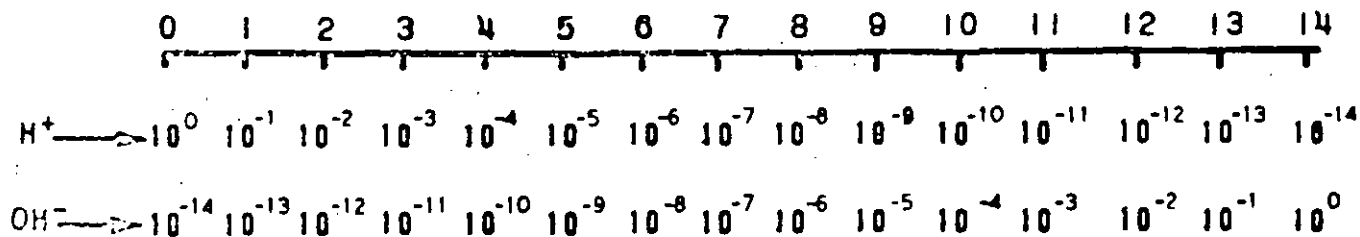


Fig. 2.2.5-1 Escala de pH.

De lo anterior se observa que la escala de pH es de 0 a 14, encontrándose el punto de neutralización en 7 pH, siendo ácidas las soluciones con un pH menor a este valor y alcalinas las que tienen un pH mayor que 7.

Existen dos métodos básicos para la medición de pH. El primero es el método colorimétrico en el cual se usa una sustancia que cambia de color cuando se le somete a medios ácidos o alcalinos. Una sustancia de este tipo es el papel tornasol que toma diferentes colores dependiendo de si la sustancia es ácida o alcalina; usando este tipo de medidores no se pueden hacer mediciones cuantitativas. Para hacer este tipo de mediciones se usan líquidos indicadores que cambian de color a un pH específico. Las desventajas de estos métodos son:

- 1.- La adición de un indicador puede alterar el valor del pH.
- 2.- La medición puede ser dificultada por la existencia de materia disuelta o en suspensión en la muestra.
- 3.- La exactitud de la medición es afectada por el color de la muestra.

El segundo método para la medición del pH es el método electrométrico, el cual es usado universalmente en los procesos industriales. El pH se determina por la medición del voltaje (fem) desarrollado por dos electrodos en contacto con una solución electrolítica. Como en una batería, una reacción química tiene lugar entre los electrodos y la solución ionizada (electrolito) produce un potencial eléctrico. Para realizar esta medición existen tres elementos básicos:

- Electrodo de medición. Este electrodo está construido con una membrana porosa de vidrio, la cual responde a los iones hidrógeno e hidroxilo con un intercambio de iones a través de ella. Dicha membrana está unida al cuerpo del electrodo, construido de vidrio, de tal manera que la superficie exterior haga contacto con el fluido del proceso, mientras que la superficie interior está en contacto con una solución de relleno (solución de referencia).

El contacto eléctrico con la membrana de vidrio se hace a través de la solución de referencia (buffer), la cual también está en contacto con una unión plata-cloruro de plata, que a su vez cubre un alambre de plomo. La figura 2.2.5-2 (a) muestra la configuración del electrodo de medición más común.

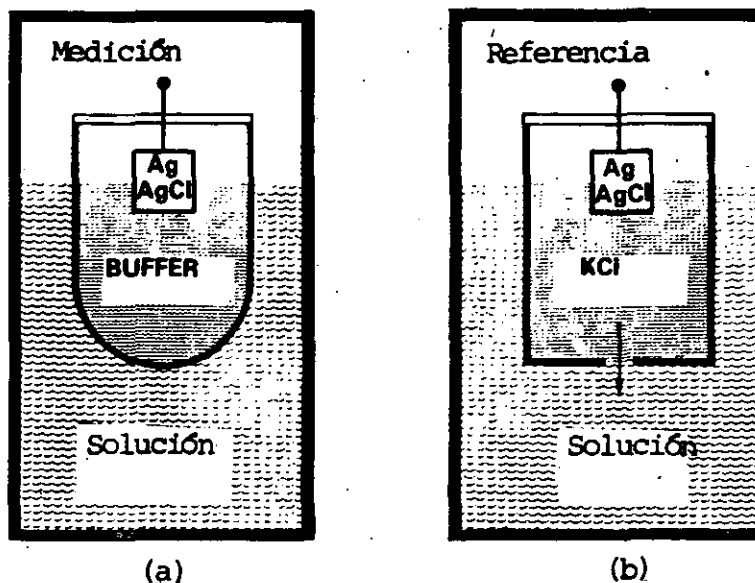


Fig.- 2.2.5-2 Electrodos de Medición y Referencia.

- Electrodo de Referencia.- Se inserta en la muestra donde se desea hacer la medición como segundo conductor, para completar el circuito eléctrico. Está diseñado para ser insensible a todos los tipos de iones y de cierto modo puede ser comparado a la junta fría de los circuitos de termopar. El electrodo de referencia más utilizado consiste de una unión plata-cloruro de plata en contacto con una solución saturada de cloruro de potasio, la cual fluye a través de una pequeña abertura hacia el fluido del proceso. El electrodo consiste de un alambre de plata cubierto de cloruro de plata, inmerso en la solución del cloruro de potasio. El contacto eléctrico entre la solución del cloruro de potasio y el proceso es a través de la punta porosa del electrodo. La figura 2.2.5-2 (b) muestra la configuración básica de un electrodo de referencia.

- Instrumento de medición.- Puede ser un indicador que reciba señal directamente de los electrodos o de un dispositivo (preamplificador o transmisor) que acondicione los muy pequeños diferenciales de potencial de los electrodos a una señal de alto nivel que pueda ser enviada a distancia. Estos dispositivos deben tener una muy alta impedancia de entrada para limitar el flujo de corriente, ya que ésta multiplicada por la resistencia de los electrodos produce el efecto de un divisor de voltaje, causando errores en la medición.

Ya que existen problemas para mantener el flujo de cloruro de potasio a través de la junta porosa del electrodo de referencia, debido a la insuficiente presión dentro del electrodo, se está fabricando un diferente tipo de electrodos en los cuales el cloruro de potasio, junto con sales de cloruro de plata, se encuentran en una celda, a la cual entra la muestra a través de un tapón poroso de madera o cerámica. El líquido entra a la cámara de referencia y disuelve algunas sales, formando un camino de conducción entre la unión plata-cloruro de plata y la muestra. Aunque el tapón también puede fallar tiene mayor área que la apertura porosa, lo cual permite que no se bloquee tan frecuentemente.

Ya que el pH es función de la temperatura, como lo muestra la ecuación de Nerzt

$$E = 2.3 R T \log \left[\frac{H^+ \text{ muestra}}{H^+ \text{ ref.}} \right]$$

es necesario que en aquellos procesos en los cuales la temperatura está cambiando se introduzca otro elemento para compensar estas variaciones. Este elemento llamado Compensador de Temperatura no es más que un elemento resistivo que

se conecta al circuito de medición o transmisión para realizar la compensación.

Para realizar un adecuado control del pH se debe tomar en cuenta que las soluciones tienen diferentes respuestas a diferentes reactivos y a diferentes concentraciones. La figura 2.2.5-3 muestra un ejemplo típico de una curva de neutralización o titulación de una solución determinada. Esta curva muestra las variaciones del pH de una sustancia dependiendo de la concentración de NaOH que contiene. Como se puede observar las variaciones del pH no son lineales.

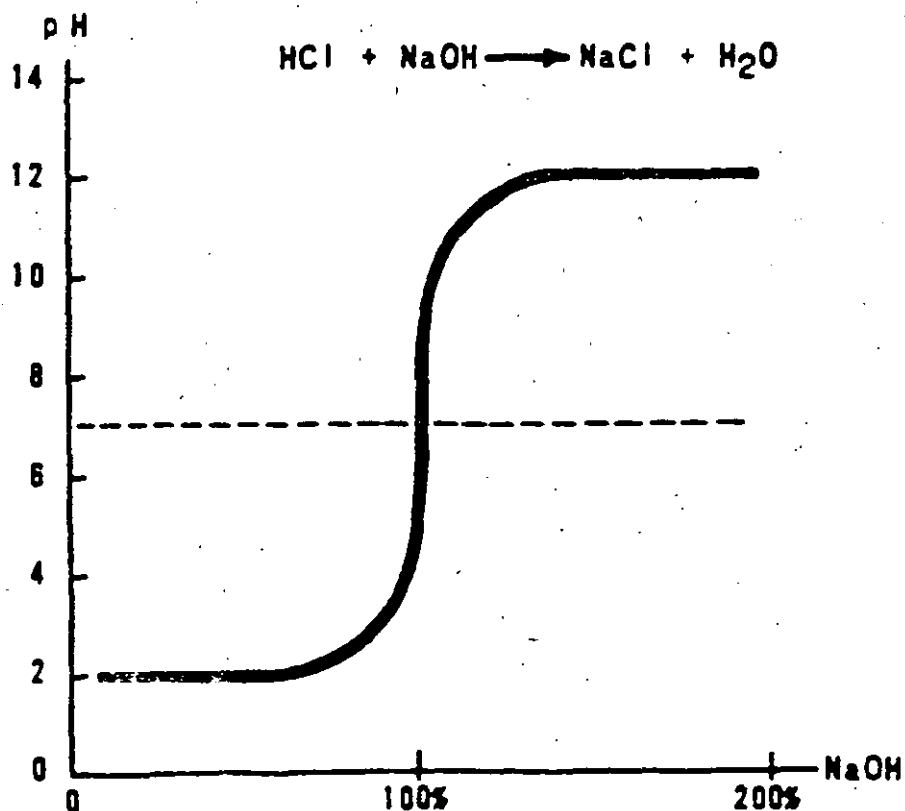


Fig. 2.2.5-3 Curva de caracterización de pH.

Medición de Conductividad Electrolítica.

La medición de conductividad es la determinación de la habilidad de una solución para conducir una corriente eléctrica. El agua pura es un no conductor, con una conductividad esencialmente cero. Cuando un electrolito (un material que ioniza) es disuelto en el agua, la solución tendrá una conductividad que dependerá del tipo de electrolito, su concentración y la temperatura de la solución. Una medición de conductividad es entonces la medición de la concentración del electrolito en la solución a una temperatura dada. La temperatura ejerce un fuerte efecto sobre la conductividad, como se ve en la fig. 2.2.5-4, que muestra la conductividad contra la concentración de sal a diferentes temperaturas.

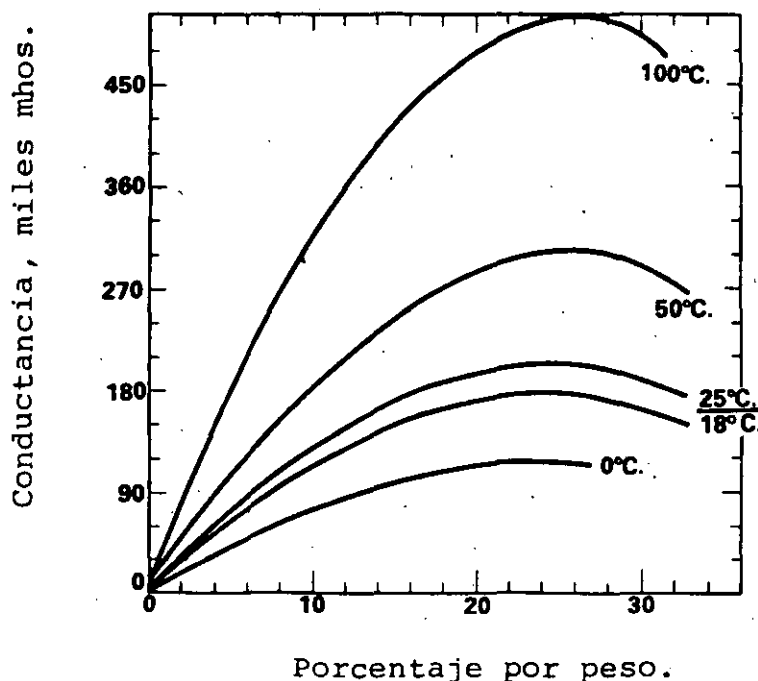
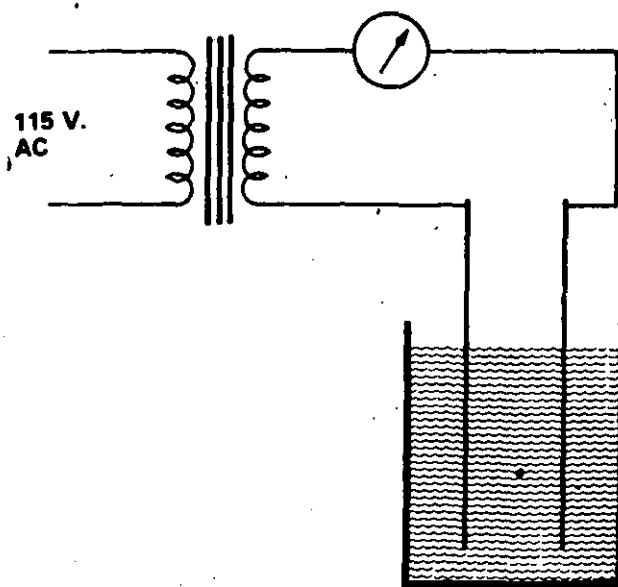


Fig. 2.2.5-4 Variación de la conductividad respecto a la temperatura y concentración de sal.

La sensibilidad de la conductividad a la temperatura es llamada coeficiente de temperatura de la conductividad. El coeficiente puede variar grandemente dependiendo de la naturaleza y concentración del electrolito y los materiales no iónicos en la solución.

Incrementos en la temperatura casi siempre incrementan la conductividad, por lo que las mediciones pueden ser compensadas. La compensación por temperatura significa que las lecturas de conductividad son las que tendría la solución si estuviera a una temperatura de referencia, generalmente 25°C.

La conductividad se mide sumergiendo dos electrodos conductores en un líquido y aplicando un voltaje de corriente alterna a través de ellos. Se utiliza corriente alterna ya que la corriente directa causaría polarización de los electrodos y subsecuentemente alta resistencia en su superficie. La alta resistencia evitaría la adecuada lectura de conductividad. El voltaje, hace circular una corriente entre los electrodos, como se muestra en la figura 2.2.5-5.



Celda de conductividad.

Fig. 2.2.5-5 Medición de Conductividad.

La resistencia que presenta la solución ionizada al paso de corriente eléctrica entre los electrodos, puede ser medida por un circuito puente de Wheatstone, donde es convertida a unidades de conductividad, como se ven en la figura 2.2.5-6

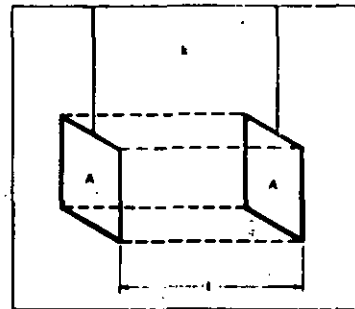
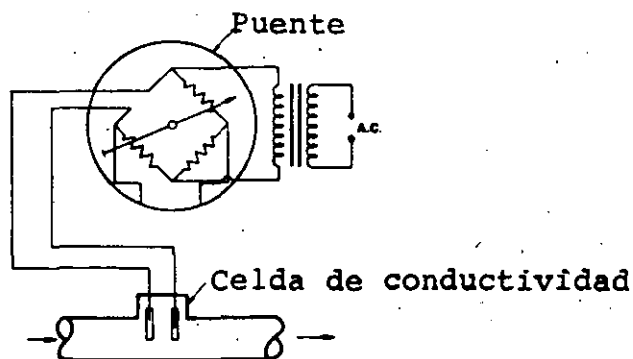


Fig. 2.2.5-6 Puente de Wheatstone de A.C. Fig. 2.2.5-7 Electrodo de Conductividad.

Se define conductividad específica como el recíproco de la resistencia, en ohmios, medida entre dos caras opuestas de un centímetro cúbico de una solución acuosa. El cubo es- ta construido por el área de los electrodos multiplicado por la distancia entre ellos, como se ve en la figura 2.2.5-7.

La conductividad es proporcional a la sección transversal del cubo e inversamente proporcional a la distancia entre las caras. Pueden hacerse traceamientos entre área y distancia para proveer el mismo valor de conductividad. De esta mane- ra se fabrican celdas con diferentes constantes.

Las unidades de conductividad son los mhos, por su rela- ción con la resistencia (ohmios), o más formalmente siemens.

Los electrodos pueden estar contruidos de diferentes ma- neras, siendo los más comunes los de placas paralelas y los electrodos cilíndricos, los cuales se muestran en la figura 2.2.5-8.

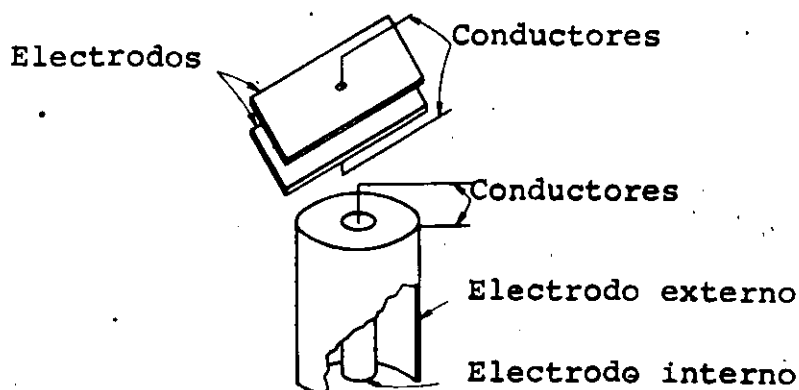


Fig. 2.2.5-8 Construcción de Electrodos de Conductividad.

Para su utilización en procesos industriales los electrodos se construyen de materiales que soportan las condiciones de operación. Esos materiales pueden ser aleaciones de níquel, plata, oro y titanio. Además se les monta, junto con los compensadores de temperatura, en celdas que pueden ser de diferentes tipos de instalación (flujo, inmersión o inserción). Las celdas deben estar construidas de materiales que resistan los ataques químicos, como hules, vidrios y metales inoxidable. La figura 2.2.5-9 muestra una celda comercial.

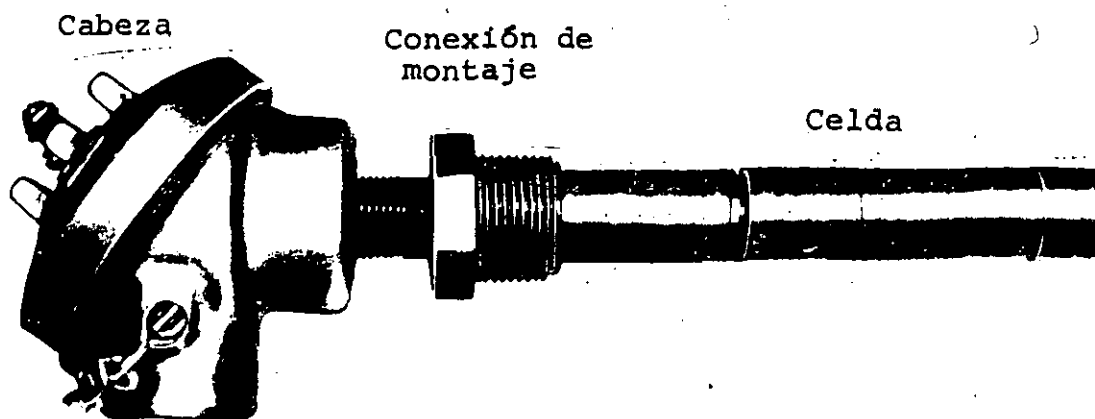


Fig. 2.2.5-9 Celda de Conductividad.

La medición de conductividad se realiza en procesos tales como plantas de generación termoeléctrica, de tratamiento de agua, fabricación de nitrocelulosa y procesos químicos en general.



**FACULTAD DE INGENIERIA U.N.A.M.
DIVISION DE EDUCACION CONTINUA**

CURSOS ABIERTOS

**INSTRUMENTACION DIGITAL POR MEDIO
DE MICROPROCESADORES Y MICROCOMPUTADORAS**

1.2. ACTUADORES

AUTOR Y EXPOSITOR:

ING. JOSE ANTONIO ARREDONDO GARZA

FEBRERO - MARZO

071443

DISEÑO Y CONSTRUCCION DE UN CONTROL DE PAR Y VELOCIDAD DE UN
MOTOR DE CORRIENTE DIRECTA POR MEDIO DE UN MICROPROCESADOR.

I N D I C E

CAPITULO I.-

	Pág.
1.- Introducción	
1.1.- Planteamiento del Problema	1
1.2.- Motivación del Problema	2
1.3.- Solución del Problema	2
1.4.- Bosquejo Histórico	3

CAPITULO II

2.- El Motor de Corriente Directa	6
2.1.- Introducción	6
2.2.- Ecuaciones Básicas de un Motor de C.D.	6
2.2.1.- Ecuación de velocidad	9
2.2.2.- Relaciones entre Caballo de vapor, HP, per y - velocidad.	10
2.3.- Tipos de excitación	12
2.3.1.- Motor con excitación en derivación	13
2.3.2.- Motor con excitación independiente	13
2.3.3.- Motor con excitación en serie	14
2.3.4.- Sistema Ward-Leonard de regulación de veloci- dad.	14
2.3.5.- Motores de excitación compuesta	17

CAPITULO III

3.- Análisis del Sistema de Control	19
3.1.- Introducción	19
3.2.- Sistema de control de excitación del motor	22
3.2.1.- El rectificador controlado de silicio "SCA"...	23
3.2.2.- El transistor de unijuntura bipolar "UTJ"	35

	Pág.
3.2.3.- Control de fase de un SCR disparado por un - UTJ.	29
3.2.4.- El SCR con carga inductiva o resistiva	32
3.2.5.- El SCR con diodos en circuitos inductivos de - corriente alterna	35
3.2.6.- El voltaje de cambio dv/dt	39
3.2.7.- Rectificador de onda completa con dos SCR ^s - con carga inductiva y resistiva	40
3.2.8.- Rectificador de onda completa con una carga - que presenta una fuerza electromotriz	44
3.2.9.- Circuito de control de excitación del motor ..	47
3.3.- Simulación en computadora analógica de un motor de C.D. controlado por un campo y armadura.	51

CAPITULO IV

4.- Sistema de adquisición y transferencia de datos	55
4.1.- Introducción	55
4.2.- Interfaces de entrada	57
4.2.1.- El convertidor analógico-digital "A/D"	57
4.2.1.1.- Descripción funcional del convertidor A/D ..	60
4.2.1.2.- Hardware adicional empleado en combinación - con el convertidor A/D y su funcionamiento..	64
4.2.2.- Los circuitos sensores	71
4.2.2.1.- El sensor de velocidad	71
4.2.2.2.- El sensor de corriente	75
4.3.- La interfase de salida	77
4.3.1.- Los convertidores digital-analógico "D/A"	77

CAPITULO V

5.- Software	79
5.1.- Introducción	79
5.2.- Programas del Sistema	83
5.2.1.- Programa principal	83
5.2.2.- Subrutina "Incremento de Velocidad"	86
5.2.3.- Subrutina "Decremento de Velocidad"	87
5.2.4.- Subrutina "Decremento de Par"	90
5.2.5.- Subrutina "Incremento de Par"	90
5.2.6.- Subrutina "Delay"	91
5.3.- Listado de Programas	94

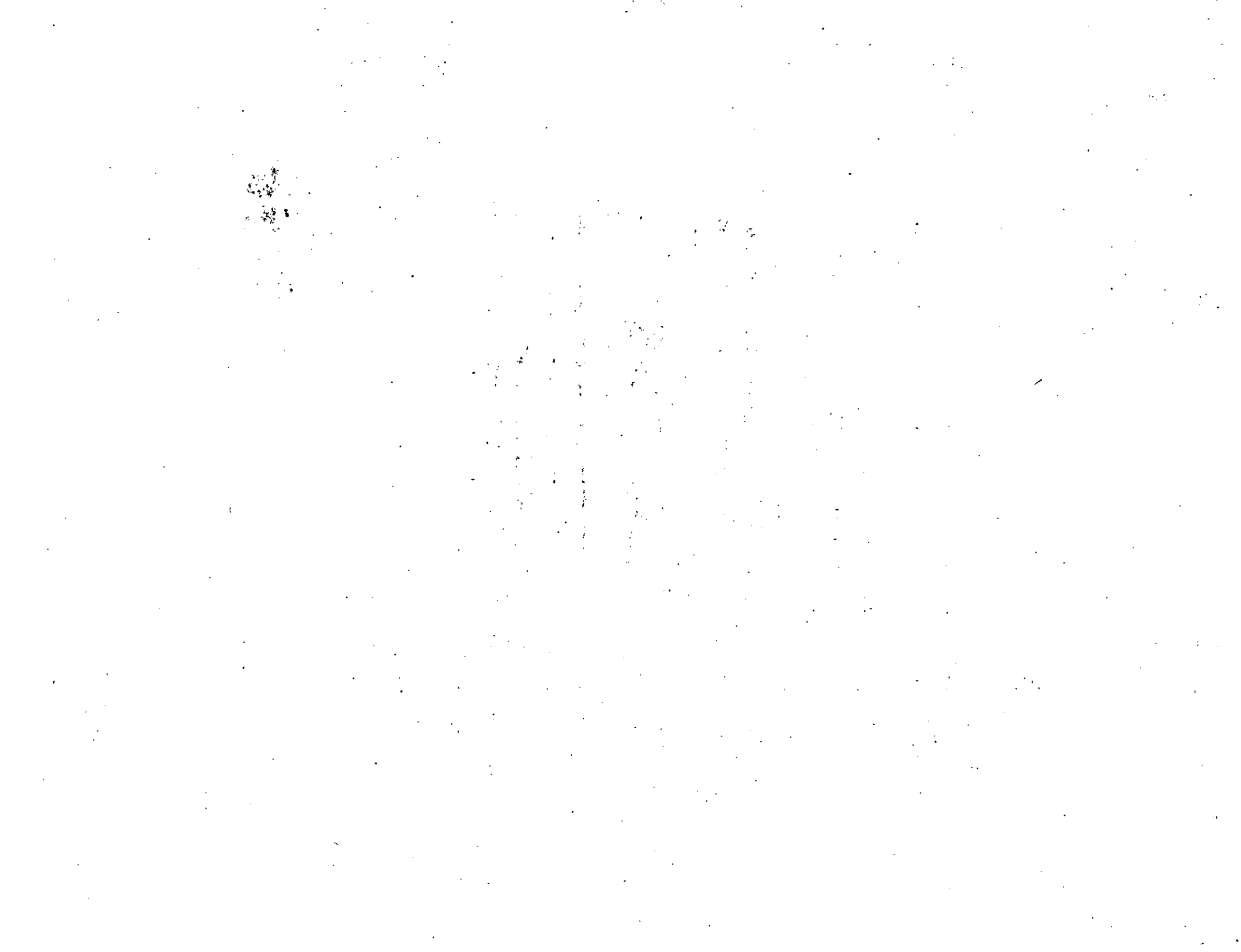
CAPITULO VI

6.- El Sistema de Control en forma Experimental	101
6.1.- Introducción	101
6.2.- Módulos del Sistema	102
6.2.1.- La fuente regulada de + 5 voltios	102
6.2.2.- El Starter Kit del 2-80	102
6.2.3.- El Sistema de Adquisición y Transferencia de - datos	104
6.2.4.- El Sistema de Control de Excitación	108
6.2.5.- El Motor de Corriente Directa	109
6.3.- El Sistema de Control en Malla Abierta	110
6.4.- El Sistema de Control en Malla Cerrada	112
6.5.- Gráficas de Respuesta Obtenidas del Sistema	114
DISCUSION	124
CONCLUSION	127
REFERENCIAS	128
APENDICE	130

PROLOGO

El presente trabajo es el reporte del Seminario de Tesis titulado "DISEÑO Y CONSTRUCCION DE UN CONTROL DE PAR Y VELOCIDAD DE UN MOTOR DE CORRIENTE DIRECTA POR MEDIO DE UN MICROPROCESADOR", siendo este un trabajo de investigación interdisciplinario.- Este enfoque interdisciplinario es debido a que el diseño del sistema involucra varias ramas de la ingeniería como son las de control, electrónica, eléctrica y computación.

El desarrollo del proyecto se basó en un estudio preliminar de los aspectos históricos y algunos conceptos generales de control (Capítulo I). A partir de dichos conceptos se pasó al estudio de los motores de corriente directa en su forma más general (Capítulo II), para posteriormente plantear el Sistema de Control de par y velocidad y el sistema de excitación del motor (Capítulo III).- Una vez planteado el problema de control, se procedió al estudio de la adquisición y transferencia de datos entre el microprocesador y el motor (Capítulo IV), para lo cual fue necesario desarrollar mediante el software un programa que fuera capaz de controlar al motor (Capítulo V).- Una vez concluido el diseño del sistema se procedió a ajustar el mismo a partir de la observación del sistema en malla abierta (Capítulo VI) y para ello fue necesario utilizar algunos aparatos de medición proporcionados por el laboratorio de control de la Facultad de Ingeniería, terminando por último este trabajo una parte de discusión y conclusión.



CAPITULO I

1.- INTRODUCCION.

El Control Automático ha jugado un papel importante en el avance de la Ciencia y la Ingeniería, debido a que se ha convertido en parte importante e integral de procesos industriales modernos y de manufactura de los más variados productos. Por ejemplo un control automático resulta esencial en operaciones industriales tales como el control de velocidad, de presión, de temperatura, humedad, etc., en industrias de proceso y maquinado, manejo y armado de piezas mecánicas en las industrias de fabricación.

En la actualidad el uso de computadores digitales en sistemas de control automático, ha logrado verdaderos avances teórico prácticos en esta rama y muchas más.

1.1.- PLANTEAMIENTO DEL PROBLEMA.

Para poder plantear el problema necesitamos plantear una definición de control automático que sea lo suficientemente satisfactorio a nuestros fines de control.- Por lo tanto, un control automático es aquel que compara el valor efectivo de la salida de una planta con el valor deseado, determinando así la desviación y produciendo una señal de control que sea capaz de reducir la desviación a cero o a un valor muy pequeño.

En base a lo antes expuesto lo que se desea es construir un controlador utilizando un microprocesador que sea capaz de mantener par y velocidad constantes en un motor de c.d. y que sea lo suficientemente versátil para poderse usar en alguna planta industrial en donde sea de suma importancia mantener el par y la velocidad constantes.

El diseño y construcción de este control puede presentar serias complicaciones relativas a la estabilidad del sistema, debido a que un microprocesador puede resolver el algoritmo de control muchas veces más rápido que el proceso que realiza la planta y mandar señales de control inadecuadas haciendo que el sistema de control funcione en forma errónea.- Más adelante detallaré paso a paso los problemas que presentó el diseño de este control.

1.2.- MOTIVACION DEL PROBLEMA.

El principal motivo por el cual quise desarrollar un proyecto de este tipo, fué el deseo de diseñar un sistema de control, en base a un microprocesador, debido al gran auge que este dispositivo ha cobrado gracias a su extensa aplicación en diversos campos, su gran versatilidad y su bajo costo. Además este proyecto me daba la oportunidad de comenzar a adquirir experiencia en el manejo de microprocesadores aplicados a control de sistema físicos, permitiéndome a futuro seguir experimentando en este campo.

1.3.- SOLUCION DEL PROBLEMA.

Para poder resolver este problema fue necesario utilizar dos circuitos para disparo de tiristores independientes entre sí que nos regularan el voltaje aplicado al campo y la armadura del motor de c.d., un sensor de corrientes en la armadura y un sensor de velocidad y ver que resultado se obtenía del sistema de malla abierta para diseñar el control del sistema en malla cerrada. El diseño también implicó, la construcción de un interfase para el microprocesador que fuera capaz de mandar la orden de control al motor y de recibir la información del estado actual del mismo.

Finalmente se tuvieron que solucionar algunos problemas de software para hacer que el sistema fuera estable, concluyendo así satisfactoriamente el proyecto. Cabe hacer la aclaración que este proyecto puede decirse que es un modelo físico a escala de lo que sería ya en la realidad.

1.4.- BOSQUEJO HISTORICO.

En el Siglo XVIII se inició la primera revolución industrial, coincidiendo en esa misma época con el desarrollo del primer trabajo significativo en control automático, el cual fué un regulador centrífugo para el control de velocidad de una máquina de vapor hecha por James Watt.

A mediados del Siglo XIX James C. Maxwell, analiza por primera vez diversos tipos de gobernadores de velocidad y relacionó el problema de estabilidad de los mismos con un algebraico, el cual fué posteriormente resuelto por Hurwitz.

En 1922 Minorsky trabajó en controles automáticos de dirección de barcos y mostró como se podría determinar la estabilidad a partir de las ecuaciones diferenciales que describe el sistema.

Alrededor de 1930 Nyquist y Bode desarrollaron técnicas de análisis para sistemas retroalimentados, utilizando conceptos de respuesta en frecuencia, los cuales posibilitaron más tarde a los ingenieros en el diseño de sistemas de control realimentado lineal.

En 1932 se consideró en Londres la posibilidad de construir un robot capaz de realizar algunas de las funciones humanas, utilizando varios de los conceptos ya desarrollados.

En 1934 Hazin introdujo el término servomecanismos para los sistemas de control de posición y estudió el diseño de servomecanismos repetidores capaces de seguir estrechamente una entrada cambiante.

Durante la Segunda Guerra Mundial el interés en aplicaciones bélicas, hizo que se consideraran problemas de dirección y guía de proyectiles balísticos, lo que tuvo como consecuencia el estudio de sistemas estocásticos y no lineales.

A fines de la década de los cuarentas y hasta los primeros años de la siguiente, se desarrolló completamente el método del lugar de las raíces en diseño de sistemas de control, quedando en base a esto y lo anteriormente expuesto, perfectamente definidos las bases de la teoría de control clásica.

En 1950 Estados Unidos utiliza los primeros robots destinados al manejo de combustible nuclear y posteriormente se comenzarán a utilizar en el control de diversos procesos industriales.

A finales de la década de los cincuentas, gracias al advenimiento de las computadoras digitales, se han redescubierto las variables de estado y se comienzan a estudiar más profundamente problemas tales como optimización y control bajo incertidumbre.

En esa misma década se comienza a desarrollar las técnicas de control numérico y control jerarquizado. También se comienzan a desarrollar las técnicas de conversión analógico-digital y digital-analógico.

En la década de los sesentas, se desarrollan las técnicas de diseño de filtros digitales, con los cuales se hace posible el procesamiento digital de señales analógicas y la simulación de sistemas analógicos.

En 1971 se inicia una nueva revolución en la industria electrónica al producirse el primer microprocesador y debido al impacto que representó esto, se le ha nombrado la segunda revolución industrial.

En 1973 aparece el primer artículo de control de velocidad de un motor de c.d., utilizando un control de fase cerrada (PLL), que posteriormente se utilizaría en diversos controles industriales.

En 1978, hasta la fecha Japón ha gastado dos billones de dólares en investigación y construcción de robots, principalmente destinados a uso industrial. Además Alemania, Francia, Estados Unidos y la URSS, han trabajado ampliamente en esta rama.

En 1981 los Estados Unidos lanza el Columbia, la cual es una nave espacial controlada por varias computadoras sumamente sofisticadas y capaz de realizar funciones muy especiales.

En 1982 construye una nave espacial similar a la otra y la bautiza como Challenger.

En 1983, comienza a incrementarse el uso de microprocesadores en sistemas de control de inyección de combustible en diversos tipos de motores y combustión interna, con lo cual se aumenta la eficiencia de los mismos.

En 1984, el empleo de microprocesadores prácticamente se ha extendido a todas las ramas de la ciencia, así como en la industria, en la oficina y en el hogar.

CAPITULO II

"EL MOTOR DE CORRIENTE DIRECTA".

2.1.- INTRODUCCION.

El motor de corriente directa es una máquina eléctrica en la cual se realiza la conversión de energía eléctrica a mecánica. Esto se realiza por medio de dos embobinados acoplados magnéticamente de tal manera que produzca como resultante en el eje del motor un par y una velocidad.- Dichos embobinados son conocidos como armadura (rotor) y campo (estator).

Los motores de corriente directa son en esencia idénticos a los dínamos (figura 2.1), pero la diferencia radica en el uso que se les da.- Cuando se utiliza una máquina para transformar energía mecánica a eléctrica, se le denomina dínamo y cuando realiza lo inverso a esto, se le denomina motor.- Aunque las ecuaciones que rigen a ambas configuraciones de máquinas eléctricas son casi idénticas, en este capítulo solo se tratará el funcionamiento como motor.

2.2.- "ECUACIONES BASICAS DE UN MOTOR DE CORRIENTE DIRECTA".

En un motor de C.D. hay que tener presente que tanto el embobinado de campo como el embobinado de armadura presentan resistencia al paso de la corriente eléctrica y dado que las espiras del embobinado de armadura están cortando las líneas de flujo de un campo magnético producido por el embobinado de campo, va a existir una fuerza electromotriz engendrada por la armadura que se opone a la corriente que circula por los conductores.- A esta fuerza electromotriz engendrada se le conoce como fuerza contraelectromotriz "Eg" la cual está expresada en voltios.- De acuerdo a lo anterior se puede hacer un balance energético (según las lg

yes de Kirchof) en el motor de la siguiente manera:

$$E_g = V_t - I_a R_a \dots\dots\dots \text{Ecuac. 2.1.}$$

Donde:

E_g = fuerza contraelectromotriz (Voltios)

V_t = tensión aplicada (voltios)

R_a = resistencia de armadura (ohms)

I_a = corriente de armadura (Amperes)

El término $I_a R_a$ de la ecuac. 2.1 generalmente es menor de 5% del voltaje aplicado, debido a que R_a es muy pequeña.

La potencia mecánica disponible en un motor, se debe al par electromagnético desarrollado por el mismo, el cual está dado por la siguiente ecuación:

$$T_e = K_t \phi I_a \dots\dots\dots \text{Ecuac. 2.2}$$

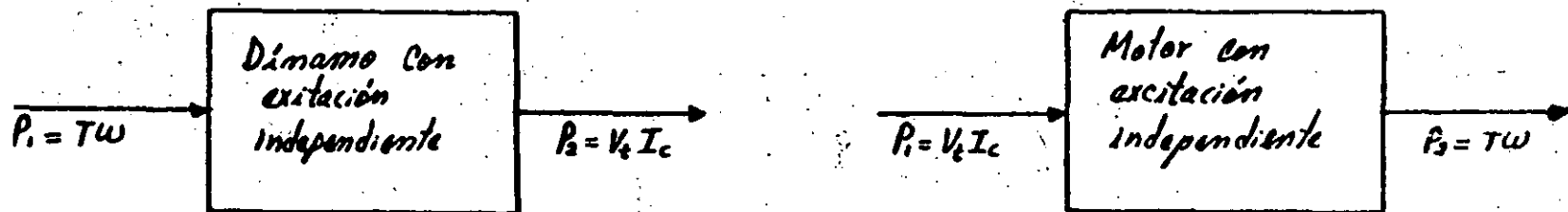
Donde: T_e = par electromagnético.

K_t = constante propia de cada motor.

ϕ = flujo magnético.

I_a = corriente de armadura.

Sin embargo, la potencia real suministrada por un motor está sujeta a diversos factores como son la pérdida de potencia a causa de rozamientos en cojinetes y escobillas, la resistencia del aire, resistencias magnéticas producidas por histéresis y corrientes de Foucault en el hierro etc.



R_a = Resistencia de armadura.

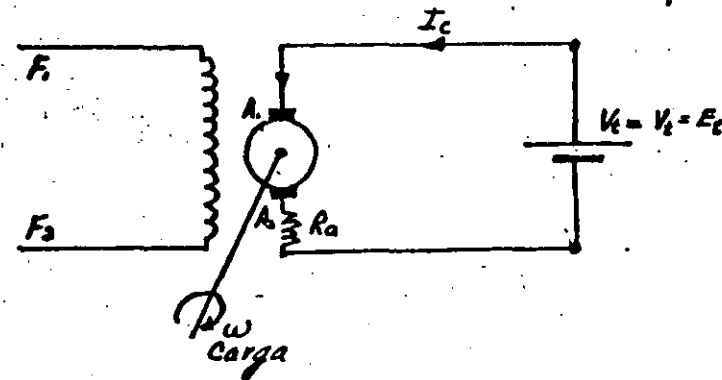
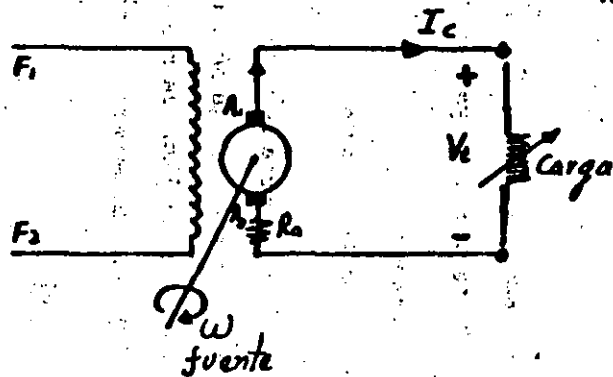


FIGURA 2.1 a) Dinamo, b) Motor de C.D.

2.2.1.- "ECUACION DE VELOCIDAD".-

Cuando un motor gira la fuerza contraelectromotriz E_g , es siempre inferior a la fem aplicada, difiriendo de ésta por la caída de potencial $I_a R_a$ de la armadura.- Esta E_g engendrada por el motor es proporcional al flujo por polo y a la velocidad y es expresada por la siguiente ecuación:

$$E_g = K \phi \times \text{rpm} \dots\dots\dots \text{Ecuac. 2.3}$$

Donde:

K = Una constante

ϕ = flujo por polo

rpm = la velocidad del motor.

Si despejamos la velocidad del motor de la ecuación anterior:

$$\text{rpm} = \frac{E_g}{K \phi} \dots\dots\dots \text{Ecuac. 2.4}$$

Si se substituye la ecuación 2.1 en la ecuación anterior, nos va a quedar finalmente la ecuación de velocidad de la siguiente manera:

$$\text{rpm} = \frac{E_t - I_a R_a}{K \phi} \dots\dots\dots \text{Ecuac. 2.5}$$

En la Ecuación 2.5 E_t es constante y el término $I_a R_a$ es prácticamente despreciable.- Por lo tanto la ecuación de velocidad establece - que si se reduce el flujo ϕ , el motor tiene que aumentar su velocidad para compensar la E_g engendrada.- Esto se puede comprobar observando - que debido a lo pequeño que es la resistencia de armadura, el motor tenderá a engendrar una tensión aproximadamente igual a la tensión de la lí

nea E_t con objeto de reducir la corriente de armadura I_a a su valor adecuado.- Por lo tanto, si se reduce ϕ el motor tiene que girar más rápido para engendrar E_g al valor necesario. Si no lo hiciera así, la corriente I_a sería muy grande y necesitaría un gran par para lograr la E_g .

Observando la relación existente entre las constantes K_t y K de las ecuaciones de par y velocidad respectivamente, se puede ver que:

$$K = \frac{Z}{60} \frac{\text{Polos}}{\text{Trayectorias}} \quad \text{Ecuac. 2.6}$$

$$K_t = \frac{Z}{2} \frac{\text{Polos}}{\text{Trayectorias}} \quad \text{Ecuac. 2.7}$$

Donde Z es el número total de conductores de la armadura.

De acuerdo a las dos ecuaciones anteriores, se puede establecer que:

$$\frac{K}{K_t} = \frac{2}{60} \quad \text{Ecuac. 2.8}$$

De manera que si la ecuación 2.5 la midiésemos en radianes por segundo, en vez de rpm tendríamos que $K = K_t$

2.2.2.- "RELACIONES ENTRE CABALLO DE VAPOR, HP, PAR Y VELOCIDAD".

El par entregado por el motor a una carga mecánica recibe el nombre de par motor T_b (par de frenado), el cual es menor que el par electromagnético T_e .- Esto se debe al par de retardo producido por las pérdidas (rozamiento, resistencias etc), como ya se mencionó anteriormente.-

Si expresamos la ecuación de par electromagnético en función del par motor T_b y las pérdidas:

$$T_e = T_b + T_r + T_a + T_H \quad (\text{Kg.m}) \dots \dots \dots \text{Ecuac. 2.9}$$

donde: T_e = Par electromagnético

T_b = par motor

T_r = par producido por rozamientos

T_a = par producido por la resistencia del aire.

T_H = par producido por las pérdidas en el hierro.

Ahora bien, definiendo la relación que existe entre caballo de vapor y kilográmetros, sabemos que un caballo de vapor es igual a 75 Kg.m/seg o 4500 kg.m/min. Conocemos también que un caballo de vapor equivale a:

$$\text{CV a la salida} = \frac{2 \pi N T_b}{4500} \dots \dots \dots \text{Ecuac. 2.10}$$

6

$$\text{CV transformados} = \frac{2 \pi N T_e}{4500} \dots \dots \dots \text{Ecuac. 2.11}$$

donde: CV = Caballos de vapor

N = rpm

Se sabe también que la potencia eléctrica transformada en mecánica está dada por la siguiente relación:

$$\text{CV} = \frac{E_g I_a}{736} \dots \dots \dots \text{Ecuac. 2.12}$$

Sustituyendo en la ecuación anterior:

$$\frac{E_g I_a}{736} = \frac{2 \pi N T_e}{4500} \dots \dots \dots \text{Ecuac. 2.13}$$

Debido a que la potencia de un motor comercialmente está expresada en HP.

$$HP = \frac{ICV}{0.9864} \dots\dots\dots \text{Ecuac. 2.14}$$

Si sustituimos esto en la ecuación 2.13

$$\frac{Eq Ia}{746} = \frac{2 \pi N T_e}{4500} \dots\dots\dots \text{Ecuac. 2.15}$$

Despejando el par electromagnético transformado de la ecuación anterior:

$$T_e = \frac{Eq Ia}{2 \pi N} \frac{4500}{746} = (6.032) \frac{Eq Ia}{2 \pi N} \dots\dots\dots \text{Ecuac. 2.16}$$

La ecuación anterior es necesaria para poder definir el par del motor de C.D. usado en este proyecto en base a las mediciones tomadas del motor.

2.3.- "TIPOS DE EXCITACION".

Los sistemas de distribución de energía más importantes del mundo, son todos de corriente alterna no obstante que en la industria a veces es necesario usar corriente continua para muy diversos fines y ello requiere el uso de convertidores de corriente alterna a continua.-

Una de las aplicaciones más comunes de la corriente continua es en los motores de C.D.- El uso de motores de C.D. tiene la ventaja de poder tener un control de velocidad muy superior al que se podría obtener de un motor de AC.

Según los requerimientos de la industria, existen varios posibles tipos de excitación para los motores de corriente continua, los cuales serán presentados a continuación.

2.3.1.- "MOTOR CON EXCITACION EN DERIVACION".

El motor con excitación en derivación (fig. 2.2.a), se denomina motor de velocidad constante debido a que su velocidad solo varía ligeramente con la carga.- Las curvas características del motor (fig. 2.2.c), dan una idea de como varía el par y la velocidad con la corriente de armadura, siendo constante la tensión aplicada.

Si la tensión aplicada es E_t y la corriente I_f de campo constantes, las ecuaciones de par y velocidad van a ser entonces idénticas a las ecuaciones 2.2 y 2.5.- Estas ecuaciones están representadas en las curvas de la figura 2.2.c, las cuales pueden ser obtenidas experimentalmente.-

Una de las características más importantes del motor con excitación en derivación, es el ser un motor regulable cuando se le provee las resistencias de control apropiadas con las cuales se puede variar la corriente de campo, lo cual se traduce en una variación de ϕ o bien variando la corriente de armadura.-

2.3.2.- "MOTOR CON EXCITACION INDEPENDIENTE".

Las curvas de respuesta para este caso son casi idénticas a las del motor en derivación debido a que se puede variar tanto la corriente de armadura como la corriente de campo, con lo cual es posible obtener -

una variación de velocidad y una variación del par.- En la actualidad es uno de los arreglos más usados debido a su gran versatilidad.- La figura 2.2.b presenta el diagrama de este tipo de excitación.-

2.3.3.- "MOTOR CON EXCITACION EN SERIE".

Para el caso de un motor en serie (fig. 2.3a), se debe colocar también una resistencia en serie con la armadura para evitar que durante el arranque el motor tome demasiada corriente.- Esta resistencia de arranque se va disminuyendo conforme el motor va tomando velocidad.-

Aplicando un potencial constante y una corriente fija en la armadura, se puede aumentar la velocidad, disminuyendo el flujo por polo.- Esto se puede lograr de dos maneras: a) Por medio de una resistencia en paralelo con el campo se logra reducir la corriente de campo y por lo tanto el flujo por polo. (figura 2.3.b).- b).- Cortocircuitando parte del enbobinado de campo (fig. 2.3.c).- En ambos casos se logra la disminución del flujo por polo y por consiguiente el aumento de velocidad.- Este tipo de excitación ya no es muy usado debido a su curva de par-velocidad contra corriente de armadura (fig. 2.3.d).-

2.3.4.- "SISTEMA WARD LEONARD DE REGULACION DE VELOCIDAD".

El sistema Ward Leonard es un sistema muy eficaz para obtener un amplio margen de velocidades sin utilizar resistencia de arranque en la armadura. Su desventaja es que utiliza una dinamo de excitación independiente que acciona un motor de velocidad regulable. Esta regulación se logra variando la excitación de la dinamo, además para poder mover la dinamo se utiliza un primotor que generalmente es de corriente alterna con

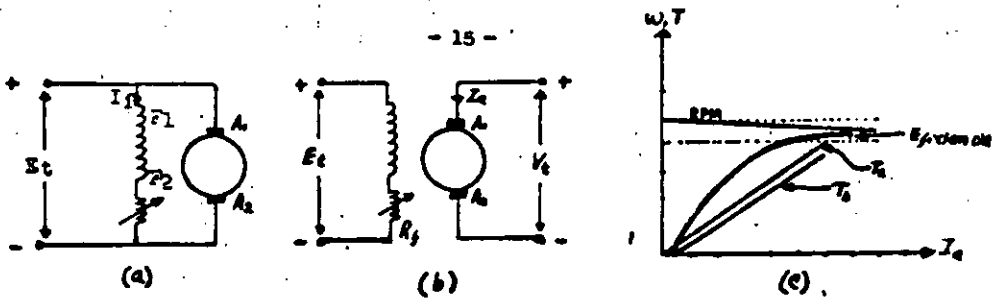


Figure 2.2. a) Motor con excitación en Derivación. b) Motor con excitación Independiente. c) Curvas características.

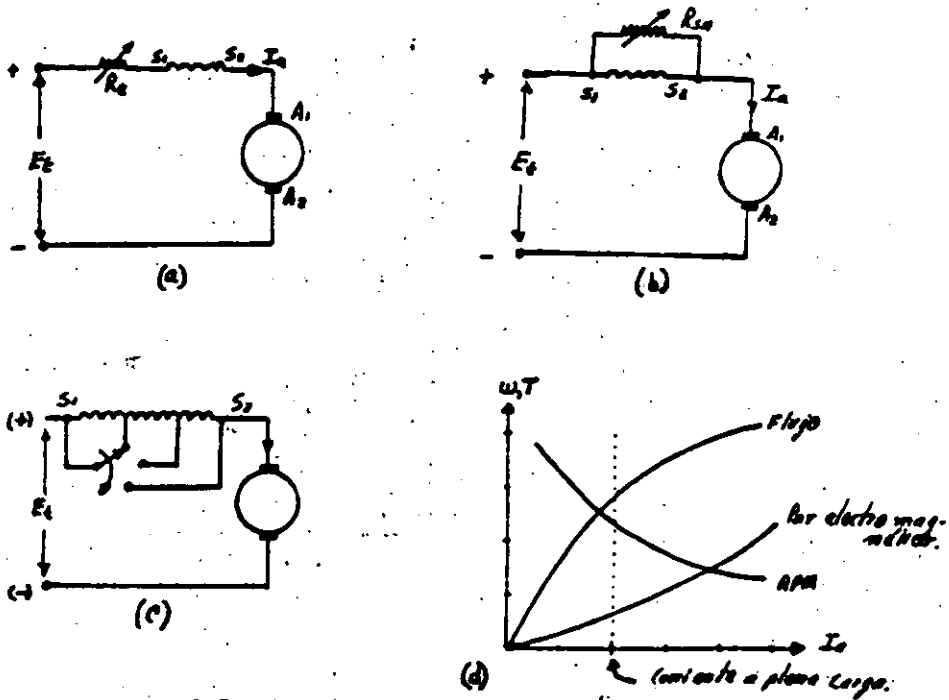


Figure 2.3 a, b, c) Motor con excitación en serie d) Curvas características.

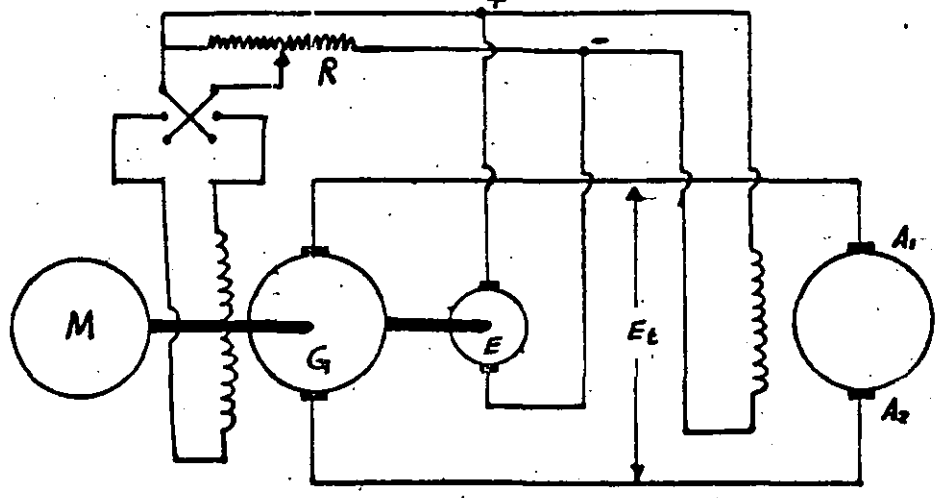


Figura 2.4. Sistema Ward-Leonard.

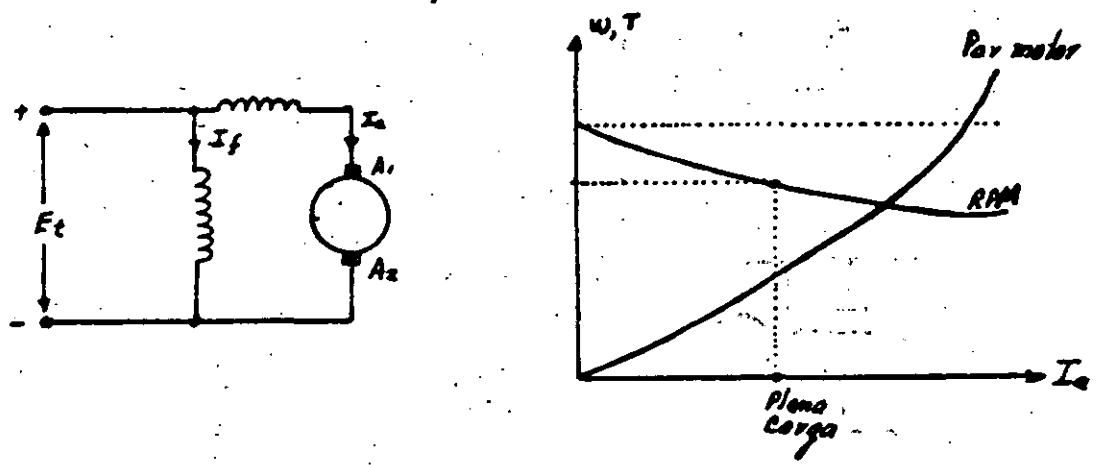


Figura 2.5 a) Motor con excitación compuesta.
b) Curvas características.

velocidad constante.

Según la figura 2.4 este sistema está compuesto de un primotor - M que está acoplado a un generador G y una pequeña dinamo autoexcitada E denominada excitatriz que proporciona la corriente de excitación tanto - para la dinamo como para el motor; cambiando la posición del Switch S es posible cambiar el sentido de rotación del motor M 1.- Al variar el res-
tato R se varía la corriente de excitación del generador y por consi-
guiente la velocidad del motor al variar también Et.-

El sistema Ward Leonard de regulación de velocidad es ampliamente usado. Su principal aplicación es en fábricas siderúrgicas para activar trenes reversibles de laminación, obtener tubos sin soldadura e impulsar cizallas, accionar ascensores de velocidad media y elevada en grandes edificios, malacates de minas, máquinas de fabricar papel, etc.

2.3.5.- MOTORES DE EXCITACION COMPUESTA.

El motor de excitación compuesta figura 2.4.a, constituye un término medio entre el motor en derivación y el motor serie.- La ventaja del motor de excitación compuesta, es que elimina prácticamente el problema de la quemadura del colector de la armadura, que de otra manera puede producirse y por lo tanto asegura un arranque rápido, lo que da una estabilidad mayor al motor.-

Para el caso de los motores de excitación compuesta, existen tres tipos de excitación: a) Excitación compuesta - Acumulativa, b) Excitación compuesta - plana, c) Excitación compuesta - diferencial.

Para finalizar presento un cuadro resumen de los principales tipos de excitación en motores de corriente directa.-

CONEXION	DIAGRAMA	CURVAS	EQUACION DE VOLTAJE
EXCITACION EN DERIVACION.			$E_c = E_g + I_a R_a$ $I_c = I_a + I_c$ <p>R_a resistencia en serie con el campo.</p>
EXCITACION INDEPENDIENTE			$E_c = E_g + I_c R_a$ $I_a = I_c$
EXCITACION EN SERIE (ya no se usa)			$E_c = E_g + I_a (R_s + R_a)$ <p>R_s resistencia en el campo serie.</p> $I_a = I_c = I_c$
EXCITACION COMPLETO-ADUCTIVA			$E_c = E_g + I_c R_s + I_a R_a$
EXCITACION COMPLETO-FLUJO			$E_c = E_g + I_c R_s + I_a R_a$ $R_s = \frac{R_s R_{a2}}{R_s + R_{a2}}$ $I_c = I_a + I_c$
EXCITACION COMPLETO-DIFERENCIAL			$E_c = E_g + I_c R_s + I_a R_a$

CAPITULO III

"ANALISIS DEL SISTEMA DE CONTROL"

3.1.- INTRODUCCION.

En años recientes se ha hecho un significativo progreso en las señales discretas y los sistemas de control digital. Estos sistemas han ganado una popularidad e importancia en todas las industrias debido en parte a los grandes avances hechos en las computadoras digitales y además recientemente en las microcomputadoras, además de las ventajas que se tiene al trabajar con señales digitales.

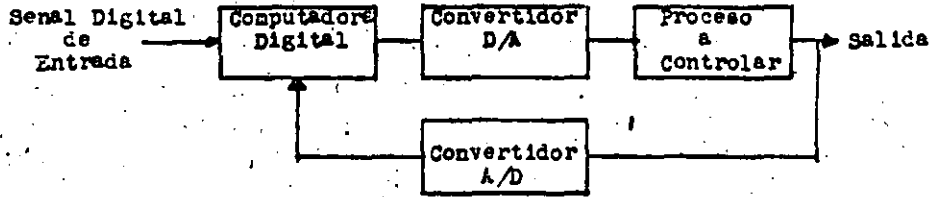
Los sistemas discretos y los sistemas de control digital difieren de los sistemas continuos o sistemas analógicos en que las señales en una o más de sus partes son en la forma de un tren de pulsos o de un código numérico. Los términos sistemas muestreados, señales discretas, sistemas discretos en el tiempo y sistemas digitales, son ampliamente usados en la literatura de control. Estrictamente una señal muestreada se refiere a señales que son pulsos modulados en amplitud, esto es, son trenes de pulsos con señal de información portada en la amplitudes de dichos pulsos; también señales digitales usualmente se refieren a señales que son generadas por computadoras digitales o transductores digitales y por lo tanto, en la forma de algún código.- Sin embargo, más adelante veremos que en nuestro sistema de control, el configurar físicamente cada una de sus partes, no fué tan sencillo como podría parecer teóricamente.- Debido a esto también podemos decir que el diseño de cualquier sistema de control práctico necesariamente involucra procedimientos de tanteo. Teóricamente es posible la síntesis de sistemas de control, pero en la práctica el sistema puede quedar sujeto a restricciones como las -

de ser lineal o no lineal y para estos casos no hay métodos de síntesis. Además no puede conocerse con precisión las características de los componentes y por ello son necesarios los procedimientos de tanteo.

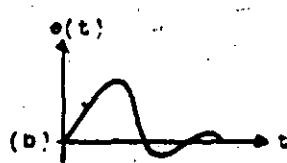
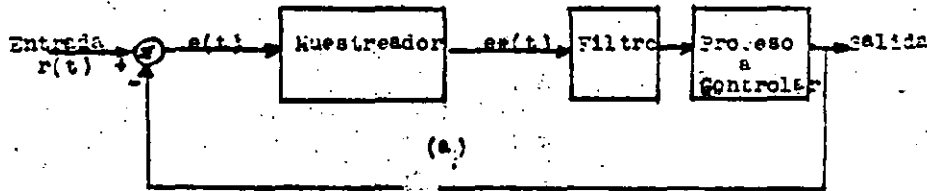
Un requerimiento básico en cualquier sistema de control (digital o analógico), es que debe ser estable y además de esta estabilidad absoluta, el sistema debe tener una estabilidad relativa razonable, es decir, que la velocidad de respuesta debe ser razonablemente rápida, debiendo presentar un razonable amortiguamiento. Otro requerimiento básico, es que el sistema de control debe poder reducir a cero o a un valor tolerablemente pequeño los errores.-

El requisito entre una estabilidad relativa razonable y el de una exactitud en régimen permanente, tienden a ser incompatibles y por lo tanto al proyectar un sistema de control, es necesario llegar a un compromiso eficaz entre ambos requisitos.

Finalmente podemos concluir que un sistema de control digital está definido como un sistema en el cual la señal en uno o más puntos del mismo está expresada en un código numérico para una computadora digital y para poder expresar la señal analógica en un código numérico, es necesario un transductor digital. El diagrama de bloques de un sistema típico de control digital, es presentado en la figura 3.1.- La señal digital representada en un código binario en ciertas partes del sistema, hace que se requiera el uso de convertidores analógico-digitales y digital-analógicos.- Si nos ponemos a comparar un sistema muestreado (figura 3.2) de un sistema de control digital, podemos ver que existen básicas diferencias, pero a pesar de ello podemos usar las mismas herramientas analíticas.



3.1 sistema típico de control digital.



3.2.-a) Sistema muestreado de control. b) Señal de error sin muestrear. c) Señal de error muestreada.

3.2.- SISTEMA DE CONTROL DE EXCITACION DEL MOTOR.

La inmensa mayoría de los sistemas electrónicos de control de motores de corriente directa, están constituidos por componentes de estado sólido y esto se debe a los grandes avances logrados en dispositivos electrónicos de estado sólido en las últimas décadas y al bajo costo de producción de los mismos. Uno de los dispositivos más usados en la rectificación de energía eléctrica, es el rectificador controlado de silicio "SCR" conocido también como tiristor del cual en la actualidad se construyen dispositivos capaces de manejar corrientes del orden de tres mil a cuatro mil amperes.

Para poder funcionar correctamente el tiristor, debe usarse en combinación con un circuito adicional que sea capaz de controlarlo y por lo tanto el circuito que compone al sistema de control de excitación lo podemos dividir en dos secciones principales que son: el circuito de disparo y el puente rectificador.

Nuestro sistema de control está constituido por dos circuitos simétricos e idénticos a lo mencionado anteriormente, de los cuales uno se encarga de controlar la tensión aplicada al campo y el otro la de la armadura del motor. La ventaja de poder controlar la tensión en campo y armadura, es que podemos elegir un par y una velocidad constantes según nuestras necesidades. La figura 3.3 nos muestra una gráfica del voltaje aplicado al campo y armadura contra velocidad. En ella podemos ver que existe un punto A de equilibrio entre el voltaje aplicado al campo y armadura y por lo tanto, si se reduce el voltaje en el campo, aumentará la velocidad y el par debido a que se reduce el flujo ϕ del campo, o si se reduce el voltaje de armadura se reducirá la velocidad y el par porque se está reduciendo la corriente I_a de armadura. Todo lo anterior puede -

comprobarse por las ecuaciones 2.2 y 2.5 de par y velocidad del motor de corriente directa.

3.2.1.- EL RECTIFICADOR CONTROLADO DE SILICIO.

El rectificador controlado de silicio "SCR", es un dispositivo - semiconductor que pertenece a la familia de los tiristores, y por lo tanto, podemos decir que un tiristor es cualquier switch semi-conductor de silicio cuya acción bistable depende de la distribución de cargas eléctricas en una unión PNP, como se indica en la figura 3.4.- El SCR consta de tres terminales que son el ánodo "A", el cátodo "K" y la compuerta "G". Esta última terminal es la que nos va a servir para poner al SCR en estado de conducción y solo podrá ser sacado de ese estado, al decremmentarse la corriente del ánodo a un valor cercano a cero.

Para poder visualizar mejor el funcionamiento de un SCR, podemos aproximar el modelo de la estructura PNP al modelo de un transistor PNP conectado con otro NPN (figura 3.4). Esta combinación actúa como un circuito abierto hasta que hagamos que la compuerta G sea más positiva que el cátodo K. En ese momento una corriente pequeña i_1 fluirá entre la base y el emisor del transistor Q1 por la acción usual del transistor y una gran corriente i_2 , fluirá a través del colector de Q1 y esta misma corriente también es la corriente de base del transistor Q2.- Al fluir esta corriente a través de la base tipo N provoca que haya también un gran flujo de corriente a través del colector del Q2.- Esta corriente i_3 de colector que fluye hacia la base tipo P de Q1 sirve como una gran corriente de compuerta, incrementándose así la conducción de ambos transistores que se encuentran en estado de saturación, podemos decir que ésta es una forma de realimentación. Si la corriente i_1 de compuerta es -

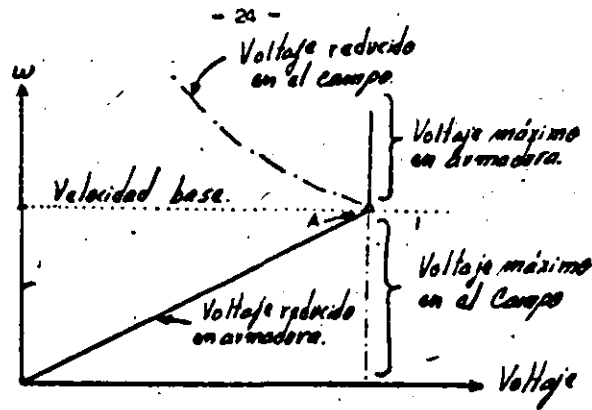


Figura 3.3 Gráfica de voltaje aplicado al campo y Armadura contra velocidad.

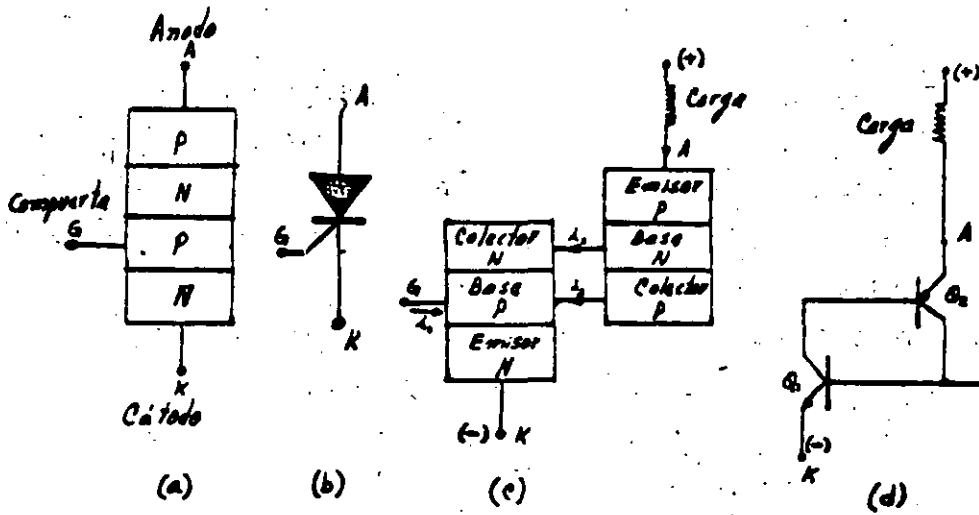


Figura 3.4.- El rectificador Controlado de Silicio.

a, c, d) Modelo del SCR.
b) Símbolo

removida el circuito continúa en estado de conducción como un simple — rectificador hasta que el potencial de ánodo es removido o la corriente de ánodo es decrementada hasta un valor cercano a cero. El voltaje que — existe entre las terminales del ánodo y cátodo en estado de conducción, — es aproximadamente de 0.7 voltios.—

Un SCR puede ser puesto en estado de conducción por un pulso momentáneo de corriente en la compuerta de unos cuantos miliamperas con — una duración del orden de cuatro microsegundos. Cuando es usado en un — circuito de corriente alterna, el pulso de disparo es adelantado por un circuito que es un control de fase con el que podemos variar el ángulo — de conducción, además el SCR estará operando sólo durante el ciclo positivo de la onda de voltaje alterno. Si un nivel continuo de voltaje de — directa es aplicado a un SCR, para poderlo sacar del estado de conduc— ción, será necesario diseñar un circuito que sea capaz de aplicar un vol— taje negativo que sea lo suficientemente grande para sacar al SCR del es— tado de conducción.

3.2.2.- EL TRANSISTOR DE UNIJUNTURA BIPOLAR, "UTJ".

Este dispositivo semiconductor también puede ser considerado como un tiristor, debido a que presenta una acción bistable y está constituido como se indica en la figura 3.5 por un pequeño cristal o barra de silicio tipo N y presenta una gran resistencia (alrededor de 10 K) a cada extremo de la barra, en las cuales se encuentra hecho un contacto óhmico. A estas terminales correspondientes a los contactos óhmicos, se les conoce como base 1 y base 2.

Una pieza de material tipo P, es formada próxima a la mitad de —

la barra tipo N, formándose así una juntura PN en la barra del cristal, la cual está actuando como un emisor. El transistor de unijuntura bipolar "UTJ" no es uno de los transistores más usados, pero se usa como un dispositivo de switcheo.

Internamente el UTJ actúa como un divisor de voltaje que consiste de dos series de resistores "R A" y "R B", mientras que la juntura PN actúa como un diodo "D".

Cuando un voltaje V_{BB} es aplicado entre las interbases B 1 y B 2, aparece una porción de voltaje V_E , entre el emisor y base B 1. Esta porción está dada por la relación $= R_A / (R_A + R_B)$, esta es llamada Standoff ratio, donde \bar{E} = esta.

Se aplicamos un voltaje externo haciendo que el emisor "E" sea más positivo que la base B 1, no ocurrirá ningún flujo de corriente a través del emisor mientras este voltaje aplicado sea menor que V_E que es V_{BB} . Sin embargo, cuando el voltaje aplicado exceda V_E en una fracción de un voltio ocurrirá un flujo de corriente a través del emisor a l disminuir la resistencia R A por un proceso conocido como Conductibilidad modulada que a continuación es descrita.

Mientras no ocurra flujo de corriente a través del emisor, el flujo eléctrico en la barra tipo N, casi enteramente consiste de portadores mayoritarios (exceso de electrones) moviéndose de B 1 a B 2; podemos decir que relativamente es poco el flujo de electrones a causa de la alta resistencia de la barra ya que el material de la misma está ligeramente dopada. Cuando el potencial del emisor E, es elevado para que ocurra flujo de corriente a través de la juntura PN, se puede decir que es un -

flujo de exceso de agujeros (que son los portadores mayoritarios en el material tipo P) que pasa a través de la barra tipo N hacia la base B 1. Así sucesivamente al incrementarse el número de portadores disponibles rápidamente disminuirá la resistencia R A y aumentará el flujo de corriente entre E y B 1. - A sí la conductividad de R A es modulada o varia da por el flujo de la corriente de emisor.

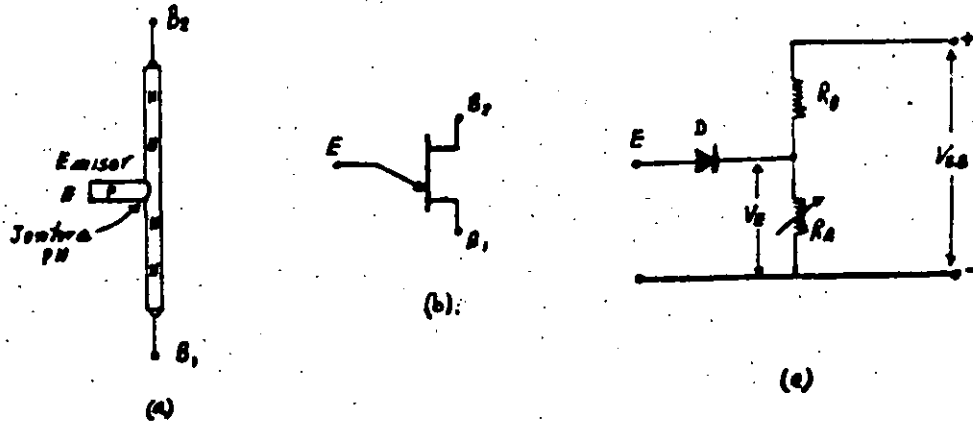


Figura 3.5. El transistor de un juntura bipolar.
a, b) Modelo. b) Símbolo.

3.2.3.- CONTROL DE FASE DE UN SCR DISPARADO POR UN UTJ.

Una de las grandes ventajas del SCR al estar conectado a una línea de corriente alterna, es su capacidad de poder variar la corriente media aplicada a una carga eléctrica modificando su ángulo de conducción (figura 3.6).

Si una carga eléctrica recibe una corriente pico de 10 amperes, la corriente media en cada ciclo será de 6.4 amperes cuando es disparado en cero grados (ciclo completo) y si es disparado en 90 grados, se estará disparando a la mitad del ciclo y la corriente media por lo tanto será de 3.2 amperes y así sucesivamente podríamos seguir retardando el disparo del SCR disminuyendo cada vez más la corriente media. A este método de variación gradual del ángulo de conducción, se le conoce como control de fase.-

Como un SCR usualmente necesita un pulso de corriente de muy corta duración en la compuerta, es necesario un circuito que nos pueda dar un retardo y control en un instante preciso dentro de cada ciclo. El circuito apropiado para ello es el mostrado en la figura 3.7 que emplea un UTJ que se encarga de disparar al SCR.- Su funcionamiento es de la siguiente manera:

Cuando el condensador C1 se carga a través de R3, se incrementa también el voltaje entre el emisor E y la base B1 del UTJ y al exceder el voltaje de C1, el voltaje VE, se inicia un flujo a través del emisor y se entonces dispara el UTJ.- Como resultante tenemos que disminuye el valor de RA permitiendo que C1 cargue a través de RA y la resistencia externa R5. Parte de esta descarga irá a parar a la compuerta del SCR en

la forma de un pulso de corriente, siendo así disparado el SCR.- Otra característica de este circuito es que opera durante cada semiciclo de la onda de corriente alterna, rectificadas y la variación de fase se logra - al variar la constante $R_3 \cdot C_1$ de carga del capacitor, con la cual se varía también la pendiente de la rampa generada.- Este circuito es un generador típico de diente de sierra y por lo tanto sus aplicaciones pueden ser muy variables.

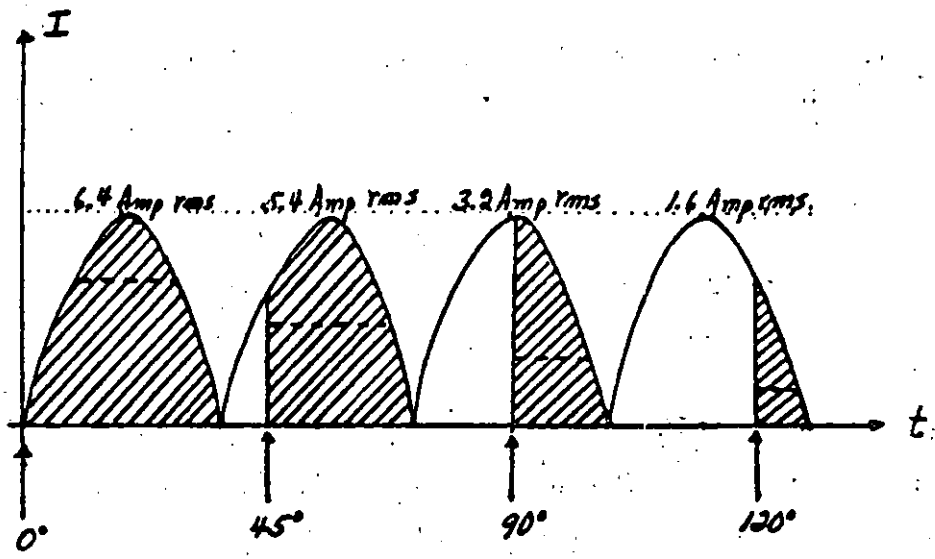


Figura 3.6. Efecto de la variación del ángulo de conducción sobre la corriente media.

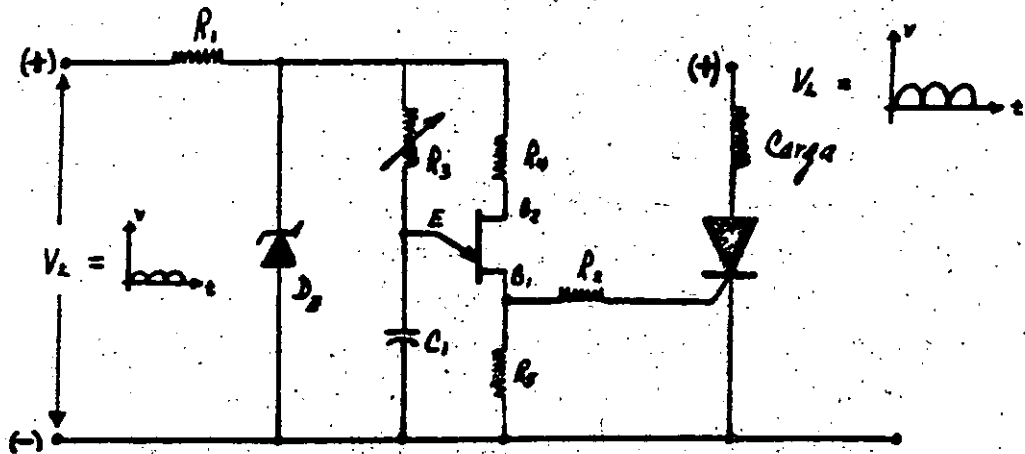


Figura 3.7. Circuito típico de disparo.

3.2.4.- B. "SCA" CON CARGA RESISTIVA O INDUCTIVA.

A continuación vemos a analizar el comportamiento de un "SCA" - conectado en serie con una carga puramente resistiva a una línea de corriente alterna.

Mientras el "SCA" no recibe algún pulso de disparo en la compuerta G, el voltaje entre el ánodo y el cátodo, es aproximadamente el voltaje de la línea de corriente alterna y por lo tanto prácticamente no está circulando corriente por la carga (solo corrientes de fuga). Cuando el "SCA" es disparado en el punto F (figura 3.8) el potencial entre ánodo y cátodo, caerá a un valor muy cercano a cero voltios y será entonces cuando circula una corriente que es proporcional al voltaje aplicado y solo se reducirá a cero cuando el voltaje de línea sea cero. - Luego en el punto L cuando comienza la parte negativa de la onda de corriente alterna, - no circulará ninguna corriente entre ánodo y cátodo a menos que se llegue a exceder el voltaje de reversa del diodo (considerándolo como diodo).

Existen notorias diferencias con respecto a lo anterior en el funcionamiento del "SCA" cuando funciona con carga inductiva tal como un transformador un reactor etc. - Como se indica en la figura 3.9 cuando el "SCA" es disparado en V, la corriente del ánodo comienza a subir muy lentamente en U. Sin embargo, debido a la energía almacenada, la corriente sigue fluyendo por la carga inductiva X, no decrece a cero al llegar al punto W y continúa fluyendo por algún tiempo después de que la onda de voltaje de corriente alterna ha pasado a su semiciclo negativo. - Mientras esta corriente de ánodo fluye, el voltaje remanente a través del "SCA", caerá a muy pocos voltios. El potencial positivo remanente que abarca parte del medio ciclo negativo es representado en Y y Z. - Al dis-

parar el "SCR" en el inicio del siguiente semiciclo positivo, la corriente del "SCR" se incrementará a su valor medio en "C" que es justamente un instante antes de comenzar el semiciclo negativo. - La energía almacenada en el reactor λ puede ser removida aplicando un voltaje negativo en el ánodo, con lo cual se saca al "SCR" del estado de conducción.

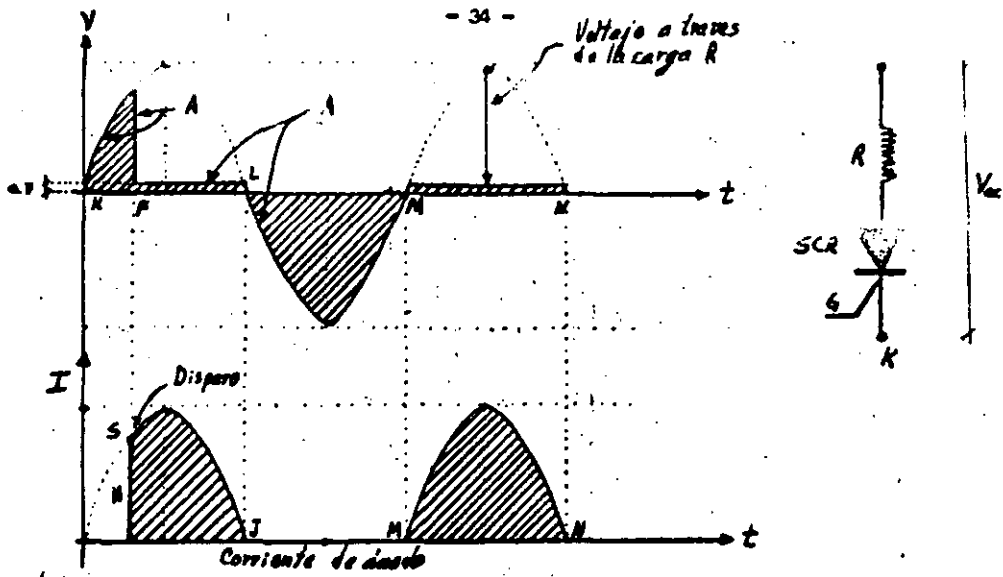


Figura 3.8.- El SCR con carga resistiva.

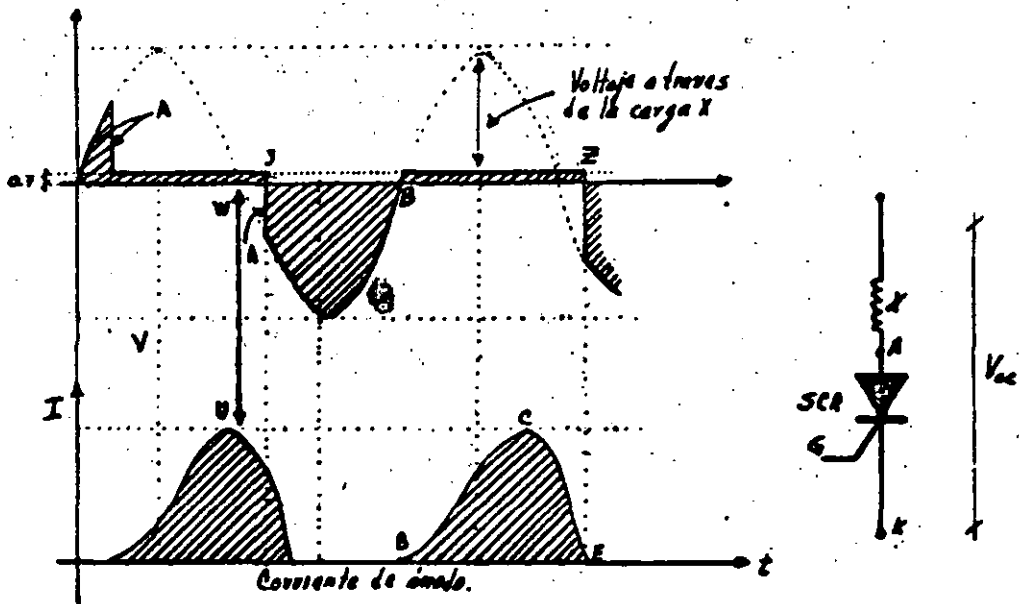


Figura 3.9.- EL SCR con carga inductiva.

3.2.5.- EL "SCR" CON DIODOS EN CIRCUITOS INDUCTIVOS DE CORRIENTE ALTERNA

Se analizará a continuación el comportamiento de un "SCR" conectado con una carga inductiva la cual tiene conectada a su vez un diodo "D" como se indica en la figura 3.10 a).- Cuando el "SCR" es disparado al inicio del ciclo, la corriente a través de X continúa incrementándose ciclo a ciclo (figura 3.10 b), hasta que la corriente es limitada por la resistencia que presenta en estado permanente la reactancia "X" .- Como el diodo "D" está conectado en forma opuesta al "SCR", cualquier corriente que fluye por el "SCR", no podrá fluir al mismo tiempo por el diodo "D".- Los electrones podemos decir que fluyen del punto 5 (figura 3.10a) a través del "SCR" y la reactancia "X" hacia el punto 7 durante cada semiciclo positivo. Cuando aparece en P el semiciclo negativo de la fuente de corriente alterna, la energía almacenada en el reactor "X", genera un voltaje que es positivo en la terminal 6 de "X".- Este voltaje obliga a los electrones a pasar a través del diodo "D" hacia el punto 6.- Estos electrones fluyen a su vez a través de "X", en la misma dirección pasando a través del "SCR" y el diodo "D".- Entonces el diodo "D", permite que fluya una corriente (que dependerá del tipo de carga inductiva que se esté usando) a través de "X" durante cada semiciclo negativo y esta corriente se va incrementando con cada semiciclo positivo.- La corriente final será limitada solo por la carga resistiva que presenta reactancia "X".-

Si ahora el "SCR" es disparado como en la figura 3.10 c, la corriente se incrementará solo durante el breve intervalo "R".- Durante el intervalo "Q", el diodo "D" conduce y la corriente a través del mismo disminuye lentamente debido a la resistencia y al pequeño calentamiento en este circuito.- La corriente final en la figura 3.10 c es menor que -

en la figura 3.10 b porque el disparo del "SCR" está retardado.-

Un "SCR" puesto en compañía de un diodo como se indica en la figura 3.11 para un control gradual de la corriente que circula en una carga inductiva "X" podrá ser variada mediante un control de fase de tiristor en el "SCR" y el diodo "D".- Este arreglo puede ser usado para variar la corriente en el campo de un motor o generador de corriente directa.- Si tal circuito no fuese inductivo, fluiría a través de "D" una corriente máxima la cual no podría ser influenciada grandemente por el "SCR".- El diodo "D" siempre conduce corriente durante el semiciclo positivo.- Cuando el ánodo es positivo el "SCR" solo conducirá con un pulso aplicado a la compuerta "G".- Si un "SCR" es disparado próximo a "A", el flujo de corriente fluirá firmemente a través del "SCR" y el diodo "D" - retornando nuevamente a través de "X".- La pequeña variación (más bien risiso), es presentada en la figura 3.11 a y podemos decir que experimentalmente se ve que pueden pasar muchos ciclos antes de alcanzar la gráfica de corriente de la figura.

Si el "SCR" es disparado en "B" (figura 3.11 b) mediante un circuito de retardo de fase, el flujo de corriente a través del "SCR" será solo de un cuarto de ciclo (solo de B a C) y entonces la corriente será transferida al diodo "D" en el punto "C".- El diodo "D" continuará conduciendo tres cuartas partes del ciclo o hasta que el "SCR" es disparado de nuevo. En "E" el voltaje a través de "X" continúa siguiendo la onda de voltaje de corriente alterna del voltaje de ánodo del diodo "D" (este voltaje es negativo de "E" a "F"), el cual mantiene o disminuye la corriente que fluye a través de "X", pero sin embargo esta corriente disminuirá entre "G" y "H".- Cuando el "SCR" es disparado de nuevo el voltaje "I" se incrementa y la corriente fluye, pero esta corriente no podrá al-

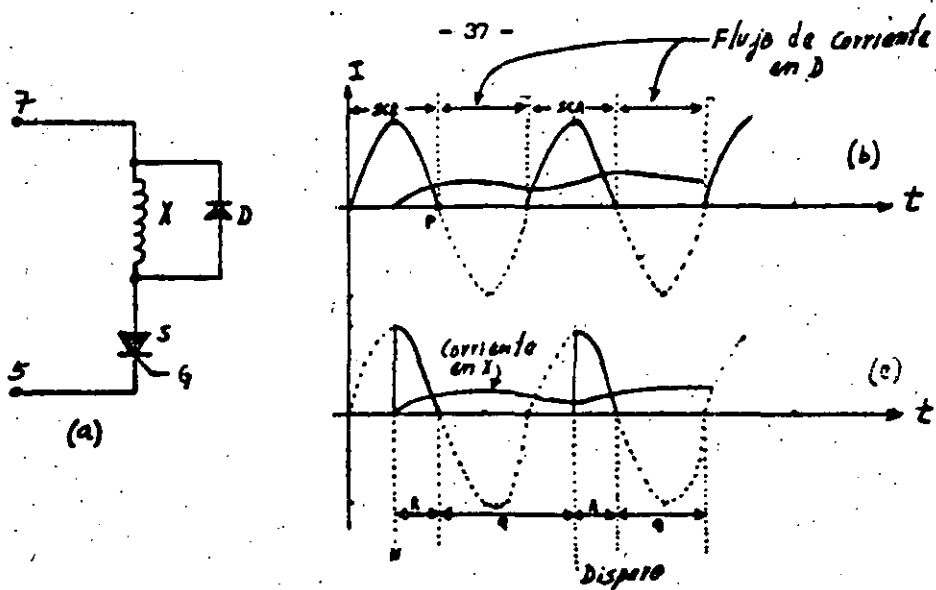


Figura 3.10.- Circuito con un diodo conectado en paralelo con la carga.

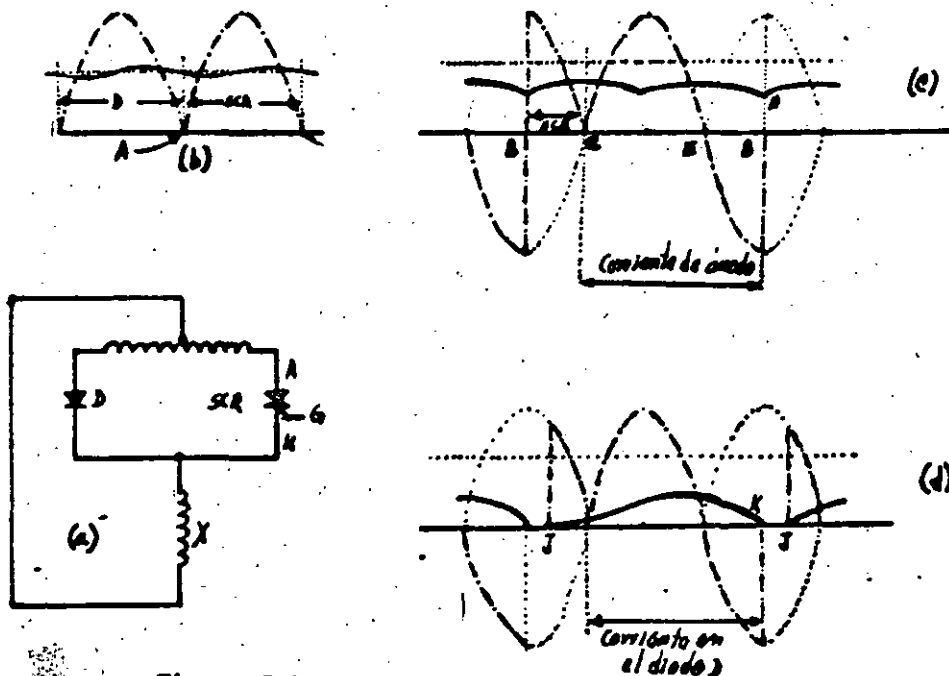


Figura 3.11.- Variación de la corriente aplicada a una carga inductiva mediante el control de fase de un SCR.

canzar su máximo valor si el "SCR" es disparado antes. La corriente media en la figura 3.11 b es menor que en la figura 3.11 a.

Si el "SCR" es disparado con más retardo (figura 3.11 c), entonces decrecerá considerablemente la corriente media de directa. La resultante sería como si solo el diodo estuviera conectado dando un voltaje como el presentado en la figura 3.11 c.

3.2.6.- VOLTAJE DE CAMBIO "dv/dt".-

Cuando dos SCR son conectados espalda con espalda como en la figura 3.12a el voltaje de ánodo a cátodo del SCR 1, es también el mismo voltaje de ánodo a cátodo del SCR 2.- Si añadimos un control de fase que nos retarde 90° el disparo de cada SCR, las formas de onda de corriente a través de ellos será como las presentadas en la figura 3.12.b debido a la carga inductiva que se tiene y como ya se dijo anteriormente, el SCR seguirá conduciendo corriente un cierto tiempo después (alrededor de unos 35°).

En el instante en que el SCR 1 deja de conducir corriente, el voltaje a través de los SCRs, cambia de C a D, siendo entonces el ánodo del SCR 1 más negativo y ánodo del SCR 2 más positivo.- Esta diferencia de cambio de voltaje es llamada "dv/dt" y es válida para los dos SCRs.- Cabe recalcar que la juntura NP media de un SCR (figura 3.4), actúa como circuito abierto hasta que el SCR es disparado, pero también antes de estas junturas se comportan como si fueran dos placas de un pequeño condensador que está cargado a un valor aproximado al voltaje de ánodo-cátodo.- Cuando este voltaje cambia súbitamente una corriente es inducida (igual a $C \, dv/dt$) que actúa como una corriente de compuerta capaz de disparar el SCR.- Como en la figura 3.12, este abrupto cambio de voltaje es más grande cuando la corriente de ánodo viene de una carga inductiva. Para prevenir disparos innecesarios en muchos SCRs la dv/dt no debe de exceder de 40 voltios por microsegundo (aunque algunos tipos de SCRs permiten 200 voltios por microsegundo). Para limitar tales cambios de voltaje a través del SCR en circuitos inductivos, se suele conectar un capacitor en serie con una resistencia entre el ánodo y cátodo del SCR.

3.2.7.- "RECTIFICADOR DE ONDA COMPLETA CON DOS SCRs CON CARGA INDUCTIVA Y RESISTIVA COMBINADA".

Cuando los SCRs conducen solo una cierta porción de la onda senoidal de voltaje alterno debido al control de fase, la corriente media y la forma de onda en la carga dependen de la inductancia o más bien de la razón de X_L con respecto a R, donde X_L es $= 2\pi fL$.

Considerando el rectificador de onda completa de la figura 3.13a y asumiendo que la caída de voltaje en los SCR es cero, esto es que los SCRs están siendo disparados con un retardo de fase igual a cero ($\alpha = 0^\circ$), estos solo se comportarán como simples diodos y las formas de onda de corriente resultantes serán como las presentadas en la figura 3.13.b. Para pura carga resistiva donde $WL/R = 0$, la corriente i_0 es una onda senoidal rectificadora donde existe un valor pico con un valor de $\sqrt{2} V/R$ cuyo valor medio es:

$$I_{DC} = (2/\pi) (\sqrt{2} V/R) = 0.9V/R \dots\dots\dots (1)$$

Si añadimos carga inductiva hasta que $L = R$, la curva i_1 tendrá solo una pequeña variación y si seguimos aumentando la carga inductiva de tal manera que $WL/R = 4$ la curva de variación i_4 será menor.- Cabe hacer notar que la corriente media I_{DC} no está siendo afectada por L, pero si por $\alpha = 0^\circ$.- Este valor de corriente de $0.9 V/R$, es llamado corriente máxima I_m .

Si el disparo de los SCRs es retardado en una carga puramente resistiva, la corriente aumentará instantáneamente a un valor proporcional al voltaje aplicado.- Para esta condición donde $WL/R = 0$, disparando los

SCRs con $\alpha = 90^\circ$, veremos que la corriente media decrecerá en un 50% y en base a esto podemos establecer la siguiente ecuación: (fig. 3.14)

$$I_{DC} = (1/\pi) \int_{\alpha}^{180^\circ} (\sqrt{2} V \text{ Sen } \omega t) / R \, d(\omega t) \dots \dots \dots (2)$$

Para el caso en que tengamos $\alpha = 50^\circ$ y $WL/R = 1$, i_1 será cero al rededor de los 45° y por lo tanto podemos decir que la corriente media es $0.74 V/R$ (fig. 3.15).-

Para $WL/R = 4$ podemos ver que prácticamente la corriente media es un valor continuo y solo será decrementada a un valor mínimo por α , - (donde $\alpha =$ ángulo de disparo).

Cuando la carga es inductiva, el cálculo de la corriente media I_{DC} presenta más dificultad.- Los resultados aproximados en la figura 3.14 están expresados en términos de la corriente máxima I_m .- Con pequeños ángulos de retardo los valores de I_{DC} pueden ser leídos en la línea ABC.-

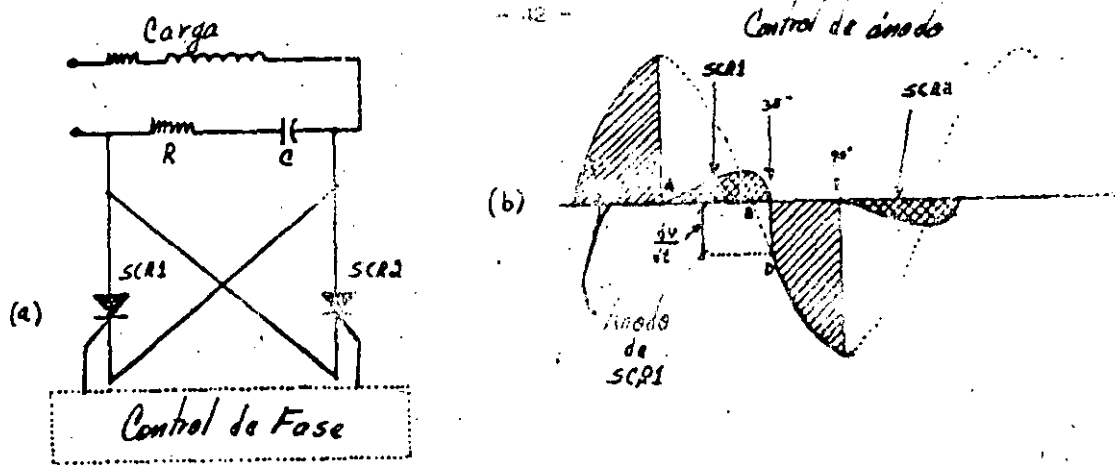


Figura 3.12.- Uso de un elemento RC para reducir el voltaje de cambio en circuitos inductivos de corriente alterna.

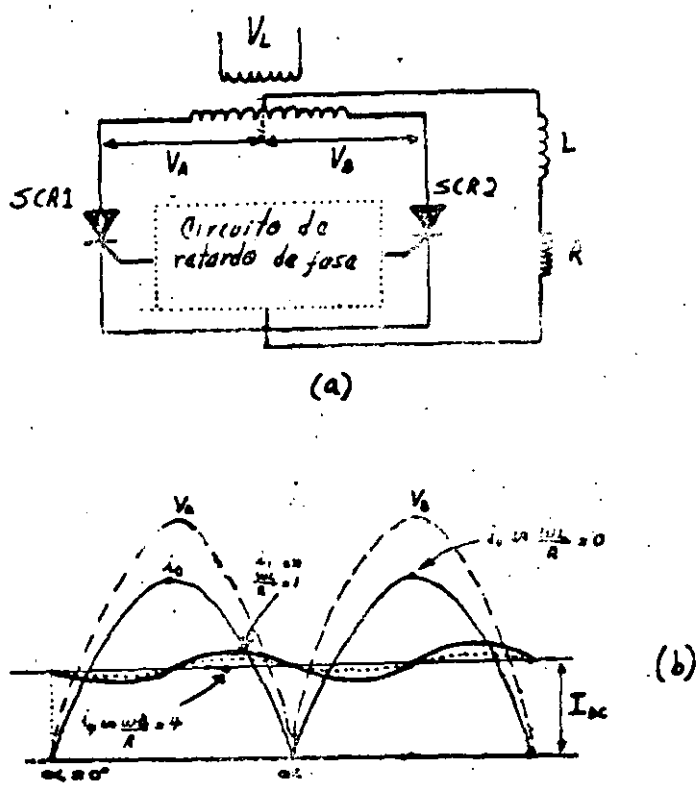


Figura 5.13.- a) Rectificador con carga inductiva y resistiva. b) Forma de onda del circuito de (a).

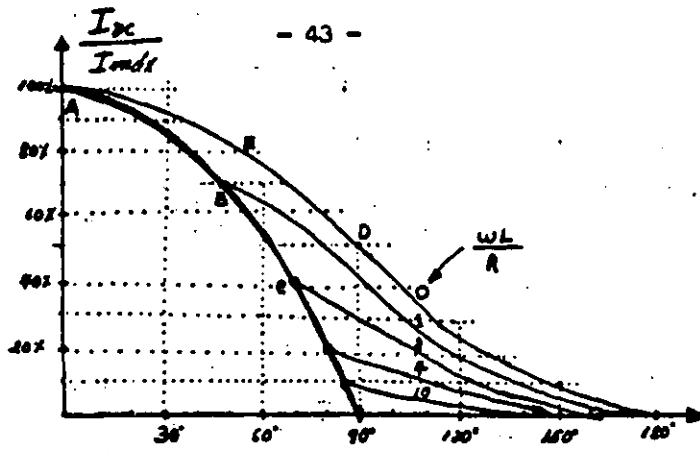


Figura 3.14.- Corriente media de la figura 3.13 contra α

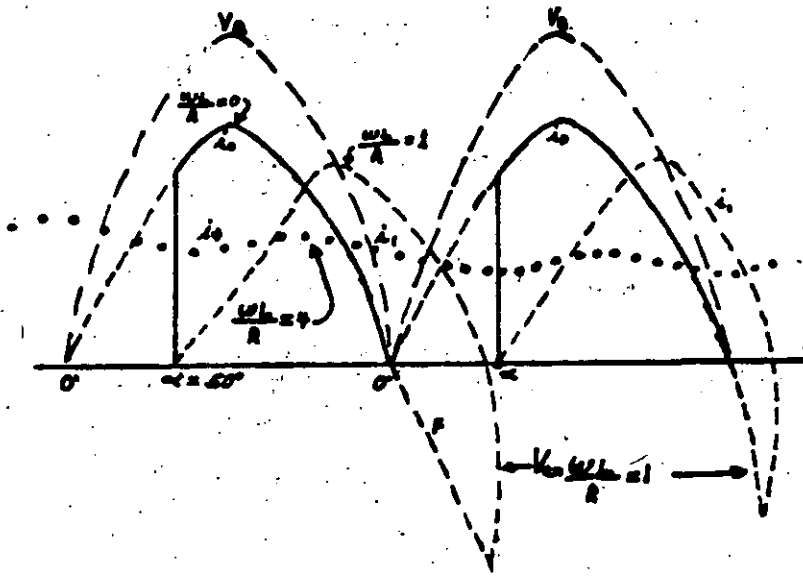


Figura 3.15.- Forma de onda de la figura 3.13 al retardar el disparo.

3.2.8.- "RECTIFICADOR DE ONDA COMPLETA CON UNA CARGA QUE PRESENTA UNA FUERZA ELECTROMOTRIZ"

En este caso tenemos conectado un rectificador de onda completa conectado a una batería o a la armadura de un motor de CD y nos vamos a concretar más específicamente al caso de un motor de CD.

En la figura 3.17 podemos ver que cada medio ciclo es aplicado a un voltaje V a cada uno de los SCR que están conectados en serie con la armadura de un motor, el cual puede ser visto como una carga inductiva-resistiva que incluye una fuerza contraelectromotriz V_g . Si suponemos que el campo del motor está excitado independientemente y que además es constante el campo ϕ , el par del motor será proporcional a I_{DC} . Como V_g se incrementa con la velocidad de la armadura, también se elevará el potencial en el cátodo. Este potencial de cátodo será la diferencia entre el voltaje aplicado $v = \sqrt{2}V \text{ Sen}\omega t$ y $V_g + V_t$ donde V_t es una constante del silicio y es aproximadamente de 0.7 voltios.

Si los SCR son desplazados por diodos, el ángulo de conducción α_e será igual a:

$$\alpha_e = \text{Sen}^{-1} (V_g + V_t) / \sqrt{2} V \dots\dots\dots (3)$$

También si consideramos despreciable la inductancia de armadura, la corriente no podrá circular después de α_1 (figura 3.18) y por lo tanto el ángulo total de conducción estará dado por:

$$\alpha_t = \pi - \alpha_e \dots\dots\dots (4)$$

Si cada SCR es disparado con un cierto retardo " α " y $L = 0$ -

la corriente media de armadura será:

$$I_{DC} = (1/\pi) \int_{\alpha}^{\alpha_t} [\sqrt{2} V \text{ Sen } \omega t - (V_g + V_t)] / R \, d(\omega t) \dots\dots\dots (5)$$

o bien:

$$I_{DC} = (1/\pi R) \left[\sqrt{2} V (\text{Cos } \alpha_g + \text{Cos } \alpha) - (V_g + V_t) (\alpha_t^* - \alpha^*) \right] \dots (6)$$

Nota: El asterisco nos está indicando que son ángulos expresados en radianes.

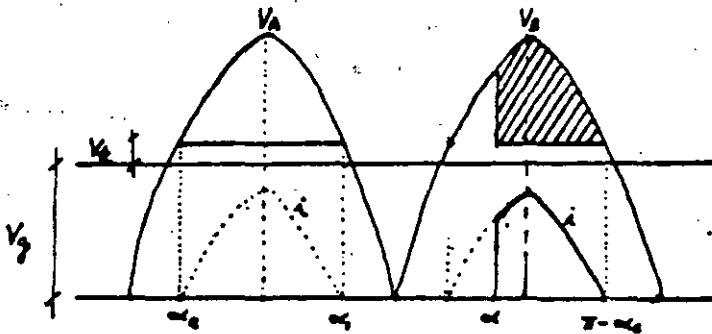
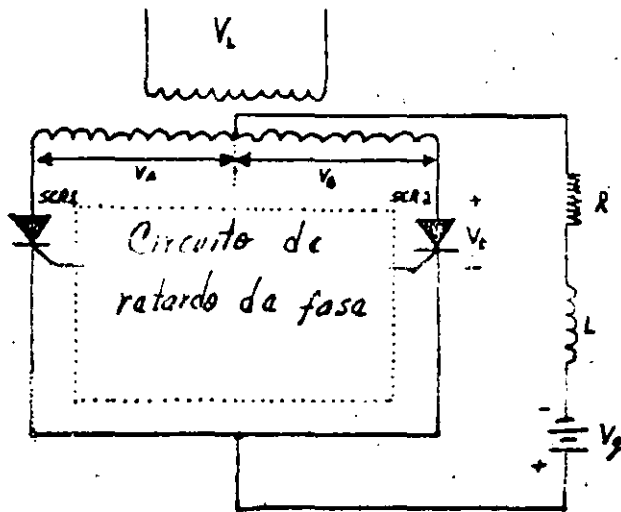


Figura 3.16.- a) Circuito de la figura 3.13 con la edición de una fem.
b) Forma de onda del circuito.

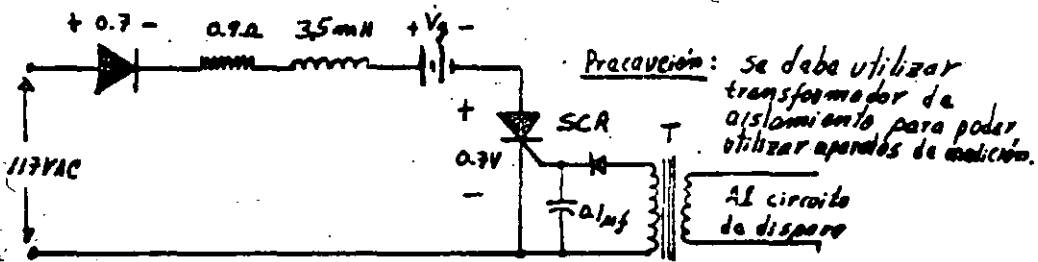


Figura 3.17.- Diagrama de medio circuito del puente rectificador.

3.2.9.-"CIRCUITO DE CONTROL DE EXCITACION DEL MOTOR DE C.D."

El diseño de un circuito que introduzca un cierto retardo α para poder controlar la corriente aplicada a la armadura de un motor de C.D., no es tan sencillo debido a que se tiene un circuito inductivo, el cual está presentando una fuerza contraelectromotriz y para poder regular la corriente aplicada en tal circuito, se necesita diseñar uno que haga parecer que los SCR's tienen conectada una carga puramente resistiva.- Sin embargo, los conceptos fundamentales antes expuestos, serán muy útiles para este fin.-

El circuito se diseñó basándose parte en el modelo de un circuito que controla a una rebobinadora que contiene un motor de 1 HP y puede verse que está constituido básicamente por un oscilador que contiene un UTJ, el cual está generando una rampa.- La variación de la pendiente de la rama nos va a dar el retardo α necesario para disparar los SCR's.- Esta variación es fijada mediante una resistencia variable (referencia)- constituida por un fotoacoplador que contiene un transistor de efecto de campo el cual está actuando como una resistencia variable controlada por la intensidad de radiación infraroja proveniente de un diodo emisor.- La señal de control procedente del convertidor digital-analógico es aplicada a este diodo emisor y es así como se logra la acción de control.-

El oscilador a su vez es modulado por los transistores Q_1 y Q_2 - con las señales provenientes de la corriente de armadura I_a y la fuerza contraelectromotriz E_g del motor.- El transistor Q_2 está actuando también como una resistencia variable solo que controlada por el voltaje de error resultante de la resta de las señales de voltaje de E_g e I_a y por lo tanto la frecuencia de oscilación de UTJ está determinada por Q_2 y C_7 .

La salida del oscilador es aplicada al primario de un transformador de aislamiento y los secundario de este transformador están conectados a las compuertas de los SCR's.-

El circuito de disparo contiene además un elemento RC constituido por C_4 y R_{16} que está conectado entre la línea de alimentación positiva y la referencia, siendo su finalidad la de proveer un cierto retardo τ en la respuesta del motor durante algún transitorio inesperado (incluyendo el arranque).

La señal de corriente proveniente de la resistencia sensora conectada en serie con el motor, está alimentado a un divisor de tensión constituido por R_8 y R_9 , cuya función es la de ajustar a su valor óptimo el nivel de esta señal para que opere correctamente el circuito.- Además esta señal es filtrada por R_{13} , C_1 , C_8 y R_{15} para proveer un nivel de DC continúa a la base de Q_1 .- Esto se hace debido a que la corriente I_a no está en fase con el voltaje de la línea.-

El voltaje E_g generado, también es pasado por un divisor de tensión constituido por R_2 , R_1 , R_3 y aplicado al emisor de Q_2 a través de la resistencia R_{17} .- Finalmente el punto suma de la corriente I_a , el voltaje E_g y la referencia es realizado por Q_2 , el cual como ya se mencionó anteriormente actúa como una resistencia controlada por el voltaje de error, obteniéndose así la variación dependiente en la rampa generada por el UTJ.-

El voltaje de alimentación del circuito, es de 9.1 voltios y está fijado por el diodo zener D_2 , el cual está conectado al voltaje de línea a través de los diodos D_3 , D_4 , D_5 y D_6 .- Además el voltaje de alimentación del circuito no está filtrado debido a que el mismo está diseñado

para oscilar solo durante cada semiciclo con la finalidad de que los pul
sos de disparo, estén sincronizados con el voltaje rectificado provenien
te de la línea.-

Haciendo referencia a las figuras 3.17 y 3.18, la primera nos —
presenta el diagrama de medio circuito del puente rectificador y la se—
gunda representa el diagrama global del circuito de excitación y para po
der controlar el campo y armadura del motor, fué necesario hacer dos cir
cuitos idénticos.-

3.3.- "SIMULACION EN COMPUTADORA ANALOGICA DE UN MOTOR DE C.D., CONTROLADO POR CAMPO Y ARMADURA".

El poder representar un modelo físico en una computadora analógica, puede ser una herramienta muy poderosa para los diseñadores de sistemas puesto que es posible simular el comportamiento del mismo bajo diferentes condiciones de trabajo.-

El comportamiento físico de un motor de C.D. también puede ser simulado en una computadora analógica, teniéndose así la ventaja de poder analizar el comportamiento aproximado en motores de diferentes capacidades.- Cabe hacer la aclaración que debido a la baja capacidad del motor utilizado en el sistema de control, se prefirió hacer las pruebas en el mismo directamente.-

Para poder hacer la simulación primero se tienen que establecer las ecuaciones que gobiernan el funcionamiento de un motor de C.D., por lo que:

La ecuación diferencial del circuito del campo es:

$$V_f(t) = R_f i_f(t) + L_f \frac{di_f(t)}{dt} \dots\dots\dots (1)$$

La ecuación diferencial del circuito de armadura es:

$$V_a(t) = R_a i_a(t) + L_a \frac{di_a(t)}{dt} + K_a K_f \omega_m(t) i_f(t) \dots\dots (2)$$

- donde: $V_f(t)$ = Voltaje aplicado al campo
 $V_a(t)$ = Voltaje aplicado a la armadura
 $i_a(t)$ = Corriente que circula por la armadura
 $i_f(t)$ = Corriente que circula por el campo

- Ra = Resistencia de armadura
- Rf = Resistencia de campo
- Lf = Inductancia del campo
- La = Inductancia en la armadura
- $\omega_m(t)$ = Velocidad del motor
- Ka, Kf = Constantes propias de cada motor.

Las constantes Ka y Kf, se definen como:

$$K_a = \frac{(\# \text{ de conductores en la armadura})}{2} \times \frac{(\# \text{ de Polos})}{\text{Trayectorias}}$$

$$y: K_f = \frac{\text{Flujo por polo en el motor}}{\text{Corriente de campo}} = \frac{\phi}{i_f(t)}$$

Por lo que: $K_a K_f = K_{af}$

Además se sabe que el par del motor es igual a :

$$T_m(t) = K_{af} i_a(t) \dots \dots \dots (3)$$

Por otro lado el par del motor se define también como:

$$T_m(t) = f_{eq} \omega_m(t) + J_{eq} \frac{d\omega_m(t)}{dt} \dots \dots \dots (4)$$

donde:

- f_{eq} = Coeficiente de fricción viscosa equivalente del motor y carga (referida al eje).
- J_{eq} = Momento de inercia equivalente del motor y carga (referida al eje).

Si sacamos la transformada de Laplace de las ecuaciones (1), (2), (3) y (4), nos quedan como:

$$V_f(s) = (R_f + sL_f) I_f(s) \dots\dots\dots(5)$$

$$V_a(s) = (R_a + sL_a) I_a(s) + K_{af} I_f(s) W_m(s) \dots\dots\dots(6)$$

$$T_m(s) = K_{af} I_f(s) I_a(s) \dots\dots\dots(7)$$

$$T_m(s) = (f_{eq} + sJ_{eq}) W_m(s) \dots\dots\dots(8)$$

Con las ecuaciones anteriores, quedan establecidas las bases para poder realizar la simulación.- Sin embargo, para ello primero es necesario construir un reograma (figura 3.20), que nos involucre esas ecuaciones por lo cual es necesario reordenarlas.-

De las ecuaciones (5), (6), (7) y (8) se tiene que:

$$sI_a(s) = \frac{V_a(s)}{L_a} - \frac{K_{af}I_f(s)W_m(s)}{L_a} - \frac{I_a(s)R_a}{L_a} \dots\dots\dots(9)$$

$$sW_m(s) = \frac{T_m(s)}{J_{eq}} - \frac{f_{eq}}{J_{eq}} W_m(s) = \frac{K_{af}I_f(s)I_a(s)}{J_{eq}} - \frac{f_{eq}}{J_{eq}} W_m(s) \dots\dots\dots(10)$$

$$sI_f(s) = \frac{V_f(s)}{K_f} - \frac{I_f(s)R_f}{L_f} \dots\dots\dots(11)$$

Debido a que son dos variables de entrada como puede verse en la figura 3.19 y dos variables de salida que son el par y la velocidad, el sistema puede considerarse como un sistema multivariable y por lo tanto la representación matemática de la función de transferencia solo se podría hacer representándola mediante una matriz de transferencia.- El diagrama representativo del motor en computadora analógica, puede verse en la figura 3.20.-

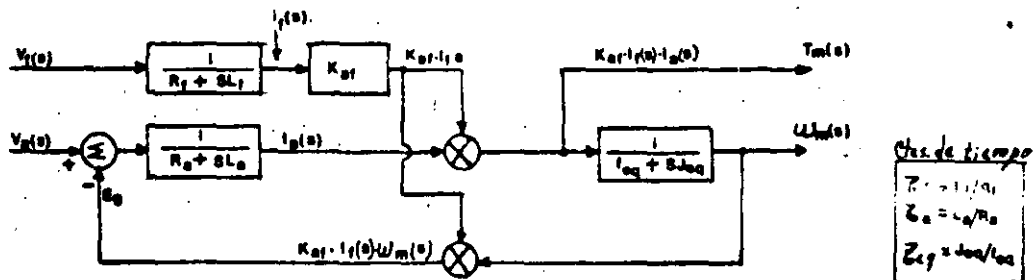


Figura 3.19.- Diagrama de bloques de un motor de C.D., controlado por campo y armadura.

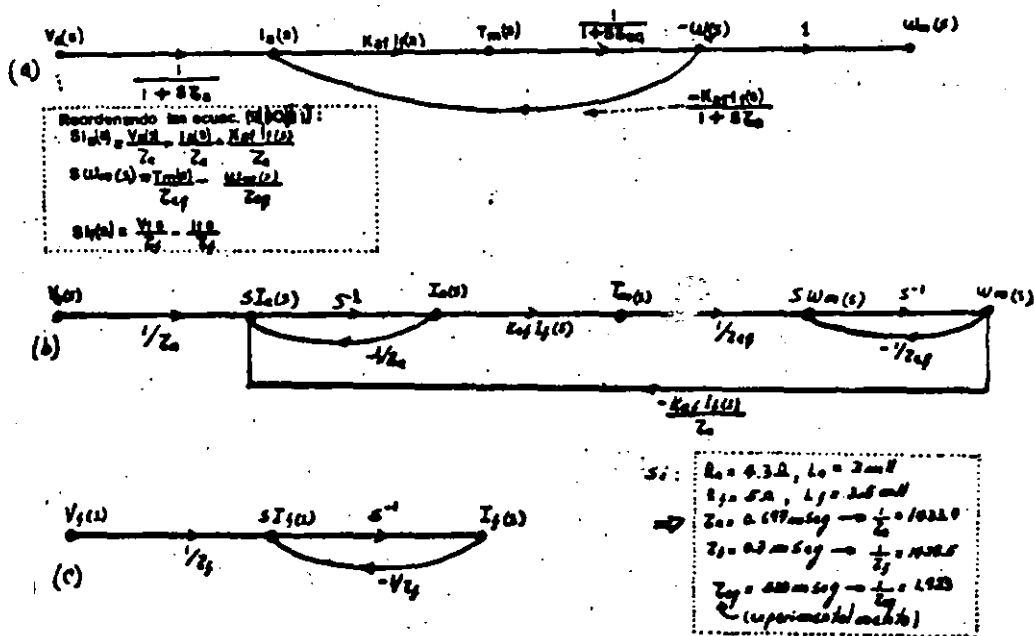
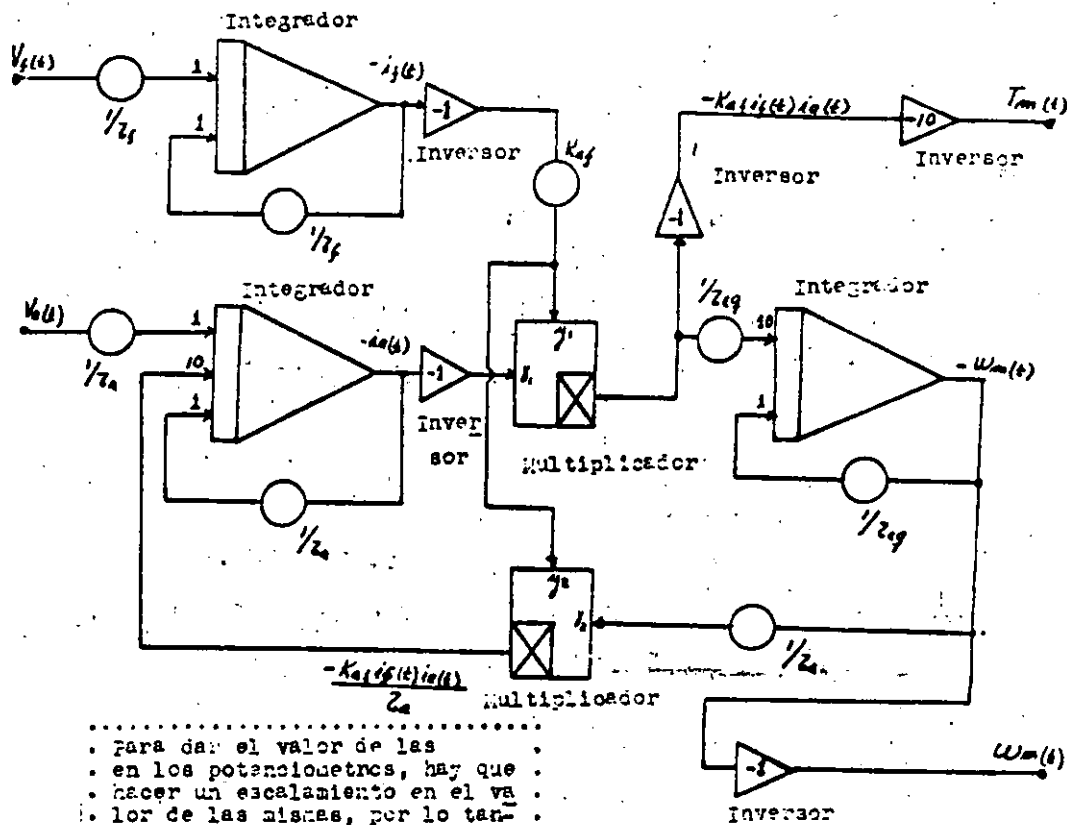


Figura 3.20.- a, b) Representan la ecuación que gobierna al motor.- c) Representa el campo.



Para dar el valor de las
 en los potenciómetros, hay que
 hacer un escalamiento en el va-
 lor de las mismas, por lo tan-
 to:
 $1/2_f = 0.142, 1/2_a = 0.143,$
 $1/2_{e9} = 0.192.$

Figura 3.21.- Representación en computador analógico de un motor de C.D., controlado por puente y armadura.

CAPITULO IV

"SISTEMA DE ADQUISICION Y TRANSFERENCIA DE DATOS".

4.1.- INTRODUCCION:

Una Computadora no siempre está equipada con sistemas que le sirvan para comprobar si un sistema analógico funciona correctamente o si es necesario hacer alguna corrección en el mismo.- Para que dicha computadora actúe sobre el sistema, es necesario usar un sistema de interfaces que nos transforman una señal analógica en una palabra digital o una palabra digital en una señal analógica y debido a ésto se diseñó un sistema de interfaces que se denominó como "Sistema de Adquisición y Transferencia de Datos".- Este sistema de interfaces fué diseñado para funcionar en combinación con el Startet Kit del microprocesador 780 (que de hecho constituye una microcomputadora) y la manera como están conectados los componentes electrónicos que integran a estos sistemas, es función del hardware que se emplee; más adelante daré una descripción formal del hardware empleado en cada uno de estos sistemas.-

El sistema de adquisición de datos, está constituido por el convertidor analógico digital y los circuitos sensores del sistema analógico, siendo su función fundamental avisar del estado actual del sistema a la microcomputadora.- El sistema de transferencia de datos lo constituyen dos convertidores digital-analógico independientes y su función es transformar las palabras digitales que les proporciona la microcomputadora en señales analógicas capaces de actuar sobre el sistema analógico provocando alguna modificación en su comportamiento.-

Para poder hacer un análisis de estos sistemas, los vemos a dividir en dos grupos: (figura 4.1)

- a) Interfases de entrada {
 - Convertidor analógico-digital
 - Circuitos Sensores.
- b) Interfases de salida.

4.2.- INTERFASES DE ENTRADA.-

4.2.1.- "EL CONVERTIDOR ANALOGICO DIGITAL".-

La función básica de un convertidor analógico-digital (A/D), es traducir el lenguaje del universo analógico, al lenguaje del universo digital.- La señal analógica se presenta a la entrada del convertidor A/D y después de un tiempo finito de conversión se dispone de la salida digital para usarse en una computadora digital.- Podemos decir que existen varios métodos de convertir las señales analógicas en digitales como son los convertidores que usan un integrador de doble pendiente, el convertidor comparador, el convertidor de aproximaciones sucesivas etc.- En el sistema de control se eligió el sistema de aproximaciones sucesivas del cual se hará una descripción de su funcionamiento más adelante.-

Para poder seleccionar un convertidor analógico-digital, se deben considerar factores como son su costo, su facilidad de manejo, velocidad de conversión, resolución y su compatibilidad con la computadora que se va a emplear.-

El convertidor analógico-digital empleado, es el ADC 809 (figura 4.2 que cuenta además con un multiplexor analógico con ocho canales de entrada, ocho bits de salida y se alambro de manera que se pudiera conec

tar directamente al bus de datos del microprocesador Z80 y se eligió el puerto 94 como puerto de selección de canal analógico y el puerto 96 como puerto de entrada mediante el hardware utilizado.-

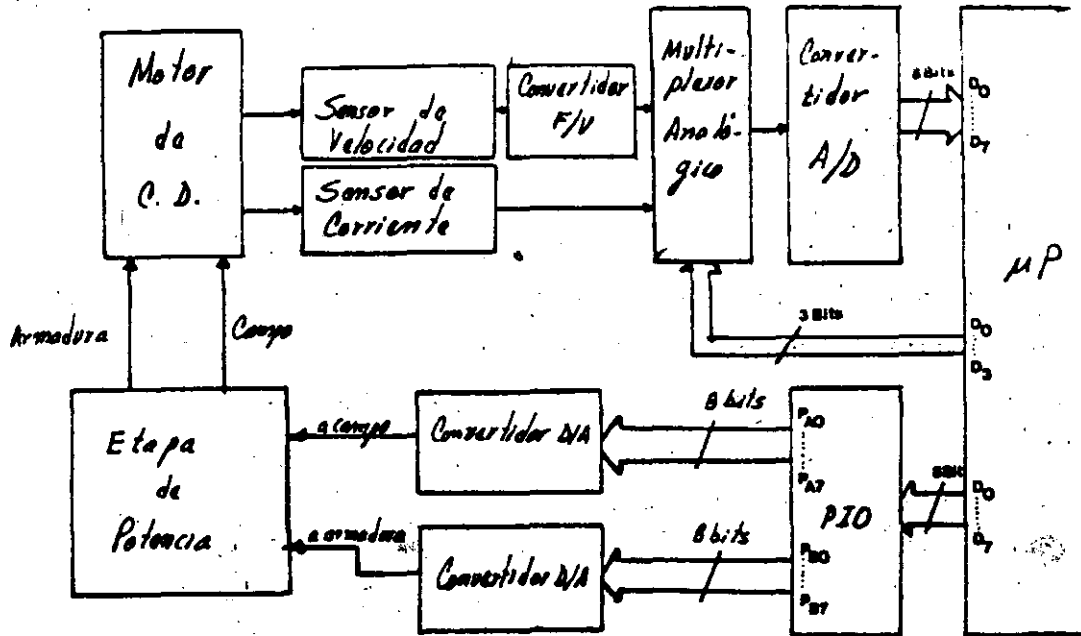


Figura 4.1.- Diagrama de bloques del sistema de control.

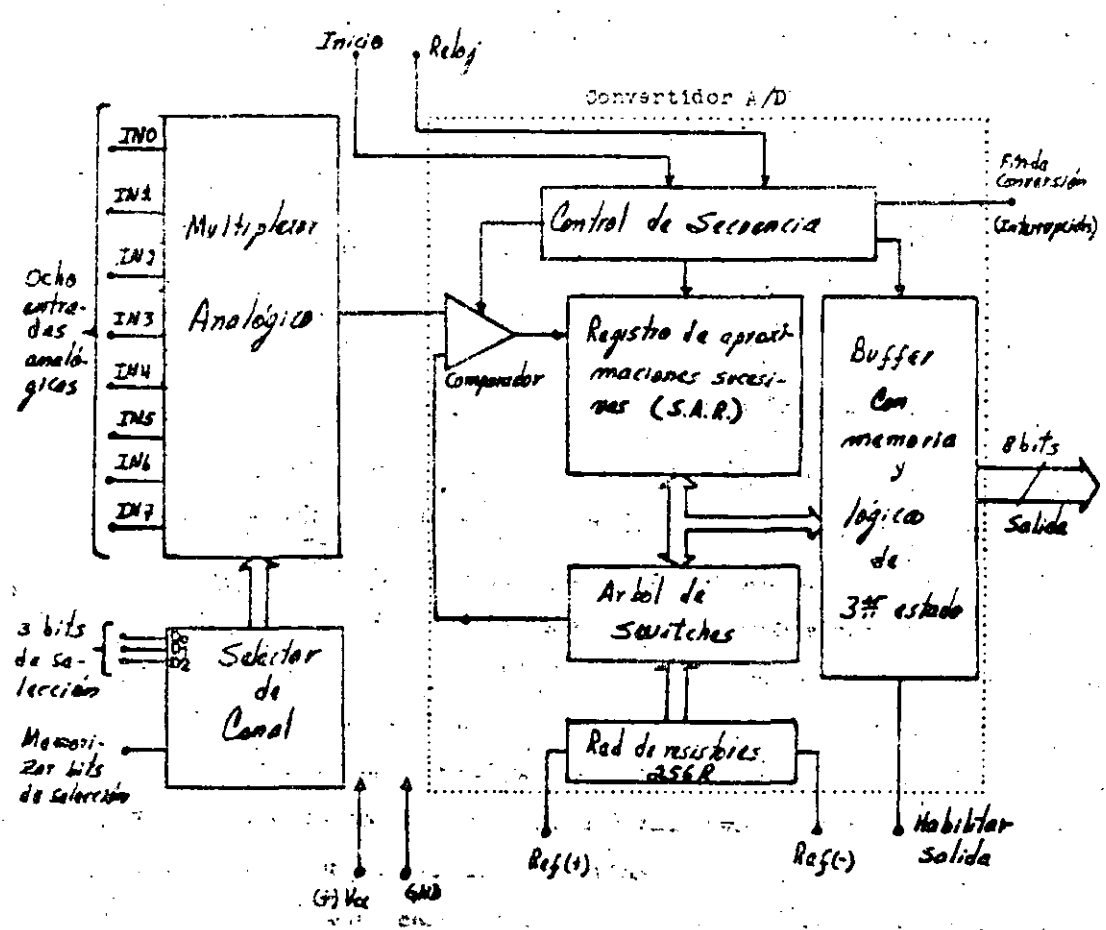


Figura 4.2.- El convertidor analógico-digital

4.2.1.1.- DESCRIPCION FUNCIONAL DEL CONVERTIDOR ANALOGICO-DIGITAL.-

El convertidor analógico digital de aproximaciones sucesivas, empleado, podemos decir que por si solo constituye un sistema de adquisición de datos, debido a la complejidad del circuito que lo integra.- Como puede verse en la figura 4.2, el convertidor en si está dividido en cuatro secciones principales, las cuales son:

- a) La red de registros.
- b) El registro de aproximaciones sucesivas.
- c) El comparador.
- d) El multiplexor analógico.-

a) La red de resistores.-

La red de resistores (figura 4.3), está constituida por un arreglo de 255 resistores en serie que se encuentran conectados a un árbol de switches analógicos que son controlados por el registro de aproximaciones sucesivas, siendo su función la de establecer una red de comparación entre el nivel de voltaje de entrada y el voltaje de referencia. Esta red de resistores en serie, fué preferida por el fabricante en vez de la red $R/2R$ a causa de su inherente monotonicidad, lo cual nos da una mayor estabilidad en el convertidor.- Esta monotonicidad es bastante importante en sistemas de control de malla cerrada, porque de lo contrario podrían causarse oscilaciones que serían desastrosas para todo el sistema.

b) El registro de aproximaciones sucesivas.-

El registro de aproximaciones sucesivas (S.A.R), ejecuta ocho operaciones para aproximar el voltaje de entrada.- Este registro a su vez, es puesto en reset por el flanco positivo del pulso de inicio de

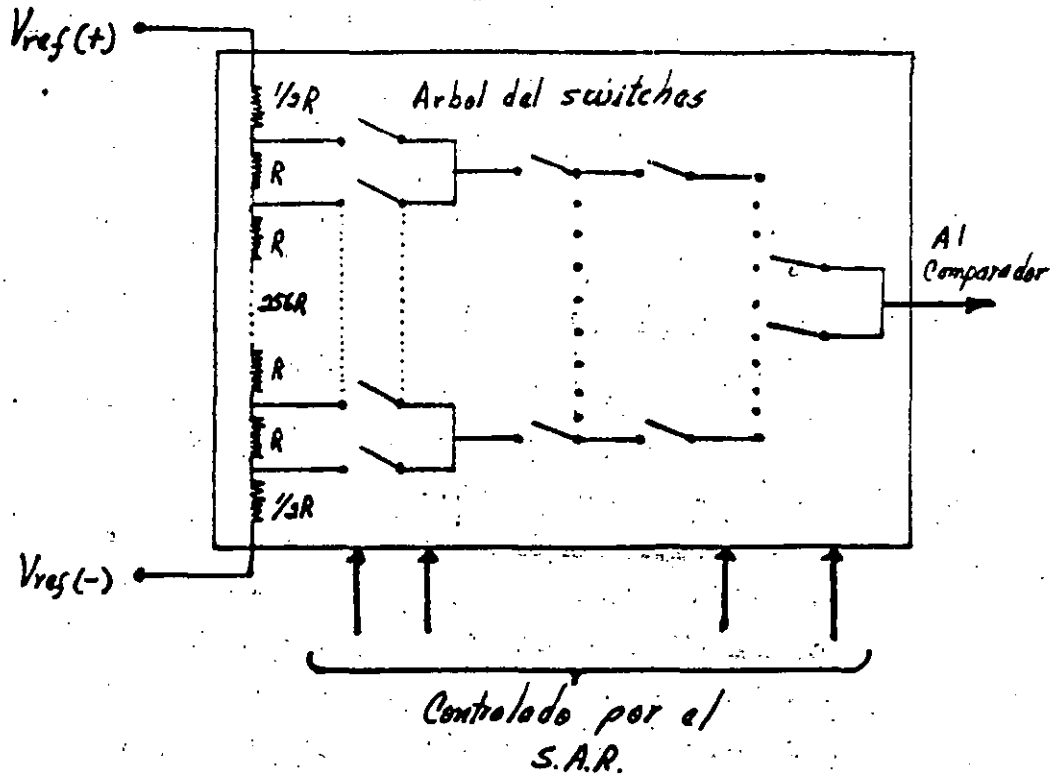


Figura 4.3.- Red de resistores y árbol de switches.

conversión (start).- La conversión se inicia con la caída del pulso de inicio (flanco negativo), la cual solo puede ser interrumpida por un nuevo pulso de inicio de conversión.- Al terminar la conversión aparecerá un pulso de fin de conversión (EDC), el cual aparece entre cero y ocho pulsos de reloj, después del pulso de inicio de conversión.- La lógica empleada en este registro, no la especifica el fabricante en el manual.-

c).- El comparador.-

Esta sección es la más importante del convertidor, ya que de esta depende mucho la precisión del dispositivo.- El método más efectivo para satisfacer los requerimientos del convertidor, es usar un comparador con chopper estabilizador que consiste en transformar una señal de CD de entrada en una señal de AC.- Esta señal posteriormente es filtrada por un amplificador de AC de muy alta ganancia y entonces el nivel de DC es recuperado.- La ventaja de esta técnica es que vuelve extremadamente insensible al circuito, de los cambios de temperatura.-

d).- El multiplexor analógico.-

El multiplexor contiene ocho canales analógicos de entrada que son seleccionados utilizando un decodificador de dirección que contiene un latch que mantiene memorizados el canal que se seleccionó, mediante un pulso positivo.- Este pulso normalmente, es el pulso de inicio de conversión.- Al dar el pulso de inicio de conversión, también se selecciona mediante software el canal que se requiere; este canal es memorizado con la transición de 0 a 1 lógico de dicho pulso.-

Este convertidor fué diseñado por el fabricante como un sistema

de adquisición de datos para sistemas de conversión radiométrica.- Podemos decir que en sistemas radiométricos la variable física que está siendo medida, es expresada como un porcentaje de la escala máxima, cosa que no es necesaria dentro de un standard absoluto. Podemos decir que el voltaje de entrada en el ADC809, está expresado por la siguiente ecuación:

$$\frac{V_{in}}{V_{fs} - V_z} = \frac{D_x}{D_{m\acute{a}x} - D_{m\acute{i}n}}$$

- donde: V_{in} = Voltaje de entrada en el convertidor.
 V_{fs} = Voltaje a escala máxima.
 V_z = Voltaje cero.
 D_x = Dato en cuestión que está siendo medido.
 $D_{m\acute{a}x}$ = Límite máximo.
 $D_{m\acute{i}n}$ = Límite mínimo.

También se puede mediante la siguiente ecuación, expresar la salida del convertidor, en función del voltaje de entrada.

$$N = \frac{V_{in} - V_{ref(-)}}{V_{ref(+)} - V_{ref(-)}} \times 256$$

- donde: V_{in} = Voltaje de entrada. = 0.5V_{ref}
 $V_{ref(+)}$ = Voltaje en la referencia positiva. = 5 voltios
 $V_{ref(-)}$ = Voltaje en la referencia negativa. = 0 voltios

En base a la ecuación anterior, y de acuerdo a los rangos seleccionados, para el convertidor, la ecuación queda de la siguiente manera:

Si hacemos
 $V_{in} = 5$ Voltios

$$N = \frac{5 - 0}{5 - 0} \times 256$$
$$N = 256$$

4.2.1.2.- "HARDWARE ADICIONAL EMPLEADO EN COMBINACION CON EL CONVERTIDOR -
A/D Y SU FUNCIONAMIENTO".-

Para poder conectar el convertidor A/D, al Started Kit del micro procesador 280, fué necesario emplear algunos circuitos adicionales, con el fin de poder dar la secuencia correcta a las señales de control.- Se utilizaron algunos de los arreglos ya implementados en el Started Kit.-

Para poder describirse el funcionamiento global del convertidor es necesario ver antes el diagrama de bloques del circuito presentado - en la figura 4.4.-

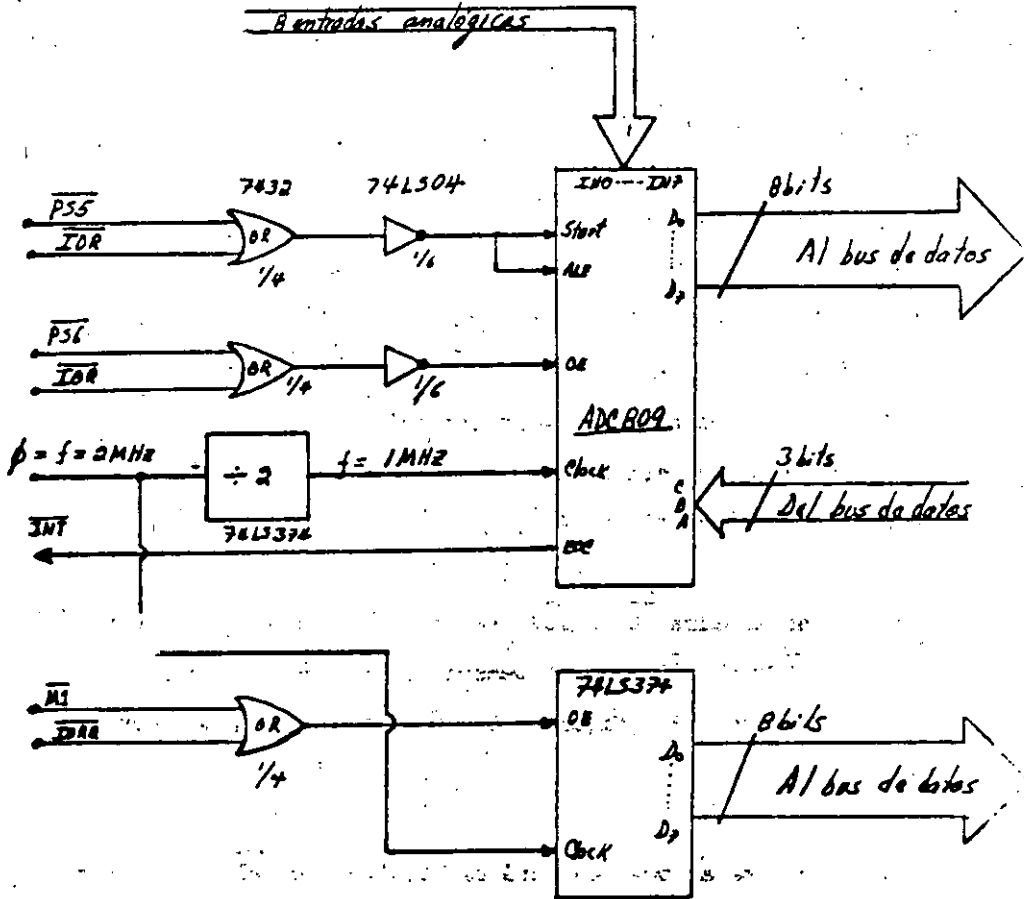


Figure 4.4.- Diagrama de conexiones del convertidor analógico-digital.

El microprocesador Z80 que es la unidad central de procesos (CPU), genera seis señales de control que le sirven para manejar los dispositivos en entrada-salida y la memoria.- De estas seis señales solo describiré las que serán útiles para el manejo del convertidor A/D.- Cabe hacer notar que todas estas señales con activo/bajo, es decir que cuando están en nivel cero lógico son activas.-

El CPU genera una señal $\overline{\text{IORQ}}$, con la cual se requiere la transferencia de información del dispositivo en cuestión y para poder diferenciar una señal de lectura de una señal de escritura, el CPU envía dos señales, las cuales son $\overline{\text{RD}}$ y $\overline{\text{WR}}$, para lectura y escritura respectivamente. Esta transferencia de información entre el CPU y los dispositivos periféricos de entrada-salida, se realiza con la ejecución de los ciclos de entrada-salida (figura 4.5).-

Las señales $\overline{\text{IOR}}$ e $\overline{\text{IOW}}$, son obtenidas por la combinación de $\overline{\text{IORQ}}$ con $\overline{\text{RD}}$ e $\overline{\text{IORQ}}$ con $\overline{\text{WR}}$ respectivamente.- Esto es realizado por medio de unas compuertas "OR" (figura 4.6), que ya vienen integradas en el Start Kit.

Otra señal que nos será de utilidad, es $\overline{\text{MI}}$ en combinación con $\overline{\text{IORQ}}$ (figura 4.6), con lo que se obtiene la señal $\overline{\text{INTA}}$ y es generada cuando hay una solicitud de interrupción del convertidor A/D.- Con esta solicitud de interrupción, el convertidor avisa al microprocesador que tiene un dato para ser leído, mediante una señal de fin de conversión (EOC), que también es activo-bajo y está conectada a la terminal $\overline{\text{INT}}$ de interrupción mascarable del CPU.- El modo de interrupción empleado para poder manejar el convertidor, es el modo 0, el cual consiste en que cuan

do hay una solicitud del dispositivo, sólo será atendida cuando el CPU termine de ejecutar la instrucción que realizaba enviando las señales \overline{MI} y \overline{IORQ} . Luego es el dispositivo el que se encarga de mandar la siguiente instrucción a realizar por el CPU.- La instrucción a realizar fué implementada mediante los circuitos adicionales empleados en el convertidor A/D.- Siendo esta instrucción el número hexadecimal "FE" con el cual se le indica al CPU que salte a la dirección indicada por el registro par \overline{HL} , preparando así los pasos necesarios para poder leer el dato en cuestión proporcionado por el convertidor.- Para poder configurar esta instrucción, se emplearon ocho flip-flops tipo D contenidos en el circuito 74LS374 de la familia TTL.- Debe hacerse la aclaración que el modo de interrupción antes mencionado, no fué necesario utilizarlo en el programa usado para el control del motor, debido a que no es un proceso rápido.

Para poder diferenciar de qué dispositivo se trata, necesitamos emplear un decodificador de las líneas A_0 a A_7 , provenientes del bus de direcciones del microprocesador Z80, obteniéndose así las líneas \overline{PSX} de selección de puerto.- El decodificador empleado, es el 74LS138 que viene ya integrado en el sistema.-

La figura 4.7 muestra el diagrama de conexiones y la tabla de verdad de este decodificador.-

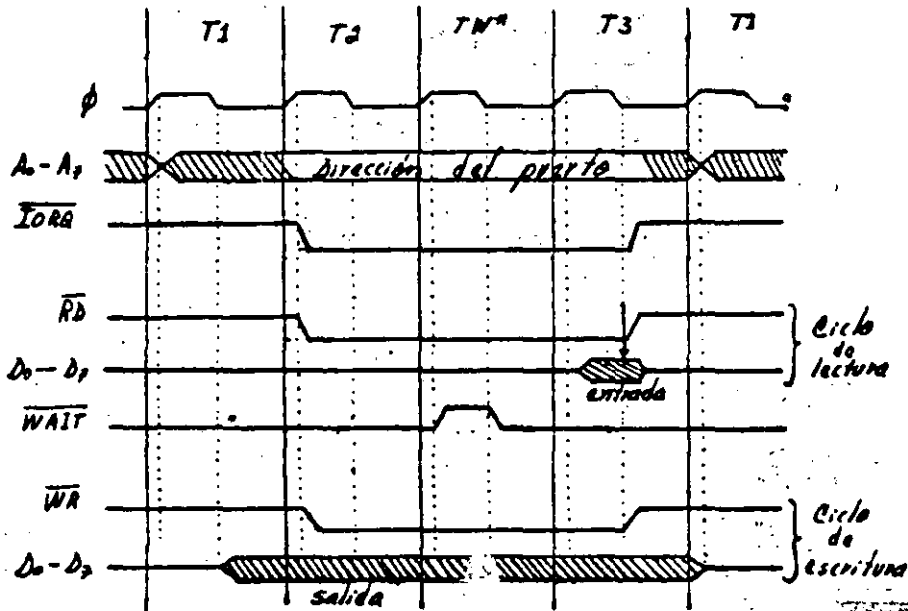
La señal generada en \overline{PSX} para selección de dispositivo, fué mezclada de la siguiente manera: La combinación de $\overline{PS5}$ con \overline{IOW} (figura 4.6), posteriormente invertida por el inversor, 7404, nos da el pulso de inicio de conversión y además el pulso necesario para memorizar mediante el Latch integrado en el circuito del convertidor el canal analógico seleccionado mediante Software.- La combinación de $\overline{PS6}$ con \overline{IOR} también in-

vertida, nos habilita al convertidor A/D para poder ser leído por el microprocesador.-

El reloj del sistema del Z80 funciona a 2MHz y fué necesario dividir esta frecuencia mediante un contador binario (74LS93), ya que la frecuencia máxima de operación del convertidor es de 1280 KHz.- A pesar de ésto se vió experimentalmente que el convertidor podía operar perfectamente a 2MHz, pero por razones de seguridad se dejó operando a 1MHz.-

Los niveles de voltaje del circuito correspondiente al convertidor A/D, operan a + 5 voltios y los rangos de voltaje en las entradas analógicas se seleccionaron de 0 a 5 voltios.- Traducido este lenguaje digital tenemos 256 estados lógicos posibles dependientes del voltaje de entrada en el convertidor.- Los ocho canales de entrada del convertidor, están protegidos con diodos Zener de 5.1 voltios a 1/2 watt entre la terminal de entrada y tierra.- Para eliminar el posible ruido de alta frecuencia que se pudiera introducir al circuito (incluyendo el ruido de 60 HZ de la línea de alimentación), se conectaron en paralelo con los diodos condensadores de 0.1 μ f.-

Todos los circuitos adicionales empleados, con el convertidor, pertenecen a la familia TTL y para la construcción del circuito impreso, fué necesario emplear una placa con circuito impreso en ambas caras, debido a la complejidad del circuito.-



- A_0-A_7 = Los 8 primeros bits del bus de direcciones.-
- \overline{IOR} = Solicitud de transferencia de información. (activo-bajo)
- \overline{RD} = Señal de lectura (activo-bajo)
- \overline{WR} = Señal de escritura (activo-bajo)
- \overline{WAIT} = Señal de espera (activo-bajo)
- D_0-D_7 = Los 8 bits del bus de datos.
- ϕ = Pulsos de reloj.

Figura 4.5.- Diagrama de tiempos para los ciclos de lectura y escritura.

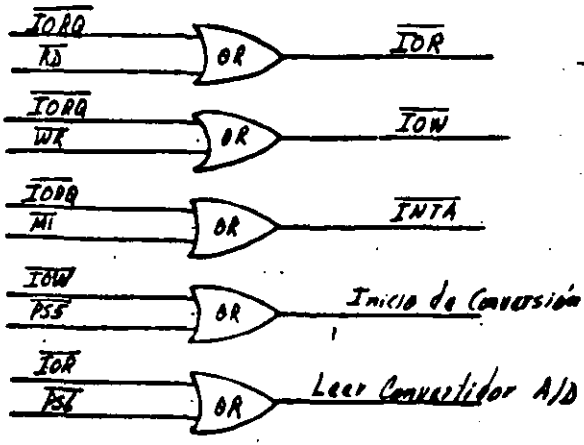
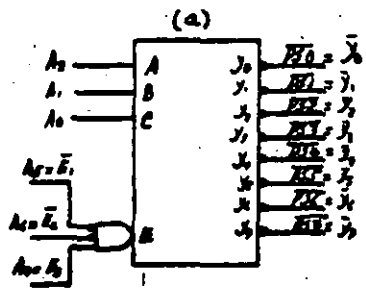


Fig. 4.6.- Obtención de las señales de control necesarias para el funcionamiento del convertidor A/D.



Entradas			Salidas													
H	X	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	L	H	H

(b)
 H = Alto
 L = Bajo
 X = cualquier

Fig. 4.7.- Codificador de puertos, a) diagrama de conexiones b) tabla de verdad.

4.2.2.- "LOS CIRCUITOS SENSORES".-

Los circuitos sensores empleados en el sistema de control, los podemos considerar como parte de la interfaz de entrada, debido a que estos son los que sientan y acondicionan la información del estado actual del motor.- Esta información es transformada a digital por el convertidor A/D para luego ser procesada por el microprocesador y poder mandar así la orden de control apropiada.-

Los circuitos sensores del motor están constituidos por el sensor de velocidad y el sensor de corrientes.

4.2.2.1.- "EL SENSOR DE VELOCIDAD".-

La función de este sensor es sensar la velocidad del motor y transformarla a un nivel proporcional de voltaje, para poder ser manejada por el convertidor A/D.- Este sensor está constituido básicamente por los siguientes elementos: el emisor y sensor de reflejo, el amplificador el convertidor frecuencia-voltaje y el disco giratorio.-

El emisor y sensor de reflejo, es un dispositivo constituido por un diodo emisor infrarrojo y un fototransistor que está conectado a un amplificador, el cual está trabajando en la región de corte o saturación dependiendo de la señal de entrada.- Este amplificador (figura 4.8), se diseñó partiendo de una base experimental y se obtuvieron las siguientes lecturas a la salida del circuito:

<u>En Corte (1 lógico)</u>	<u>En saturación (0 lógico)</u>
$V_o = 4.2$ voltios	$V_o = 0.25$ Voltios
$I_{C3} = 100$ mA	$I_{C3} = 2$ mA
$I_D = 16.6$ mA	$I_D = 16.6$ mA

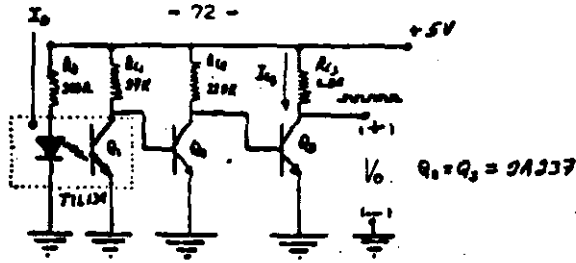


Fig. 4.8.- El sensor de velocidad.

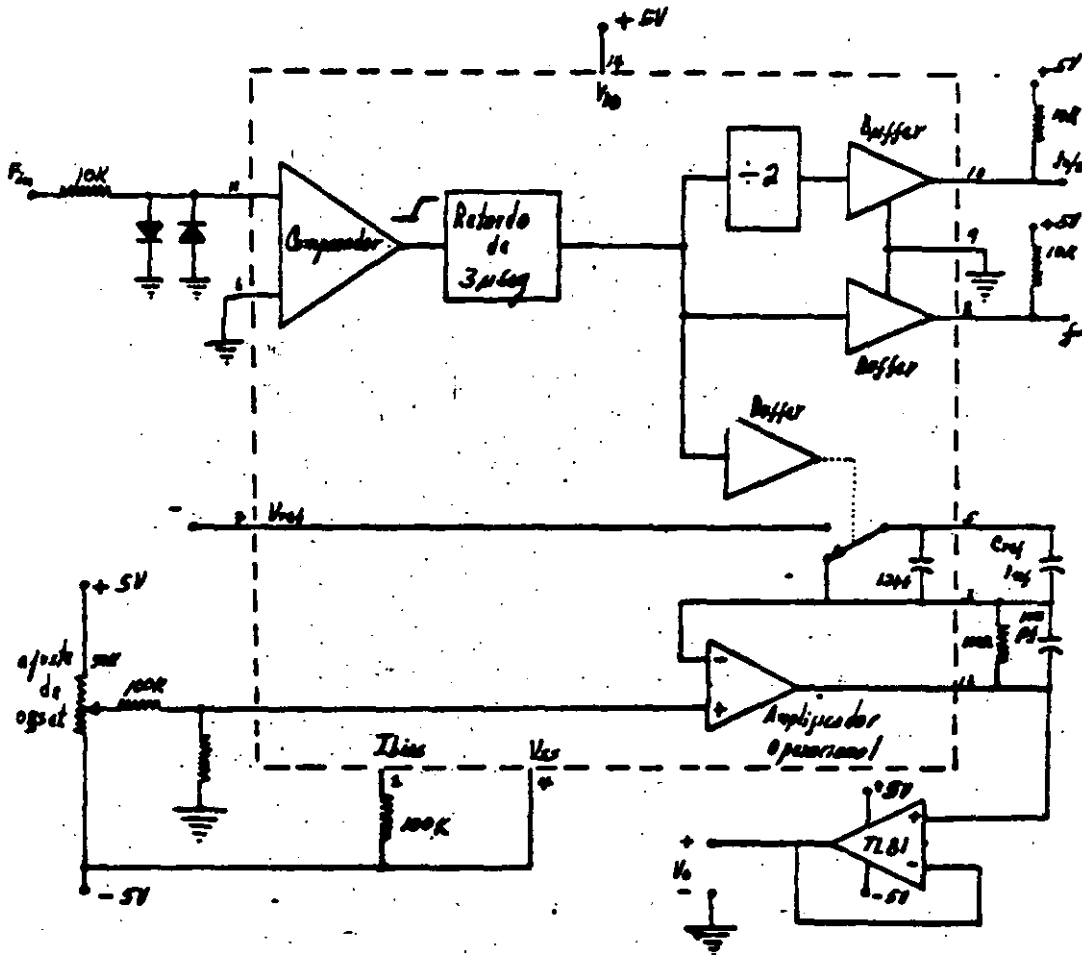


Fig. 4.9.- El convertidor frecuencia-voltaje.

El disco giratorio está acoplado al eje del motor y contiene seis marcas metálicas que son sensadas por el emisor y sensor de reflejos, correspondiendo al "0" lógico, el momento en que son sensadas las marcas metálicas y el "1" lógico al momento en que no hay ninguna marca. La razón de que el disco tenga seis marcas, es aumentar la precisión del circuito sensor de velocidad y el rango máximo de velocidad del motor es de 10,000 rpm.- Debido a que el disco giratorio está ranurado, la frecuencia máxima de salida en el amplificador, es de 1 KHZ o sea 60,000 pulsos por minuto.- Esta frecuencia es transformada a un nivel de voltaje por el convertidor frecuencia-voltaje, cuya frecuencia puede ser de 0 a 5 voltios, dependiendo de la velocidad del motor.-

El convertidor frecuencia-voltaje (figura 4.9), utilizado, es el 9400 que está fabricado con las técnicas MOS y bipolares.- Al alambrar el circuito integrado se protegió la entrada de este con diodos y a la salida se le conectó un amplificador operacional con ganancia unitaria para aislarlo.- La función de transferencia correspondiente al circuito de la figura 4.9, es la siguiente:

$$V_{out} = (-V_{ref})(C_{ref})(R_{int})(F_{in})$$

Siendo F_{in} la frecuencia de entrada, V_{ref} el voltaje de referencia, V_{out} el voltaje de salida. C_{ref} es la capacitancia de referencia y R_{int} que en combinación con C_{int} (que no aparece), y el amplificador operacional constituyen un integrador.- Cada cruce por cero en el comparador de entrada, causa que el condensador C_{ref} se cargue con una constante de carga $q = C_{ref} \times V_{ref}$.- Esta carga es sumada con el voltaje de offset en el integrador, obteniéndose así a la salida un voltaje de CD proporcional a la frecuencia de entrada.-

Para poder utilizar este convertidor F/V de acuerdo a nuestros fines, hubo que calcular algunos de los parámetros presentes en la función de transferencia anterior, lo cual se hizo de la siguiente manera: se fijó como frecuencia máxima de entrada 1KHZ, el voltaje máximo de salida en 5 voltios y para facilitar más los cálculos se fijaron también $V_{ref} = -5$ voltios $R_{int} = 1M$, $C_{int} = 1000$ pf, quedándonos entonces por calcular C_{ref} cuyo valor es:

$$C_{ref} = \frac{V_{out}}{(-V_{ref})(R_{int})(F_{in})} = \frac{5}{(5)(1 \times 10^6)(1 \times 10^3)} = 1 \text{ pf}$$

4.2.2.2.- "EL SENSOR DE CORRIENTE".-

El sensor de corriente transforma la señal de corriente proveniente de la armadura del motor a un nivel proporcional de voltaje que sea adecuado para ser usado por el convertidor A/D y está constituido esencialmente por dos resistencias de 1.8 Ohms en paralelo con una capacidad de disipación de potencia igual a 10 watts cada una, lo que nos da una resistencia equivalente de 0.9 Ohms a 20 watts.- La señal proveniente de este sensor, no es un nivel continuo de DC y es necesario transformarla a un nivel continuo de voltaje positivo y esto se logra mediante un integrador.- Este integrador está constituido por un amplificador operacional en combinación con algunos elementos pasivos (condensadores y resistencias) como se indica en la figura 4.10 y su función de transferencia es la siguiente:

$$\frac{V_{oi}}{V_i} = \left(\frac{1}{1 + sC_1 R_1} \right) \left(- \frac{R_2}{R_1} \right)$$

Donde: V_{oi} es el voltaje a la salida del amplificador operacional siendo su voltaje máximo de salida, igual a 5 voltios y V_i que es el voltaje proveniente de la resistencia sensora de corriente.-

La corriente máxima que se puede sensor, es de 3 amperes a los cuales corresponde el voltaje máximo de 5 voltios en la salida del integrador y cabe aclarar que el voltaje de entrada proveniente del sensor, es invertida por el amplificador operacional.- Esto se hizo para que fuera más fácil de manejar la señal de corriente.-

La fuente de voltaje que alimenta al circuito correspondiente al amplificador operacional, nos proporciona un voltaje de ± 8.9 voltios.- El voltaje a la salida de Q_1 y Q_2 está fijado por los diodos Zener más el voltaje base emisor de los transistores.-

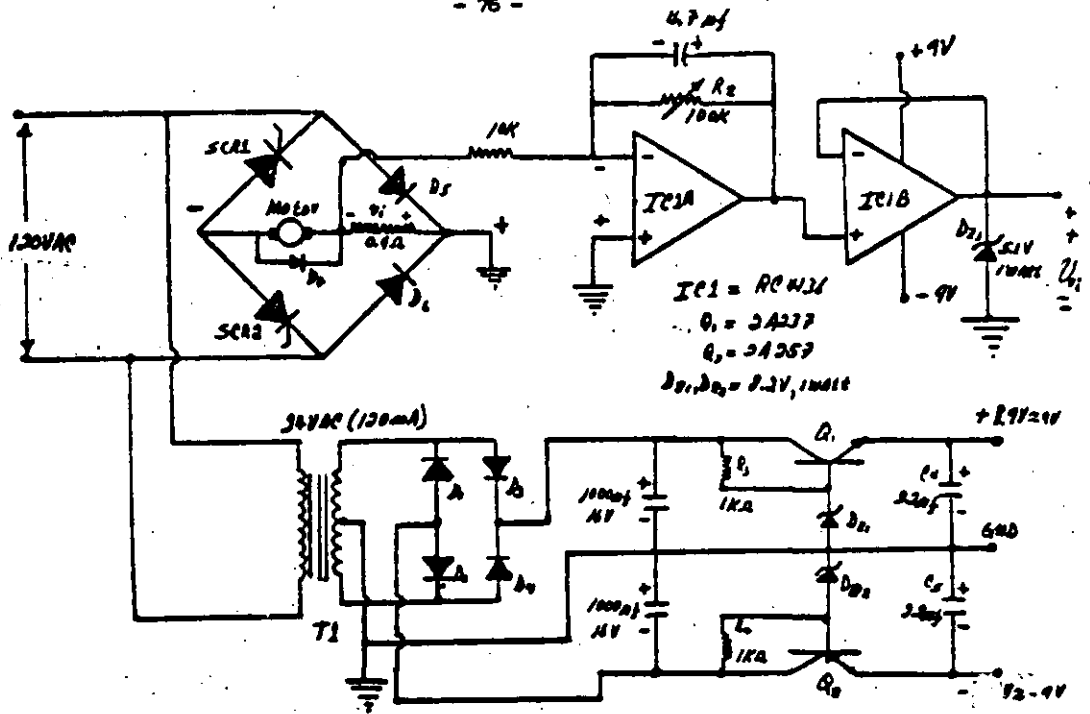


Fig. 4.10.- El sensor de corriente.

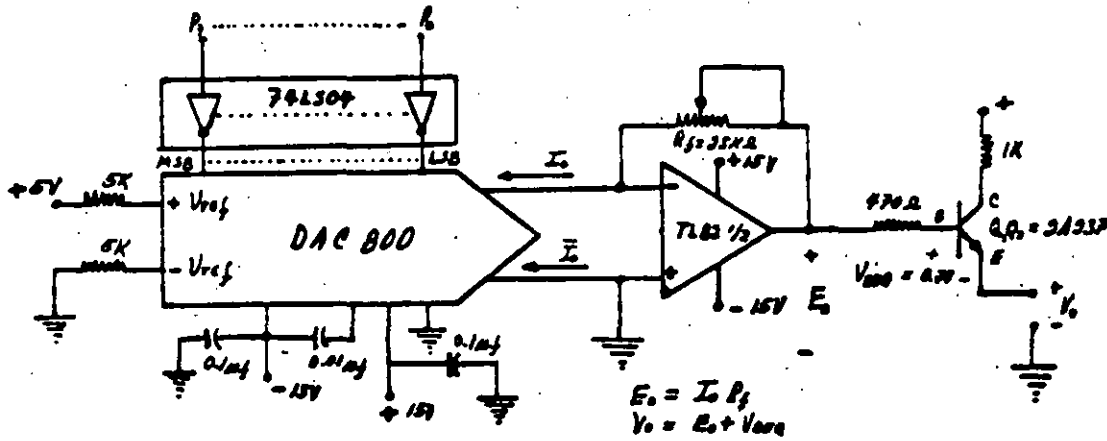


Fig. 4.11.- Diagrama del convertidor Digital-Analógico.

4.3.- "LA INTERFASE DE SALIDA".-

El Started kit del Z80, contiene una interface programable que - aunque al hablar de la interface de salida no nos estamos refiriendo precisamente a ella, podemos decir que puede ser usada para la adquisición y transferencia de datos en paralelo.- Dicha interface programable (PIO) contiene dos puertos de entrada-salida de datos.- El CPU puede configurar a los puertos de entrada-salida para ser usados con una gran variedad de dispositivos periféricos sin necesidad de emplear alguna lógica externa al circuito.- Para los fines de control del sistema, se configuraron como puertos de salida de datos mediante el software para llevar - las señales digitales de control de par y velocidad a los convertidores digital-analógico transformándose así estas señales en señales analógicas capaces de actuar sobre el control de excitación del motor.-

4.3.1.- "LOS CONVERTIDORES DIGITAL-ANALOGICO".-

En el sistema de control de par y velocidad se usaron dos convertidores digital-analógico, los cuales están conectados con otros circuitos adicionales para acondicionar las señales digitales de entrada y las señales analógicas de salida; ambas configuraciones son exactamente iguales.-

Un problema que se presentó con la interface programable del - started kit del Z80, es que al momento de encenderse el sistema microcomputador en los puertos A y B de esta interface, aparecen "1" lógicos, lo cual haría que tuviéramos máximo voltaje en la salida del circuito de - los convertidores y por consiguiente, máximo voltaje en la armadura y en el campo del motor, lo cual sería bastante peligroso.- Este problema se solucionó poniendo compuertas inversoras TTL en las entradas de los convertidores.-

El convertidor D/A empleado es el DAC800 con 8 bits en paralelo de entrada el cual nos entrega niveles de corriente proporcionales a la palabra digital proporcionada por el CPU a través del PIO. Este nivel de corriente es transformado a un nivel de voltaje positivo por un convertidor corriente-voltaje que está constituido por un amplificador operacional tipo de Bifet.- El voltaje máximo de salida es posible ajustarlo variando la ganancia del amplificador operacional, pudiendo elegir un voltaje máximo entre 0 y + 15 voltios. Para poder manejar un nivel más elevado de potencia a la salida del amplificador operacional se conectó un transistor tipo NPN.- El circuito mostrado en la figura 4.11 nos indica el circuito empleado con el convertidor D/A.-

El voltaje "Eo" de salida, es proporcional a la corriente de salida "Io" del convertidor multiplicada por la resistencia Rf y el voltaje de salida "Vo" por lo tanto será el voltaje Eo más el voltaje base-emisor del transistor.-

CAPITULO

"SOFTWARE".

5.1.- INTRODUCCION.-

En este capítulo se hará una descripción del software empleado en el sistema de control, su estructura y cuáles son las funciones que realiza.-

El Software empleado con el microprocesador Z80, lo constituyen todos los programas escritos en lenguaje máquina con una secuencia predestinada por el programador para que realice una función determinada y por lo tanto se puede decir, que el microprocesador en combinación con los programas empleados constituyen la inteligencia del sistema.-

Los programas le dan al microprocesador la capacidad de ser independiente y de tomar decisiones basadas en la información recibida por medio de sus sensores.-

En términos generales el software está compuesto de la siguiente forma:

- 1.- Programa principal.
- 2.- Subrutinas de incremento y decremento.
- 3.- Subrutina Delay.-

La forma como se interrelacionan estos programas del sistema, puede verse en el diagrama de flujo presentado en la figura 5.1, siendo su función principal la siguiente: a).- El programa principal pone las condiciones iniciales en el campo y la armadura del motor y además pone en marcha el sistema monitoreando continuamente la velocidad y el par; -

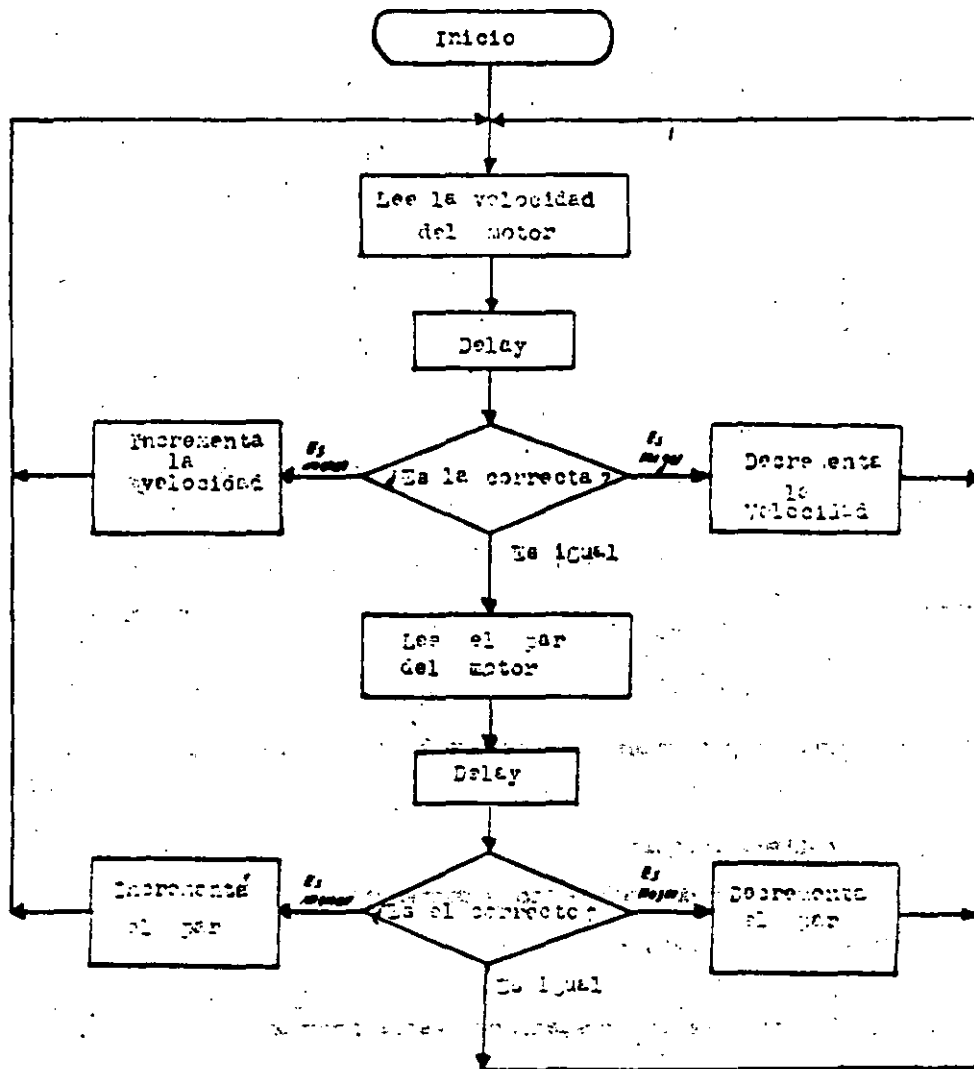


FIG. 8.1 Diagrama de flujo del motor.

En el caso de que no sean las deseables, llama a las subrutinas de incremento y decremento y además también llama a una subrutina de retardo — (Delay), que permite al motor estabilizarse con los incrementos y decrementos realizados.- b).- Las subrutinas de incremento y decremento, su función principal es la de mandar la orden de control al campo y la armadura del motor para poder establecer la velocidad y el par asignados.- - c).- La subrutina delay tiene una doble función muy importante que es la de dar tiempo a que el convertidor analógico-digital realice la conversión a digital de un dato proporcionado por los sensores y la de dar un tiempo de retardo suficiente para que el motor se estabilice.- Si este tiempo de retardo fuere muy pequeño, la velocidad y par del motor tenderían a oscilar peligrosamente.-

Podemos observar que existe un sistema de malla cerrada formado por el microprocesador, el motor y los sensores cuyo diagrama de bloques está referido en la figura 5.2.-

El sistema de control es capaz de sensar un error el cual es — igual a la diferencia entre la velocidad deseada y la velocidad real y el par deseado con el par real.- Este error es utilizado por el algoritmo de control para generar proporcionalmente al error la señal de corrección con la cual se variará el ángulo de conducción de los tiristores y como resultado de esto, la variación del par y la velocidad.-

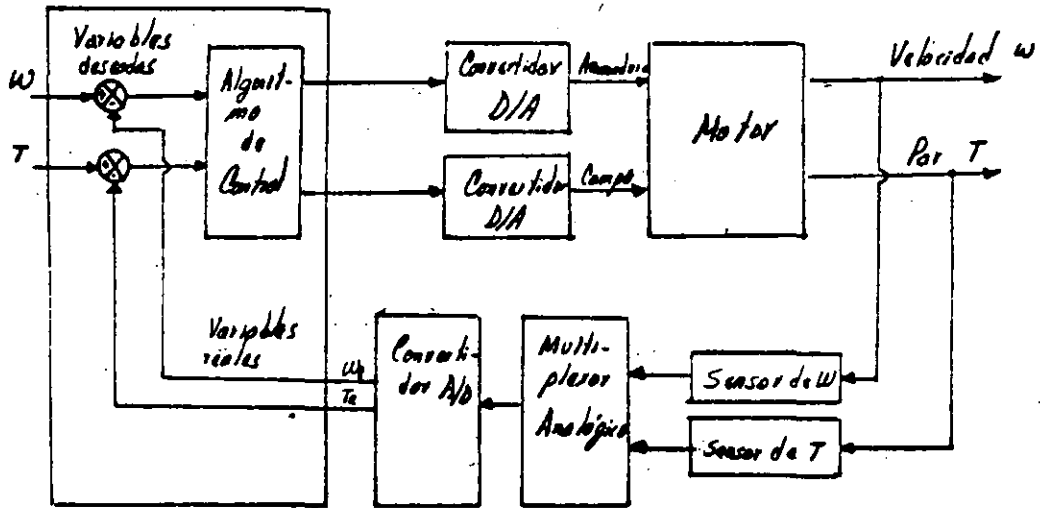


FIG. 5.2.- Diagrama de bloques del sistema.

5.2.- "PROGRAMAS DEL SISTEMA".-

Se puede decir que hasta la fecha no existe un algoritmo de control que resuelva cualquier problema de control en forma exacta, pero — sin embargo existen una gran variedad de métodos que se basan en aproximaciones.-

Existen dos formas posibles de darle solución al problema: Una — de ellas es plantear el problema como uno de programación lineal, lo — cual complica mucho el algoritmo de control, la otra es la de utilizar — medios Heurísticos que es la más usada por los diseñadores de sistemas — de control y fué la que usé en este sistema.-

El algoritmo empleado lo desarrollé utilizando como base las res puestas que presentaba el motor en malla abierta bajo diferentes niveles de excitación con lo cual puedo decir ~~que lo realicé~~ en base a métodos — de experimentación.-

A continuación presento con más detalle cada uno de los progra- mas que forman el algoritmo de control junto con sus diagramas de flujo y los objetivos principales.- Después presentaré el listado de cada uno de ellos.

5.2.1.- "PROGRAMA PRINCIPAL".-

Sus objetivos principales son:

- 1.- Configurar los puertos del PID como puertos de salida de datos.
- 2.- Poner el campo al máximo y la armadura a cero.
- 3.- Comenzar a incrementar el voltaje aplicado a la armadura del motor, — para que se incremente la velocidad hasta el valor deseado.-

- 4.- Observa por medio del convertidor A/D el estado actuales de la velocidad y llama a las subrutinas de incremento y decremento de velocidad y la subrutina Delay para estabilizar el motor.-
- 5.- Guarda el estado leído por el convertidor en la localidad destinada a condiciones iniciales, con lo cual es posible comprobar si el motor dió el valor fijado.-
- 6.- Una vez establecida la velocidad, comienza a monitorear el par del motor y a comparar si el par es el correcto por medio del convertidor A/D.-
- 7.- Llama las subrutinas de incremento y decremento de par y a la subrutina Delay para estabilizar el motor.-
- 8.- Modifica las localidades destinadas a condiciones iniciales de par con la última orden de control dada en las subrutinas.-
- 9.- Regresa al punto 4.-

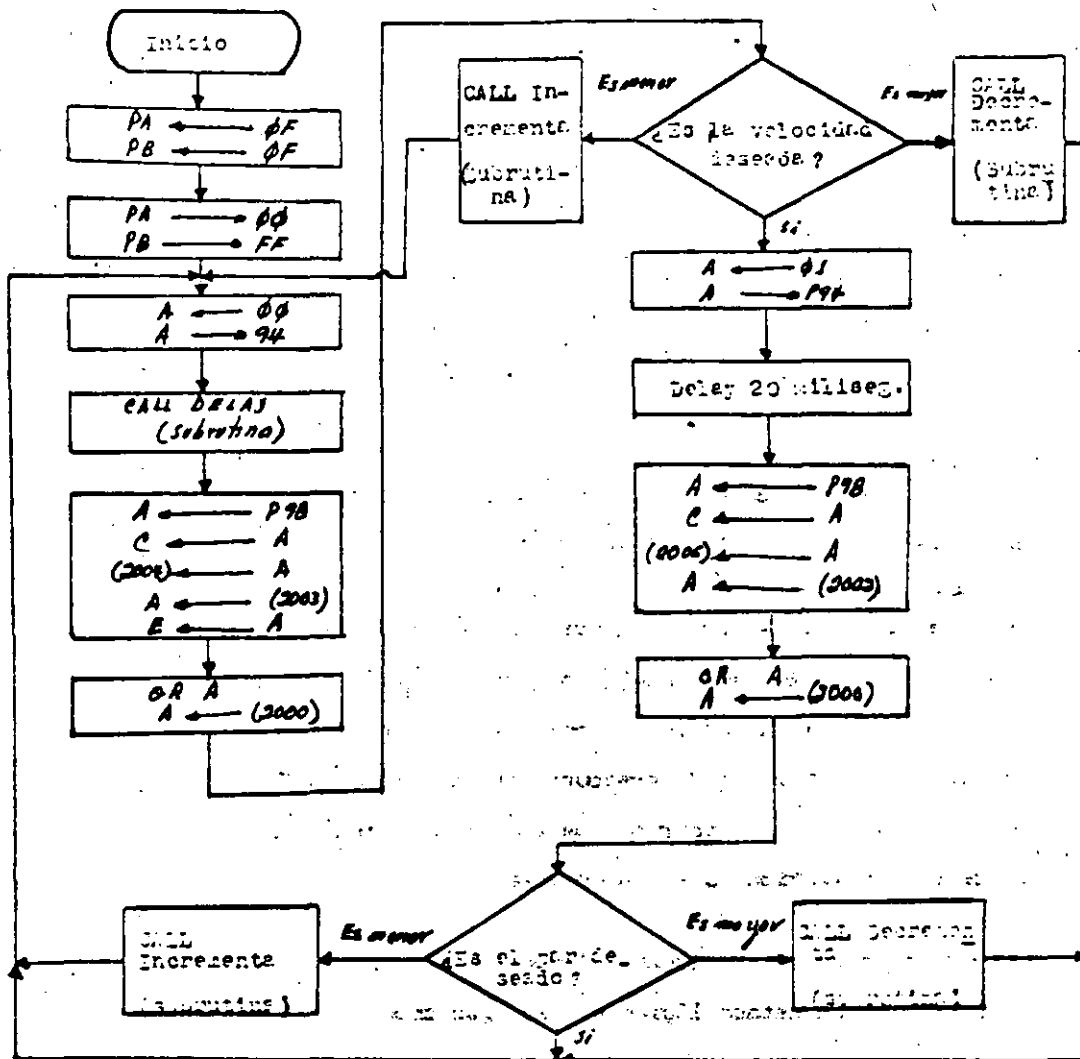


FIG 5.3.- Diagrama de flujo del programa principal.

5.2.2.- SUBROUTINA "INCREMENTO DE VELOCIDAD".-

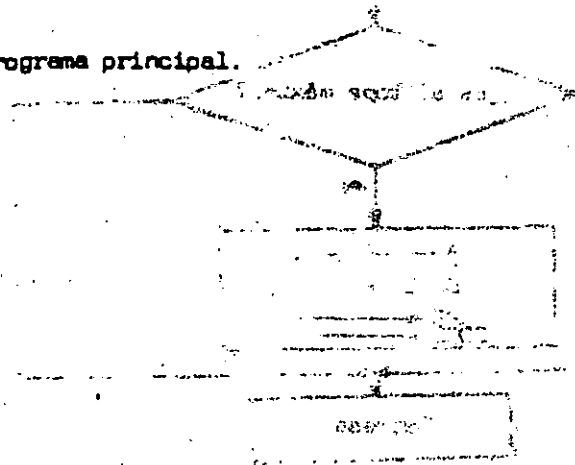
Sus objetivos principales son:

- 1.- Establecer un rango inferior de selección de velocidad, es decir, - que si se encuentra la velocidad dentro de ese rango, no haga ningún incremento.- El rango de selección de velocidad es necesario debido a que el convertidor A/D no puede tener la suficiente resolución debido al gran rango de velocidad y a la zona muerta presente en los - fotoacopladores (del orden de 1.5 voltios).- Si no existiera este - rango el motor siempre estaría oscilando alrededor del valor deseado.-
- 2.- Traer de la localidad correspondiente a condiciones iniciales la última orden de control dada a la armadura.-
- 3.- Comprobar si no se encuentra dentro de la escala máxima posible, de lo contrario, un decremento más nos haría caer la salida del convertidor D/A a la escala mínima y como resultado de ello, dejaría subitamente sin corriente a la armadura. (A la escala máxima de salida - en los puertos del PIO corresponderá la mínima salida posible a la - salida del convertidor D/A y viceversa.)-.
- 4.- Decrementar a un estado lógico el puerto de salida con lo cual se incrementará en un estado lógico el dato recibido por el convertidor - D/A.-
- 5.- Guardar esta orden de control dada en la localidad correspondiente a condiciones iniciales.-
- 6.- Regresar al programa principal.-

5.2.3.- SUBROUTINA "DECREMENTO DE VELOCIDAD".-

Sus objetivos principales son:

- 1.- Establecer un rango superior de selección de velocidad y comprobar si la velocidad se encuentra dentro de ese rango.-
- 2.- Traer de la localidad de condiciones iniciales la última orden de control dada.-
- 3.- Comprobar si no se encuentra dentro de la escala mínima porque de lo contrario un incremento más haría que la salida del convertidor D/A, tomara la máxima salida de voltaje haciendo que la armadura adquiriera subitamente el máximo valor de corriente.-
- 4.- Incrementar en un estado lógico el puerto de salida, decrementándose así la velocidad del motor.-
- 5.- Guardar esa orden de control en la localidad de condiciones iniciales.-
- 6.- Regresar al programa principal.



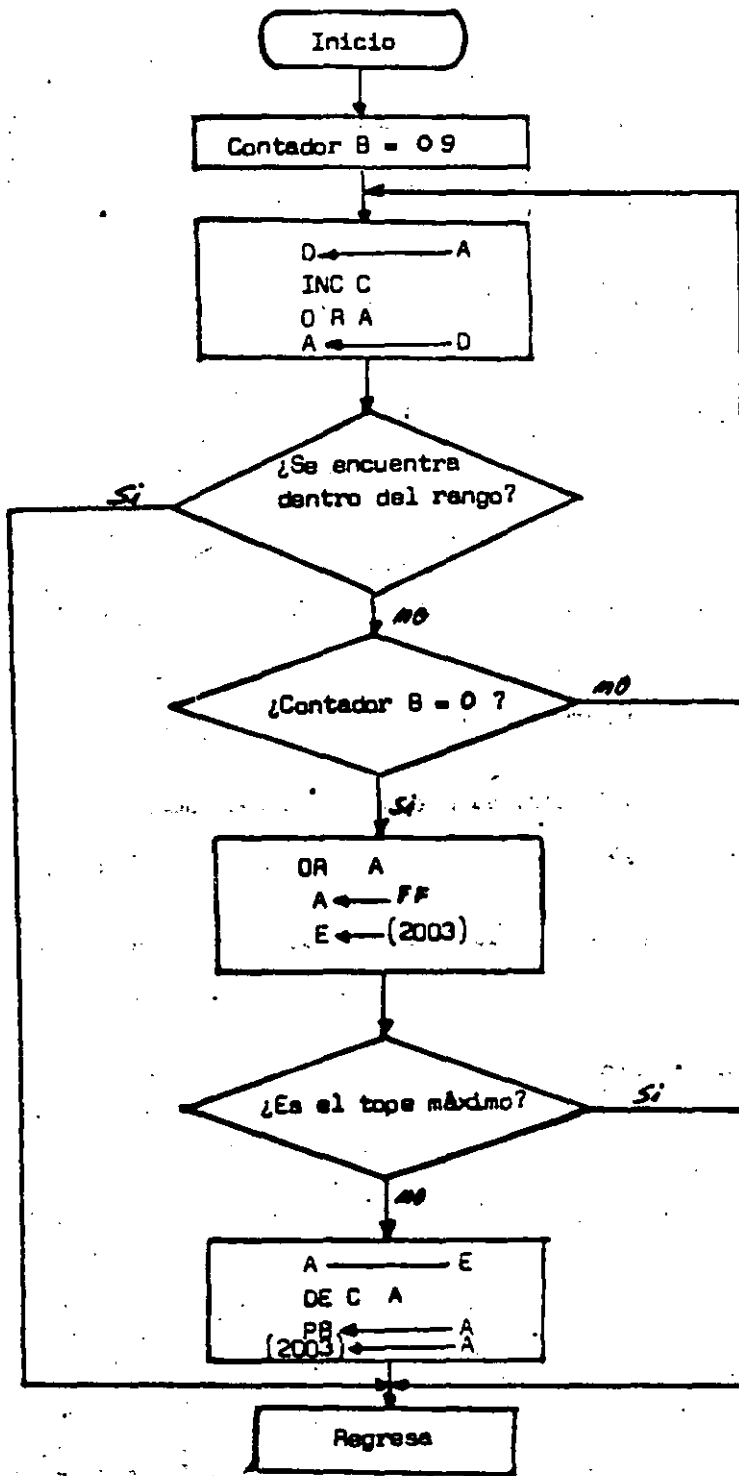


Fig. 5.4 - Diagrama de flujo de la subrutina incremento de velocidad.

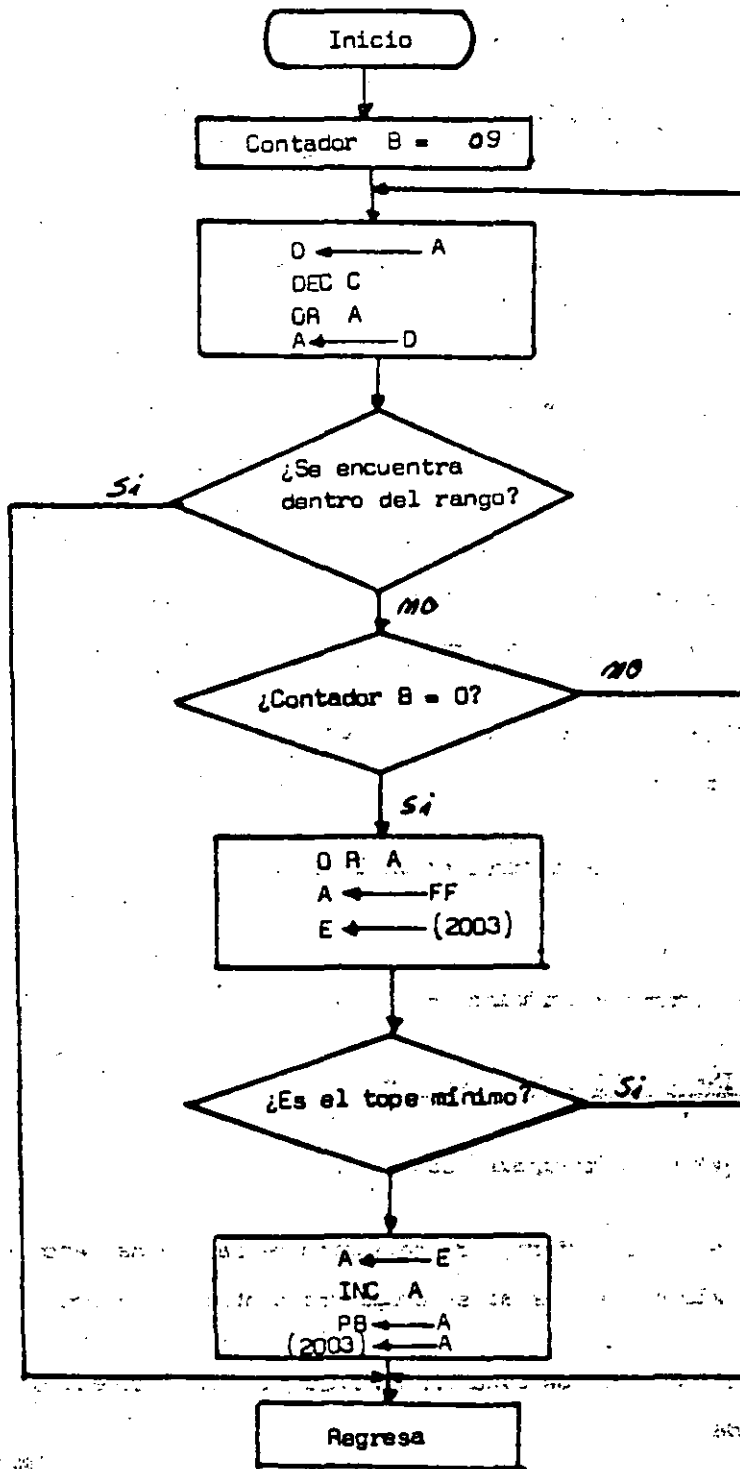


Fig. 5.5.- Diagrama de flujo de la subrutina Decremento de Velocidad.

5.2.4.- SUBROUTINA "DECREMENTO DE PAR".-

Sus objetivos principales son:

- 1.- Establecer el rango superior de selección de par, no haciendo así ninguna modificación del par si se encuentra dentro del rango.-
- 2.- Traer de la localidad de condiciones iniciales la última orden de control dada.-
- 3.- Comprobar si esta no es igual a la escala máxima del convertidor D/A, de lo contrario un incremento más dejaría peligrosamente sin campo al motor lo cual nos haría tener par máximo y máxima corrientes.-
- 4.- Incrementar en un estado lógico al puerto de salida, decrementándose así el par del motor.-
- 5.- Guardar esta orden de control en la localidad de condiciones iniciales.-
- 6.- Regresar al programa principal.-

5.2.5.- SUBROUTINA "INCREMENTO DE PAR".-

Sus objetivos principales son:

- 1.- Establecer el rango inferior de selección de par no haciendo así modificación alguna del par si se encuentra dentro del mismo.-
- 2.- Traer de la localidad de condiciones iniciales la última orden de control dada.

- 3.- Comparar si ésta no es igual a la escala mínima de salida del convertidor, de lo contrario un incremento más haría tener subitamente máxima salida en el convertidor D/A, disminuyendo así bruscamente el par a un valor mínimo.-
- 4.- Decremento en un estado lógico al puerto de salida incrementándose así el par.-
- 5.- Guardar esta orden de control en la localidad de condiciones iniciales de campo.-
- 6.- Regresar al programa principal.-

Nota: La máxima corriente aplicada al campo implicará una corriente mínima en armadura y por lo tanto un par mínimo y viceversa.-

5.2.6.- "SUBROUTINA DE "

Sus objetivos principales son:

- 1.- Hacer que el sistema sea críticamente amortiguado, asegurando así que el sistema sea estable.-
- 2.- Dar tiempo al convertidor A/D a que realice su conversión.-
- 3.- Regresar al programa principal.-

Nota: Esta subrutina Delay a su vez está constituida por varias subrutinas de 20 milisegundos y está implantada en el Started Kit del Z80 y lo único que hice fué llamarla cuantas veces fué necesario.

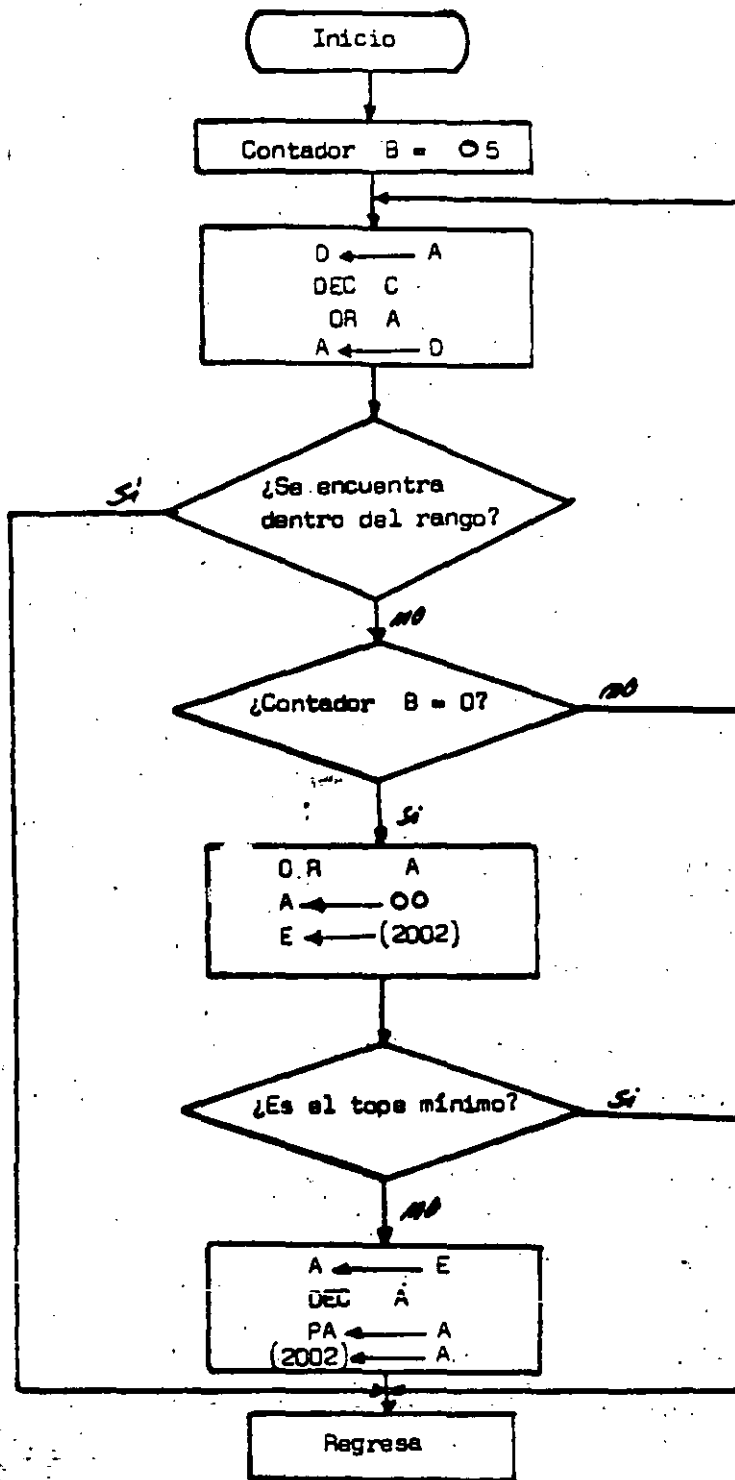


Fig. 5.6.- Diagrama de flujo de la subrutina Decremento de Par.

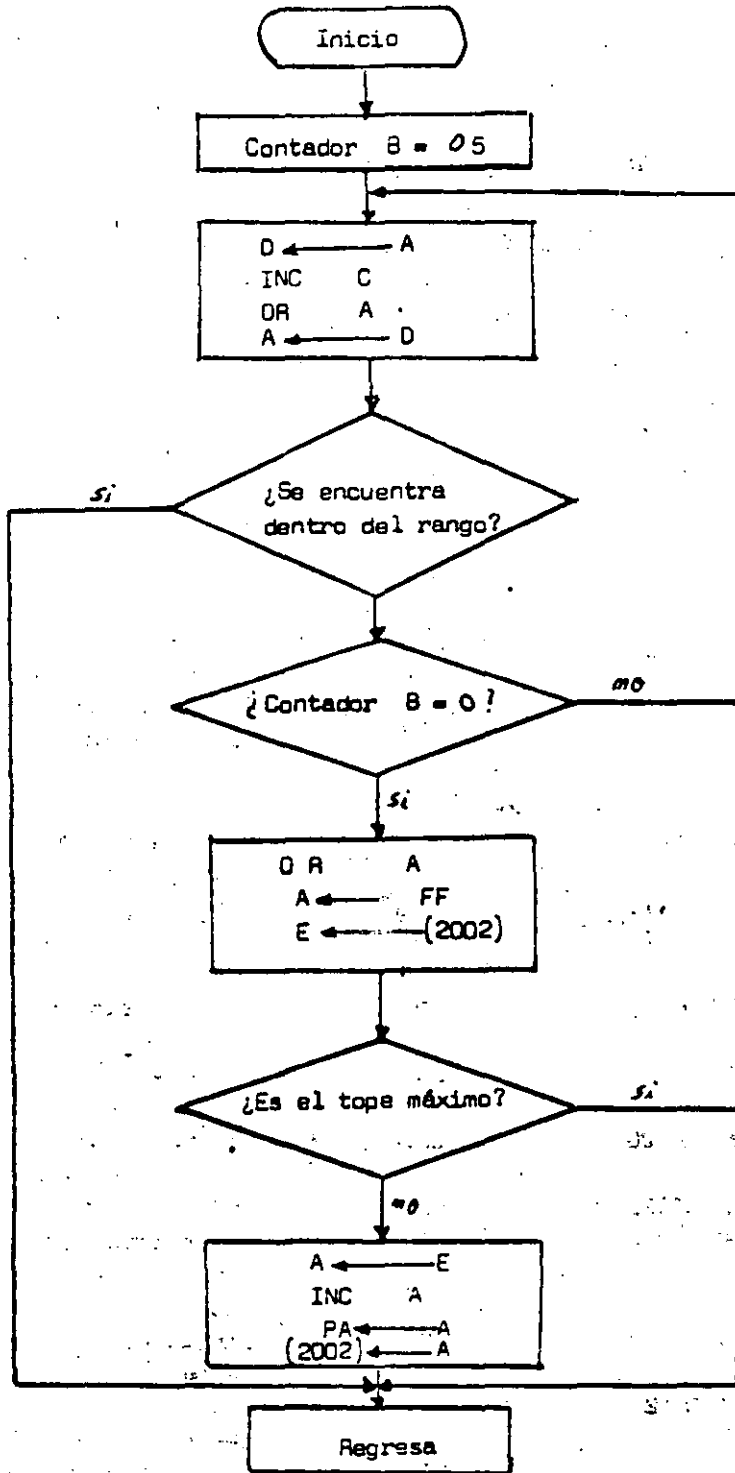


Fig. 5.7.- Diagrama de flujo de la subrutina incremento de Par.

5.3.- Listado de Programas.

" Programa Principal "

<u>Dirección de memoria.</u>	<u>Código de operación</u>	<u>Nemónico</u>	<u>Comentarios</u>
2010	3E 0F	LDA, 0F	Inicializa los puertos
2012	03 82	OUT(82),A	A y B del PIO como
2014	03 83	OUT(83),A	puertos de salida de - datos.
2016	3A 02 20	LDA,(2002)	Carga el puerto A con
2019	03 80	OUT(80),A	las condiciones inicia les de campo (campo al máximo).
201B	3A 03 20	LDA,(2003)	Carga el puerto B con
201E	03 81	OUT(81),A	las condiciones inicia les de armadura (al mí nimo).
2020	3E 00	CONV1 LDA, 00	Selecciona el canal 00
2022	03 94	OUT(94),A	del convertidor analó gico-digital.
2024	CD 00 21	CALL DELAY	Llama la subrutina "De lay" para realizar un
2027	CD 00 21	CALL DELAY	retardo.
202A	08 98	INA, (98)	Lee el dato del conver tidor A/D.
202C	4F	LDC,A	Salva el dato de la ve locidad real en C.
202D	32 04 20	LD(2004),A	Guarda el dato también en la localidad 2004.
2030	3A 03 20	LDA,(2003)	Obten la última orden
2033	5F	LDE,A	de control dada a la - armadura del motor y - copiala en E.
2034	87	OR A	Limpia el registro F - de banderas de estado.
2035	3A 00 20	LDA,(2000)	Obten la velocidad de seada.
2038	89	CPC	Comparala con la velo cidad real.
2039	04 80 20	CALL NC,2080	Si A>C llama a la sub rutina incremento.

<u>Dirección de memoria,</u>	<u>Código de operación</u>	<u>Namónico.</u>	<u>Comentarios</u>
203C	DC 00 20	CALL C, 2000	Si A < C llama a la - subrutina decremento.
203F	28 02	JRZ, CONV2	Si A = C Salta y si- gue con el programa.
2041	18 00	JR, CONV1	Salta y vuelve a che- car todo lo anterior.
2043	3E 01	CONV2: LDA, 01	Selecciona el canal 01 del convertidor - A/D.
2045	03 94	OVT (94), A	
2047	CD 4F 06	CALL D 20 MS	Realiza un retardo - de 20 m seg.
204A	08 98	INA, (98)	Obten el par real - del motor.
204C	4F	LDC, A	Salvalo en el Regis- tro C.
2040	32 05 20	LD (2005), A	Salvalo en la locali- dad 2005.
2050	3A 02 20	LDA, (2002)	Obten la última or- den de control dada
2053	67	LCH, A	al campo y copiala - en H.
2054	87	ORA	Limpia el registro F de banderas.
2055	3A 01 20	LDA, (2001)	Obten el par deseado.
2058	89	OFC	Comparalo con el real.
2059	04 90 20	CALL NC, 2090	Si A > C llama la - subrutina incremento.
205C	DC 70 20	CALL C, 2070	Si A < C llama la - subrutina decremento.
205F	C3 20 20	JP, CONV1	Vuelve a checar la ve- locidad.
2062		END	

Subrutina "Incremento de Velocidad".

<u>Dirección de memoria.</u>	<u>Código de operación</u>	<u>Nemónico</u>	<u>Comentarios</u>
2080	06 09	LDB, 09.	Contador del rango inferior.
2082	57	<u>COMP</u> : L00, A	Salva el acumulador en 0.
2083	0C	INC C	Incrementa C.
2084	87	OR A	Limpia el registro F - de banderas de ado.
2085	7A	LDA, D	Recupera el dato <u>salva</u> do en D a A.
2086	89	CPC	Compara si está dentro del rango.
2087	28 0F	JRZ, <u>REGRE</u>	Si es igual salta y <u>re</u> gresa al programa prin cipal.
2089	10 F7	DJNZ, <u>COMP</u>	Si B ≠ 0 salta y vuelve a comparar.
2088	87	OR A	Limpia el reg. F de -- banderas de ado.
208C	3E 00	LDA, 0	Prueba si la última or den de control dada es igual a la escala máxi ma.
208E	88	CPE	
208F	28 07	JRZ, <u>REGRE</u>	Si A = E salta y <u>regre</u> sa al programa princi pal.
20C1	78	LDA, E	Copia en A la última - orden dada al D/A.
20C2	30	DEC A	Decrementa A.
20C3	03 81	OVT (81), A	Manda A al D/A de arma dura.
20C5	32 03 20	LD (2003), A	Guarda esa orden en la localidad 2003.
20C8	C9	<u>REGRE</u> : RET	Regresa al programa -- principal.

Subrutina "Decremento de Velocidad".

<u>Dirección de memoria.</u>	<u>Código de operación</u>	<u>Nómnico</u>	<u>Comentarios</u>
2000	06 09	LDB, 09	Contador del rango superior.
2002	57	<u>COMP</u> : LDD, A	Salva el acumulador en D.
2003	00	DEC C	Decrementa C.
2004	87	O R A	Limpia el registro F - de banderas de ado.
2005	7A	LDA,D	Recupera el dato salvado en D a A.
2006	89	CPC	Compara si está dentro del rango.
2007	28 0F	JRZ, <u>REGRE</u>	Si es igual salta y regresa al programa.
2009	10 F7	JNZ, <u>COMP</u>	Si B ≠ 0 salta y vuelve a comparar.
2008	87	ORA	Limpia F.
200C	3E FF	LDA, FF	Prueba si la última orden de control dada es igual a la escala mínima.
200E	8B	CPC	
200F	28 07	JRZ, <u>REGRE</u>	Si A = E salta y regresa al programa.
20E1	78	LDA, E	Copia en A la última orden dada al D/A.
20E2	3C	INC A	Incrementa A.
20E3	03 81	OVT (81), A	Manda A al D/A de armadura.
20E5	32 03 20	LD (2003), A	Guarda esa orden en la localidad 2003.
20E8	C9	<u>REGRE</u> : RET	Regresa al programa.

Subrutina "Decremento de Par".

<u>Dirección de memoria</u>	<u>Código de operación</u>	<u>Nemónico</u>	<u>Comentarios</u>
2070	06 03	LOB, 03	Contador del rango superior.
2072	57	<u>COMP</u> : LDA, A	Salva el acumulador en D.
2073	00	DEC C	Decrementa C.
2074	87	ORA	Limpia F.
2075	7A	LDAO	Recupera el dato salvado.
2076	89	CPC	Compara si está dentro del rango.
2077	28 0F	JRZ, <u>REGRE</u>	Si es igual regresa al programa.
2079	10 F7	DJNZ, <u>COMP</u>	Vuelve a comparar.
207B	87	ORA	Limpia F.
207C	3E	LDA, 00	Prueba si la última orden dada es igual a la escala mínima.
207E	8C	CPH	
207F	28 07	JRZ, <u>REGRE</u>	Si A = 0 salta y regresa al programa.
2081	7C	LDA, H	Copia H en A.
2082	30	DEC A	Decrementa A.
2083	03 80	DVT (80), A	Manda A al D/A de campo.
2085	32 02 20	LD (2002), A	Guarda A en la localidad (2002).
2088	C9	<u>REGRE</u> : RET	Regresa al programa.

Subrutina "Incremento de Par".

<u>Dirección de memoria.</u>	<u>Código de operación</u>	<u>Nemónico</u>	<u>Comentarios</u>
2090	06 03	LDB, 03	Contador del rango inferior.
2092	57	COMP: LOD, A	Salva A en D.
2093	0C	INC C	Incrementa C.
2094	87	O R A	Limpia F.
2095	7A	LDA, D	Copia D en A.
2096	89	CPC	Compara si está dentro del rango.
2097	28 0F	JRZ, <u>REGRE</u>	Si es igual regresa al programa.
2099	10 F7	QJNZ, <u>COMP</u>	Vuelve a comparar.
2098	87	O R A	Limpia F.
209C	3F FF	LDA, FF	Prueba si la última orden dada es igual a la escala máxima.
209E	8C	CPH	
209F	28 07	JRZ, <u>REGRE</u>	Si A = H regresa al programa.
20A1	7C	LDA, H	Copia H en A.
20A2	3C	INC A	Incrementada A.
20A3	03 80	OUT (80), A	Manda A al D/A de campo.
20A6	32 02 20	LD (2002), A	Guarda A en la localidad (2002).
20A8	C9	<u>REGRE</u> : RET	Regresa al programa.

Subrutina "Delay".

<u>Dirección de memoria.</u>	<u>Código de operación</u>	<u>Simbólico</u>	<u>Comentarios</u>
2100	CD 0F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
2103	CD 4F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
2106	CD 4F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
2109	CD 4F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
210C	CD 4F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
210F	CD 4F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
2112	CD 4F 06	CALL D20 MS	Realiza un retardo de 20 m Seg.
2115	C9	RET	Regresa al programa principal.

Localidades destinadas a:

2000	Especificar la velocidad deseada en el motor.
2001	Especificar el par deseado en el motor.
2002	Especificar las condiciones iniciales (Campo igual a 00 o sea al máximo).
2003	Especificar las con iniciales (armadura igual a FF o sea al mínimo).
2004	Localidad destinada a almacenar la velocidad real del motor.
2005	Localidad destinada a almacenar el par real del motor.

CAPITULO VI

"EL SISTEMA DE CONTROL EN FORMA EXPERIMENTAL".-

6.1.- INTRODUCCION.-

En este capítulo se tratarán los aspectos relativos al sistema de control en malla abierta,- la respuesta del sistema en malla cerrada, los aspectos relativos al acoplamiento de cada una de las etapas, los ajustes que fueron necesarios hacer para que el sistema fuera estable y las gráficas obtenidas en base a las mediciones realizadas.-

Para dar más facilidad de manejo al sistema, se construyeron cinco módulos independientes, los cuales al ser conectados entre si, integran el sistema de control.- Estos módulos son los siguientes:

- 1.- La fuente regulada de + 5 voltios.
- 2.- El Started Kit del Z80.
- 3.- El sistema de adquisición y transferencia de datos.
- 4.- El sistema de control de excitación.
- 5.- El motor de corriente directa.

La ventaja de tener módulos independientes es que se pueden hacer diferentes esquemas de control sin necesidad de hacer modificación alguna a los circuitos del sistema.-

A continuación se hará una breve descripción funcional de cada uno de estos módulos.- Más adelante se describirá el sistema en malla abierta, en malla cerrada y los resultados obtenidos.-

6.2.- MODULOS DEL SISTEMA:-

6.2.1.- "LA FUENTE REGULADA DE + 5 VOLTIOS".-

La función de esta fuente es dar la alimentación de voltaje necesaria para que el Started Kit del Z80 pueda operar correctamente, evitando así que pueda haber variaciones de voltaje, las cuales podrían hacer que la base de datos del sistema microcomputador se perdiera.-

Aunque el diagrama del circuito de esta fuente no se incluyó en capítulos anteriores, esta está constituida por un transformador de doce voltios de salida con una capacidad máxima en corriente de 2 amperes.- Luego este voltaje es rectificado por un rectificador de onda completa y posteriormente filtrado por dos capacitores electrolíticos de 4700 μ f, conectados en paralelo.- La salida de éstos alimenta a un regulador integrado (el 7805), de + 5 voltios y finalmente la salida de éste es nuevamente filtrada para evitar el posible ruido que se pudiera inducir.- El diagrama de la misma puede verse en la figura 6.1.-

6.2.2.- "EL STARTER KIT DEL Z80".-

Este sistema microcomputador que tiene como unidad central de procesos el microprocesador Z80 como ya se dijo anteriormente, constituye la parte más importante del sistema de control, ya que se encarga de tomar las decisiones de control en base a un programa establecido.-

Más adelante se hará una breve descripción de la arquitectura de este sistema, pero por ahora solamente me concretaré a decir que la tarjeta en la cual se encuentra el sistema, fué metida para su protección en una caja de acrílico (fig. 6.2) cuyas dimensiones son de 32 X 40 X 7-cm. y además para poder conectar con más facilidad los otros módulos se alamburaron a las terminales del circuito líneas conectadas a unos peines conectores.-

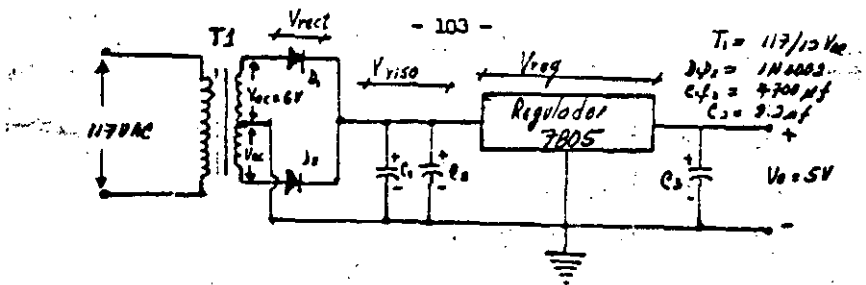


Fig. 6.1.- Fuente regulada de + 5 voltios.

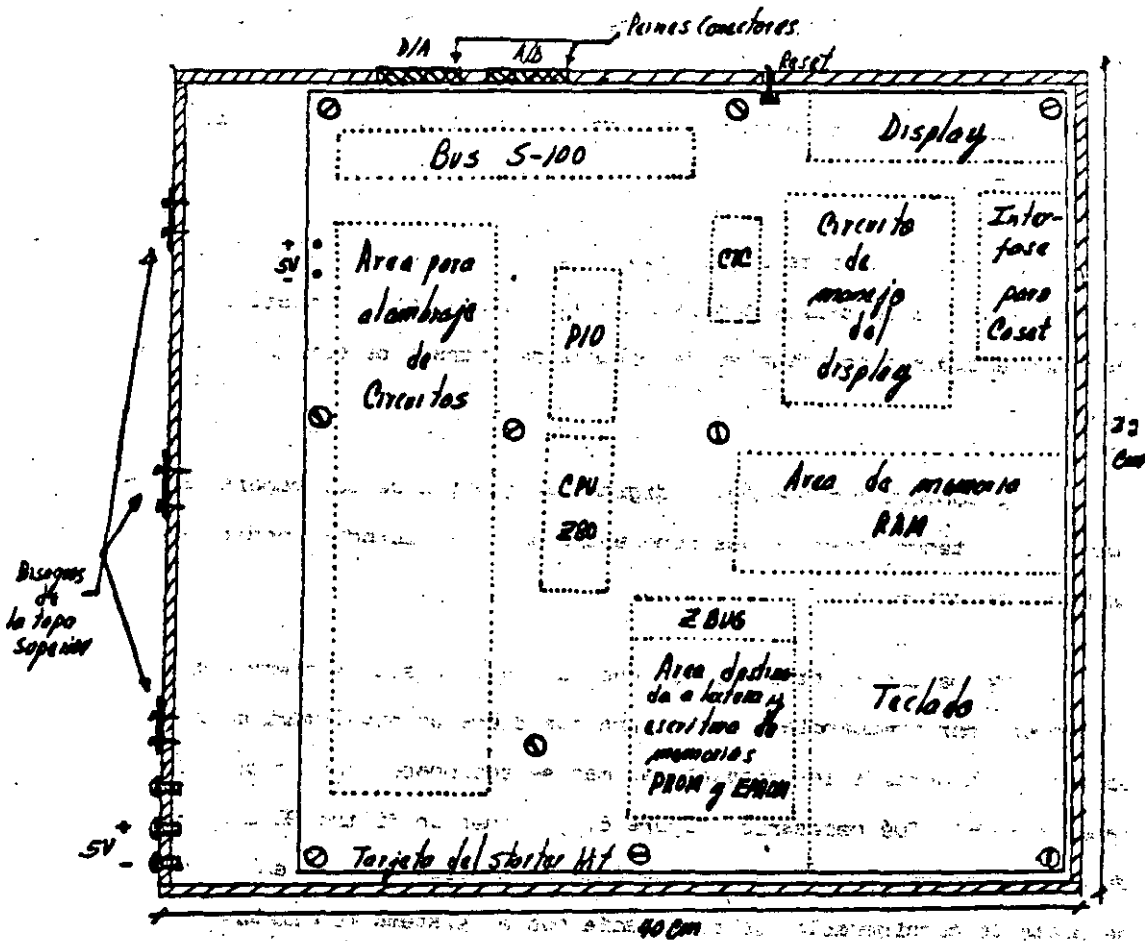


Fig. 6.2.- El Starter Kit del Z80.-

1425

6.2.3.- "EL SISTEMA DE ADQUISICION Y TRANSFERENCIA DE DATOS".-

Dentro de este módulo se encuentran el convertidor analógico-digital, los convertidores digital-analógico, el convertidor frecuencia-voltaje, el convertidor voltaje-frecuencia (que no se usa en este sistema de control) y una fuente de voltaje de ± 15 voltios y ± 5 voltios.- La disposición dentro del módulo pueda verse en la figura 6.3.-

Tanto el convertidor frecuencia-voltaje como el convertidor voltaje-frecuencia tienen dos perillas de las cuales una sirve para selección de escala y la otra para ajuste de offset.- Con esta última se calibra la salida de los convertidores para que no haya ninguna salida sin haber entrada.-

Los convertidores digital-analógico tienen una perilla de ajuste de escala máxima de salida con la cual es posible hacer compatible a dichos convertidores con niveles de voltaje de entrada de cualquier sistema.-

El convertidor analógico digital se almoró de tal manera que fuera fácil tener acceso a sus ocho entradas multiplexadas, mediante conectores banana.-

Uno de los ajustes que se tuvo que hacer a este sistema fué en el convertidor frecuencia-voltaje para que diera un nivel máximo de 5 voltios de acuerdo a las escalas máximas seleccionadas por la perilla de rango.- Además fué necesario (figura 6.3), poner un filtro AC a la salida de este convertidor debido a que ésta presentaba un rizo en el voltaje bastante considerable, lo cual hacía que el sistema funcionara erróneamente.- La función de transferencia de este filtro fué la siguiente:

$$\frac{V_o}{V_i} = \frac{1}{2S+1}$$

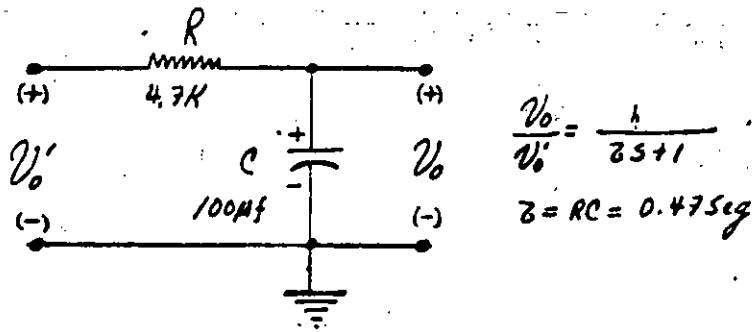


Fig. 6.3.- Filtro RC de Primer Orden.

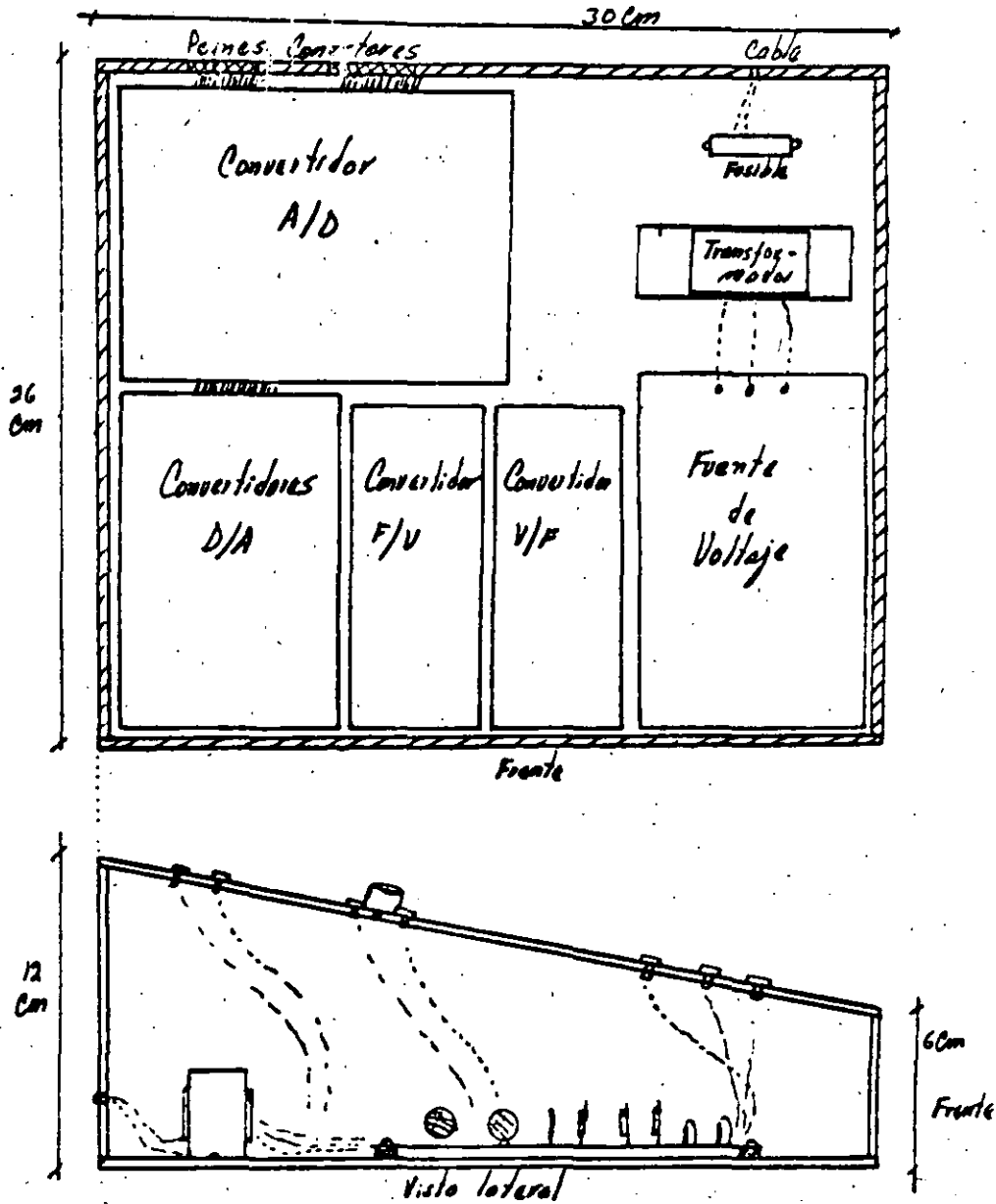


Fig. 6.4.- Vista superior y lateral del sistema de adquisición y transferencia de datos.

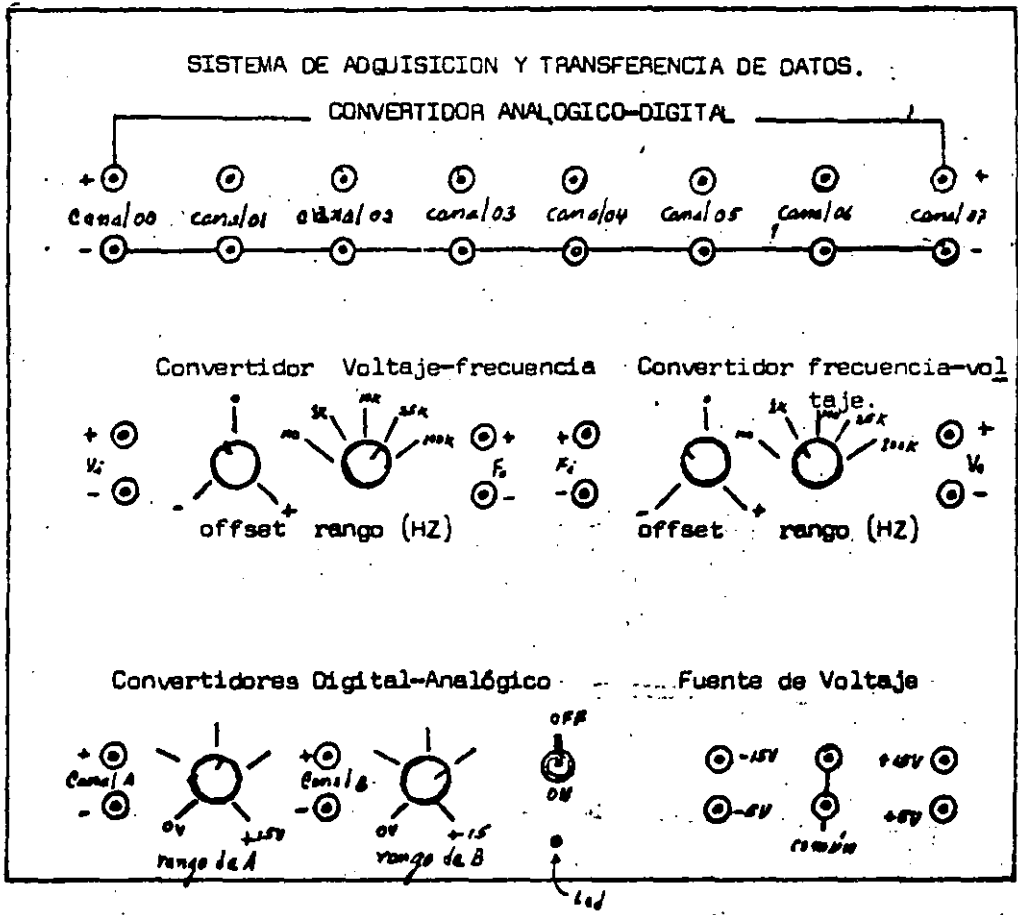


Fig. 6.5.- Vista del papel del sistema.

6.2.4.- "EL SISTEMA DE CONTROL Y EXCITACION":

Dentro de este módulo se encuentran las etapas de potencia para el campo y la armadura, así como el sensor de voltaje y el sensor de corriente de armadura.- La disposición de los mismos puede verse en la figura 6.6.-

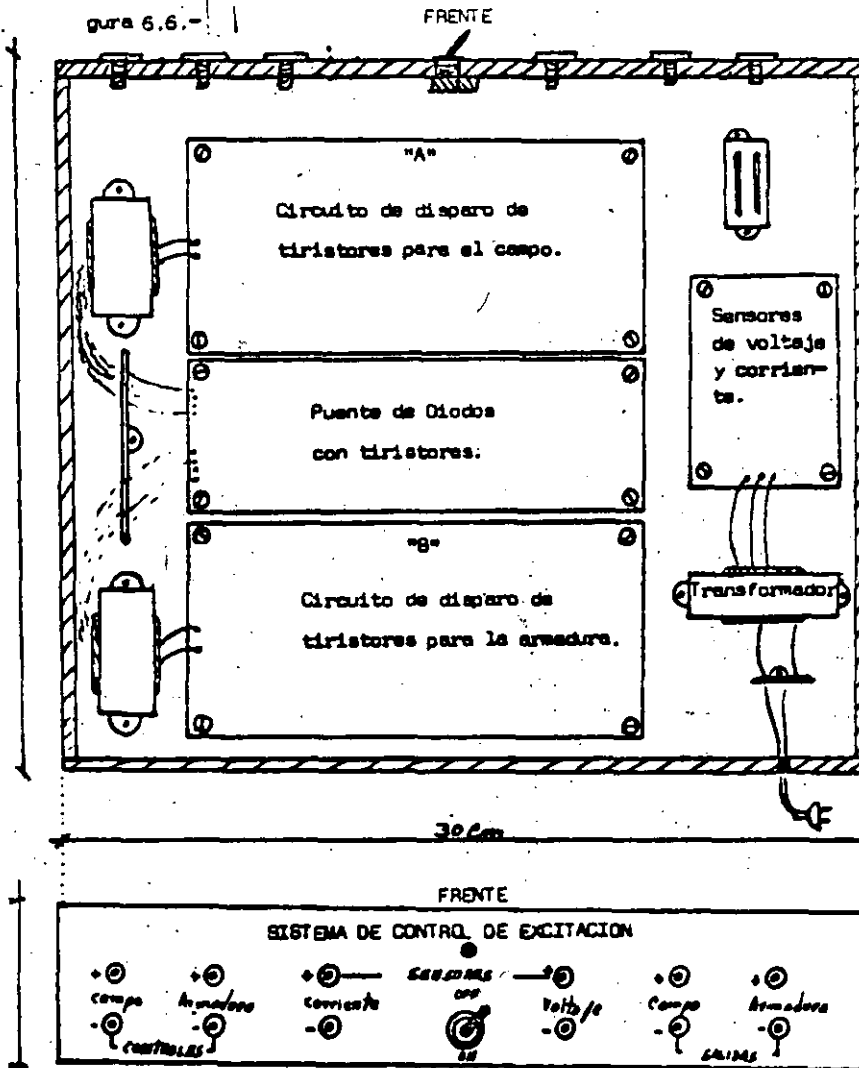


Fig. 6.6.- Vista superior y frontal del sistema de control de excitación.

6.2.5.- "EL MOTOR DE CORRIENTE DIRECTA".-

Este módulo es la parte fundamental de la planta a controlar y además contiene al disco giratorio y el circuito sensor de velocidad.- La salida del circuito sensor de velocidad, entrega un tren de pulsos proporcionales a la velocidad del motor.- Para que no hubiera problemas de acoplamiento y de impedancias entre ambos circuitos, fué necesario poner un condensador de aislamiento cuyo valor fué de $.01 \mu F$.- La disposición de los mismos puede verse en la figura 6.7.-

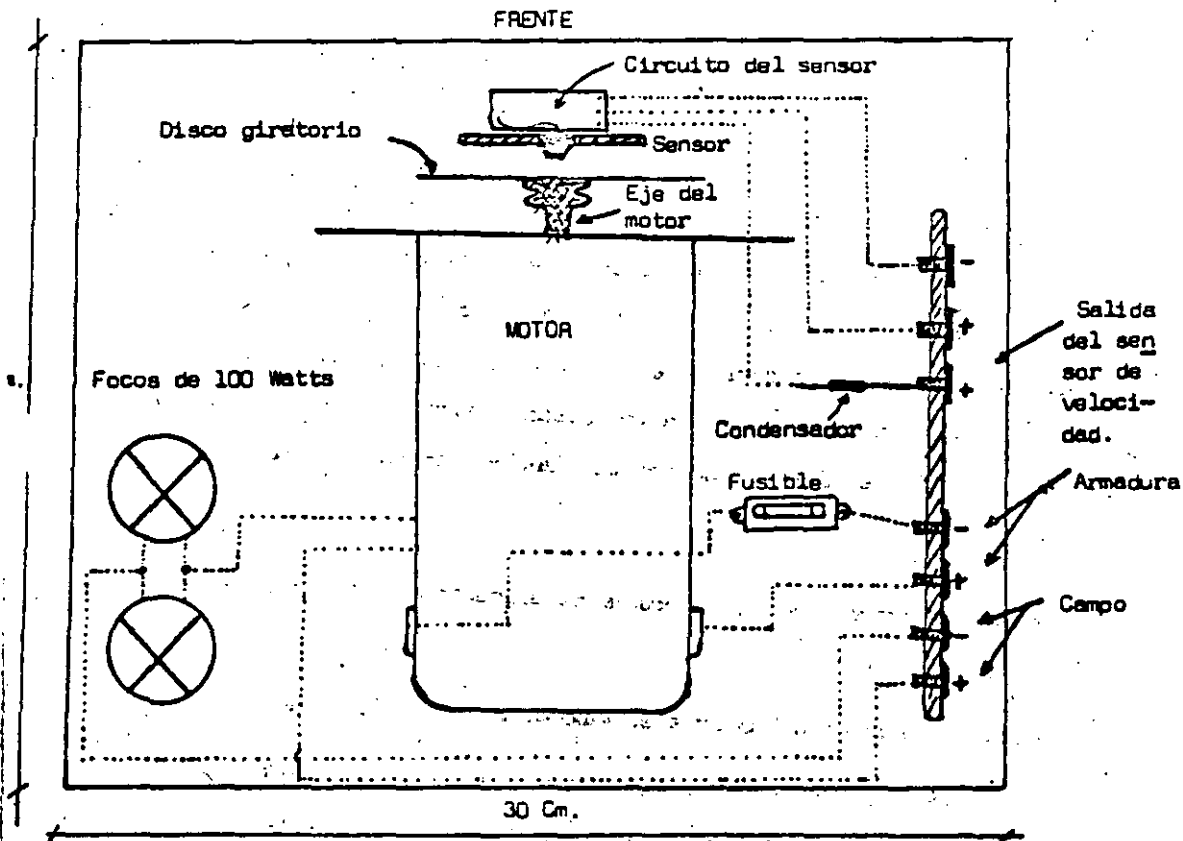


Fig. 6.7.- Vista superior del módulo del motor de corriente directa.

6.3.- "EL SISTEMA DE CONTROL EN MALLA ABIERTA".-

Los sistemas de control de malla abierta son sistemas de control en los cuales la salida no tiene ningún efecto sobre la acción de control, es decir, que la salida del sistema no se está comparando con la entrada del mismo para generar alguna acción de control y por lo tanto para cada entrada corresponde una condición de operación fija.- Así la exactitud del sistema depende de la calibración y en presencia de perturbaciones, no será capaz de cumplir su función asignada.- En la práctica solo se puede usar el control de malla abierta si la relación entre la entrada y salida es conocida y si no hay perturbaciones externas o internas.-

Para el sistema en cuestión el haberlo hecho trabajar en malla abierta sirvió para establecer los rangos máximos de operación del sistema, para calibrar el sensor de corriente y el convertidor F/V con respecto a la señal proveniente del sensor de velocidad y para calibrar las escalas de los convertidores D/A de acuerdo con las respuestas máximas del motor.-

La manera de establecer los máximos de operación fue la siguiente:

- a).- Hacer trabajar al motor a su máxima velocidad sin campo.
- b).- Calibrar los sensores de corriente y velocidad, para obtener las máximas escalas de voltaje.- (V = 5 Voltios) para que sean compatibles con las entradas del convertidor A/D.-
- c).- Establecer una relación equivalente de la máxima escala de corriente con la máxima escala de par motor, mediante la ecuación.

En base a lo anterior, a continuación presento los máximos valores obtenidos, así como las mediciones y cálculos adicionales para obtener dichas escalas.

- a).- Para poder medir la corriente de armadura primero se midió el valor real de las dos resistencias de 1.8Ω conectadas en paralelo entre sí y en serie con la armadura, cuyo valor medido fué de 1.05Ω , y mediante la ecuación $I = V/R$ se supo que la corriente I_a máx fué de 2.381775 amperes.
- b).- Al calibrar el convertidor frecuencia -voltaje con la señal proveniente del sensor de velocidad, se vió que la velocidad máxima fué de 10000 rpm.
- c).- Para obtener el par máximo se tuvieron que tomar los valores de resistencia de armadura ($R_a = 4.3 \Omega$), que por cierto el valor leído resulta ser mucho más grande de los valores promedio en otros motores.- La razón de ésto puede deberse a que probablemente el motor tiene otro segundo campo en serie con la armadura.- En base al valor de R_a y al valor del voltaje de línea V_t se estableció que el valor del voltaje de éste era de $E_g = 109.75$ voltios y se pudieron establecer las siguientes ecuaciones, con las que se obtuvo el par máximo.-

$$T_{m\acute{a}x} = \frac{(E_g I_a \text{ máx})}{2 N_{m\acute{a}x}} \left(\frac{4500}{746} \right) = 0.0250975 \text{ Kg.m}$$

$$T_{m\acute{a}x} = 2.50975 \text{ Kg. cm.}$$

La relación existente entre los 255 estados lógicos posibles del convertidor A/D y las escalas máximas de los sensores, es la siguiente:

A "N" le corresponden 39.21 rpm/estado lógico.

A "T" le corresponden 0.00984215 Kg. Cm./estado lógico.

A Ia le corresponden 9.34029 m A/estado lógico.

El sensor de voltaje que tiene el circuito del control de excitación no se utilizó debido a que se consideró más sencillo establecer una relación entre corriente y par.-

Las mediciones realizadas se obtuvieron sin carga mecánica⁹ debido a la imposibilidad de conectarle al motor una carga estable.-

6.4.- "EL SISTEMA DE CONTROL EN MALLA CERRADA".-

La condición para que un sistema de control de malla cerrada sea estable, es que la realimentación del mismo debe ser negativa.- Pues — también en base a lo analizado en capítulos anteriores, el sistema de control en cuestión, cumple con lo mencionado anteriormente.-

Las características dinámicas de la mayoría de los sistemas de control no son constantes por diversas razones como pueden ser el deterioro de los componentes al transcurrir el tiempo, las modificaciones de los parámetros, los cambios en el medio ambiente etc.- Por lo tanto, al planear el diseño, puede ser complejo.-

El sistema diseñado, es un sistema adaptivo ya que tiene la capacidad de autoajustarse de acuerdo con las modificaciones imprevisibles del medio o estructura.-

Al alambrar el sistema por primera vez, se presentaron problemas relativos a la estabilidad del sistema, los cuales se pueden clasificar dentro de dos grupos:

- a).- Problemas relativos a los acoplamientos.
- b).- Problemas relativos al software.-

Dentro de los problemas referentes a acoplamientos, tenemos los que se presentaron a las salidas del sensor de corriente y del convertidor frecuencia-voltaje, con los cuales el sistema se hacía inestable, debido a que las salidas presentaron un rizo bastante considerable.- La manera de solucionar esto fué utilizando un filtro pasa-bajas del tipo RC. También el sensor de velocidad presentó problemas de acoplamiento debido a que la impedancia de salida del mismo, no era compatible con la impedancia de entrada del convertidor frecuencia-voltaje y la manera como se solucionó esto, fué utilizando un condensador de acoplamiento entre ambas etapas del sistema.-

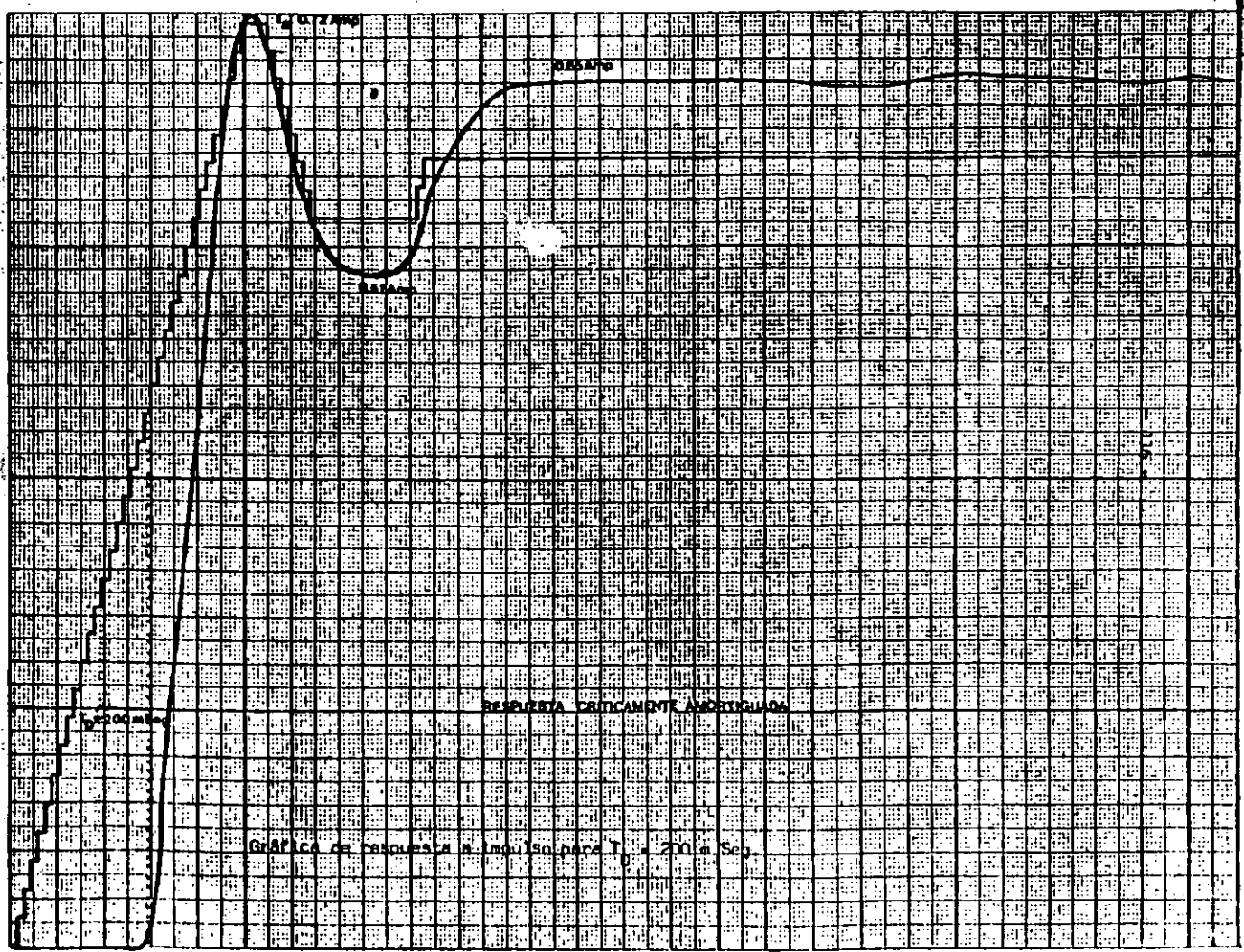
Los problemas relativos al software empleado, fueron debido a la estructura del primer programa utilizado, lo cual hizo que el sistema fuera un sistema oscilante.- En un principio se pensó que esto se debía a que la microcomputadora no tenía los suficientes tiempo de retardo (Delays) para que el sistema se estabilizara; pero después se le dieron más retardos y se vió que el sistema seguía oscilando más lentamente, lo cual hizo pensar que la reestructuración del programa sería muy compleja.- Sin embargo, la conclusión fué que: el rango de velocidad del motor era muy grande, la resolución del convertidor A/D no era lo suficientemente buena debido a ese rango y los incrementos y decrementos dados por el convertidor D/A, no coincidían con los incrementos deseados en las variables de salida.- La solución a lo expuesto anteriormente fué la de -

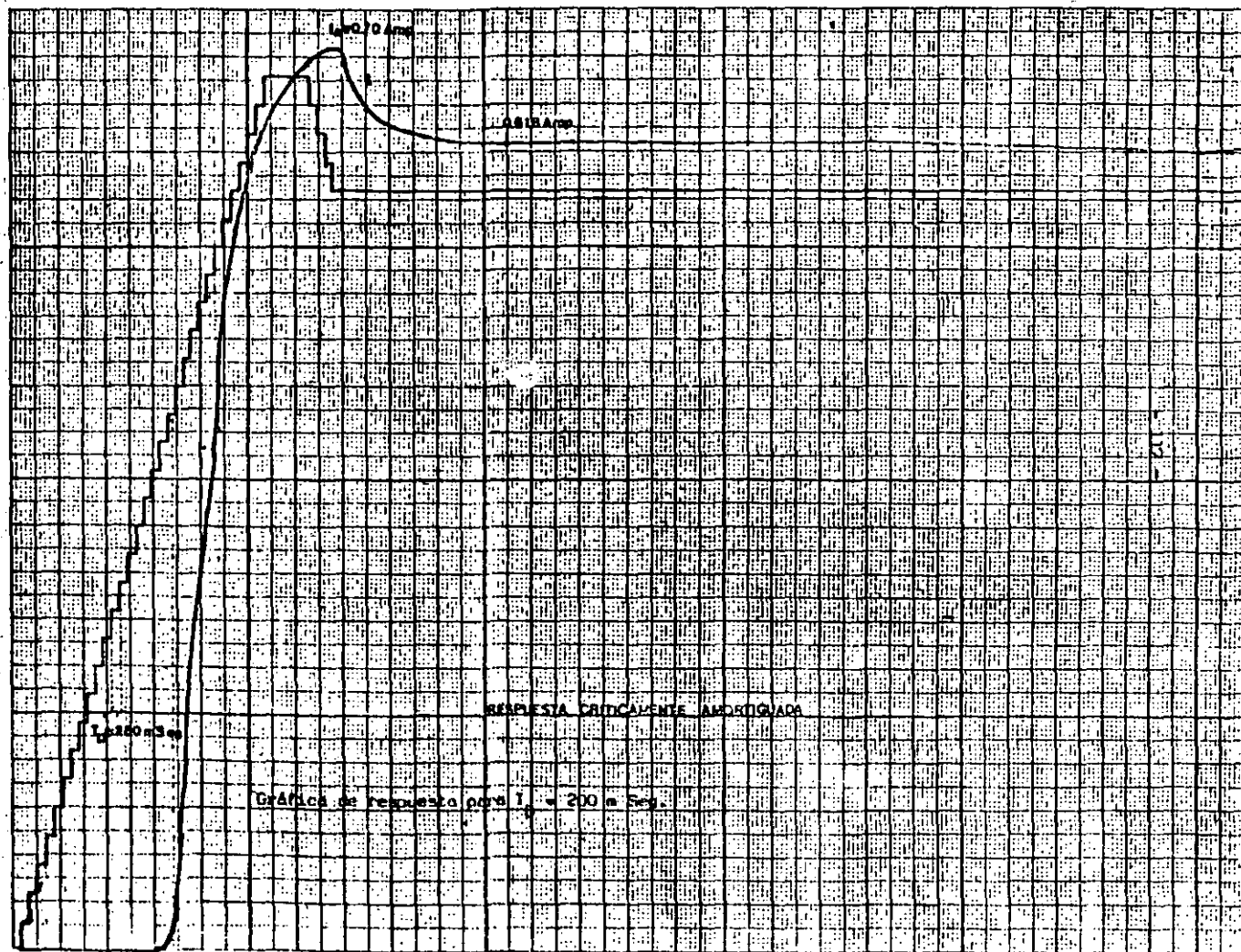
dar rangos de valores en la vecindad de ω y T dentro de los cuales se considera que el sistema está dando los valores de velocidad y par T deseados.- Este rango de valores se puede decir que es equivalente al rango de captura de un PLL (Phase Locked Loop).- Los rangos de valores para que el sistema fuera estable, fueron de ± 9 estados lógicos para la velocidad y de ± 2 estados lógicos para el par.-

El último problema de software que se presentó fue a causa de que el par desarrollado por el motor presenta niveles de saturación para cada valor de velocidad establecido, haciendo que la salida del puerto que controla el campo tenga la máxima salida (FF hexadecimal) o la mínima salida (00 hexadecimal), lo cual haría que un incremento o decremento más del puerto, nos dejara al motor sin campo o con el máximo campo súbitamente y como resultado de ello, un incremento o decremento brusco en la corriente de armadura.- Para solucionar este problema se estableció en el software un tope superior y un tope inferior al programa que actúa sobre el control de par y velocidad.-

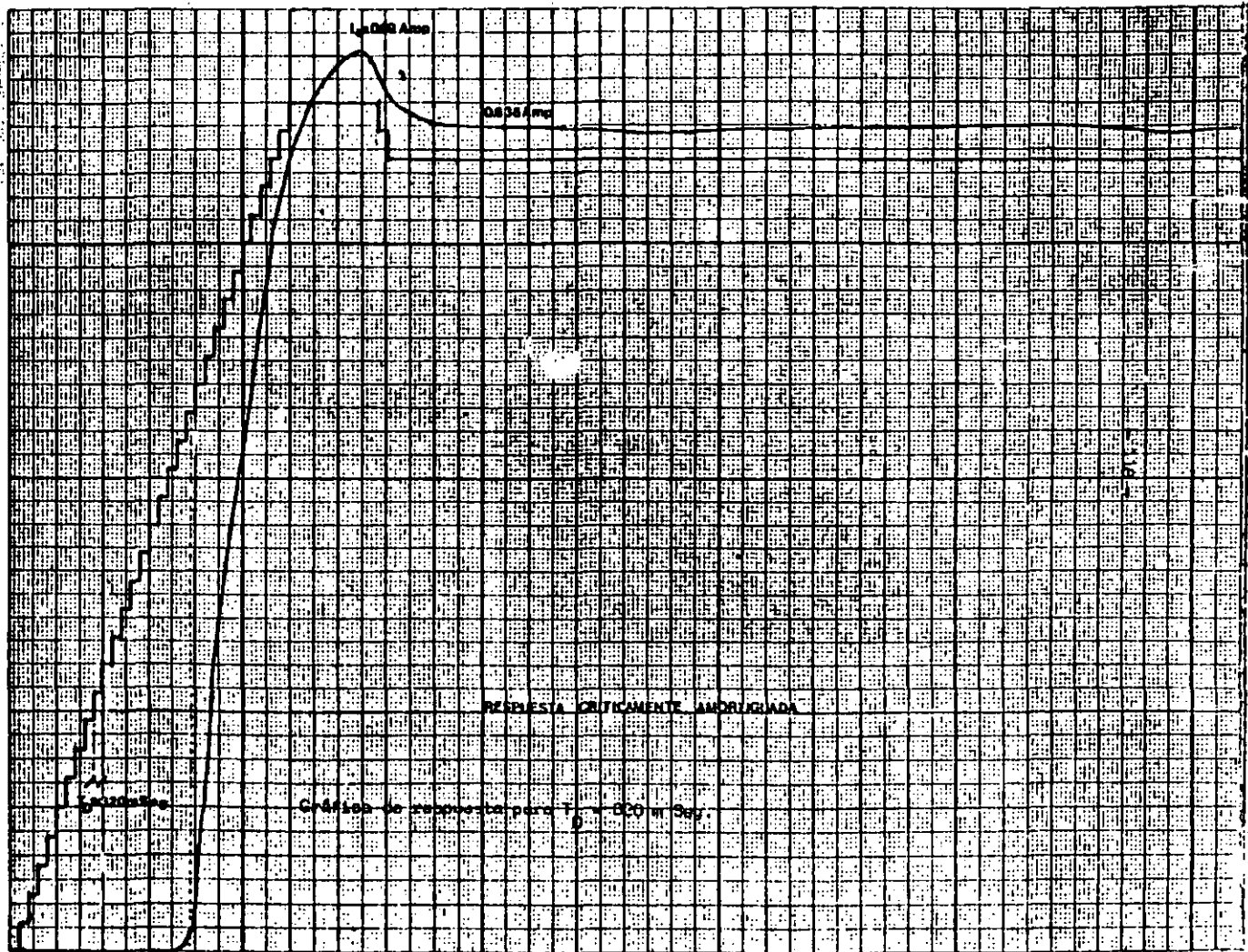
6.5.- "GRAFICAS DE RESPUESTA OBTENIDAS DEL SISTEMA".-

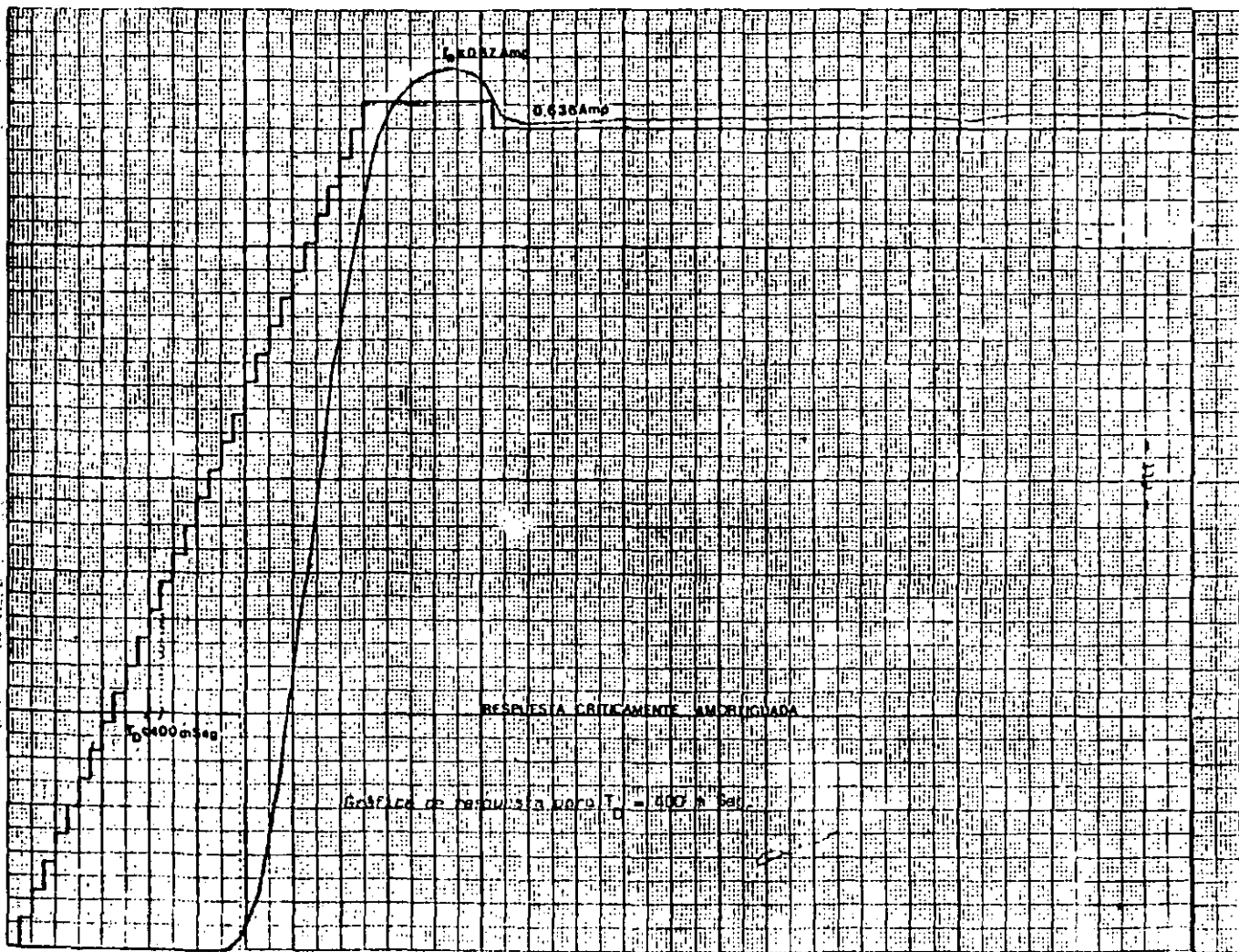
A continuación presentaré las gráficas obtenidas del sistema para diferentes valores de tiempos de retardo, con los cuales el sistema se hace subamortiguado, críticamente amortiguado y sobre amortiguado, así como la gráfica de par contra corriente de armadura.-



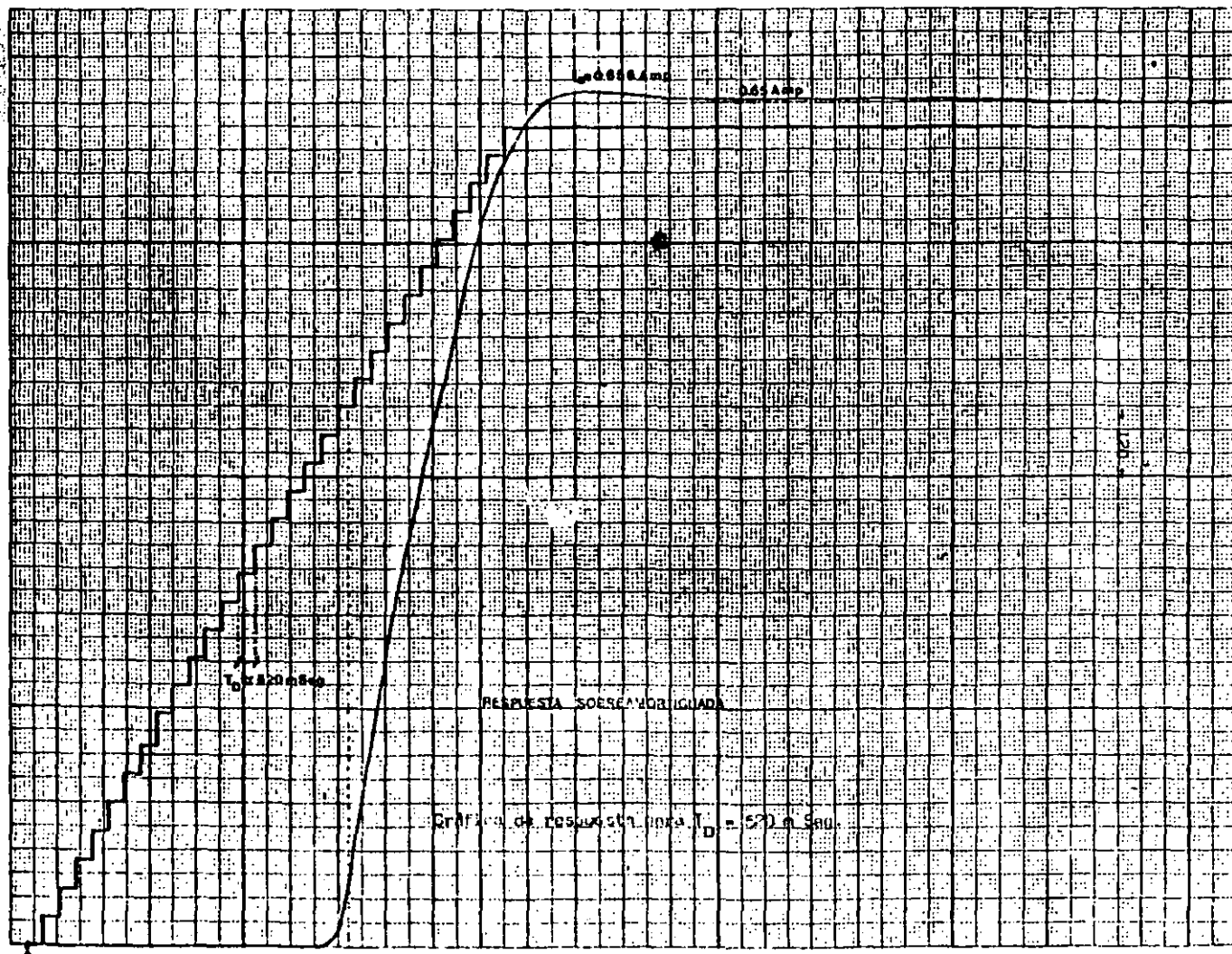


117

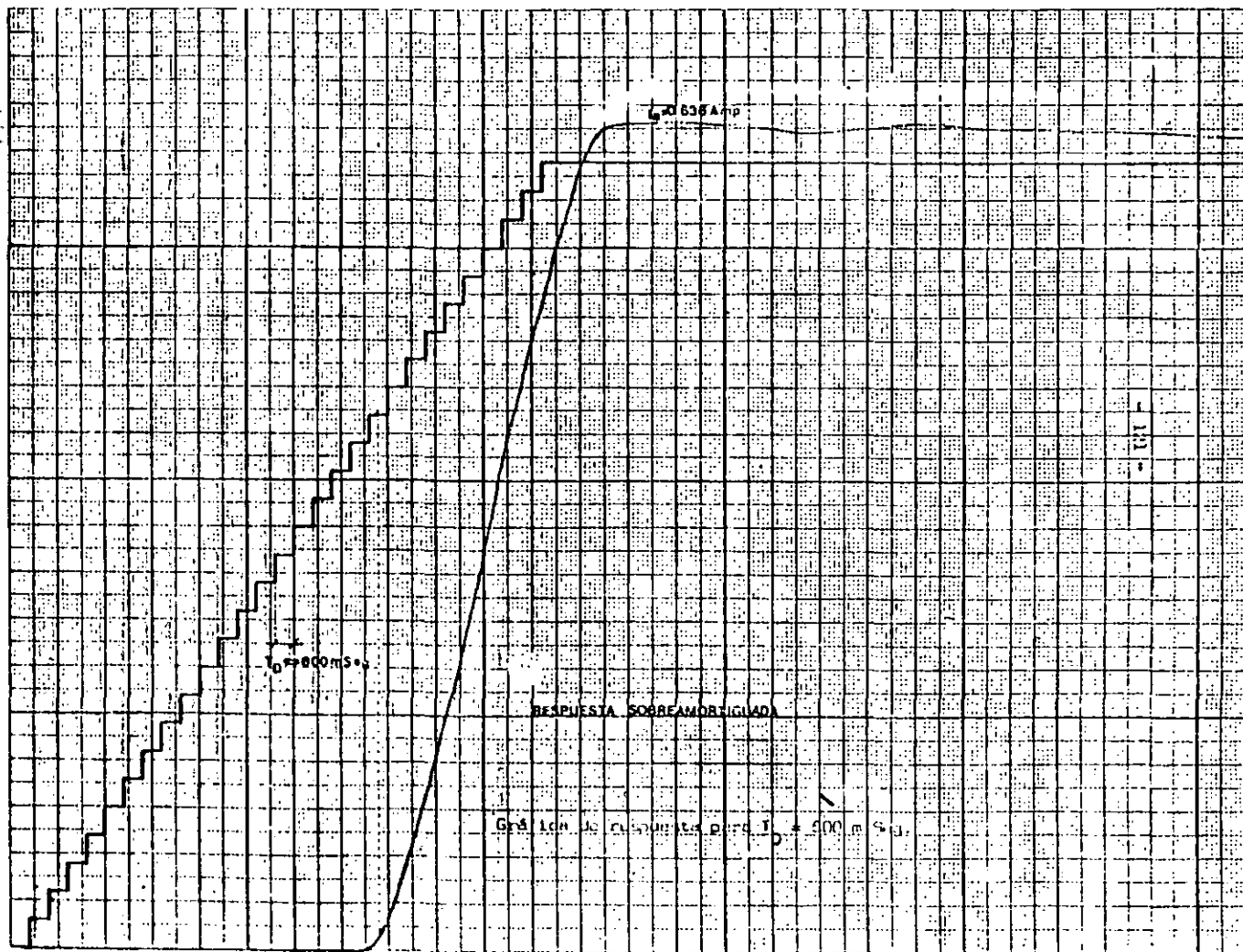




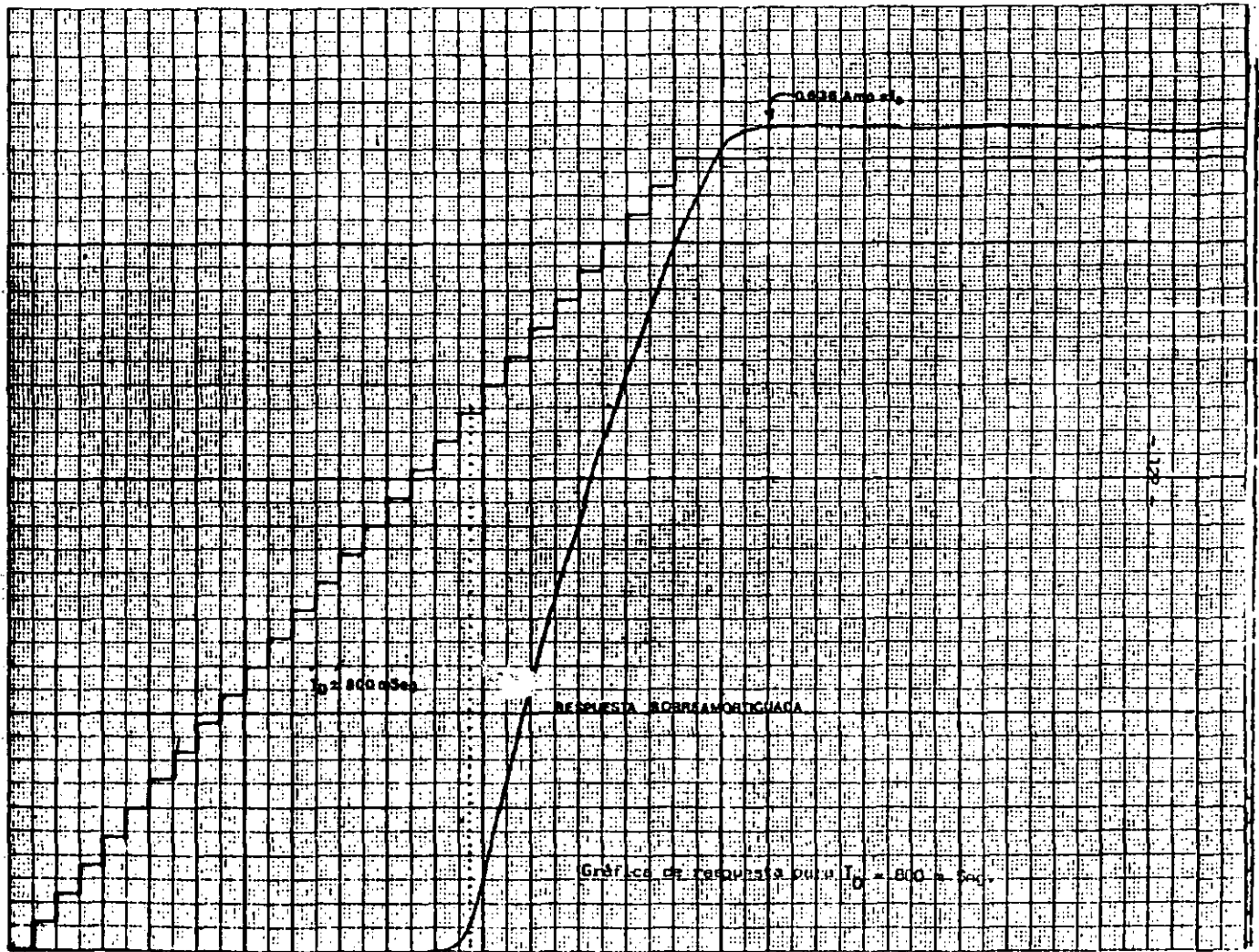
671



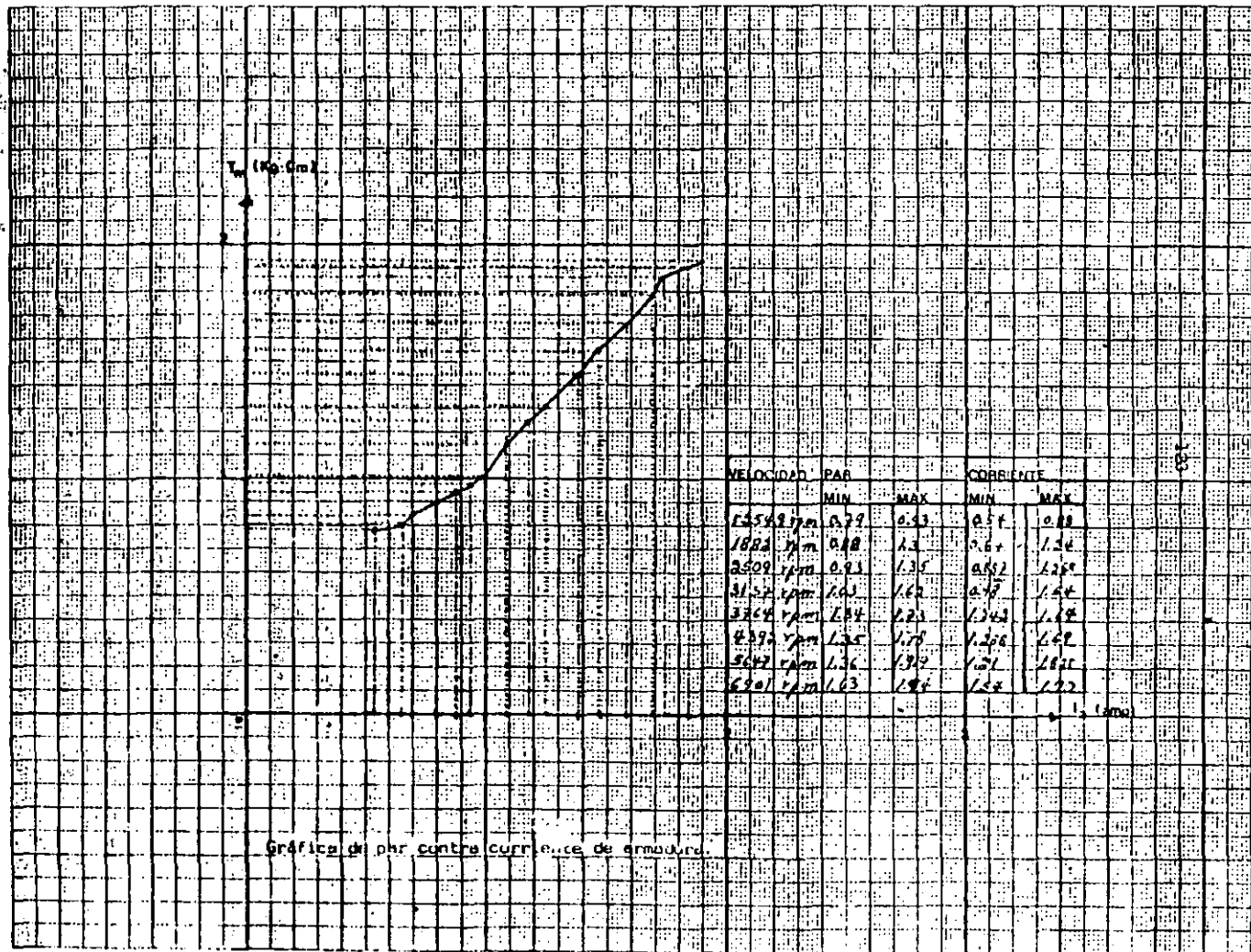
120



121



122



123

D I S C U S I O N .

Aunque existen diferentes diseños de control de par y velocidad en motores de corriente directa, generalmente asociados a compañías transnacionales, la idea fundamental del trabajo consistió en el control de un motor universal de baja capacidad con la finalidad de hacer un prototipo industrial.- Sin embargo para poder ser usado a nivel industrial — existen algunas consideraciones que se mencionan a continuación.

- 1.- Diferencia de los sensores a nivel industrial.
- 2.- El microprocesador o microcomputadora utilizado y su facilidad de manejo.
- 3.- Modificaciones hechas al sistema para lograr que éste fuera estable y posibilidades de mejorar el programa del algoritmo de control.
- 4.- Componentes utilizados.

El uso de sensores en cualquier diseño se puede prestar a discusiones muy diversas, debido a que puedan existir a veces muchas maneras de construir un sensor.- Sin embargo se pretende que dicho sensor sea — siempre el más barato y confiable.- Como ya se indicó anteriormente el sistema de control cuenta con dos sensores que quizá no sean lo más indicados para obtener una máxima eficiencia del sistema, pero sin embargo — el funcionamiento de este fue bastante aceptable.-

Por lo que respecta al sensor de corriente (integrado por dos resistencias), se puede decir que se logró hacer un sensor equivalente al que se utilizaría industrialmente.- Industrialmente el sensor de corriente podría estar constituido por una barra de cobre de dimensiones conoci

das, la cual presentaría entre los extremos de la misma una cierta resistencia óhmica que nos sería útil para saber cual es la corriente que circula por el conductor.- La desventaja de este método de sensar corriente, es que el resto del sistema no queda aislado de la línea de alimentación y por lo tanto sería un peligro latente para los operadores del sistema.- En la actualidad se construyen algunos sensores de corriente basados en el principio de medición del campo a través del conductor con los cuales se logra que el resto del sistema si queda aislado de la línea.-

Por lo que respecta al sensor de velocidad, también existen muchas formas de sensar la velocidad de un motor. El sensor utilizado en el sistema no es el más conveniente debido a que requiere muchos cuidados en el ajuste del convertidor frecuencia voltaje, pero tiene la ventaja de ser más barato que otras y de poder ser procesada su salida por un convertidor analógico digital.- Otras formas de solucionar este problema es utilizar algún tacogenerador acoplado a la flecha del motor o algún circuito contador.-

El microprocesador utilizado es el Z80 el cual como ya se sabe está asociado a un conjunto de circuitos adicionales con los cuales está constituyendo una microcomputadora.- La razón por la que se utilizó este microprocesador, fué debido a que es uno de los más versátiles. No obstante se podría haber utilizado cualquier otro microprocesador más barato.- Sin embargo también se pudo haber utilizado un sistema de control a base de PLL (Phase, Locked, Loop) con el cual se hubiera logrado un resultado más o menos similar, pero se prefirió utilizar microprocesador, debido a que ese era el objeto de esta tesis.- Además las condiciones de trabajo del sistema utilizando un microprocesador, pueden ser más fácilmente cambiadas modificando el programa asociado al mismo.-

También se tuvieron que hacer algunas pequeñas modificaciones a la salida de los sensores de par (corriente) y velocidad, debido a que el nivel de corriente directa de salida de estos presentaba un rizo muy considerable y esto volvía inestable el sistema.- La solución a lo anterior se logró mediante la utilización de filtros AC a la salida.

Los componentes utilizados en este sistema se procuró que fueran baratos y de fácil adquisición y dado que se trata de un prototipo industrial, se puede decir que muchos de los problemas que se presentaron en su diseño, serían los que se podrían presentar en la realidad y por lo tanto el diseño de modelo destinado a una aplicación industrial real, requeriría varias modificaciones como son el rediseñar el puente rectificador para que acepte alimentación de una línea trifásica, aumentar su capacidad de manejo de corriente, rediseñar el circuito de disparo de los SCR_s y hacer algunas pequeñas modificaciones al algoritmo de control para que su respuesta sea más eficaz.-

Por último cabe mencionar que las pruebas del motor se tuvieron que hacer sin carga mecánica debido a que fué imposible conectarla una carga estable al mismo.- Sin embargo se observó que al frenar la flacha del motor este tendía a corregir la velocidad y el par casi instantáneamente.-

C O N C L U S I O N

El desarrollo de este proyecto abarca varias ramas de la Ingeniería como son la electrónica, computación, eléctrica y control, lo cual hace que éste sea un modelo de aplicación interdisciplinaria. En su desarrollo presentó una serie de dificultades que se fueron solucionando paso a paso, dándose éste un aliciente de superación para continuar con el estudio, diseño y construcción de sistemas de control digital.

Dentro de los resultados obtenidos en esta tesis, se pueden mencionar:

- 1.- El ahorro de energía.- Esto se logra por medio de un circuito electrónico a diferencia de la forma tradicional de control.
- 2.- Control de par y velocidad según los requerimientos de algún proceso.
- 3.- Diseño electrónico en base a componentes comerciales de adquirir.
- 4.- La importancia del estudio de la teoría de control de sistemas lineales, aunque si bien la respuesta del sistema era no lineal y fué linealizada mediante el control del mismo.
- 5.- El uso del microprocesador en el control en tiempo real de un sistema.
- 6.- El modelo construido es un prototipo bastante aceptable para su aplicación a nivel industrial en cualquier motor de corriente directa.

R E F E R E N C I A S .

CAPITULO I.-

- Ingeniería de Control Moderna de Ogatta.
- Análisis de Sistemas Dinámicos y Control Automático de Roberto Canales y Renato Barrera. Edit. Limusa.
- Phase-Locked Loops for Motor-Speed Control (Industrial Control) by I.E.E.E. April 1973.
- Mundo Electrónico de Boixarem Editores (Vol. 107 y 109), Junio y Agosto de 1981.

CAPITULO II.-

- Electrotécnica de Gray/Wallace.
- Conversión de Energía Electromecánica de Gourishankar.

CAPITULO III.-

- Digital Control de Benjamin Kuo.
- Ingeniería de Control Moderna de Ogatta.
- Electronics in Industry de Chute and Chute.
- Conversión de Energía Electromecánica de Gourishankar.
- Thyristor Rectifiers de General Electric.
- Optoelectronics de General Electric.
- The Power Data Book de Texas Instruments.

CAPITULO IV.-

- Z80 Microprocesador programming and Interfacing de Nichols and Rony.
- Linear Data Book 1980 de National Semiconductor.
- The Optoelectronics Data Book de Texas Instruments.
- Manual de Circuitos TTL de Texas Instruments.

CAPITULO V.-

- Programming the Z80 de Rodney Zacks.
- Z80 Microprocesor programing and Interfacing de Nichols, Nichols and Ronny.
- Programación del Z80 de Octavio F. García Narcia.

A P E N D I C E .

EL STARTER KIT DEL Z-80.

Este Sistema Microcomputador presentado en las figuras A.1, A.4 y A.5, fué diseñado para familiarizar al estudiante o al experimentador más exigente con el uso de microprocesadores.- De hecho la diversidad de usos que se le pueda dar al sistema solo puede estar limitada por la imaginación del usuario.- Podemos decir que la arquitectura del Starter Kit corresponde a la estructura básica de una microcomputadora, ya que cuenta con una unidad central de procesos (CPU), sus puertos de entrada-salida, el generador de reloj, su memoria RAM y ROM, un teclado, su display,- etc.-

La Unidad Central de Procesos (figura A2), está constituida por el microprocesador Z-80, el cual cuenta con tres buses a través de los cuales se comunica con los demás elementos que integran al Starter Kit.- Estos buses son:

- a) Un bus de direcciones de 16 bits el cual nos permite hacer el direccionamiento de 65,536 localidades diferentes.
- b) Un bus de datos bidireccional de 8 bits que transporta datos entre cualesquiera de las 65,536 localidades y el microprocesador.
- c) Un bus de control con el cual es posible comunicar las señales de control y sincronización entre cualesquiera de los elementos de la microcomputadora.

La base de tiempo de sistema está operando aproximadamente a 2 MHz y ésta se obtiene de un oscilador que contiene un cristal de cuarzo a una frecuencia de 3.9936 MHz.- La frecuencia de salida de este oscilador es dividida entre dos y aplicada así al resto del sistema.

Para que el usuario pueda generar programas se tienen 2 K de memoria RAM ya instaladas dentro del Starter Kit.- Sin embargo, en el sistema se tiene la posibilidad de aumentar la capacidad de memoria haciendo algunas pequeñas variantes en el circuito.- Además el sistema tiene la posibilidad de poder programar o leer memorias ROM o EPROM. La figura A.3 nos muestra un mapa de la distribución de la memoria usada en el sistema.-

El diagrama global de todo el Hardware utilizado en la construcción del sistema puede verse en las figuras A.4 y A.5.-

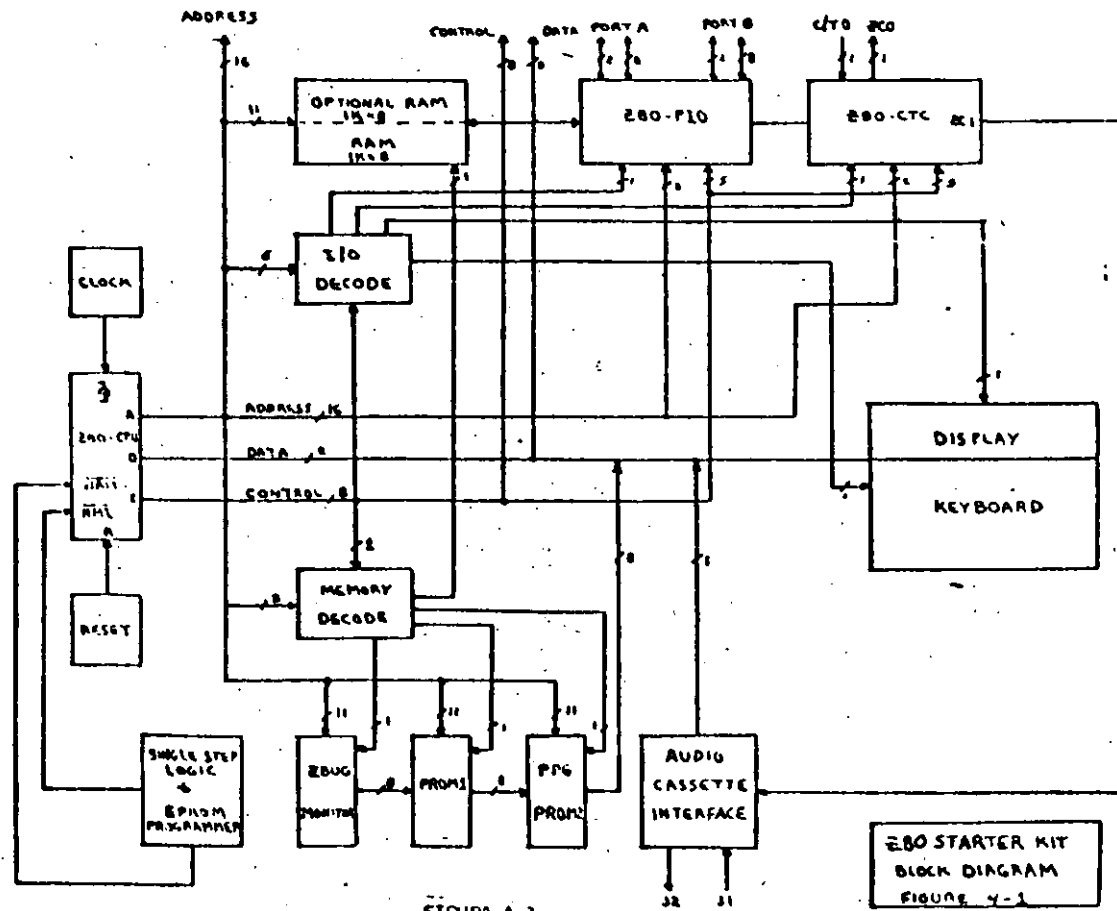


FIGURA A.1

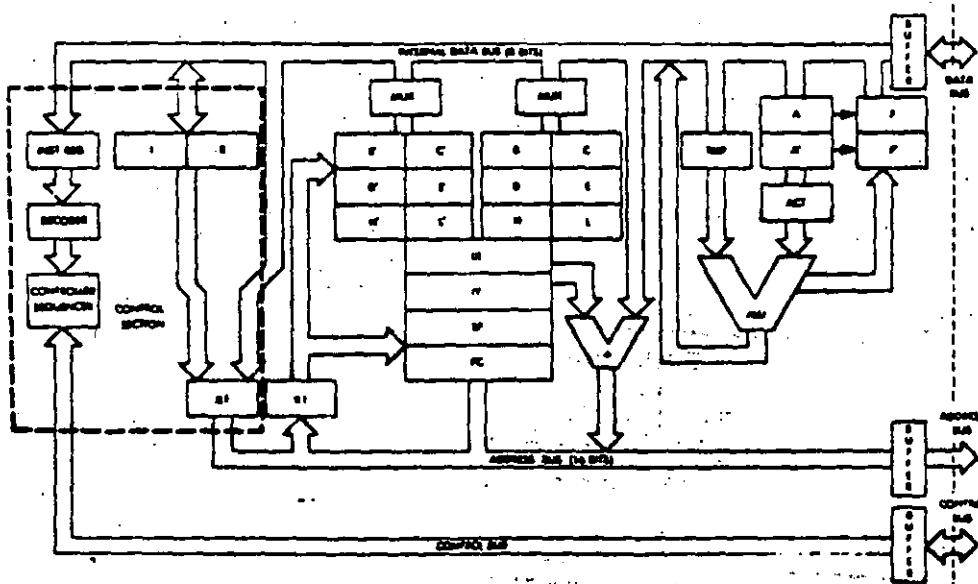
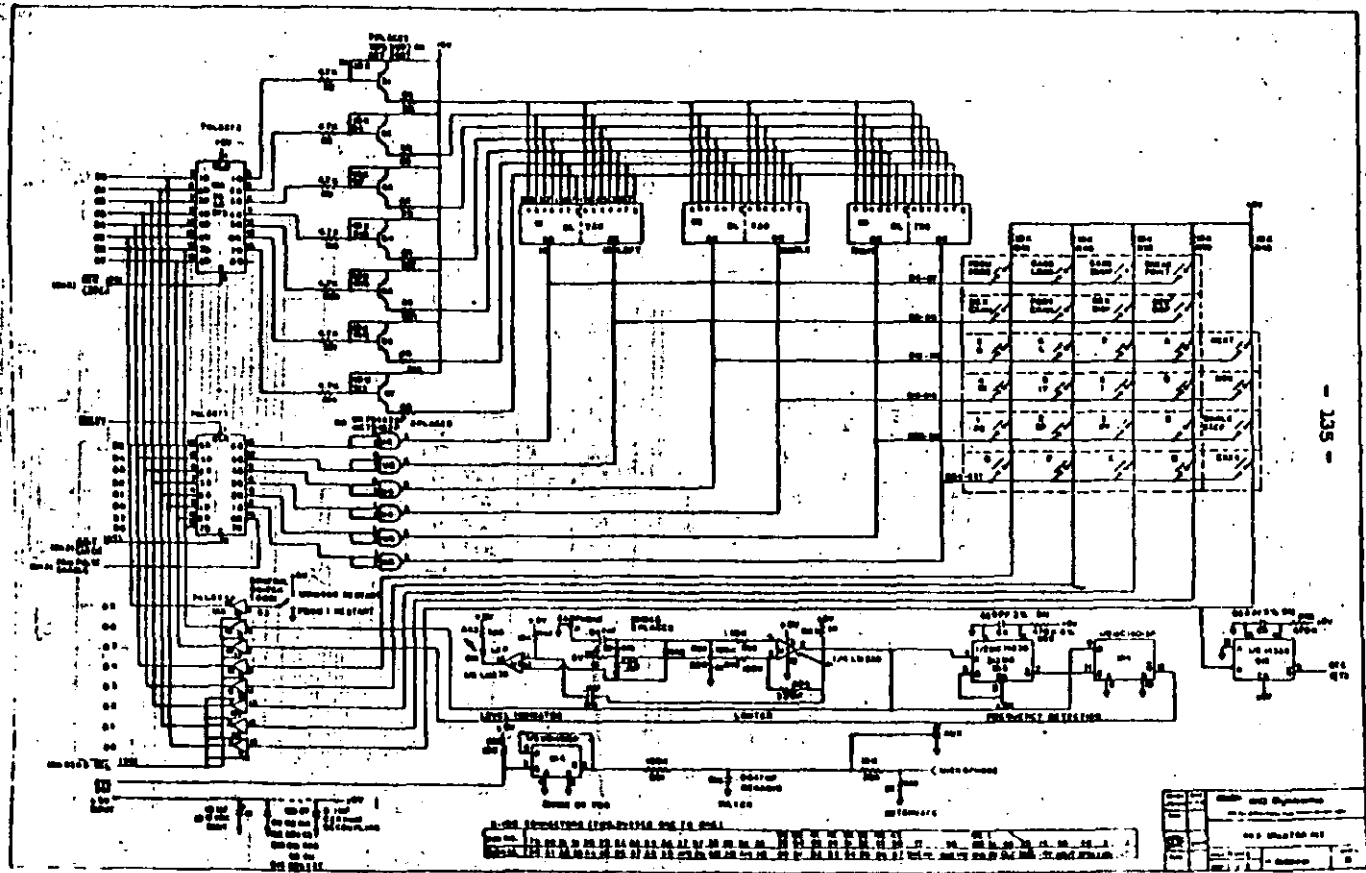


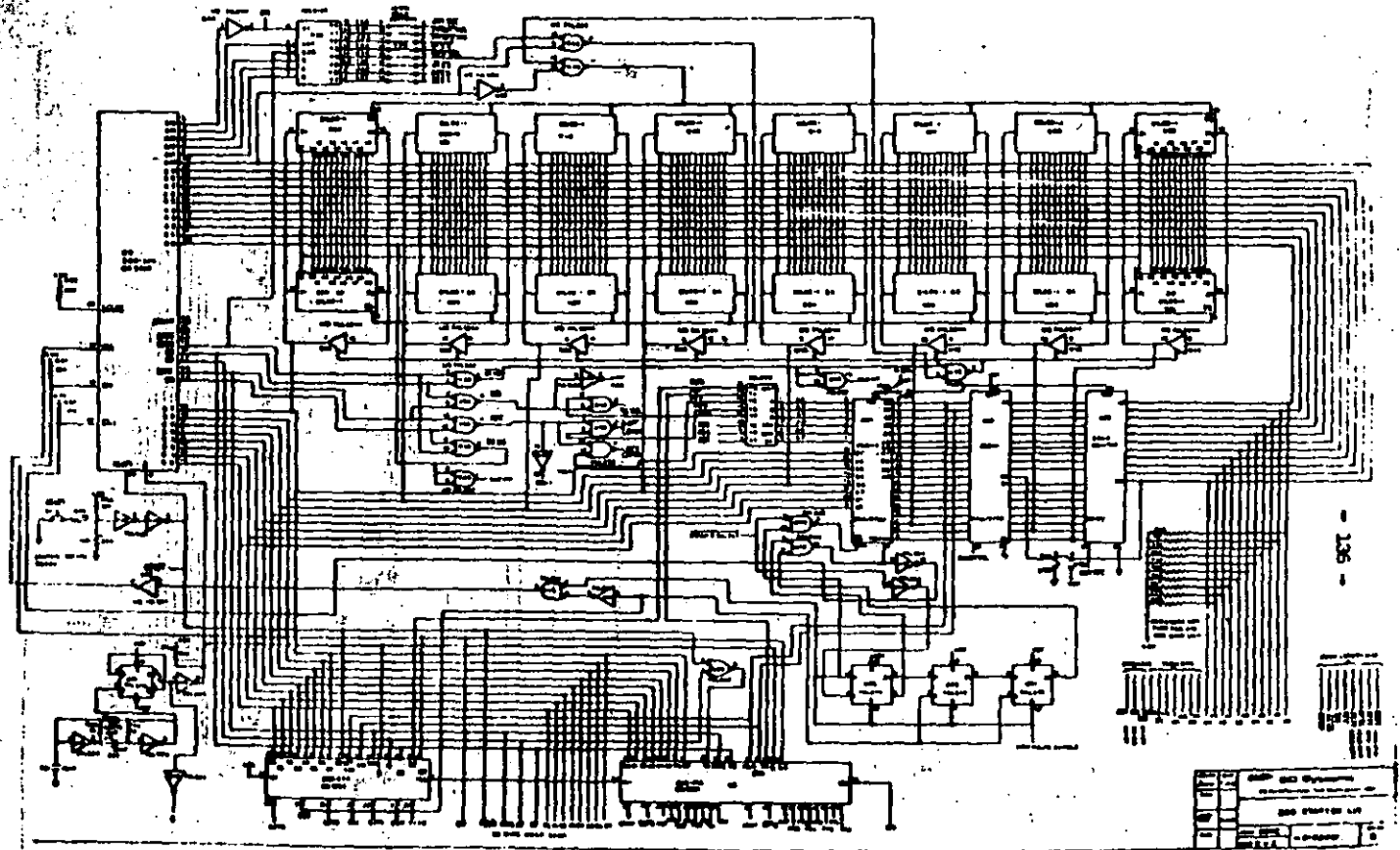
FIGURA A.2 Organización Interna del Microprocesador 8080.

- 134 -

2800H	UNUSED
27FFH	OPTIONAL RAM
2400H	1K BYTES U16-U23
23FFH	ZBUG SCRATCH RAM
AND	
23C1H	BREAKPOINT TABLES
23C0H	USER'S REGISTER MAP
23A9H	
23A8H	ZBUG STACK
2390H	WORKING AREA
238FH	RAM AVAILABLE TO USER
2000H	
1FFFH	UNUSED
1800H	
17FFH	PROM PROGRAMMER
1000H	PROM2 SOCKET (U34)
0FFFH	PROM1 SOCKET (U33)
0800H	
07FFH	ZBUG MONITOR
0000H	

FIGURA A.3







**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y

MICROCOMPUTADORAS

TEMA 2: INSTRUMENTACION ELECTRONICA

INTRODUCCION

EXPOSITOR:

ING. RICARDO GARIBAY J.

MARZO

LA INSTRUMENTACION ELECTRONICA Y SU
PERSPECTIVA EN SISTEMAS AUTOMATICOS

Carpólican Muñoz Gamboa
Javier Valencia Figueroa

División de Estudios de Posgrado
Facultad de Ingeniería, UNAM
Ap. postal 70-256, Tel. 550.52.15 ext. 4477
04510 México, D.F.

RESUMEN

Desde los aspectos básicos de medición, detección y adquisición de datos, la instrumentación electrónica juega un importante papel en el desarrollo de los modernos sistemas automáticos, por lo que comprender sus posibilidades y alcances es vital para imaginar la forma en que determinará el avance de ellos en el futuro.

En este trabajo se plantean las cuestiones básicas de la instrumentación electrónica y se analizan las conexiones que tienen con los sistemas automáticos, haciendo especial hincapié en la influencia que ejercen en el actual desarrollo de la robótica.

Se dedica atención, además, a los aspectos de software que se relacionan con esta problemática y que gravitan cada vez con mayor fuerza tanto en instrumentación, como en robótica.

INTRODUCCION

El desarrollo de los sistemas automáticos modernos tiene, entre sus principales características, la capacidad de reunir con una meta común a una serie de disciplinas que prestan importantes contribuciones al logro de sus objetivos. Entre estas disciplinas se encuentra la instrumentación electrónica, que tiene la responsabilidad de encargarse de los aspectos básicos de medición, adquisición de datos y procesamiento de datos, con lo que permite que los sistemas efectúen una cuantificación de las variables físicas que deben manejar, lo que le confiere precisión a sus operaciones.

En este sentido cabe destacar que es la instrumentación, entendida como una actividad de medición o cuantificación del mundo físico, la que confiere a la ciencia su carácter de tal [1]. Por ello, la instrumentación requiere avanzar a la vanguardia del desarrollo tecnológico y científico, ya que paralelamente al descubrimiento debe desarrollarse el mecanismo de evaluación o medición.

Entre las demás disciplinas que se reúnen en los sistemas automáticos, se tienen la mecánica, el control automático, las comunicaciones, la programación y diversos aspectos de la física o de la ingeniería, dependiendo del objetivo del sistema automático. Aunque estas cuestiones también se mencionarán en el presente trabajo, se hará mayor hincapié en la influencia que tiene principalmente la instrumentación electrónica, en los sistemas automáticos, sin desconocer la importancia de las demás disciplinas.

Una de las cuestiones más significativas de la instrumentación electrónica es que por su carácter debe adaptarse a muy diversos objetivos, por ello es que la confluencia de la instrumentación electrónica y la medicina; por ejemplo, da origen a la instrumentación médica; la unión con las ciencias de la tierra, da lugar a la instrumentación geológica, geofísica, etc. En el caso de los sistemas automáticos, la instrumentación electrónica tiene la responsabilidad de conectar el mundo físico de un proceso con los dispositivos o aparatos responsables de controlar, tomar decisiones o efectuar acciones para modificar, corregir o conducir el proceso bajo control. Por ello es que el objetivo del presente trabajo es plantear las cuestiones básicas de la instrumentación electrónica y de los sistemas automáticos para

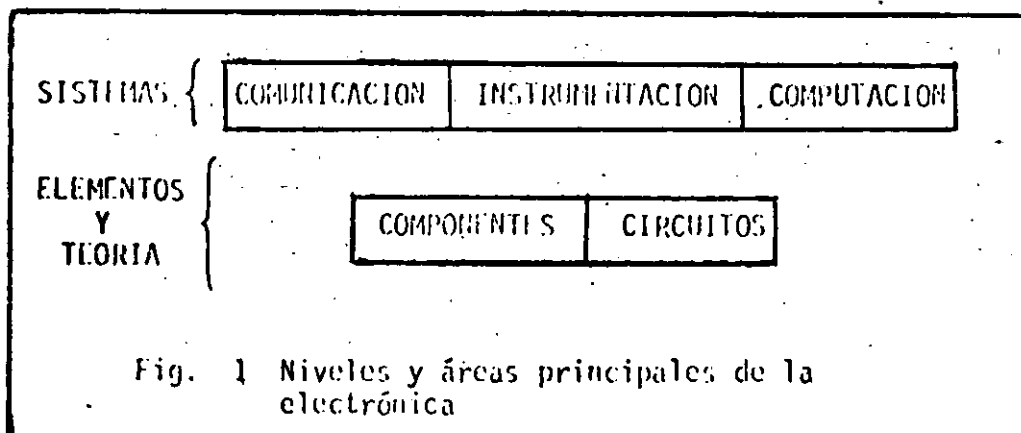
sentar las bases del análisis de las conexiones que tienen entre sí y de cómo se ejercen sus influencias.

LA INSTRUMENTACIÓN ELECTRÓNICA

Al iniciar el análisis, es conveniente precisar lo que se entiende por instrumentación electrónica, en qué contexto se encuentra y cuales son las formas que adopta.

Es un lugar común muy difundido que debe entenderse por instrumentación prácticamente toda actividad en la que se precisa de instrumentos; sin embargo, aunque esto puede ser verdad en el lenguaje común, no puede aplicarse completamente a la ingeniería. Por ello se le considera como el área que se relaciona con la medición, evaluación o análisis de variables físicas, así como con los mecanismos, métodos e instrumentos encargados de realizar efectivamente estas operaciones.

En el caso específico de la instrumentación electrónica esta concepción se restringe a los mecanismos, métodos e instrumentos electrónicos, aunque las variables no tienen porqué ser únicamente eléctricas. En este contexto, la instrumentación electrónica pasa a ser una parte muy importante de la electrónica, como se observa en la figura 1, donde se consideran como las bases de ellos a los elementos o componentes y a la teoría. Las



comunicaciones, la instrumentación y la computación constituyen entonces productos elaborados a partir de estas bases y que tienen múltiples interacciones entre sí, las que se destacan en la figura 2.

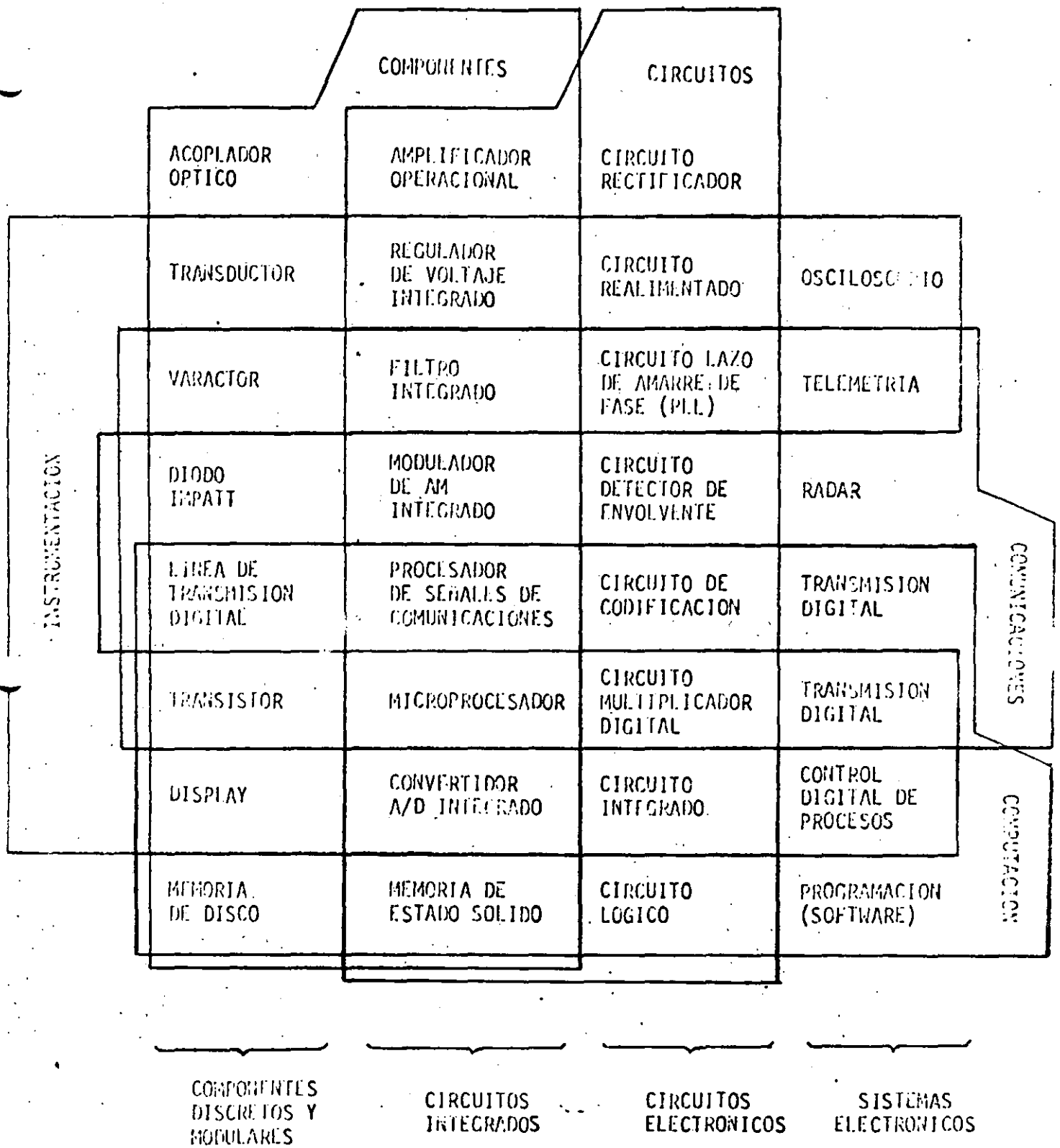


FIG. 2 Areas en que se divide la electrónica y elementos representativos de las intersecciones entre ellas.

Puesto que este planteamiento pudiera ser un poco arbitrario, se aclarará lo que se entiende por cada una de estas áreas. Es evidente que los componentes electrónicos son fácilmente reconocibles como tales, especialmente porque se basan en los fenómenos eléctricos que ocurren en los gases, el vacío y principalmente en los semiconductores. Debe destacarse, sin embargo, que muchos componentes no son de este tipo (como inductores, capacitores, etc.) y algunos no son ni siquiera eléctricos (son mecánicos o magnéticos), pero está claro que no son los más importantes, sino que son únicamente de apoyo y están hechos en forma especial para uso electrónico.

Por otra parte, la teoría de circuitos no sólo es útil en electrónica sino que también en ingeniería eléctrica, pero ya se sabe que los circuitos que se emplean en electrónica son muchos más, más específicos y bastante más interesantes. Hecha la salvedad, queda claro que los componentes y los circuitos son las bases físicas y teóricas de los sistemas que se desarrollan a partir de ellos, los que se indican en la figura 1 como comunicaciones, instrumentación y computación.

Las comunicaciones son, en síntesis, el área que trata de la aplicación de técnicas y elementos al análisis, procesamiento, transmisión y posterior recuperación, procesamiento y aplicación de información, por lo que constituye un área bastante específica.

La computación, por otro lado, es el área vinculada al desarrollo y aplicación de las computadoras; sin considerar, por supuesto, lo que actualmente se conoce como ciencia de la computación que ha adquirido fuerza e independencia.

Al hacer estas distinciones, queda claro que la definición de instrumentación electrónica no limita la interacción entre las diferentes áreas, ya que tanto en comunicaciones como en computación serán necesarios los instrumentos de análisis, medición y prueba. También en todos los sistemas se tendrá la influencia o aplicación de técnicas de comunicaciones o de computación al procesarse o transmitirse señales o datos dentro de un sistema o en una red de ellos.

Puesto que la definición planteada es muy general, es conveniente especificar con mayor claridad las formas que adopta la instrumentación elec

trónica o las partes en que se le puede dividir. Para este efecto se considerarán los sistemas de medición, los sistemas de adquisición de datos, los sistemas de adquisición y procesamiento de datos y los sistemas automáticos.

Los Sistemas de Medición (SM)

En la figura 3 se muestra un diagrama esquemático de un sistema de medición generalizado, que permitirá reconocer que cualquier instrumento de medición es un buen ejemplo de un SM. Se tiene una etapa detectora

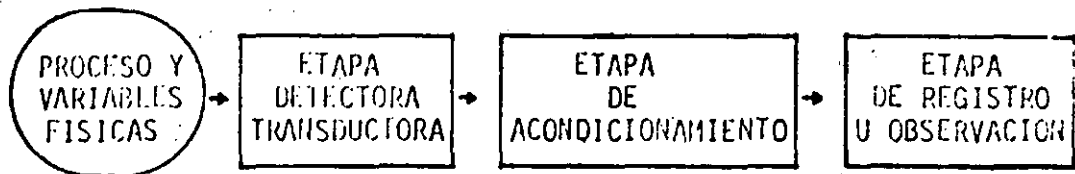


Fig. 3 Diagrama esquemático de un sistema de medición generalizado (SM)

transductora, que transforma a las variables a medir a su forma eléctrica, una etapa de acondicionamiento, responsable de efectuar algunas modificaciones a las señales con el objeto de adecuarlas al procedimiento mismo de medición, o del procesamiento necesario para determinar el valor que se desea medir. La etapa final tiene por objeto, como puede suponerse, registrar el valor obtenido o permitir que sea observado por el usuario.

En esta forma simple implica únicamente una transformación de la variable en observación desde el dominio del mundo físico a un dominio observable. Esta transformación es la esencia de todo proceso de medición y por ende de la instrumentación. Por ello cada vez que se tenga que realizar este proceso, se tendrá algún tipo de SM, aunque esta transformación no es exclusiva de ellos, sino que es compartida por los demás sistemas que se analizarán.

Otra forma, un poco más compleja, que adoptan los SM incluye el uso de la comparación con referencias internas para obtener la diferencia entre el valor medido y un valor que "debió ser", la realimentación y uso de esta diferencia o error y, por último, el control del valor obtenido. En esta forma, el SM adquiere además características de controlador, aunque todo el proceso se basa en la determinación de los valores de la variable, es de

cir, en la medición.

Los Sistemas de Adquisición de Datos (SAD)

En el caso anterior se trataba de obtener (y a veces manipular) el valor de una sola variable (o de algunas variables, aunque nunca en forma simultánea), lo que producía instrumentos sencillos y de aplicación muy local. En ocasiones, sin embargo, se requiere la obtención y el tratamiento de los valores de muchas variables, función que ejecutan los sistemas de adquisición de datos. En la figura 4 se observa un diagrama esquemáti



Fig. 4. Diagrama esquemático de un Sistema de Adquisición de datos generalizado (SAD).

co que representa a los SAD, el que no difiere esencialmente de los SM, excepto porque ahora existe una obtención y un tratamiento múltiple de las variables en observación. La diferencia, sin embargo, tiene muchas facetas que no son evidentes en el diagrama, pero que son importantes, como son los procedimientos (principalmente de acondicionamiento y de registro) que se aplican a los datos que se obtienen. Al mismo tiempo, el objetivo ahora es principalmente obtener no un valor (o un conjunto de ellos), sino también una "visión" específica del proceso en observación. Esto se conoce como estado del proceso y tiene por lo general la intención de caracterizarlo o controlarlo.

En esta forma es como surge en forma natural la idea de controlar el proceso con un lazo de realimentación, similar al de los SM realimentados. Esta vez, sin embargo, no se trata de un solo lazo que se cierra, sino que de un sistema complejo de interacciones entre los valores obtenidos del proceso en cada momento, los que se desean obtener, el error que resulte entre ambos conjuntos y de los múltiples mecanismos que puede haber para controlar o dirigir el proceso. En cualquier caso, es preciso señalar que el volumen de la información que se maneja obliga al empleo de mecanismos de registro o almacenamiento, por lo que la etapa final va per

diendo su característica de ser de observación y se va convirtiendo cada vez más en una etapa para uso del sistema, es decir, donde el SAD puede encontrar información útil para su operación.

Los Sistemas de Adquisición y Procesamiento de Datos (SAPD)

Tal como se mencionó en el caso anterior, el volumen de la información recolectada por un SAD va obligando a considerar como una actividad importante el procesamiento de ellos, lo que conduce directamente a los SAPD.



Fig. 5 Diagrama esquemático de un sistema de adquisición y procesamiento de datos generalizado (SAPD).

En la figura 5 se muestra un diagrama esquemático de estos sistemas donde se observa que se ha agregado, una etapa de procesamiento posterior al acondicionamiento múltiple. Esta nueva etapa es la más importante del SAPD, porque es la responsable de obtener, a partir de toda la información recogida, los elementos de juicio necesarios y resumidos para evaluar, corregir, conducir o controlar el proceso en cuestión.

Los elementos de juicio a que se hace referencia son curvas, cifras de mérito (como medias, dispersiones, etc.), diagramas, relaciones y todo tipo de información condensada que permitirá evaluar la evolución del proceso en observación y eventualmente tomar decisiones en forma automática para controlarlo.

De acuerdo a lo que se ha planteado queda la idea de que en estos sistemas lo más importante no es la detección, el acondicionamiento o la medición de los valores, sino que por el contrario, el procesamiento de los datos obtenidos. En este sentido cabe destacar que, aunque la etapa detectora transductora sea sólo una especie de canal de comunicaciones entre las variables físicas y los datos, se requiere que ésta trabaje eficientemente como SM independientes, de cuya exactitud dependerán las decisiones toma

das o los resultados obtenidos por el procesamiento. Y puesto que se hace énfasis en el procesamiento de los datos, la síntesis, y no sólo el análisis, forma parte de él. Un ejemplo serían los sintetizadores de señales.

Por otra parte, debe notarse que se ha hecho a propósito la distinción entre acondicionamiento y procesamiento, ya que en el primer caso no hay una transformación real de la información, en tanto que en el segundo, si la hay. En la etapa de acondicionamiento, por ejemplo, se realizan las siguientes operaciones típicas:

1. Muestreo y retención
2. Conversión analógica digital
3. Filtrado, amplificación o atenuación
4. Sincronía entre las distintas variables
5. Medición

Todas estas operaciones están encaminadas principalmente a obtener valores confiables de la medición. En la etapa de procesamiento, por el contrario, el objetivo de las operaciones es muy diverso, como se destaca al mencionar algunas de las más simples de ellas:

1. Cálculo de estimaciones de probabilidad
2. Solución de integrales y diferenciales
3. Correlación y convolución
4. Cálculo y manejo de errores
5. Análisis espectral

La más importante diferencia, entonces, que puede observarse entre los SAPD y los SAD (incluyendo a los SM), es que los primeros logran condensar la información obtenida, además de obtenerla, por lo que su utilidad se incrementa notablemente, dando origen a los sistemas automáticos al emplear los recursos de la programación, de los sistemas de cómputo y de la realimentación a través de actuadores que influyan en el proceso.

Los Sistemas Automáticos (SA)

En la figura 6 se observa un diagrama esquemático de un SA obtenido

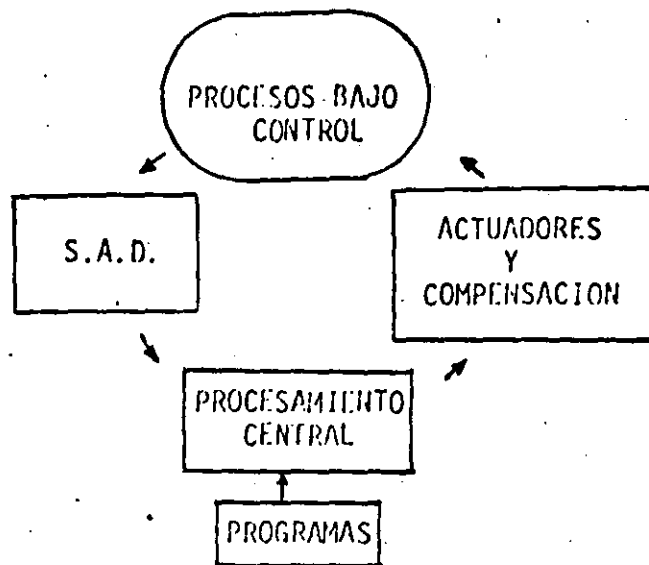


Fig. 6 Diagrama esquemático de un sistema automático generalizado (SA)

en forma natural y por evolución desde el SM. Se ha querido destacar al procesamiento como el punto más importante del sistema, por lo que se le ha dividido en un SAD, la unidad de procesamiento central, la correspondiente programación y los actuadores o etapa de salida.

Además de la realimentación, pareciera no haber mayor diferencia entre el SA y los SAPD, pero pueden hacerse notables distinciones entre la forma de operación de ambos sistemas y entre sus objetivos.

Los SAPD son por lo general dedicados y de programación más rígida, en tanto que los SA son más flexibles, dependen en gran medida de los recursos de programación, tienen a su cargo normalmente varios procesos y, lo que es más importante, no dependen del usuario durante la operación ni están diseñados para considerar como su función más importante la observación o registro de datos (salvo, tal vez, en la información a través de monitores). Para los SAPD es más importante el procesamiento de los datos obtenidos (evaluación del proceso), mientras que para los SA son vitales las decisiones a tomar sobre las acciones futuras (control del proceso).

La robótica es un ejemplo muy actual e interesante de los SA, ya que ha pasado a ser un importante ingrediente de la industria moderna, llegando se a observar desde ya sus influencias económicas, sociales y políticas. En el siguiente capítulo se analizarán con mayor detalle los SA y la robótica.

LOS SISTEMAS AUTOMATICOS Y LA ROBOTICA

Considerando al SA como un sistema capaz de obtener datos del mundo físico, de procesarlos apropiadamente para tomar decisiones basadas en ellos y, posteriormente, ejecutar acciones precisas y definidas con el fin de lograr ciertos objetivos, se tiene un sistema de alta complejidad, del que pueden mencionarse algunos ejemplos relevantes como los sistemas de control de plantas industriales, los vehículos y sondas automáticas empleadas en la exploración espacial y los robots industriales. Estos últimos han generado sus propias bases de análisis y desarrollo dentro de lo que se conoce actualmente como robótica.

Los robots destacan entre los ejemplos anteriores fundamentalmente porque tienen la capacidad potencial de sustituir al ser humano en labores rutinarias, repetitivas o peligrosas, característica que no es compartida por la totalidad de los demás SA que están principalmente orientados a ejecutar acciones que por su velocidad o dificultad no son humanamente posibles. Tal vez por esta razón, la robótica se ha desarrollado más rápidamente en los países industrializados donde la mano de obra es cara o escasa, en donde importa bajar los costos de producción por la competencia internacional, o en la industria más avanzada, a causa de la complejidad o dificultad que presenta el control de sus procesos.

En este sentido, la robótica plantea un desafío similar a la introducción de la máquina, que condujo a la revolución industrial, por lo que es de esperarse que muy pronto sea necesario adaptarse a nuevas y muy distintas condiciones de operación de la industria.

En la actualidad se ha tenido un desarrollo acelerado de la robótica que puede caracterizarse en los siguientes puntos [2]:

1. Lento avance del control dinámico y del diseño mecánico en comparación con los otros aspectos de la tecnología.
2. Factibilidad de las realizaciones como consecuencia del avance de la microelectrónica.

3. Es un campo de amplias aplicaciones y de investigación a largo plazo.
4. Fuerte impulso del desarrollo motivado por la competencia industrial internacional y por las implicaciones militares y gubernamentales.
5. Es un campo que exige la coordinación o niveles nacionales de la investigación, para impulsar en forma dirigida y eficiente la tecnología.

Los sistemas automáticos (y de robótica en particular) consideran aspectos de diferentes campos y los integran en un solo bloque de conocimientos. Los principales aspectos que se considerarán aquí son mecánicos, de detección, de adquisición de datos, de reconocimiento, de control, de comunicaciones y de programación. Todos estos aspectos son vitales y muchos de ellos presentan problemas en vías de solución, e incluso, aún no resueltos, por lo que se analizarán por separado.

Aspectos Mecánicos

Orientados básicamente a la tracción y al movimiento, los aspectos mecánicos tienen la responsabilidad final de la manipulación (robots manipuladores) [3] o del desplazamiento (vehículos exploradores). Por esta razón se enfrentan principalmente a dos cuestiones: la imitación de los movimientos hechos por brazos humanos (o a su sustitución por otros diferentes) en lo que se refiere a la ubicación en el espacio y libertad de posición, y la solución del problema del desplazamiento y transporte de todo el sistema en un terreno no apto para los mecanismos tradicionales de tracción.

En este último caso (los vehículos exploradores), la solución no se parece en nada a la humana, es decir, los sistemas no imitan una caminata, sino que se desplazan apoyados en ruedas u orugas muy adaptables al terreno en que se posan. Tal vez por eso la manipulación es más atractiva, ya que se observa en los robots manipuladores una grotesca imitación del movimiento de los brazos humanos. No debe olvidarse, tampoco, que estos robots sustituyen una actividad humana más productiva que el desplazamiento.

Aspectos de Detección y Adquisición

En sus formas más simples, la detección y adquisición de datos se relacionan estrechamente con los SM y SAD, aunque cuando se trata de SA o de robots, el problema no consiste simplemente en detectar y obtener un conjunto de datos. Con mucha frecuencia se trata de seleccionar de entre un grupo de variables la más significativa, para determinar en mejor forma los elementos necesarios que servirán para lograr el objetivo deseado. Por esta razón, aunque la detección de contacto, de proximidad, de formas, de distribuciones, de voz humano, etc. sean problemas resueltos en principio, es más importante el reconocimiento o análisis de lo detectado. La detección o adquisición de datos en sí no constituye realmente un obstáculo serio, aunque los mecanismos de detección han progresado notablemente (por ejemplo, con los arreglos de sensores) [4] y se han desarrollado nuevas técnicas digitales de adquisición de datos.

Aspectos de Control

Es indiscutible que la realización de acciones por parte del robot trae como consecuencia la necesidad de controlar su operación. Los sistemas físicos, en general, y los mecánicos en particular presentan características tales que obligan a considerar diversos aspectos de la teoría del control digital [5].

Por otra parte, la acción de los SA (y de los robots) está dirigido no sólo a controlarse así mismos, sino que también a controlar los procesos en consideración. Y por supuesto que es lógico que los mecanismos de detección, adquisición, procesamiento y realimentación del sistema requieran ser controlados.

El empleo generalizado de técnicas digitales, así como de variables muestreadas obliga también a considerar los sistemas desde puntos de vista más generales y modernos.

Aspectos de Comunicaciones

Entendiendo las comunicaciones como los procesos de transferencia de

información entre dos puntos, el manejo interno de los datos requiere el uso de técnicas digitales de análisis de señales y de comunicaciones [6]. También es importante considerar que las señales se transportan en forma analógica desde los detectores a la etapa de acondicionamiento; que en este punto se utilizan muchas técnicas de tratamiento típicas de comunicaciones, como son el filtrado, la modulación, etc.; que en ocasiones será necesario la transmisión de datos o instrucciones de control en situaciones de comandos a distancia; y que dependiendo del medio en que se realicen las transmisiones puede ser necesario el empleo de técnicas de protección de la información respecto al ruido por medio de códigos.

Por otra parte, los robots emplean profusamente en sus detectores técnicas de comunicaciones para la localización del entorno en que se desenvuelven, los que van desde simples detectores de proximidad hasta sistemas cerrados de TV.

Aspectos de Reconocimiento.

Entre las funciones características que deben desempeñar los robots en su relación con el entorno, por lo que la etapa de detección y adquisición de datos debe ser lo suficientemente compleja como para llegar a desempeñar sus funciones aunque se presentan cambios en el medio. Esto hace que las formas de detección sean similares a las humanas, debiendo ser capaces de reconocer sonidos, patrones, figuras, etc. Sin embargo, la principal dificultad no está en la adquisición de los datos, sino en los procedimientos necesarios de procesamiento para reconocer lo que se desea.

El tratamiento a que es sometida la información adquirida llega a ser el punto clave del proceso. Las señales se procesan por medio de apropiadas transformaciones que facilitan la tarea del reconocimiento. La problemática general se relaciona estrechamente con los modelos empleados para la representación de lo que se desea reconocer y con las herramientas matemáticas sobre las que se basan los modelos.

Aspectos de Programación (Software)

Al describirse el diagrama general de un SA se destacó que una de las

partes vitales del sistema corresponde al procesamiento central, individualizado por una computadora, por lo cual la programación se convierte en una herramienta indispensable para la operación de los SA. En el caso de los robots, la programación adquiere características especiales, ya que se hace preciso el empleo de lenguajes orientados al desempeño de la máquina [7].

La programación de los robots cumple entonces, entre otras funciones, las siguientes:

1. "Visualizar" el medio ambiente a través del tratamiento apropiado de las señales o datos adquiridos por el sistema.
2. "Adecuarse" a un determinado medio para realizar determinadas funciones, frente a cambios que se produzcan.
3. Controlar la ejecución de determinadas acciones, de acuerdo a los requerimientos de sus etapas de salida o de los procesos que se requiere controlar.
4. Supervisar la realización de una secuencia de actividades de acuerdo a la función que realiza.
5. Administrar óptimamente los recursos de cálculo al desarrollar las distintas operaciones, puesto que todas deben llevarse a cabo en tiempo real.
6. Coordinar las diferentes actividades entre sí, para que vayan culminando en una secuencia dependiente de la operación que se realiza y de acuerdo a lo que el medio ambiente vaya requiriendo.
7. Autocomprobar la operatividad de sus diferentes partes y diagnosticar las fallas o mal funcionamientos que se produzcan.

Como habrá podido notarse, la complejidad de las funciones que debe desempeñar la programación transforman al procesamiento central en la pieza clave de todo el sistema. Prácticamente no hay posibilidades de desarrollar funciones de ningún tipo si la programación no es adecuada o es inexistente.

Las funciones más simples de control residen en esta parte, así como la responsabilidad del reconocimiento, o del proceso de los datos se caen en ellos.

De allí que es de vital importancia reconocer que el desarrollo de los robots (y en general de los SA) depende en gran medida del avance de estas técnicas y, por supuesto, de lo que se apoyen en las cuestiones básicas del reconocimiento y del control.

CONCLUSIONES

Se ha planteado una estructura general de la Instrumentación Electrónica, en la que los SA constituyen el ingrediente más elaborado. Al mismo tiempo, se han destacado las diferencias entre las partes constitutivas y se incluye a la robótica dentro de los SA. Esta visión de conjunto implica también reconocer que los SA (y la robótica, en particular) han comenzado a independizarse como disciplinas y que reúnen en su seno a una serie de conocimientos provenientes de distintas áreas.

En la figura 6 se mencionan como elementos constitutivos de un SA generalizado: un SAD, un sistema de procesamiento central, los actuadores y la compensación, la programación, y los lazos de realimentación respectivos de la arquitectura del SA, lo que también es aplicable a los robots. Debe reconocerse que todos estos elementos son importantes y que en cada uno de ellos se presentan los aspectos que se han analizado.

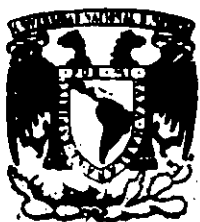
Los aspectos mecánicos son típicos de los actuadores y de la compensación; los aspectos de detección, de adquisición, así como algunos de reconocimiento se refieren al SAD; los aspectos de comunicaciones y control están relacionados con la totalidad del SA; los aspectos de reconocimiento, programación, control y algunos de comunicaciones están vinculados con el sistema de procesamiento central y con la programación. Esta perspectiva pone de manifiesto que sobre estas dos partes recae la mayor parte de la responsabilidad de la operación del sistema, lo que las transforma en las más importantes.

Esta situación tenderá a agudizarse a causa de que en el futuro los sistemas de control computarizado tenderán a ser redundantes y de múltiples

grados de libertad; se mejorará la confiabilidad con el procesamiento distribuido; se obtendrán mejores modelos dinámicos y cinemáticos para el control en tiempo real; se desarrollarán lenguajes orientados y de alta especialización; y se espera un fuerte avance en los sistemas de reconocimiento.

REFERENCIAS

1. Bernard M. Oliver y John M. Cage (Eds.), "Electronic Measurements and Instrumentation", Mc Graw Hill, 1971.
2. D. Tesar, "Conclusions for the NSF Robotics Workshop" Proceedings of the National Science Foundation, Febrero 1978, Florida.
3. J. Angeles, "Aspectos Teóricos de la Robótica", Revista Ingeniería, Vol LII-No. 4, Diciembre 1982
4. J.M. Kates, "A Generalized Approach to High-Resolution Array Processing". International Conference on Acoustics, Speech, and Processing, ICASSP 83, Boston MA.
5. Robert B. McGhee, "Dynamics and Control of Manipulators and Robotics Systems", Proceedings of the National Science Foundation, Feb. 1978.
6. C. Richmond y V.K. Jain, "Systems Modeling by Digital Signal Processing and Laboratory Verification", International Conference on Acoustics, Speech, and Signal Processing, ICASSP 83, Boston MA.
7. W.T. Park, "Robotics Research Trends", Proceedings of the National Science Foundation, Feb. 1978.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

C U R S O S A B I E R T O S

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y

MICROCOMPUTADORAS

TEMA 2: INSTRUMENTACION ELECTRONICA

APENDICE

DEFINICIONES

EXPOSITOR:

ING. RICARDO GARIBAY J.

MARZO

CLASIFICACION BASICA DE LOS INSTRUMENTOS

ELEMENTOS PRIMARIOS. Son aquellos dispositivos que detectan la variable y a partir de ella inducen un efecto de tipo mecánico o eléctrico principalmente, el cual es relacionable a la variable del proceso permitiendo su medición y creando una señal que pueda ser manipulada para incorporarla a funciones de automatización y/o procesamiento. El elemento que se seleccione para realizar la medición debe tener las mejores características de sensibilidad, linealidad, potencia, etc. sin cargar energéticamente y sin interferir al proceso.

Existen dos tipos básicos de elementos primarios: aquellos que sólo generan una indicación local y aquellos que son capaces de entregar señales que pueden ser manipuladas. Estos últimos son esenciales para las funciones de procesamiento electrónico.

Ejemplos típicos de elementos primarios de medición son los termopares, los sensores de temperatura por resistencia, los fuelles y diafragmas empleados para medir presión, los extensómetros eléctricos, para la misma aplicación, los medidores ultrasónicos de flujo y de nivel, las restricciones para medir flujo, los electrodos para medición de pH, etc.

Un ejemplo de elementos de medición que no resultan adecuados para el procesamiento puede ser el sistema colorimétrico para la medición del pH, por varias razones: solo permite mediciones cualitativas y no cuantitativas, no entrega ninguna señal y el agregar una sustancia extraña a la solución puede alterar el valor de la variable a medir.

TRANSMISORES. Este dispositivo toma la señal de bajo nivel producida por el elemento primario para generar una señal de alto nivel, transmisible, que informe al resto de los instrumentos del lazo la magnitud de la variable que se mide.

Estos dispositivos se hacen necesarios debido a las grandes distancias que pueden existir entre los puntos en que se hace la medición y los cuartos de control. Otra razón que obliga al empleo

de este dispositivo es la diversidad de tecnologías que pueden existir en un mismo sistema. Los transmisores se encargarán de hacer compatibles las señales de los transductores con el resto del sistema de control.

Existen tres tipos básicos de transmisor:

- Neumático/Neumático
- Neumático/Eléctrico
- Transmisor de señal eléctrica de bajo nivel a corriente.

Los transmisores neumáticos/neumáticos toman una señal de presión, proveniente de un sensor con salida neumática o de un sistema termal lleno y la convierte a una señal neumática de presión regulada, normalmente 3 a 15 ó 3 a 27 psig.

Cuando se emplea tecnología electrónica pero existe alguna variable que es indispensable medir con un sistema neumático se hace imprescindible el empleo de transmisores neumático/eléctrico, que tomarán la señal de aire que se les entregue para convertirla en una señal eléctrica de las empleadas normalmente (4-20, 0-15, 1-5, ó 10-50mA.).

El tercer tipo de transmisores es el que convierte una señal eléctrica de baja potencia, que puede ser una fuerza electromotriz, como la generada por los termopares o transductores piezoeléctricos, una señal de resistencia, como la generada por las galgas extensométricas o los sensores de temperatura por resistencia, o una variación de una impedancia, como un sensor de nivel tipo capacitivo o un medidor de flujo magnético, para generar una señal de corriente en los rangos mencionados en el párrafo anterior.

Existe otro dispositivo, el convertidor electro/neumático, que podría ser considerado dentro de los transmisores por su característica de convertir la señal de un tipo en otro diferente, pero no lo es ya que normalmente recibe la señal eléctrica proveniente del controlador para generar su señal neumática misma que entrega al actuador de la válvula de control, montada cerca del convertidor.

INDICADORES Este dispositivo, al igual que los transmisores, toma

el efecto producido por el elemento primario, pero a diferencia de aquellos no genera una señal transmisible sino una indicación escalada de la variable de proceso. También pueden tomar la señal del transmisor para realizar la indicación. Pueden estar montados directamente en el campo, ya sea directamente en los transmisores o por sí mismos, o en los cuartos de control, y pueden poseer cualquier tipo de carátula, digital o analógica, redonda, horizontal o vertical.

REGISTRADORES. Estos instrumentos están provistos con un sistema de impresión que permite obtener una gráfica en papel de la variable de proceso, la cual muestra el comportamiento de dicha variable segundo a segundo durante las 24 horas del día. Pueden contener circuitos de medición de cualquier tipo (potenciométricos, tipo puente, etc.) para poder recibir señal directamente de los elementos primarios o de los transmisores.

Comercialmente se ofrecen en una gran diversidad de presentaciones, desde los registradores tipo miniatura, con tamaño frontal de 3 x 6 pulgadas y escalas de 100 mm, hasta registradores grandes, con escalas de 250mm.

Pueden estar provistos con una, dos, tres o seis plumas, o proveer sistemas de rastreo que permitan registrar 15, 30 o hasta 100 puntos en una misma gráfica.

Pueden incorporar indicadores de tipo digital y sistemas de alarmas, que se aplican a un control de apagado-encendido básico o estar apareados a controladores electrónicos proporcionales.

CONTROLADORES. Es el tipo que opera en base a la variable medida para mantener, corregir o limitar el valor de ésta con respecto a un valor especificado. Pueden estar contruidos con cualquiera de las tecnologías ya mencionadas e incorporar indicadores y alarmas, además de realizar la función de control.

ELEMENTOS FINALES DE CONTROL. Son los dispositivos que actúan directamente sobre la variable manipulada para mantener el valor especificado de la variable controlada.

En la mayoría de los casos no son manejadas directamente por la señal del controlador, ya que ésta no tiene la suficiente

potencia para ser aplicada a dichos elementos, que normalmente son válvulas o elementos calefactores eléctricos, por lo que se hace necesaria la utilización de los actuadores, que proveen la potencia necesaria. El actuador recibe la señal de control y de acuerdo a ella establece la acción o actividad que es el elemento final efectúa sobre los componentes del proceso.

La variable manipulada mas común es el flujo, ya que manejando éste se pueden controlar practicamente el resto de las variables: manejando el flujo de agua se puede controlar el nivel de un tanque de almacenamiento; manejando el flujo de combustible se controla la temperatura en un horno; manejando el flujo de reactivos se controla la acidez o alcalinidad de una solución.

De lo anterior se infiere que el elemento final de control es la válvula y sus actuadores los mas empleados. Estos actuadores pueden ser neumáticos y recibir sus señales a través de amplificadores neumáticos o de los ya mencionados convertidores electro/neumáticos o actuadores eléctricos (servomotores) que reciban potencia de corriente alterna manejada por controladores con salida por SCR. Pero también existen otros elementos de control, como las resistencias calefactoras eléctricas que son manejadas también por SRC, disparados a través de las señales de corriente de los controladores.

INSTRUMENTOS AUXILIARES. Además de los dispositivos mencionados anteriormente, y que son aparentes ya sea en el campo o en el tablero, existen otros que a la vista de un observador poco experto pueden pasar desapercibidos pero que tienen la misma importancia de los anteriores. Son conocidos como dispositivos de control internos al tablero, por su montaje físico y características de aplicación y ayudan a mejorar las técnicas de control.

Estos equipos pueden efectuar funciones matemáticas simples y directas sobre las variables de proceso o de control; dichas funciones pueden ser principalmente: extracción de raíz cuadrada (para condicionar la señal de medición de elementos de flujo), sumadores, integradores, selectores de señal, etc. Cabe afirmar

que no sería posible implementar las avanzadas técnicas de control y automatización sin la ayuda de estos dispositivos, los cuales al igual que el resto de los instrumentos pueden construirse con cualquier tipo de tecnología.

DEFINICIONES RELATIVAS A LAS CARACTERISTICAS DE LOS INSTRUMENTOS.

ESCALA. Sucesión ordenada de marcas y figuras o números en respecto a la cual se observa la posición del puntero del instrumento.

RANGO. Es la región entre los límites dentro de los cuales una variable es medida.

GAMA (span). Es la diferencia algebraica entre el límite superior y el límite inferior del rango.

RESOLUCION. Es el intervalo adyacente entre dos divisiones en una escala. Es el más pequeño cambio que puede ser detectado e indicado por el instrumento de medición.

SENSIBILIDAD. La relación de la magnitud de una cantidad medida, bajo condiciones específicas, respecto a la magnitud de la salida o deflexión en la escala generada en el instrumento.

PRECISION (repetibilidad, reproducibilidad). La concordancia o cercanía entre una serie de mediciones independientes de una misma cantidad física bajo condiciones ambientales y de operación específicas.

DEFINICIONES RELATIVAS A SISTEMAS DE AUTOMATIZACION.

SISTEMA. Es un conjunto de elementos (no necesariamente físicos) que interaccionan entre sí para lograr un determinado objetivo. Por ello, ante un estímulo (entrada) el sistema responde de una cierta forma (Salida) característica.

PROCESO. Es una operación continua o discreta que es susceptible de ser controlada.

PLANTA. Es un objeto físico, equipo o conjunto de ellos que funcionan juntos, cuyo propósito es realizar una determinada función u operación que puede controlarse.

PERTURBACION. Es una señal que tiende a afectar de manera negativa la salida de un sistema.

REALIMENTACION. Es una operación que consiste en utilizar la salida de un sistema como referencia a su entrada, con el objeto de reducir la diferencia entre ambas variables, lográndose con ello también un mejor control de la salida por parte de la entrada en presencia de perturbaciones.

SISTEMA DE CONTROL REALIMENTADO. Es un sistema en el cual se trata de obtener una relación predeterminada y fija entre la entrada y la salida, comparando ambas señales y utilizando la diferencia entre ellas como medio de control.

SISTEMA DE REGULACION. Es un sistema de control realimentado cuya función principal es mantener la salida dentro de un intervalo deseado, a pesar de las perturbaciones externas o variaciones de la entrada.

SISTEMA DE CONTROL DE PROCESOS. Es un sistema de regulación en el cual la salida se somete a una determinada variación predeterminada por un programa o itinerario.

SISTEMA DE CONTROL DE LAZO CERRADO. Es un sistema de control realimentado, ya que la salida se emplea para afectar directamente a la entrada, con lo

cual se tiene un lazo cerrado.

SISTEMA DE CONTROL DE LAZO ABIERTO. Es un sistema de control en el que la salida no tiene ninguna influencia en la entrada.

CONTROL DIRECTO. Se denomina así a los mecanismos de control que utilizan la variable de salida en forma directa para influenciar la entrada. De no ser esto posible, la variable de salida puede determinarse indirectamente a través de otras mediciones.

SISTEMA DE CONTROL ADAPTABLE. Es el sistema de control que tiene la habilidad de automodificarse o ajustarse para compensar las variaciones no predecibles del medio ambiente o de su propia estructura interna.

CONTROLADOR. Es la parte del sistema de control que produce una o más variables de control para alimentar a la planta en función de las variables de referencia o de entrada y de las variables de salida de la planta.

SISTEMA DE CONTROL DIGITAL DIRECTO. Es el sistema de control que está constituido por un dispositivo digital, el que se encarga de generar directamente las señales o variables que alimentan a los elementos finales de control (actuadores).

SISTEMA DE CONTROL SUPERVISORIO. Es el sistema de control, en el que los lazos de control operan en forma casi totalmente independiente, ya que son susceptibles de ser ajustados o corregidos por la acción independiente de otros lazos de control (supervisores), normalmente digitales.

COMPENSACION. Mecanismo adicional de control que permite anular o contrarrestar los efectos debidos a las fuentes conocidas de error en un sistema de control dado.

CONTROL PROPORCIONAL. Es una forma de control en la que existe una relación lineal entre la salida del controlador y la señal de error de la entrada.

CONTROL DE DOS POSICIONES. Es una forma de control en la que el elemento final o actuador tiene sólo dos posibles estados, típicamente encendido y

apagado.

CONTROL INTEGRAL. Es una forma de control en la que la salida del controlador varía a una razón proporcional a la señal de error de entrada, o sea, es proporcional a la integral de esta señal.

CONTROL PROPORCIONAL E INTEGRAL (PI). Es una forma de control en la cual la salida del controlador responde a una combinación lineal de proporcionalidad y de la integral de la señal de error de entrada.

CONTROL PROPORCIONAL Y DERIVADO (PD). Es una forma de control en la que la salida del controlador es una combinación lineal de proporcionalidad y de la derivada de la señal de error de entrada.

CONTROL PROPORCIONAL, INTEGRAL Y DERIVADO (PID). Es una forma de control en la que la salida del controlador es una combinación lineal de la señal de error de entrada, de la integral, de la derivada de ésta.

APENDICE IX. Realimentación y Controladores.

REALIMENTACION

El concepto de realimentación es uno de los más importantes en el control y la instrumentación industrial. De hecho, la realimentación marca el inicio del control moderno y éste es inconcebible sin aquélla. Por ello, es importante conocer perfectamente los fundamentos de la realimentación, la terminología empleada en esta técnica y los resultados que se obtienen al realimentar un sistema.

La forma canónica de representar la realimentación es la que se muestra en la figura 1, donde se observa que la salida y de la planta A se hace pasar por el bloque B y a continuación se reintroduce a la entrada restándole a la entrada original x . Esto produce la señal de error e , que es igual a $x-By$, la que se constituye en la nueva entrada de la planta A . También se observa que la salida de A se altera con la perturbación d , por lo que la salida está dada por

$$y = d + A(x-By)$$

$$\therefore \frac{y}{x} = \frac{A+d/x}{1+AB} \quad (1)$$

Nótese en esta ecuación que el efecto de la realimentación en A es diferente del efecto en la perturbación d , por lo que se tomará $d=0$ de ahora en adelante, excepto cuando se indique.

Tomando $d=0$, resulta entonces que

$$\frac{y}{x} = \frac{A}{1+AB} \quad (2)$$

la que se conoce como fórmula fundamental de la teoría de control y cuyas aplicaciones llegan hasta campos tan alejados como la sociología y la electrónica.

En la figura 1 debe destacarse que la planta A es normalmente activa, es

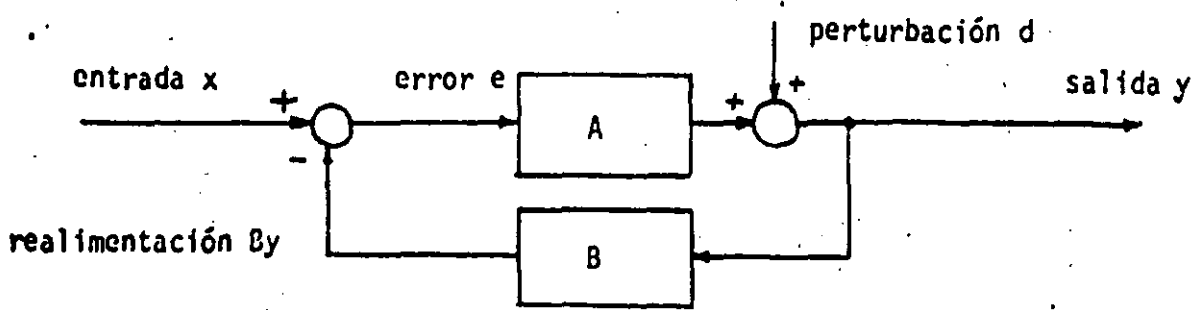


Figura 1. Diagrama canónico de la realimentación.

decir A representa amplificación; B es menor que cero, de modo que es una fracción de y la que se realimenta; y el elemento sumador no debe restar necesariamente, ya que por lo general el amplificador A proporciona el signo negativo a través de una inversión de fase. En el caso que $AB < 0$, se tiene inestabilidad del sistema.

También conviene destacar que la perturbación d a la salida del amplificador A es equivalente a una perturbación d/A a la entrada de éste. De la misma forma, una perturbación d_1 en el interior de A es equivalente a otra a la entrada de valor d_1/Λ_1 , o a otra a la salida del valor $d_1\Lambda_2$, donde $\Lambda_1 \cdot \Lambda_2 = A$ señala el punto de influencia.

Los efectos de la realimentación en el sistema pueden resumirse en tres elementos principales:

- a) Reduce la distorsión.
- b) Estabiliza la ganancia.
- c) Mejora la relación señal o ruido para idénticos niveles de la señal de salida.

Para considerar el primer caso, supóngase que d representa una señal generada por la distorsión del amplificador A . Al realimentar se tiene que:

$$y = \frac{A}{1+AB} x + \frac{d}{1+AB} \quad (3)$$

En esta última ecuación se observa que d aparece disminuida por un factor

$1+AB > 1$, con lo que se demuestra que la distorsión disminuye con la realimentación.

Por otro lado, el segundo efecto anotado puede considerarse al definir la sensibilidad del parámetro M del sistema a las variaciones del parámetro n , S_n^M , de la siguiente forma:

$$S_n^M = \frac{dM/M}{dn/n} = \frac{d \ln M}{d \ln n} \quad (4)$$

Este factor describe la razón de la variación por unidad de M a la variación por unidad de n . Entonces se tiene, por ejemplo, que

$$S_A^{(y/x)} = \frac{d(y/x)}{dA} \cdot \frac{Ax}{y} = \frac{1}{1+AB} \quad (5)$$

Esto significa que una variación de A tiene muy poca influencia en y/x [Si A cambia $\pm 1\%$, y/x se modifica apenas en un $1/(1+AB)\%$].

La relación entrada salida (y/x) se ve más afectada por las variaciones en B , ya que

$$S_B^{(y/x)} = \frac{AB}{1+AB} \quad (6)$$

Como $AB/(1+AB) \sim 1$, si $AB \gg 1$; debe suponerse que B es un factor sobre el cual se tiene mucho control o que no es susceptible de experimentar variaciones importantes. Esto es correcto en la realidad ya que $B=1$ o bien es una relación de resistencias que es muy estable.

El último efecto anotado, correspondiente a la mejoría que experimenta la relación señal ruido para idénticos niveles de la señal de salida, se aprecia al considerar que la señal d de la figura 1 es el ruido agregado, por lo que según la ecuación (3), el ruido aparece dividido por $(1+AB)$, al igual que Ax . Como el sistema sin realimentación tendía una salida dada por

$$y = Ax + d \quad (7)$$

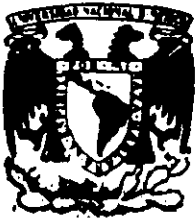
resulta que para idénticos niveles de salida, la señal de entrada es mayor en el caso realimentado y como d se mantiene constante, la relación señal a ruido es mejor $1/(1+AB)$ veces.

Los tres factores analizados, que pueden interpretarse como beneficios obtenidos no son los únicos. Recuérdese que en circuitos electrónicos se obtienen mejoras en las impedancias de entrada y de salida, así como en el ancho de banda del circuito.

Sin embargo, entre las desventajas importantes que pueden mencionarse están la disminución de la ganancia, ya que

$$\frac{y}{x} = \frac{A}{1+AB} \quad (8)$$

y los efectos del retraso de la señal, que puede provocar inestabilidad, oscilaciones, sobretiros, etc. Cuando estos efectos son tolerables, la realimentación siempre acarrea beneficios.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y

MICROCOMPUTADORAS

TEMA 2.1 INSTRUMENTACION ANALOGICA

TEMA 2.2 INSTRUMENTACION DIGITAL

EXPOSITOR:

ING. RICARDO GARIBAY J.

MARZO

2.1 INSTRUMENTACION ANALOGICA.

Al enfrentar la instrumentación de alguna instalación, se deben considerar varios factores; como veremos más adelante todos son importantes sin que ninguno de ellos tenga una influencia determinante sobre la tecnología que se seleccionará a menos que existan restricciones de origen.

Contemplando la panorámica actual de la instrumentación podemos mencionar las siguientes tecnologías disponibles:

2.1.1 Tipo Neumático

Esta tecnología sin lugar a dudas es la más antigua y también, salvo excepciones muy limitadas y específicas, la más económica. Su uso puede contemplar tanto procesos sencillos y pequeños como plantas completas, reúne una serie de características que la hacen atractiva como son:

- Costo inicial relativamente bajo.
- Complejidad limitada, es decir, está compuesta de una serie de módulos como son: toberas, palometas, fuelles, restricciones, diafragmas, resortes, etc. que son totalmente iteligibles, tanto al operador del equipo, como el personal de mantenimiento.
- Intrinsecamente segura en plantas con aplicaciones ó procesos peligrosos, es decir no hay posibilidad de que bajo condiciones

de operación normal produzca flamasos o chispas que puedan iniciar una explosión o un incendio. Tal es el caso de las fábricas de explosivos o de plantas químicas de alta peligrosidad como plantas de Hidrógeno.

- Su mantenimiento es sencillo y requieren de un número reducido de partes de repuesto que generalmente son de obtención local, es decir, en el territorio nacional.
- Su fabricación es parcialmente realizada en México, lo que propicia un soporte sólido por parte del fabricante.
- Debido a su baja complejidad los programas de entrenamiento para el personal no son costosos, no son complicados y no son largos, y generalmente se obtienen localmente.
- El avance del equipo es casi nulo en la actualidad, lo que le da un tiempo de vida relativamente largo, no es sorprendente que se pueda garantizar un tiempo de vida de 15 años ó mas, es decir, no presenta problemas graves de obsolescencia.
- No presenta, generalmente, susceptibilidad a fallas de corriente alterna, dado que es relativamente sencillo y económico respaldar los compresores de suministro de aire con compresores a diesel ó gasolina.

Pero no solo ventajas tiene éste tipo de tecnología, existen también desventajas y limitaciones tales como:

- El costo inicial del equipo como dijimos con anterioridad es relativamente bajo, pero el costo inicial de instalación es alto, debido a que cada señal debe de enviarse por un "tubing" que generalmente es costoso, y mucho más si se toma en cuenta que generalmente se requiere de "tubing" múltiple, lo cual aumenta el costo y trae una complicación adicional, se debe de importar, dado que éste "tubing" múltiple no se fabrica en México.

Por otra parte cada instrumento de campo debe equiparse con un filtro-regulador, accesorios que normalmente no se consideran dentro del costo del equipo mismo.

- Dijimos que su complejidad es reducida pero ésto se puede convertir en una gran desventaja cuando se tratan de implementar lazos de control de complejidad mediana ó alta, tales como:

Calculadores de flujo másico.

Multiplicadores.

Extractores de Raíz Cuadrada.

Controles de Relación.

- Debido a la rigidez de los tableros de control neumáticos, llevar a cabo modificaciones ó adiciones es altamente tardado, el equipo no se presta fácilmente para realizar modificaciones a estrategias ó mejoras a las existentes.

- Las instalaciones neumáticas son sencillas, pero realizar la interconexión a un equipo de mayor complejidad con miras de optimiza

ción, tal es el caso de un computador, es impráctico y muy costoso.

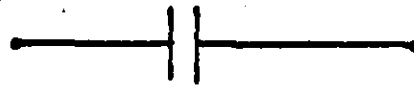
Normalmente no se recomienda que un instrumento receptor neumático se instale a más de 200 metros del elemento final de control o de la variable de proceso, debido al retraso que la misma línea de conducción provoca, retraso que hace totalmente impráctico el uso de una computadora con fines de optimización en cualquier instalación de tipo neumático

2.1.2 Controladores Lógicos Programables (PLC's)

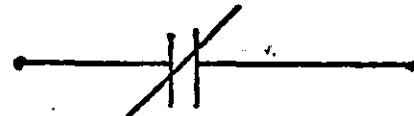
Los controladores lógicos programables fueron creados como una respuesta a las especificaciones que fueron establecidas por la industria de la fabricación de automóviles en las postrimerías de los 60's . El cambiante mundo de la industria automotriz con respecto a sus modelos año con año, obligó a encontrar soluciones que evitaran los tiempos muertos al cambiar de un modelo de auto a otro. En sus inicios llegaron a pedenper de computadoras a nivel de "minis" y posteriormente basan su concepción en el uso de los microprocesadores. En la actualidad los PLC's están dedicados a llevar a cabo tareas que pueden ser especificadas en diagramas de escalera, es decir, substituyen con algunas ventajas a la lógica, con relevadores o a la lógica electrónica discreta tal como TTL, ECL, HNIL u otras similares, en sus inicios la comunicación con el PLC representó un verdadero pro-

blema dado que los lenguajes usados estaban casi a nivel ensamblador, en la actualidad, con el uso de los microprocesadores y los adelantos en programación, no es extraño encontrar PLC's que "entienden" instrucciones tales como:

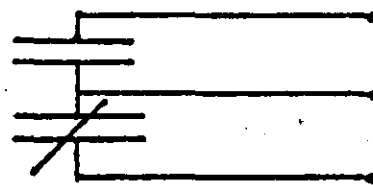
Contacto normal abierto



Contacto normal cerrado



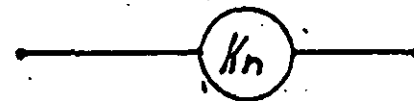
Contacto tipo SPDT



Temporizadores
(con sus respectivos contactos)



Bobinas comunes



etc, inclusive hay algunos que permiten el uso de símbolos booleanos directamente en alguna de las notaciones estandard americanas.

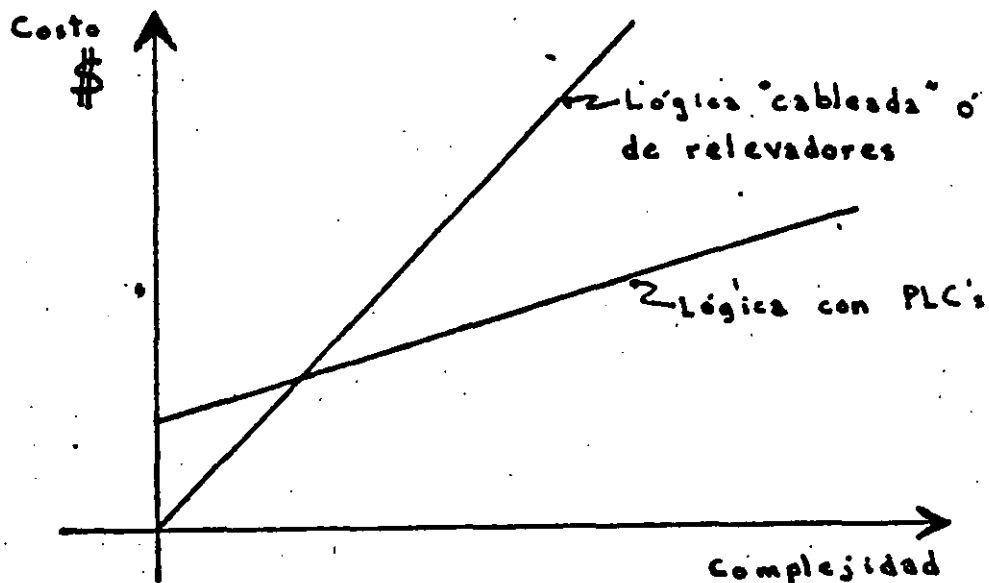
Estas facilidades de programación han hecho su uso altamente popular en instalaciones que reúnen las siguientes características:

- Gran número de entradas y salidas discretas (digitales), usualmente mayor que 200, aunque no es restrictivo.
- Lógica de operación ó secuencias con alto grado de complejidad, digamos que casos en los que varias salidas 20 ó más dependen

de varias entradas 50 ó más y todas ellas están relacionadas entre sí.

- Necesidad presente ó futura de enlazar este tipo de equipo a un dispositivo de jerarquía superior, tal como un computador central .

Los PLC's no son la solución a todos los problemas de "lógica" en la industria, su primera limitación es su costo el cual va disminuyendo, en términos relativos conforme aumenta la complejidad de la aplicación.



aunque siempre serán más económicos y convenientes cuando la complejidad es mediana ó grande.

Podríamos decir que los PLC's tienen un gran futuro y han desplazado en la mayoría de las instalaciones industriales de media

na complejidad a la lógica cableada ó lógica de relevadores.

A continuación se mencionan algunas ventajas de usar PLC's .

- Tamaño generalmente reducido, ahorran espacio en tablero y en cuarto de control .
- Modulares, fáciles de mantener.
- Totalmente reutilizables cuando la aplicación original ha cambiado ó ya no se requiere.
- Fácilmente modificables (reprogramables) .
- Pueden actuar como un preparador de información a una computadora de mayor jerarquía (front-end), liberando a ésta de tareas de menor importancia.
- Permiten estructurar estrategias más sofisticadas de control lógico, lo que aumenta la calidad del producto, reduce el desperdicio y aumenta la eficiencia.

2.1.3 Tipo Electrónico Analógico.

Esta tecnología es relativamente nueva, tuvo un gran impulso a raíz del nacimiento del transistor, el cual le dió la fuerza de la reducción de costos y de la miniaturización.

Los primeros intentos de control en lazo cerrado, ahí por 1920 y 1930 fueron en base a registradores de bulbos que llevaban a cabo control ON-OFF, y no fué sino hasta el nacimiento del transistor que esta tecnología tomó un impulso real.

Su uso es en la actualidad muy generalizado, presentándose en dos ver

siones principales que son:

- Tipo integral
- Tipo arquitectura dividida

El tipo integral, es aquella presentación en la cual todos los elementos que realizan una función específica, p.ej. Controladores PID, sumador, extractores de raíz cuadrada, etc. están contenidos dentro de una caja, a la cual solo llegan las entradas y salidas por medio de cables.

El tipo arquitectura dividida, es aquella presentación que tiene todos los dispositivos de interfase con el operador al frente del tablero de control, y todos los elementos de cálculo ó funciones especiales están contenidos en gabinetes especiales atrás de tablero, uniéndose ambos por medio de cables prefabricados.

Ambas tecnologías tienen ventajas y desventajas tales como:

V E N T A J A S

Arquitectura Dividida

- 1) Facilidad al especificar, generalmente se cuenta con todo tipo de módulos que pueden interconectarse relativamente fácil, de modo que especificar el arreglo o la estrategia de control es relativamente fácil.
- 2) La característica anterior la hace ligeramente mejor para instalaciones muy grandes y muy complejas, 100 lazos ó más.
- 3) Dado que todos los módulos que la forman son generalmente tarjetas de circuito impreso y en algunos casos multifunciones, se tienen menos partes de repuesto que mantener.

Integral

- 1) Generalmente el tipo integral es más económico, salvo muy contadas excepciones.
- 2) El alambrado inicial y su concepción y diseño son mucho más sencillos en este tipo de tecnología.
- 3) Más fácil entrenar al personal en éste tipo de tecnología, es más inteligible al personal de diseño y de mantenimiento.
- 4) La localización de fallas es mucho más sencilla y rápida, en el peor de los casos se reduce a cambiar un módulo ó instrumento completo.

Obviamente lo que es ventajoso para un tipo de tecnología es desventajoso para el otro.

Tratando ambas tecnologías como una sola, que podríamos llamar tipo electrónico podemos decir que éste tipo de tecnología es el más usado actualmente y su costo ha llegado también a un límite, dado que la miniaturización de los elementos de interface con el operador ya no son posibles, actualmente el tamaño más usado de biseles frontales es de 72lx 144 a m m, hacer elementos con frentes más pequeños implicaría querer reducir las manos de los operadores.

La tecnología electrónica presenta grandes ventajas contra su rival tradicional, la tecnología neumática como son:

- A pesar de tener un costo relativamente mayor, función a función contra el tipo neumático, presenta menores costos iniciales cuando se evalúa el costo inicial del equipo más el costo de instalación que para el tipo electrónico es relativamente bajo.
- Electrónicamente se puede implementar cualquier función necesaria para el control de procesos, sin incurrir en atrasos de tiempo muerto considerables, ni en grandes costos asociados, es decir, que si se requerirán funciones especiales para realizar la estrategia de control, implica que debemos pensar por lo menos en tecnología electrónica integral ó de arquitectura dividida.
- La interconexión de tecnología de éste tipo con un sistema de mayor jerarquía, no solamente es posible, sino que en muchos

casos es obligado, si el proceso requiere de un control de calidad muy estricto, o bien de metas de producción muy ambicio-
sas requerirá del auxilio de un sistema de mayor jerarquía que
se encargue de supervisarlo.

- La interconexión del equipo de campo con el de tablero se rea-
liza a través de multiconductores, ó bien pares blindados, y se
trabaja a base de corriente, no de voltaje, lo que permite trans-
mitir instantáneamente variables que están a 500 ó más metros
de distancia del cuarto central de control sin sufrir ningún re-
trazo apreciable. En éstos casos se debe de tener mucho cuida-
do con la ruta que sigan los cables y con enviarlos dentro de
ductos metálicos perfectamente aterrizados, y por otra parte se
debe cuidar la frecuencia fundamental de la variable por trans-
mitir.

Pero así como hemos mencionado ventajas también debemos men-
cionar las desventajas, tales como:

- De por sí, éste tipo de tecnología NO es intrínsecamente segura
y para casos de aplicaciones en áreas peligrosas se requerirá
irremediablemente de barreras de seguridad intrínseca, ésto agre-
ga:

- Costo a la instalación.
- Complejidad al alambrado.
- Partes de repuesto.
- Espacio al tablero de control.
- Complejidad a la ingeniería del proyecto.

Una vez salvados éstos problemas, la instalación es segura y eficiente.

- Se dijo que ésta tecnología es versátil y que cuenta con módulos que pueden realizar cualquier función de control, pero por lo mismo el mantenimiento del equipo se complica requiriendo personal especializado y bien entrenado para mantener el equipo en condiciones óptimas de operación.
- Debido a que la fabricación de éste tipo de equipo no se realiza en México, se debe de contar con un buen lote de partes de repuesto, con el fin de no tener que interrumpir el proceso por falta de operación de los módulos de control.
- Los programas de entrenamiento para el personal usuario tienen que tomarse generalmente en las instalaciones del fabricante y requieren un nivel mínimo de técnico en electrónica para que los conceptos relativos al equipo puedan ser comprendidos por el personal.
- Debido al rápido avance que en la actualidad tiene la tecnología electrónica el problema de obsolescencia del equipo es muy serio, y aunque el usuario trate de adelantarse a éste problema, su último recurso será confiar en la honestidad del fabricante para conocer el tiempo estimado de vida en el mercado de una línea o tipo específico de instrumentos.
- Normalmente las plantas de procesos industriales cuentan con servicios propios de: vapor, aire comprimido, combustibles, etc.,

pero raramente cuentan con plantas propias de energía eléctrica, (a menos que su consumo sea muy grande y muy crítico), es por esto que una complicación adicional a la tecnología electrónica, es el esquema de respaldo por falla de energía que se deberá usar. Normalmente se acostumbra especificar todo el equipo electrónico con alimentación de 24VCD ó bien 48VCD ó bien +24, -24 VCD, lo que facilita enormemente el respaldo de tablero e instrumentos de campo a través de un sistema ininterrumpible a base de baterías trabajando a corriente directa y sin necesidad de usar inversor. Es poco usual, exageradamente complicado y hasta peligroso, especificar el equipo a 120 Volts C.A. y tratar de respaldarlo a través de baterías e inversor, suele hacerse en equipos que requieren corriente alterna forzosamente para trabajar p. ej. equipo de cómputo.

A pesar de lo dicho con anterioridad hay que recalcar que la tecnología electrónica es por sí sola incapáz de manejar dispositivos finales de control y para ésto requiere de convertidores electro-neumáticos, electrohidráulicos, paquetes de potencia, etc. Dicho, de otro modo la tecnología electrónica tiene flexibilidad y precisión pero no tiene potencia en sí misma para mover válvulas, compuertas, motores, etc.

2.2 INSTRUMENTACION DIGITAL

2.2.1 Sistema de Control Supervisor

Esta estrategia de control es relativamente nueva, basa su aplicación en el uso de una computadora central y es por lo mismo que su uso aparece en los fines de los 50's y principio de los 60's. Por aquellos tiempos su costo era prohibitivo debido al alto precio que tenían las minicomputadoras que fueron los dispositivos empleados como base para estructurar ésta estrategia de control.

La idea fundamental de éste tipo de controles es establecer un cuarto central de control para la planta o para toda la instalación en cuestión y desde ahí monitorear las variables de la planta, que afectan la calidad y la producción de los productos finales a fin de actuar sobre los puntos de ajuste de los controladores de proceso como los descritos en el punto anterior y llevarlos a su nivel óptimo continuamente.

La estrategia puede parecer muy ventajosa y adecuada, solo que presenta algunos inconvenientes tales como:

- El costo inicial sigue siendo alto a pesar de la reducción tan grande de precio que han experimentado los equipos de cómputo.
- Se debe uno enfrentar al enorme problema que representa el desarrollo de la programación correspondiente, dado que a pesar del gran desarrollo que actualmente existe en lenguajes de programación, se debe notar que cada instalación es diferente de la otra y por tanto requerirá programación nueva a menos que

hablemos de plantas gemelas.

- Existen fabricantes con experiencia en éste tipo de equipos que ya tienen desarrollados paquetes de programación que pueden ser adaptados a aplicaciones particulares, de cualquier manera el realizar ésta adaptación sigue implicando dinero y esfuerzo adicional.
- La cantidad y calidad de la documentación del proyecto es también un inconveniente, dado que, por lo general los fabricantes no proporcionan al usuario toda la información que en un momento puede ser necesaria, sobre todo, después del arranque cuando alguna modificación se requiere.
- Se requiere una coordinación exhaustiva entre el usuario, la firma de ingeniería y el proveedor y por lo general son proyectos que pueden requerir de 1 a 3 años para su total terminación.
- El alambrado del sistema se complica cuando lo comparamos con una instalación electrónica integral o de arquitectura dividida dado que además de la alimentación al equipo, las entradas y salidas y alambrado auxiliar, se requiere alambrear las entradas y salidas a la computadora, y su propia red de alimentación.
- Usualmente se requiere de un cuarto separado para albergar al equipo de cómputo, normalmente con aire acondicionado.
- El equipo no es flexible, dado que, el equipo de tablero es fijo y cambiarlo es difícil y tardado y por lo tanto, lo único que pode-

mos cambiar es la estrategia para manipular los puntos de ajuste, es decir la programación.

- La instalación se complica cuando analizamos el aspecto humano, dado que, se requieren cuando menos ingenieros para mantener el "hardware" y programadores experimentados para mantener el "software" y por tanto los costos derivados del mantenimiento se incrementan.

Por otra parte el personal de operación requiere de cursos más profundos y extensos que le permitan entender e interactuar con la computadora del sistema y tomar las acciones correctivas que cada situación amerite.

- Por último podríamos citar dentro de los inconvenientes el problema de la obsolescencia que como habíamos dicho antes dentro de la electrónica es un problema muy serio.

Si el proyecto toma desde su inicio, hasta su terminación 5 años ó más, puede darse el caso que al mismo tiempo que se arranca la instalación se lanza al mercado la siguiente generación del computador en cuestión y podría darse el caso que la disponibilidad de refacciones en el mercado bajara.

A pesar de todo lo dicho con anterioridad ésta estrategia tiene algunos puntos a su favor que la hacen atractiva, a pesar de ser actualmente poco usada por ser desplazada por otro tipo de esquemas más modernos.

Entre los puntos principales podemos mencionar:

- Este esquema ofrece un respaldo analógico en caso de falla de la computadora que es muy importante. Aunque se perdiera la función de optimización que realiza la computadora, el proceso no se para y por otra parte no peligra.
- Una vez que el sistema está trabajando puede amortizar la inversión inicial en muy corto tiempo debido a la alta calidad y nivel de producción alcanzado con éste tipo de esquema.

Para terminar recalcaremos que el esquema de Control Supervisor con instrumentación electrónica analógica es cada día menos usado en control de procesos industriales y que ha sido desplazado por sistemas más avanzados que mencionaremos más adelante.

2.2.2 Sistema de Control Digital Directo.

El sistema de control digital directo (DDC) es parcialmente similar al esquema supervisor, con la diferencia de que no existe equipo analógico de tablero.

El sistema DDC está basado en un computador central, usualmente 100% redundante, que contiene dentro de sí todas las estrategias, dispositivos y tareas que normalmente se realizarían en forma analógica y que para éste esquema radican dentro de la computadora.

El computador recibe entradas de los elementos primarios, tales como Termopares, Bulbos de Resistencia, Transmisores de Presión, Flujo,

Nivel, etc., y comanda directamente los elementos finales de control, tales como convertidores electro-neumáticos, convertidores electro-hidráulicos, dispositivos motorizados y otros similares.

Al igual que en el control supervisor el éxito de la instalación es dependiente del modelo en el cual se basen las acciones y cálculos para la optimización del proceso.

Dicho modelo generalmente está basado en el procesamiento de la información histórica del proceso fuera de línea, el procedimiento de optimización en línea es extremadamente difícil de lograr debido a la complejidad de los procesos industriales.

Debe notarse que la tarea de optimización es adicional a la originalmente descrita de controlar el proceso, la cual debe ser ejecutada en línea y en tiempo real respetando las restricciones de tiempo que imponga la dinámica del proceso.

El DDC presenta con gran similitud los inconvenientes que presenta el control supervisor tales como:

- El costo inicial es elevado y su justificación es difícil desde el punto de vista económico.
- Al igual que en el control supervisor el problema mayor radica en la programación del sistema y su integración dinámica en forma armónica y productiva.
- De nuevo existen fabricantes que ofrecen paquetes de programación adaptables a aplicaciones específicas y hay otros que inclu

sive cuentan con compiladores de lenguajes de muy alto nivel que facilitan el establecimiento de la estrategia de control.

- Con respecto al control supervisor presenta la ventaja de simplificar el alambrado del sistema, dado que las interconexiones son hechas por medio de programación dentro de la computadora y solo se deben alambrear los elementos primarios, los elementos finales y los circuitos de alimentación.

A diferencia del control supervisor el equipo es flexible aunque los cambios de estrategia no son exactamente sencillos, dado que hay que programar, probar, compilar e integrar cada modificación dentro del esquema total.

- El problema humano con respecto al control supervisor, presenta los mismos inconvenientes en lo que a mantenimiento y entrenamiento del personal se refiere.

Para mantenimiento requiere de personal bien entrenado y altamente calificado y por otra parte el entrenamiento para éste tipo de sistemas debe llevarse a cabo generalmente en el extranjero y a costos bastante elevados.

- Al igual que para el control supervisor podemos decir que la justificación económica de éste tipo de sistemas es algo difícil de lograr.

Este esquema presenta también algunas de las ventajas del control supervisor tales como:

- Una vez que el sistema ha arrancado puede producir beneficios tangibles como son el aumento de la eficiencia del proceso y el aumento en la calidad del producto terminado.

2.2.3 Sistema de Control Distribuido.

El sistema de control distribuido es la más moderna de todas las tecnologías que hemos mencionado, su creación es relativamente reciente, aproximadamente durante la 2a. mitad de los 70's y basa su aparición en el desarrollo de los microprocesadores, forma en sí misma una tecnología totalmente nueva pero que enfoca el problema de control desde el mismo punto que el control neumático o electrónico tradicional.

El nombre distribuido es en sí el fundamento de la concepción del sistema y se habla tanto de una distribución física como funcional.

El control distribuido basa su concepción en la división de las tareas de control entre dispositivos suficientemente inteligentes y actuando todos ellos al mismo nivel jerárquico, es decir, todos comparten información, toman decisiones sobre su área de responsabilidad, pero no ordenan actuar a ninguno de los otros dispositivos, todos ellos a su vez están siendo supervisados por un operador o grupo de operadores.

El control distribuido ya no se comunica con el operador a través de estaciones de comando situadas en tableros, sino a través de tubos de rayos catódicos que le permiten al operador recibir la información que

requiere cuando la requiere.

Otra característica típica del control distribuido es el enlace en forma de anillo cerrado de todos los dispositivos inteligentes, y estaciones de operador por medio de un cable llamado pista de datos, que generalmente trabaja a altísimas velocidades, de 250 KBauds en adelante.

Analícemos más profundamente los dispositivos inteligentes de los que hablamos con anterioridad, podemos afirmar que cada uno de ellos es en sí una computadora que puede ser programada en un lenguaje de muy alto nivel para realizar tareas específicas, utilizando la técnica de multiplexaje en tiempo.

Los primeros sistemas que aparecieron en el mercado podían realizar hasta 8 lazos de control por cada dispositivo inteligente, en la actualidad hay sistemas de hasta 30 lazos de control por dispositivo. La gran ventaja del control distribuido es su posibilidad de ser programado y reprogramado cuantas veces sea necesario.

Tocando el punto de costos, podemos decir que de 30 lazos de control en adelante el control distribuido es más económico que las tecnologías vistas con anterioridad y conforme la aplicación se complica más el control distribuido resulta aún más económico y más ventajoso.

Hablando de las ventajas que ésta tecnología presenta podemos decir que:

- El control distribuido basa su diseño en la posibilidad que tiene

de ser programado para realizar la tarea que el usuario desee y en la forma que lo desee, y generalmente no se habla de programación en lenguajes de computadora sino en lenguajes de control de procesos que son fáciles de entender por los ingenieros de aplicación del sistema.

- El control distribuido ahorra el gasto de un tablero de control central, dado que no lo requiere para controlar y permitir que el operador intervenga sobre la planta. Utiliza tubos de rayos catódicos como elementos de comunicación con el operador.
- El control distribuido simplifica el alambrado del sistema, dado que todas las interconexiones que deben realizarse se hacen en programación, lo que es llamado "softwiring". Solo se llevan al sistema las entradas y salidas del y al mundo exterior.
- Dado que dentro del control distribuido hay un solo tipo de dispositivos inteligentes que realizan todas las funciones necesarias según se les programe, el número de refacciones necesarias para soportar al sistema baja considerablemente. Por otra parte cabe mencionar que el nivel de refacciones es a partir de tarjetas electrónicas y no de componentes, debido a la complejidad de cada una de éstas tarjetas.
- El control distribuido por ser dentro de su operación un sistema digital es perfectamente adecuado para ser supervisado por un computador de jerarquía mayor, en el cual puede descansar la

función de optimización del proceso, es decir, tendríamos un es
quema de control distribuido - supervisor.

Este tipo de esquemas presenta todas las ventajas del control su
pervisor tradicional pero elimina algunas de las desventajas como
son:

- El alambrado se simplifica, dado que la comunicación con la
computadora se realiza normalmente a través de la pista de da-
tos, sin necesidad de cableado adicional.
- El equipo sí es flexible, dado que toda la estrategia es programa-
ble desde sus niveles más elementales hasta los más complicados.
Por otra parte, dentro de las limitantes del sistema podríamos ci
tar:

El factor humano puede ser un problema debido a que la operación
del equipo se debe realizar en un teclado y frente a un tubo de ra
yos catódicos, cosa poco usual para los operadores de nuestro me
dio, por otra parte requerirán de un entrenamiento relativamente
extenso para que dominen todas las funciones del sistema.

El mantenimiento del sistema requerirá también de personal bien
entrenado que pueda localizar y aislar fallas del equipo en forma
ágil y precisa, por lo general los cursos de mantenimiento del
sistema se imparten en el extranjero y son medianamente exten--

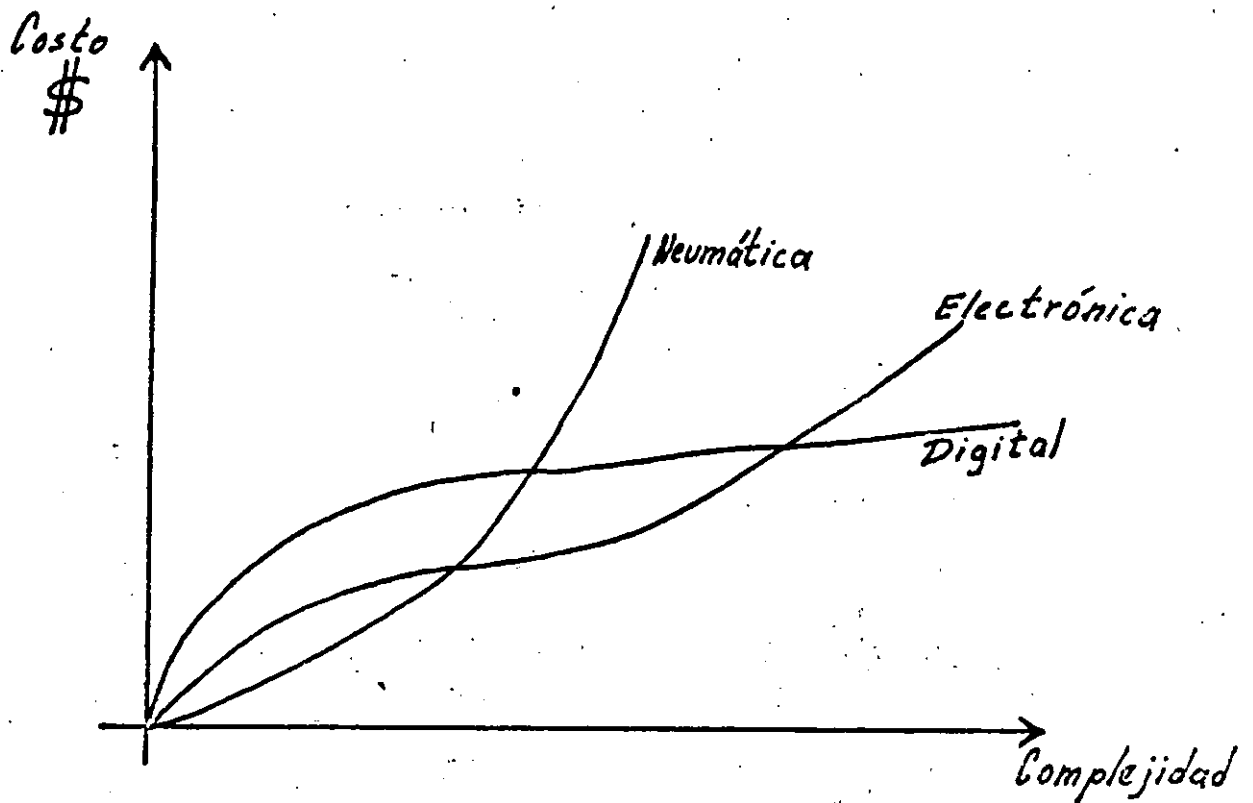
- Es difícil mencionar algo con respecto al tiempo de vida que ésta

tecnología tendrá en el mercado, dado que es la más novedosa por lo menos debe estar vigente otros 10 años. Desgraciadamente en la electrónica el adelanto que sufren los sistemas es asombroso año con año.

Debe entenderse que el concepto sobre el que descansa el control distribuido es el del control analógico tradicional, solamente que realizado a través de microprocesadores con tareas programables, el concepto del controlador tradicional PJD sigue siendo vigente, lo que sí ha agregado el control distribuido es la capacidad de programar funciones auxiliares que ayudan a mejorar las técnicas tradicionales de control.

No hay que olvidar que el dispositivo que ha hecho posible este hecho es el microprocesador y es sobre quien descansa el diseño de esta tecnología.

Como conclusión podemos decir que en cuanto a la alternativa de utilizar instrumentación neumática, electrónica ó digital; trae como consecuencia en forma primordial el vigilar el aspecto económico, el cual es de gran importancia para la aceptación de cualquier proyecto. La figura muestra la diferencia en costo de los tres tipos de instrumentación conforme la complejidad aumenta.



CRITERIOS E INDICES EMPLEADOS EN LA SELECCION Y APLICACIONES DE SISTEMAS DE CONTROL,

Como dijimos con anterioridad es muy arriesgado afirmar que hay un factor que preponderantemente determina si una instalación debe tener un tipo de instrumentación u otro, dentro de los factores que deben considerarse tenemos:

- Número de Lazos de Control
- Presupuesto
- Experiencias anteriores
- Sugerencias de la firma de Ingeniería
- Tiempo de Vida de la Planta
- Localización Geográfica.
- Factores Humanos
 - Operadores
 - Mantenimiento
 - Desarrollo.

Tratemos algunos de ellos en forma específica.

2.2.4 Costos relativos de los diversos tipos de instrumentación.

A pesar de ser éste un tema específico en el cual solo nos interesaría el tipo de instrumento contra su costo, debemos considerar aparejados otros factores que realmente modifican la apreciación que de precios podemos preconcebir.

- Número de lazos en el proyecto.

Cuando se trata de instrumentar 3 ó 4 lazos de control para alguna aplicación sencilla tal vez la opción más económica sea equipo neumático, mucho más si la aplicación es local.

Cuando se trata de instrumentar 30 ó 40 lazos de control para alguna aplicación de mediana complejidad no es factible decir que es más económico el tipo neumático ó el electrónico-analógico, mucho menos conforme las aplicaciones especiales vayan aumentando de número, en caso de ser éstas últimas muchas ó muy complicadas conviene más pensar en control distribuido.

Cuando se trata de instrumentar 100 lazos de control ó más, definitivamente la estrategia casi obliga a incluir una computadora en el panorama con fines de optimización.

2.2.5 Ventajas y Desventajas .

Cuando se trató cada línea de control en el tema anterior se mencionaron las ventajas y desventajas de cada línea en particular, así como todas las características, limitaciones, composición, arquitectura, etc.,

que determinar a cada línea en particular.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

**INSTRUMENTACION DIGITAL POR MEDIO DE
MICROPROCESADORES Y MICROCOMPUTADORAS**

PANORAMA HISTORICO DE COMPUTADORAS DIGITALES Y MICROPROCESADORES

**ING. ANTONIO SALVA CALLEJA
ING. VICTOR MANUEL SANCHEZ ESQUIVEL**

FEBRERO-MARZO

PANORAMA HISTORICO

Las computadoras digitales que funcionan bajo el principio de almacenamiento y procesamiento de programas y datos en forma binaria, aparecieron en escena hacia la segunda mitad de la decada de los treinta del presente siglo, concretamente fué en 1937 cuando en la Universidad de Harvard se sugirió, la construcción de la primera computadora digital a propuesta del doctor Howard Aiken. A dicha máquina se le denominó CALCULADORA DE SECUENCIA CONTROLADA AUTOMATICAMENTE y su funcionamiento estaba basado en la tecnología usada por las máquinas calculadoras electromecánicas y en ideas propuestas originalmente por el matemático inglés Charles Babbage aproximadamente cien años antes.

A la computadora propuesta por el doctor Aiken se le conoció más generalmente bajo el nombre de MARK I iniciandose la construcción de la misma en 1939 con el patrocinio de la Universidad de Harvard y la compañía IBM. La máquina se terminó el 7 de Agosto de 1944 fecha que es considerada como el inicio de la era de la computación.

Debido a que la máquina MARK I estaba construida esencialmente con relevadores y conmutadores, su velocidad de cálculo era muy limitada, por lo que se trato de realizar los elementos de conmutación básicos mediante el empleo de dispositivos más rápidos, la respuesta a tal requerimiento fué el emplear tubos de vacío (bulbos) que tenían una velocidad de conmutación muy alta comparada con la que tenían los relevadores usados en la computadora MARK I. Como resultado de estas consideraciones surgió

la primera computadora electrónica a la que se le denominó ENIAC.

El equipo de personas que desarrolló a la ENIAC estuvo precedido por J. P. Eckert y J. W. Mauchly siendo John Von Neumann el consultor matemático del grupo. Cabe señalar aquí que el desarrollo de la computadora digital involucró el esfuerzo individual de muchas personas muy brillantes, por lo tanto, a ninguna persona se le puede considerar estrictamente como inventor de la computadora, sin embargo Von Neumann es considerado por mucha gente como el talento individual más importante en la historia de la computadora.

La ENIAC era en esencia una versión electrónica de la máquina MARK I, sin embargo en esta etapa dos conceptos importantes aparecieron. Uno fue la necesidad de emplear muchos elementos para el cálculo en paralelo como lo hacía la MARK I debido a la alta velocidad de la ENIAC. La segunda idea importante fue la de almacenar en la memoria el programa y los datos de una misma manera, esto hizo posible el poder cambiar a voluntad distintas secuencias de instrucciones sin estar atado a una secuencia fija. Estos nuevos conceptos junto con algunos nuevos desarrollos en la electrónica, condujeron al desarrollo de una nueva máquina, la computadora EDVAC.

El desarrollo de la EDVAC fue también una labor de equipo y por lo tanto es difícil asignar crédito a determinadas personas por ideas específicas, sin embargo fue Von Neumann quien aglutinó todas esas ideas por primera vez, en el primer reporte sobre la EDVAC fechado en Junio de 1945. En este documento Von Neumann

sienta las bases de la estructura lógica de la computadora de programa almacenado. Los siguientes cinco criterios definen en esencia a la computadora en términos de las capacidades que ésta debe tener.

- 1.- Debe tener un medio de entrada, a través del cual se puedan introducir cualquier número de instrucciones y operandos.
- 2.- Debe tener un medio de almacenamiento de datos, operandos e instrucciones del cual los mismos puedan ser obtenidos y guardados a voluntad en cualquier orden deseado.
- 3.- Debe tener una unidad que pueda efectuar operaciones tanto aritméticas como lógicas de cualquier operando obtenido del medio de almacenamiento.
- 4.- Debe contar con un medio de salida, por medio del cual los resultados de un determinado cálculo puedan ser hechos llegar al usuario.
- 5.- La computadora debe contar con una unidad de control, capaz de interpretar las instrucciones almacenadas en la memoria y efectuar las acciones pertinentes de acuerdo con la instrucción que se esté ejecutando en un momento dado.

A la estructura básica de computadora, que resulta de los cinco criterios expuestos anteriormente se le conoce como *Estructura Von Neumann* y virtualmente todas las computadoras digitales construidas desde esa época están basadas en estas ideas.

El equipo de personas que desarrollaron al ENIAC y a la EDVAC se disolvió hacia 1946, Eckert y Mauchly fundaron su propia compañía, mientras que Von Neumann pasó al Instituto de Estudios

Avanzados de Princeton. El desmantelamiento del grupo de trabajo hizo que el desarrollo de la EDVAC se retrasara varios años, quedando esta finalmente terminada en 1950. Basados en la estructura básica de la EDVAC Eckert y Mauchly desarrollaron la primera computadora producida comercialmente, la UNIVAC I habiendo sido embarcada la primera unidad en 1951. En tanto Von Neumann desarrollo en Princeton la computadora IAS que también fue terminada en 1951. En el desarrollo de este proyecto Von Neumann introdujo nuevos conceptos básicos en la computación digital, tales como el hecho de modificar la porción de direccionamiento de las instrucciones a modo de que un solo conjunto de instrucciones pudiera ser aplicado a muchos conjuntos de datos.

En los años sucesivos, el poder de cálculo y la velocidad de las computadoras se ha incrementado en varios ordenes de magnitud, teniendo actualmente las computadoras una influencia decisiva en toda sociedad moderna.

ESTRUCTURA BASICA DE UNA COMPUTADORA DIGITAL

De acuerdo con lo mencionado en los párrafos anteriores, la estructura básica que presentan las computadoras digitales actuales, es la propuesta originalmente por Von Neumann, en la Fig 3.1 se muestra un diagrama de bloques muy simplificado que ilustra esta idea.

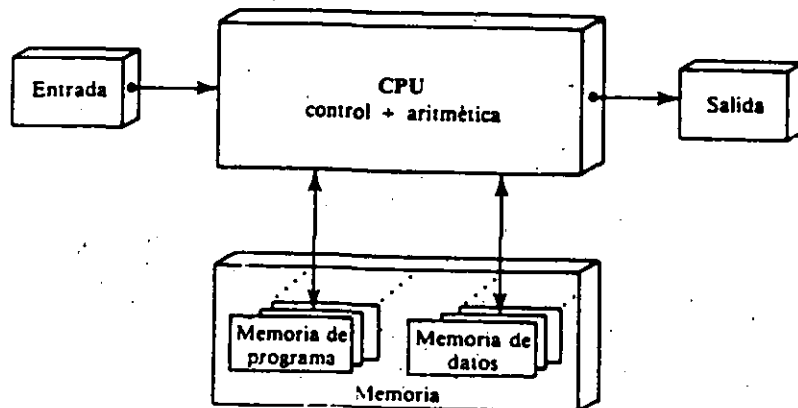


Figura 3.1 Diagrama de bloques simplificado de una computadora digital con la estructura Von Neumann.

Como puede apreciarse en la figura anterior la memoria es una parte muy importante de una computadora ya que en ella se almacenan, tanto la secuencia de instrucciones que la máquina debe ejecutar, como los resultados finales o parciales que se generan al correrse un programa. A la memoria puede considerarse como una colección de localidades de almacenamiento, pudiendo cada una de ellas ser accesada mediante una dirección única asociada. Tanto la dirección como el dato o instrucción almacenado se presentan en forma binaria, gracias a lo cual, los circuitos electrónicos fundamentales que integran los subsistemas elementales de la computadora, son relativamente fáciles de realizar físicamente empleando componentes electrónicos muy simples, de hecho el elemento más sencillo puede ser tan simple como un interruptor eléctrico que puede ser implantado electrónicamente con un sólo

transistor.

La unidad aritmética y lógica (UAL) es la encargada de efectuar las operaciones que requiere la ejecución de cada instrucción del programa que se este ejecutando, por supuesto que aquí los datos se manejan también en forma binaria. La unidad de entrada es utilizada para introducir a la memoria datos o *secuencias de instrucciones* (v.g. *programas*), esto debe hacerse en formato binario en la computadora elemental.

La unidad de salida, es empleada para comunicar al usuario en forma binaria, resultados parciales o totales al efectuar la máquina una determinada secuencia de instrucciones.

La unidad de control lleva a cabo la función de arbitrar, tanto el funcionamiento básico de las otras cuatro como también las comunicaciones que se requieran efectuar entre ellas, para lo cual genera señales binarias, que en conjunto integran la llamada palabra de control. Mediante la palabra de control se comandan a su vez sistemas lógicos encargados de efectuar las acciones de control pertinentes, requeridas por la rutina de ejecución de cada instrucción elemental, de esta manera para cada instrucción de la computadora la unidad de control genera una secuencia prefijada de cambios en el tiempo de la palabra de control. Es importante señalar aquí, que a la unidad de control junto con la UAL, se les considera frecuentemente como un solo bloque funcional, denominado *unidad central de proceso*, denotado por las siglas CPU por su nombre en inglés.

Cabe aquí mencionar que lo que se ha denominado como usuario

no necesariamente tiene que ser un ser humano, sino que bien puede ser otra computadora o dispositivo digital, que requiera del auxilio del poder de cálculo y velocidad de una computadora para llevar a cabo sus funciones de una manera más eficiente, tal es el caso algunas veces de las computadoras asociadas con la instrumentación de procesos industriales.

Como se ha mencionado anteriormente las primeras computadoras digitales, construidas en base a dispositivos electrónicos emplearon bulbos para la realización física de los elementos de conmutación lógica necesarios para su funcionamiento, esto traía consigo diversos problemas tecnológicos tales como el calentamiento excesivo, así como el requerimiento de amplios espacios para los gabinetes por mencionar a sólo dos. En el año 1947 entra en escena un dispositivo electrónico que podía desempeñar las mismas funciones que los bulbos pero sin muchas de las desventajas tecnológicas que estos tenían, tal dispositivo fue desarrollado en los laboratorios Bell por John Bardeen, William Shockley y Walter Brattain quienes fueron los primeros en producir el *efecto transistor* que consiste en hacer variar las características de conducción de un diodo semiconductor mediante la adición de un tercer electrodo de control, a tal transistor se le denominó *transistor de punto de contacto*. Más adelante aparecieron los transistores bipolares de juntura así como también los de efecto de campo.

Muy pronto se vió la conveniencia de emplear transistores en lugar de bulbos como elementos básicos de conmutación lógica en

las computadoras digitales lograndose con esto notables mejoras en el funcionamiento de las mismas.

Los fabricantes de semiconductores durante los años cincuenta fueron refinando los transistores de muy diversas maneras, haciendolos cada vez mas pequeños y de baja disipación de potencia, aunque la importancia de la miniaturización no pasaba de ser un detalle curioso por aquellos días.

En 1958 Jack Kilby de Texas Instruments fabricó dos transistores empleando para ello a una sola pieza de germanio, si bien el dispositivo era muy burdo, las interconexiones al chip había que hacerlas a mano, a tal dispositivo se le reconoce como el primer circuito integrado de la historia.

Hacia fines de los años cincuenta la compañía Fairchild Semiconductor fabricó el primer transistor de tipo *planar* para el cual las tres conexiones electricas necesarias residen en una sola superficie del dispositivo lo cual permitió la fabricación simultánea de muchos circuitos empleando para ello al mismo substrato, creandose con esto la técnica fundamental que se emplea en la fabricación de circuitos integrados.

Después de esto, Robert Noyce quien también trabajaba para la compañía Fairchild, sentó las bases para el desarrollo del primer circuito integrado de aplicación práctica que fue un flip-flop R S observandose por estas fechas que el silicio presenta varias ventajas sobre el germanio en la fabricación de circuitos integrados, siendo desde entonces el silicio el material mas usado en la producción de microcircuitos.

En 1963 aparece el primer producto electrónico comercial basado en un circuito integrado, que fué una ayuda auditiva. Para mediados de los años sesenta los circuitos integrados se habían convertido ya en los bloques básicos en computadoras y otros dispositivos electrónicos.

A principios de los años setenta la compañía Texas Instruments, empleando transistores bipolares, inicia la fabricación de una familia de circuitos lógicos que integra en un solo microcircuito bloques digitales tales como: compuertas lógicas, circuitos flip-flop, contadores binarios, etc, a los que se conoce por el nombre de circuitos TTL que son las siglas en inglés de Transistor Transistor Logic.

Los circuitos digitales TTL han sido la base de muchos dispositivos digitales y son de empleo frecuente en sistemas basados en microprocesadores como se verá más adelante.

Empleando transistores de tipo MOSFET se logró la integración de un número considerablemente mayor de transistores en un solo circuito integrado, gracias a lo cual se hizo posible fabricar circuitos integrados que constitúan bloques funcionales cada vez más complejos contandose entre ellos a los microprocesadores. A los circuitos integrados que emplean transistores MOSFET en su construcción se les conoce bajo el nombre genérico de circuitos MOS anteponiendose a este nombre las letras N o P para denotar el tipo de canal con el cual están hechos los transistores individuales del circuito integrado, así si el canal es de tipo N se dice que se tiene un circuito de tipo NMOS y si es de tipo P se

habla de un circuito PMOS. Los circuitos NMOS son mas rapidos que los PMOS y además son más compatibles con la lógica TTL. Combinando transistores de tipo NMOS y PMOS en un mismo microcircuito se llega a circuitos digitales que consumen corriente prácticamente sólo durante los periodos de conmutación, siendo el consumo de potencia de tales chips considerablemente menor que el correspondiente a un dispositivo NMOS o bipolar. Para mayores detalles acerca del funcionamiento de los transistores tanto de tipo bipolares como MOSFET se recomienda consultar la referencia 1 ya que el tratar esto a profundidad está fuera del objetivo de este breve panorama histórico.

Es importante señalar aquí que los circuitos integrados han tenido una penetración muy amplia no sólo en la forma en que se producen aparatos electrónicos sino también en la forma en que la industria electrónica se desarrolla, esto es, antes de la existencia comercial de los circuitos integrados las compañías fabricantes de semiconductores vendían dispositivos discretos que las firmas de electrónica empleaban en la construcción de los aparatos que producían, empleando para ello a ingenieros bien entrenados en el manejo de características de elementos individuales tales como transistores, diodos, etc. Con el advenimiento de los microcircuitos el papel de diseñador de circuitos funcionales básicos (v.g. osciladores, amplificadores, compuertas lógicas, etc) pasó de las firmas de electrónica a los fabricantes de semiconductores, esto ha permitido que el diseño en electrónica sea más modular y sencillo que antes de la revolución

de los circuitos integrados ya que ahora el ingeniero electrónico trabaja mayormente con bloques funcionales elementales y no con dispositivos aislados.

En 1969, la compañía de calculadoras Japonesa Basicom, solicitó a la compañía Intel el diseño de un conjunto de chips a emplearse en la construcción de calculadoras. Originalmente Basicom quería que Intel desarrollara y produjera el grupo de chips. Ted Hoff quien era uno de los ingenieros que trabajaba en el proyecto propuso que en lugar de usar un conjunto dedicado de chips, se podría diseñar un chip de propósito general que fuera programable de modo tal que pudiera desempeñar las funciones de la calculadora así como también muchas otras funciones lógicas.

En 1971 el concepto de Hoff se hizo realidad con la construcción del 4004, que fue el primer microprocesador contenido en un solo chip. Si bien el 4004 nunca se usó para fabricar computadoras de escritorio, sus descendientes directos se usaron en la fabricación de las primeras microcomputadoras.

La longitud de palabra del 4004 era de solo cuatro bits, en 1972 la compañía Intel introdujo el 8008 que era una versión de ocho bits del 4004. Aunque el 8008 no se usó en forma masiva en la fabricación de dispositivos electrónicos digitales su importancia radica en el haber sido el primer microprocesador en usar una longitud de palabra del tamaño de un byte, lo cual entre otras cosas permitía acceder un carácter de información a un tiempo.

Cabe destacar aquí que un microprocesador integra en un solo chip tanto una unidad aritmética y lógica como una unidad de

control que pueden integrar la unidad central de proceso (CPU) de una computadora digital construida bajo el esquema de Von Neumann, sin embargo una computadora digital requiere no solo de la CPU para operar sino además de memoria y puertos de entrada y salida, por lo que para construir una computadora digital en base a un microprocesador se requiere de algunos otros chips adicionales (v.g. memorias, puertos de entrada salida, circuitos lógicos de enlace, etc), por lo que casi en forma paralela al desarrollo de los microprocesadores evolucionó el de las memorias electrónicas contenidas en microcircuitos. A lo largo de casi toda la década de los sesenta, las memorias contenidas en chips de silicio no pasaron de existir sólo a nivel de prototipos de laboratorio. El problema era que no se podían integrar muchos transistores en un solo chip, lo cual hacía la construcción de memorias electrónicas incosteable en comparación con las memorias de nucleo de ferrita usadas por aquella época. Hacia fines de los sesenta el nivel de integración en los microcircuitos había avanzado al grado de poder fabricar chips de memoria con una capacidad de almacenamiento de 1024 bits (1 kb). Cabe señalar aquí que las memorias electrónicas se clasifican de acuerdo con su principio de funcionamiento en estáticas y dinámicas. Las memorias estáticas requieren de cuatro a seis transistores por bit, perdiendose la información en ellas solo si se desconectan de la fuente de voltaje que las polariza. Las memorias dinámicas requieren de un solo transistor por bit lo que hace posible un nivel de capacidad de almacenamiento mayor que sus contrapartes estáticas, sin embargo requieren de circuitería

lógica adicional para refrescar periódicamente la información almacenada en ellas a modo de no perderla.

Volviendo al desarrollo de los microprocesadores, después del 8008 Intel desarrolló el 8080 que involucraba varias mejoras tales como: capacidad de direccionamiento de 64K bytes, uso de la memoria externa para conformar la pila (stack), requerimiento de menos chips adicionales para construir un sistema mínimo.

Con base en el desarrollo de los microprocesadores y memorias electrónicas hacia la primera mitad de los años setenta fué posible construir una computadora digital en base a circuitos integrados existentes ya en el mercado por aquella época, a tales máquinas se les llamo *microcomputadoras*, nombre todavía usado en la actualidad.

Paralelo al desarrollo de microprocesadores es hecho por la compañía Intel, firmas como Motorola, Texas Instruments y MOS Technology desarrollaron los suyos, tal fué el caso del 6800 de Motorola y el 6502 de MOS Technology que al igual que el 8080 eran microprocesadores con una longitud de palabra de ocho bits y una capacidad de direccionamiento de 64K bytes. Posteriormente la compañía Zilog desarrolló el microprocesador Z80 que desde un principio marcó mejoras con respecto a los otros microprocesadores existentes en el mercado, ya que incorporaba todas las instrucciones del 8080 como un subconjunto de su propio conjunto expandido de instrucciones, esto permite al Z80 ejecutar todo el software existente que corre en el 8080. En términos de hardware el Z80 se diseñó con la filosofía de Intel. Zilog mantuvo la

estructura de registros del 8080 pero también añadió un conjunto alternativo de registros que duplicaba al conjunto principal de registros. Los registros alternos permitieron un incremento en la velocidad de procesamiento, ya que por ejemplo durante una interrupción los registros principales podían intercambiarse con los alternos por medio de una instrucción de un solo byte de rápida ejecución. Combinado con otras ventajas que tenía sobre el 8080 (una fuente de voltaje de un solo valor y un reloj simple) el Z80 se convirtió en una versión mejorada del 8080 ya que involucraba características internas que requerían circuitos integrados adicionales en un sistema basado en el 8080.

Posteriormente Intel introdujo el 8085 que fue su propia versión mejorada del 8080, aunque sus características de funcionamiento no lograron mejorar las correspondientes del Z80.

Como se ha mencionado los microprocesadores de 8 bits aparecidos durante la segunda mitad de la década de los setentas (6800, 6502, Z80, 8080) sustentaron la base para la construcción de las primeras microcomputadoras de producción masiva (Apple, TRS80, Altair, etc). Más adelante la industria de los microprocesadores evolucionó hacia longitudes de palabra de 16 bits. Por parte de Intel esto se materializó en los microprocesadores 8086/8088, Motorola introdujo el 68000 que aunque se considera un microprocesador de 16 bits tiene una estructura interna de 32 bits. Con base en el 8088 IBM produjo su primera versión de su computadora personal (PC). Apple empleó al 68000 en su primera versión de la Macintosh. Dado el explosivo

mercado de las microcomputadoras, la industria requirió de microprocesadores más rápidos y con longitudes de palabra más grandes, esto dio lugar a que las dos compañías líderes en este campo respondieran con microprocesadores de 16 y 32 bits tales como el 80286, el 80386 y el 80486 por parte de Intel y Motorola respondió a esta demanda con los microprocesadores 68010, 68020 y 68030. Las otras compañías hicieron lo propio también. En la figura 3.2 se muestra un árbol genealógico que presenta la evolución de los microprocesadores.

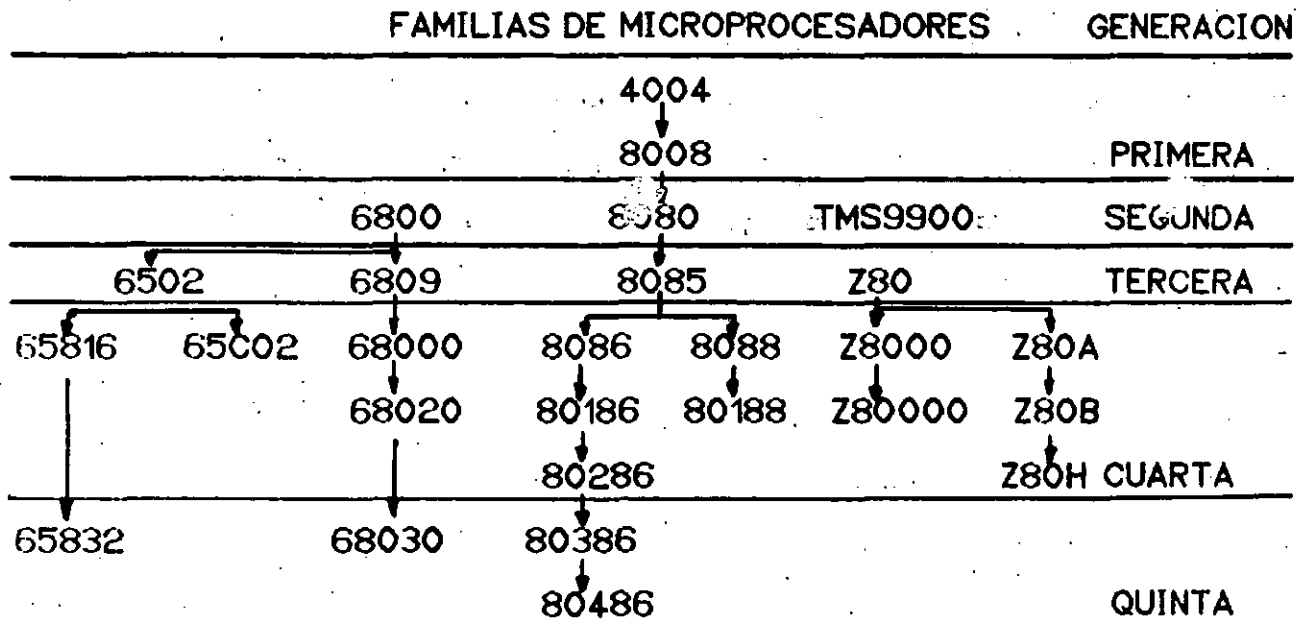


Figura 3.2 Genealogía de las primeras cinco generaciones de microprocesadores.

Cabe señalar que actualmente los microprocesadores se emplean no sólo en la construcción de microcomputadoras sino también en el desarrollo de dispositivos de instrumentación y control digital empleados tanto en la industria como en el hogar. Para estas aplicaciones en la mayoría de los casos los microprocesadores de 8 bits tales como el Z80 siguen presentando características de funcionamiento adecuadas para llevar a cabo dichos fines. Puesto que con ellos se llegaron a diseñar computadoras completas, en una aplicación de instrumentación, en donde la mayoría de los casos el microprocesador está dedicado a supervisar sólo unas pocas funciones ejecutando para ello uno o dos programas fijos es claro que la infraestructura lógica contenida en tales microprocesadores resulta incluso hasta sobrada. Lo anterior aunado a su bajo costo hacen de los microprocesadores de 8 bits caballos de batalla todavía vigentes en el campo de la instrumentación y control digital, tan es así que las propias compañías fabricantes han desarrollado dispositivos denominados microcontroladores que incorporan en un solo chip a una CPU de 8 bits junto con puertos de entrada salida para conformar un dispositivo de control o instrumentación autónomo. Más adelante en este curso se hablará acerca de algunos microcontroladores comerciales así como de algunas aplicaciones de los mismos.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

**INSTRUMENTACION DIGITAL POR MEDIO DE
MICROPROCESADORES Y MICROCOMPUTADORAS**

ARQUITECTURA BASICA DE UN SISTEMA BASADO EN UN MICROPROCESADOR

**ING. ANTONIO SALVA CALLEJA
ING. VICTOR MANUEL SANCHEZ ESQUIVEL**

**FEBRERO-MARZO
1990**

ARQUITECTURA BASICA DE UN SISTEMA BASADO EN UN MICROPROCESADOR

Dado el estado que alcanzó la tecnología en la fabricación de circuitos integrados en los años setentas fué posible a partir de mediados de esa década el contar con microcircuitos que conformaban los bloques funcionales básicos de una computadora digital bajo el esquema de Von Neumann. De esta manera fué posible construir computadoras elementales en una sola tarjeta de circuito impreso, esto aunado al desarrollo de software tal como el sistema operativo CP/M (antecesor del MS-DOS), desarrollado originalmente para el microprocesador 8080, trajo consigo el auge explosivo en el mercado de las computadoras a partir de la segunda mitad de la década de los setentas.

En una aplicación de instrumentación que utilice un microprocesador como elemento fundamental, en muchos casos la microcomputadora de control corre un programa fijo contenido en ROM (memoria de sólo lectura) o EPROM (memoria borrable de sólo lectura) que no requiere de memoria secundaria (cinta magnética, disco magnético, etc), estos sistemas se denominan *sistemas mínimos*, esto es computadoras digitales reducidas a su mínima expresión construidas con base a microcircuitos que conforman cada uno de los bloques de la arquitectura de Von Neumann.

En la figura 3.3 se muestra un esquema a bloques simplificado de un sistema mínimo basado en un microprocesador, en la que se pueden reconocer los elementos básicos de la arquitectura de Von Neumann de la figura 3.1.

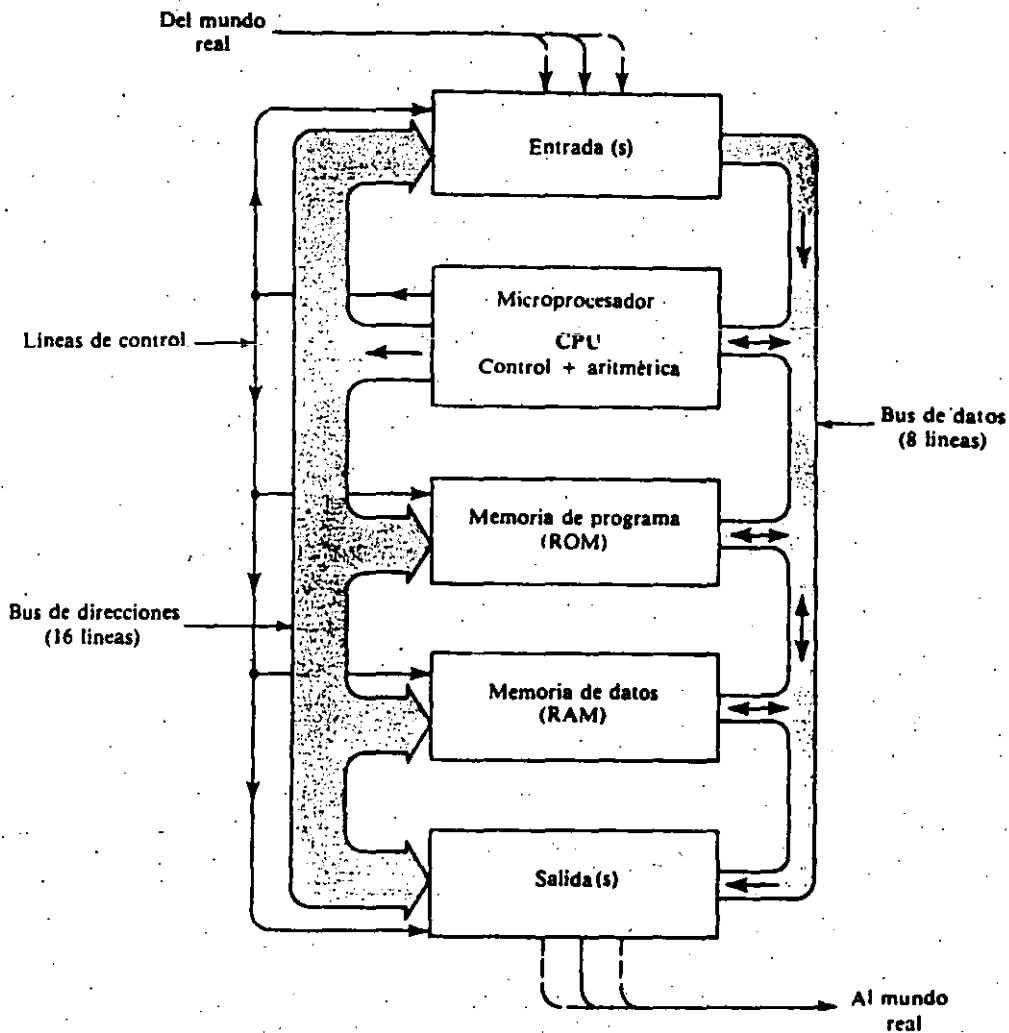


Figura 3.3 Arquitectura de una microcomputadora mínima basada en un microprocesador.

Como se aprecia en la figura 3.3, la CPU que conforma la unidad aritmética y lógica y la unidad de control en un solo chip, arbitra el funcionamiento de todas las unidades del sistema mediante un conjunto de líneas de control (bus de control) que permiten que la CPU quede interconectada desde el punto de vista

de escritura o lectura de datos con una y sólo una de las unidades del sistema en un tiempo dado, esto se logra por medio de una característica de funcionamiento de los circuitos integrados que conforman un sistema mínimo, denominada lógica de tres estados, que mediante la habilitación de una entrada digital de un solo bit conectan o desconectan electrónicamente las líneas donde presentan o leen datos del bus general que utiliza el sistema para manejar la información, a tal bus se le denomina bus de datos, en un sistema que se basa en un microprocesador de 8 bits dicho bus tiene un número semejante de líneas.

En la misma figura se aprecia otro conjunto de líneas de información que se llama bus de direcciones, el cual permite direccionar cada una de las locaciones de memoria del sistema así como también a cada uno de los puertos tanto de entrada como de salida. En los microprocesadores de 8 bits el bus de direcciones está conformado por 16 líneas lo que permite direccionar hasta 64K locaciones de memoria.

Es importante puntualizar la presencia de los puertos de entrada y salida ya que son los medios de comunicación mediante los cuales la microcomputadora se comunica con el mundo real. En una microcomputadora de escritorio típica un puerto de entrada sería el teclado y un puerto de salida sería el monitor, en una microcomputadora dedicada a atender un instrumento el puerto de entrada permitiría el acceso al sistema a un conjunto de señales digitales mediante las cuales recibe comandos de otra computadora o un ser humano y el puerto de salida podría ser una circuitería

que permite a un conjunto de señales digitales estar disponibles para ser usadas ya sea controlando una unidad de despliegado o un sistema de comunicación con otra computadora que procesaría la información generada por el sistema mínimo dedicado a atender una determinada labor de instrumentación.

En párrafos anteriores se habló del concepto del *tercer estado* que se desarrolló a partir de los inicios de los años setentas, esto simplificó grandemente el alambrado y diseño de computadoras ya que es ideal para la construcción de computadoras organizadas por una arquitectura de buses como la ilustrada en la figura 3.3. Antes de los setentas alambrear una computadora usualmente era muy complicado ya que todos los registros, unidades aritméticas y lógicas y otros circuitos tenían que comunicarse e interactuar de una manera correcta en un determinado tiempo y un determinado orden. Esta es la razón por la cual las primeras computadoras presentaban un serio problema de alambrado.

Lógica de tres estados

Como se mencionó antes el concepto del tercer estado permite aislar una salida digital conectada a una línea digital de información a la cual pueden estar conectadas otro determinado número de salidas digitales de otras partes del sistema. Mediante el comando de una señal digital de control se puede aislar eléctricamente cada una de las salidas digitales conectadas a una misma línea digital de información. En la figura 3.4 se ilustra una manera de realizar físicamente un conmutador de tercer estado y su equivalente eléctrico.

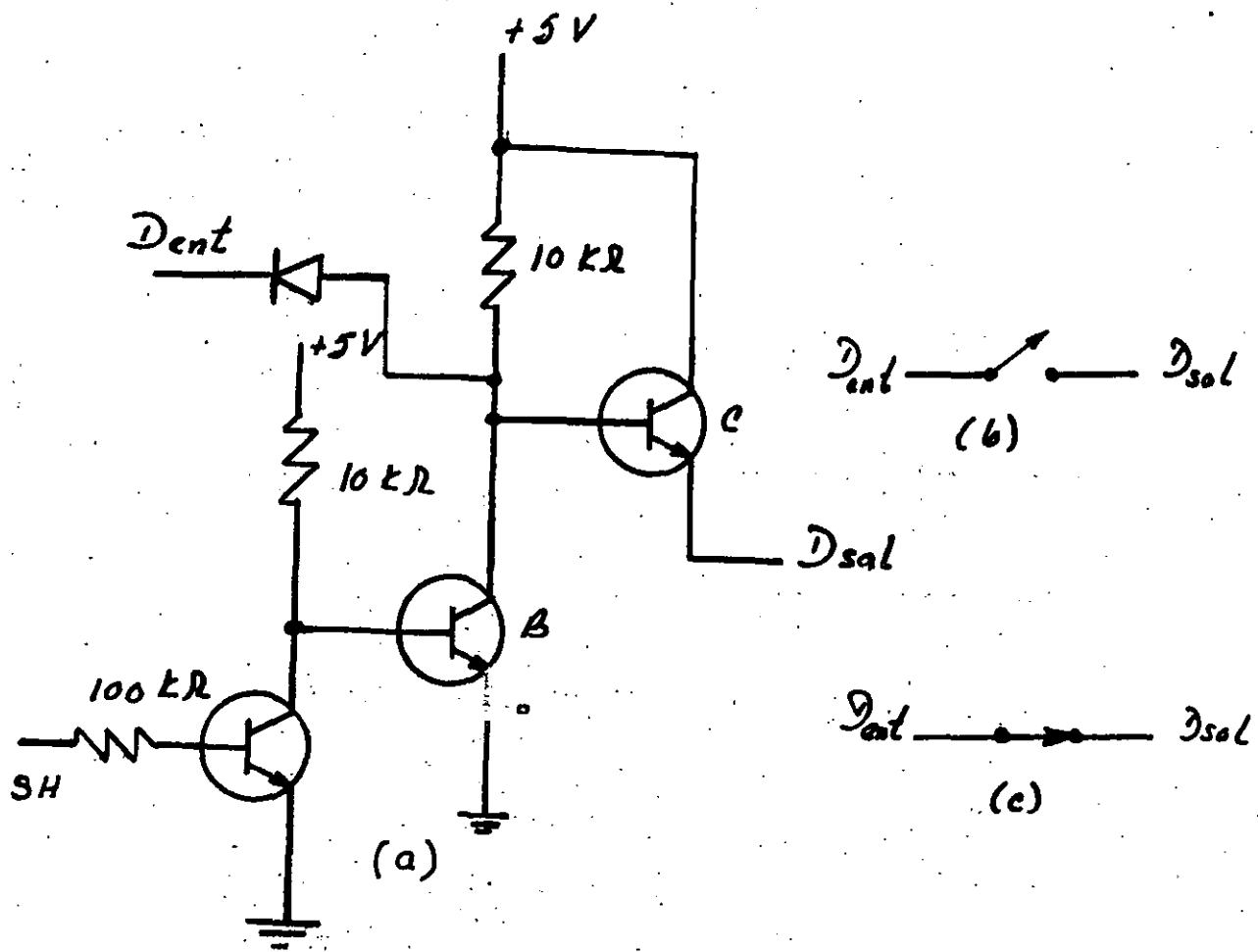


Figura 3.4 a) Conmutador de tercer estado. Equivalentes:

b) estado de alta impedancia; c) estado de conexión.

El funcionamiento del circuito de la figura 3.4 es el siguiente: cuando la señal SH es alta el transistor A se satura provocando el corte del transistor B, esto permite que el transistor C trabaje como seguidor presentandose en su emisor el mismo nivel lógico existente en el punto D_{ent} . Cuando la señal SH

es baja el transistor A entra en la región de corte saturándose el transistor B, esto hace que la base del transistor C quede a un potencial prácticamente nulo quedando dicho transistor en corte aislando el punto D_{sal} del punto D_{ent} lo que equivale a una condición de un conmutador abierto. Es importante señalar que el circuito mostrado no es la única forma de implantar un conmutador de tercer estado. En la figura 3.5 se observa el símbolo lógico de un conmutador de tercer estado.

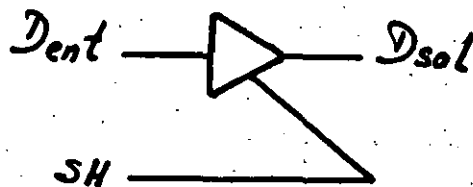


Figura 3.5 Símbolo lógico del conmutador de tercer estado.

Entre los circuitos comerciales que realizan la función de conmutación de tercer estado destacan entre otros el 74LS125 y el 74LS126 incorporando ambos en un solo chip a cuatro conmutadores digitales de tercer estado siendo la diferencia básica entre los dos circuitos el nivel requerido en la señal de habilitación para que el conmutador de tercer estado quede en posición de alta o baja impedancia, en el primer circuito este nivel deberá ser bajo y en el segundo este nivel deberá ser alto. Para mayor información acerca de estos dos circuitos se recomienda consultar el manual de circuitos TTL para ingenieros de diseño editado por Texas Instruments.

Para una memoria o puerto existen dentro del propio chip que los contiene un conmutador digital de tercer estado por cada una de las líneas de datos (típicamente 8) que se manejen, a las señales de habilitación correspondientes se les denomina como \overline{CS} y \overline{CE} (del inglés chip select y chip enable respectivamente). Dichas señales deben ser de nivel bajo para la mayoría de las memorias y puertos comerciales, integrados en un solo chip a modo que se establezca la condición de conexión de tales sistemas al bus de datos correspondiente. Por lo regular en un sistema mínimo basado en un microprocesador las señales de habilitación \overline{CS} o \overline{CE} de las memorias o puertos son arbitradas en alguna manera por señales de control provenientes de la CPU del sistema.

Funcionamiento elemental de una microcomputadora digital

El funcionamiento de una computadora está reducido a la suma de varias acciones lógicas muy simples. Así un programa es una secuencia de instrucciones sencillas tales como:

- a) Leer de memoria un dato.
- b) Escribir en memoria un dato.
- c) Efectuar una operación aritmética o lógica elemental entre el contenido de un registro interno de almacenamiento temporal y un dato contenido en memoria u otro registro interno de almacenamiento temporal.
- d) Ejecutar un salto a otra posición del programa de acuerdo con resultados intermedios obtenidos al ejecutarse el mismo.
- e) Colocar un dato en un puerto de salida.
- f) Leer un dato de un puerto de entrada.

Para realizar cualquiera de las acciones mencionadas una CPU típica cuenta entre otras cosas con: un registro apuntador de dirección (contador de programa), un generador de secuencias (unidad de control), una unidad aritmética y lógica (UAL), registros de almacenamiento temporal de datos, un registro denominado de banderas donde cada bit representa una condición que resulta después de llevarse a cabo una operación lógica o aritmética, por ejemplo, si el resultado de una operación es cero un bit en tal registro que podría llamarse Z podría colocarse en estado alto. Más adelante cuando se hable de microprocesadores específicos se aclarará este punto. En la figura 3.6 se muestra un diagrama a bloques de una CPU típica, donde se puede apreciar la existencia de algunos de los bloque mencionados.

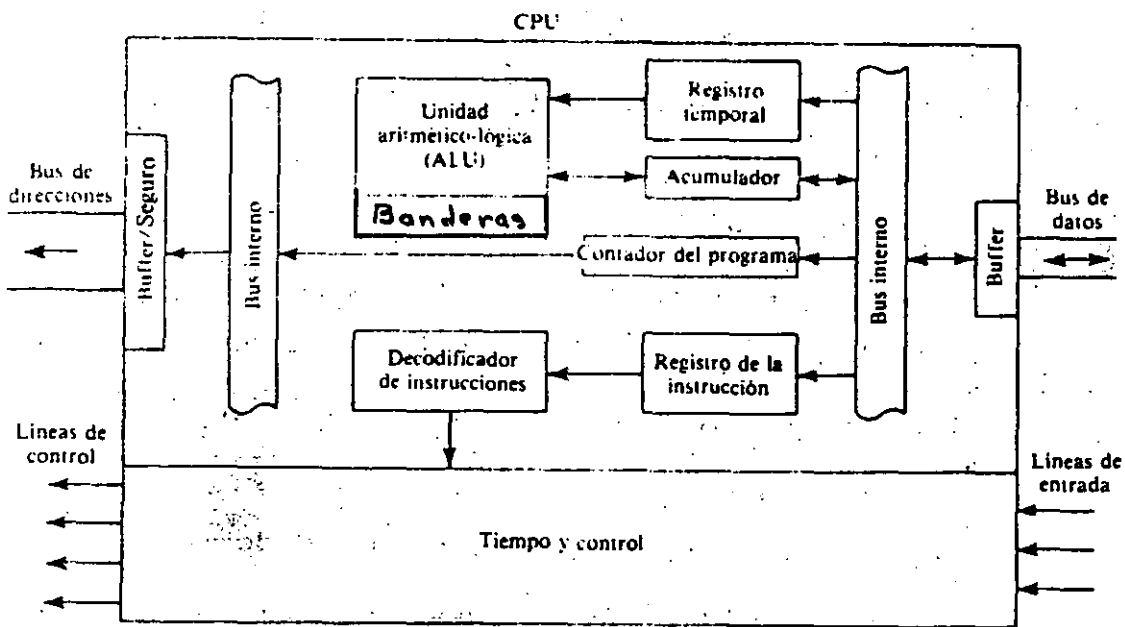


FIGURA 3.6 Diagrama de bloques genérico de una CPU típica.

El programa que va a ejecutar la microcomputadora se encuentra codificado en forma binaria en la memoria primaria del sistema (ROM o RAM), correspondiendo a cada instrucción a ejecutar uno varios bytes de acuerdo con la complejidad de ésta, así un programa típico no es otra cosa que una cadena de bytes almacenada en la memoria a partir de una cierta localidad, para ejecutar una instrucción la CPU lleva a cabo los siguientes pasos:

1. Coloca en el bus de direcciones el contenido de un registro interno denominado contador de programa (PC por sus siglas en inglés) la dirección de memoria correspondiente a la localidad donde se almacena el primer byte de la instrucción que contiene lo que se denomina código de operación de la misma.
2. Lee el código de operación correspondiente y lo decodifica empleando para ello circuitería digital interna a la CPU.
3. La unidad de control genera las acciones digitales pertinentes para que la instrucción se ejecute. De acuerdo al tipo de instrucción tales acciones podrían ser entre otras: efectuar una operación sobre el contenido de registros internos de la CPU, leer el siguiente byte como dato para efectuar alguna operación aritmética o lógica en combinación con el contenido de algún registro de la CPU, considerar el byte o bytes siguientes al código de operación como datos a ser cargados en registros internos de la CPU, etc.
4. De acuerdo al número de bytes que codificaban a la

instrucción, incrementa el PC lo necesario para que su contenido apunte al primer byte de la siguiente instrucción o en el caso de una instrucción de salto ajusta el contenido del PC a modo de que apunte a la dirección del primer byte de la instrucción especificada por el salto.

Por lo que se puede notar una instrucción podrá constar de uno o varios bytes dependiendo de la complejidad de la misma, casi siempre el código de instrucción está contenido en el primer byte (para algunos microprocesadores de 8 bits existen instrucciones cuyo código de operación es de dos bytes), los siguientes cuando existen, son datos a ser empleados al ejecutarse la instrucción.

De acuerdo a lo que se ha señalado acerca del funcionamiento de una CPU es claro que se encuentran implícitamente dentro de la misma diversos sistemas lógicos secuenciales síncronos, por lo que se hace necesario la presencia de una señal de reloj que sincronice la operación de la CPU, esto es, cualquiera de las acciones que ésta efectúa se llevan a cabo en un determinado número de periodos de la señal de reloj. En algunas ocasiones en un sistema de microcomputación no sólo la CPU requiere de la señal de reloj sino también alguno o algunos de los otros bloques funcionales que forman parte del sistema, como se verá más adelante en casos concretos.

La señal de reloj usualmente es una onda cuadrada de un determinado ciclo de trabajo cuya frecuencia puede variar desde algunos centenares de kHz hasta varias decenas de MHz para sistemas comerciales actualmente.

Las acciones elementales ejecutadas al efectuarse una instrucción se denominan comúnmente bajo el nombre de *ciclos de máquina*, que para un microprocesador de ocho bits podrían ser:

- a) Ciclo de obtención del código de operación al que se le denomina comúnmente *fetch*.
- b) Ciclo de escritura a memoria.
- c) Ciclo de lectura de memoria.
- d) Ciclo de escritura a puerto.
- e) Ciclo de lectura de puerto.

Cada ciclo de máquina tarda en llevarse a cabo un número fijo de periodos de reloj. Al conjunto de ciclos de máquina necesarios para la ejecución de una instrucción se le denomina ciclo de instrucción, por lo tanto el número de periodos de reloj que tomaría la ejecución de una determinada instrucción depende del número de ciclos de máquina correspondientes a la misma. Lo anterior se aclarará más adelante al tratar estos conceptos con relación a microprocesadores comerciales.

También existen otros ciclos de máquina como lo son los correspondientes al reconocimiento de interrupciones de las cuales se hablará más adelante al tratar microprocesadores específicos.

Mecanismo de restablecimiento (reset)

Un aspecto importante en el funcionamiento de toda microcomputadora es el contar con un medio mediante el cual se inicialice el sistema; ya sea al energizarlo o a voluntad del usuario. Para ello toda CPU debe contar con una entrada llamada *reset* que al activarse coloca al PC en un determinado valor,

comenzandose a ejecutar el programa contenido en la memoria a partir de esa dirección, es claro que dicho programa debe estar contenido en memoria ROM y debe contener las instrucciones necesarias para inicializar en forma adecuada al sistema.

La Pila (stack)

Al igual que sucede en lenguajes de alto nivel, dentro del conjunto básico de instrucciones asociadas con un microprocesador existen instrucciones de llamado y retorno de subrutina, entendiéndose bajo este último concepto a una cadena de bytes que representan a una secuencia de instrucciones que será necesario ejecutar en diferentes puntos de un determinado programa. Al ejecutarse una instrucción de llamado a subrutina deberá existir un medio mediante el cual el estado que guardan los registros internos de la CPU sea almacenado temporalmente, de modo que al retornar de la subrutina continúe la ejecución del programa en forma normal no importando el hecho de que la subrutina modifique uno o varios de los registros internos de la CPU. El medio de almacenamiento temporal es por lo regular un conjunto de localidades de memoria RAM direccionadas a partir de el valor cargado en un registro interno de la CPU llamado *APUNTADOR DE PILA*, (*SP* del inglés *STACK POINTER*), denominándose como *pila* al conjunto de locaciones de memoria que se usen para almacenar temporalmente el estado de la CPU en un momento dado. Al introducir un dato a la pila el *SP* de la CPU es decrementado a modo de que el siguiente dato que se introduzca no se sobrescriba en el dato

introducido previamente, para las CPU comerciales por lo regular el decremento del SP es en dos unidades siendo por lo tanto dos el mínimo número de bytes a guardar en la pila a un tiempo. Al sacar un dato de la pila dicho dato es cargado en un registro interno de la CPU especificado en la propia instrucción que realiza tal acción, incrementándose en dos el SP después de esto. Como puede apreciarse, un dato que se saque de la pila será el último que se halla introducido a ella, por lo tanto, la recuperación previa al retorno de una subrutina, de el valor de cada uno de los registros internos de la CPU deberá hacerse en el orden inverso al que se guardaron al entrar a la subrutina. A las instrucciones que meten datos a la pila se les denomina comúnmente como *PUSH* y a las instrucciones que jalan datos de la pila se les denomina *POP* en la terminología relacionada con microprocesadores comerciales.

Es importante señalar aquí que el único registro de la CPU que se guarda en la pila automáticamente al ejecutarse una instrucción de llamado a subrutina, es el PC apuntando a la dirección de la siguiente instrucción a ejecutarse en el programa principal, siendo responsabilidad del programador el meter en la pila el contenido de los registros de la CPU que sea necesario. Al ejecutarse una instrucción de retorno de subrutina se jala el último dato introducido a la pila cargándose con este el PC.

A continuación se describen brevemente varios dispositivos que normalmente se emplean para integrar una microcomputadora.

Memoria ROM

Todo sistema digital basado en un microprocesador debe contar

con un medio permanente de almacenamiento de programas y datos, de modo tal que al iniciar su operación la microcomputadora tome de tal memoria de sólo lectura (ROM por sus siglas en inglés) las instrucciones que conforman a las rutinas que llevan a cabo tareas tales como: inicializar su sistema de puertos, efectuar diagnósticos acerca del funcionamiento correcto de diversas partes del sistema, dar alguna indicación al usuario sobre el estado de funcionamiento del sistema, etc. Además de lo anterior la memoria ROM deberá contener las rutinas básicas de entrada salida que permitan a la microcomputadora, mediante el empleo de los puertos que contenga, tener una comunicación adecuada ya sea con un ser humano o con otra computadora o sistema digital ligada con ella. Cabe señalar que al conjunto de rutinas elementales contenidos en la ROM del sistema se le conoce como *firmware* del mismo. En la figura 3.7 se muestra una representación esquemática de una memoria ROM de 2k bytes.

Como se aprecia en la figura 3.7 la memoria ROM como muchos dispositivos digitales que forman parte de una microcomputadora y que están conectados al bus de datos, cuenta con una entrada de habilitación (\overline{CS}) que estando en nivel bajo permite que la CPU lea el dato presentado por la ROM asociado con la dirección presente en las entradas correspondientes de la ROM, estando la entrada \overline{CS} en nivel alto la salida de datos de la ROM queda desconectada del bus de datos del sistema.

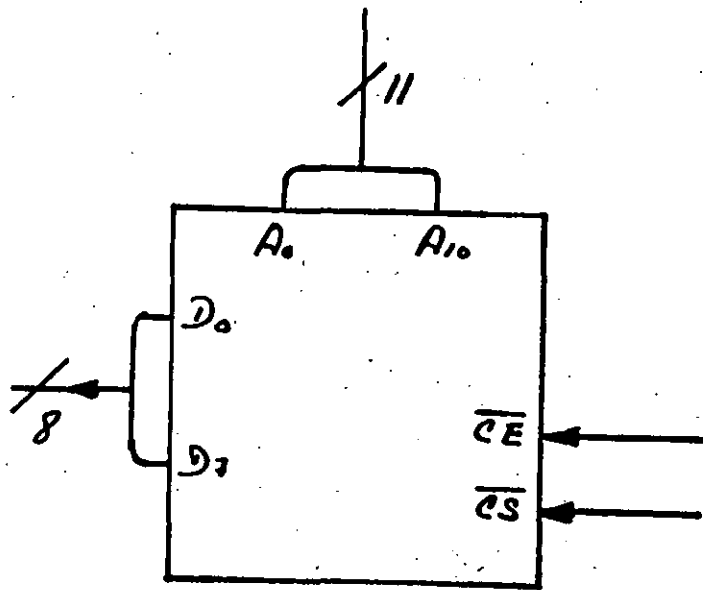


FIGURA 3.7 Representación esquemática de una memoria ROM de 2k bytes

Memoria EPROM

Una memoria EPROM (erasable programmable read only memory) es una memoria de sólo lectura que mediante el empleo de luz ultravioleta puede borrarse para luego reprogramarse eléctricamente por el usuario. Una memoria EPROM estandar tiene dos entradas de habilitación \overline{CS} y \overline{CE} , debiendo verificarse ambas en nivel bajo para que las salidas de datos de la memoria no estén en estado de alta impedancia, con cualquiera de ellas en estado alto las salidas de datos quedan en el estado de alta impedancia

Memoria RAM

Una memoria RAM (random access memory) es una memoria de lectura y escritura, a diferencia de las memorias de sólo lectura

la información contenida en ellas se pierde cuando su voltaje de polarización se anula; además de las entradas de habilitación cuentan con entradas de señalización que indican si la función que se efectúa sobre la memoria es de lectura o escritura en un momento dado. En la figura 3.8 se muestra una representación esquemática de una memoria RAM.

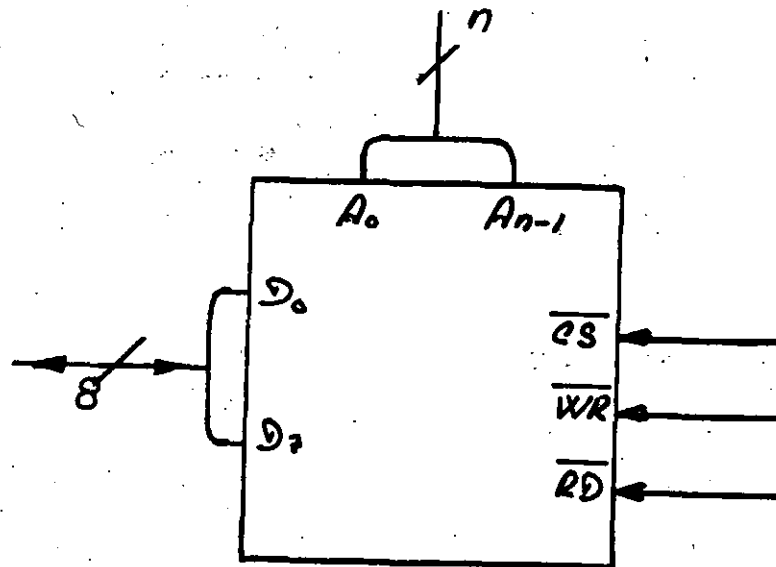


FIGURA 3.8 Representación esquemática de una memoria RAM.

Un concepto importante asociado con las memorias electrónicas es el *tiempo de acceso*, que se define como la magnitud del intervalo que transcurre entre la habilitación de la memoria para lectura y la presencia del dato requerido en las salidas correspondientes. En las memorias comerciales el tiempo de acceso varía desde decenas de nanosegundos hasta algunos centenares de nanosegundos. El tiempo de acceso es un parámetro importante al interconectar una memoria con una CPU que opere a una cierta

frecuencia de reloj, debiendo existir congruencia entre el tiempo de acceso de la memoria y la rapidez con que la CPU requiere de la presencia de un dato en un ciclo de lectura a memoria.

Puertos de entrada

Los puertos de entrada constituyen periféricos importantes en la arquitectura de cualquier computadora, en una microcomputadora dedicada a instrumentación permiten al sistema leer información del mundo exterior codificada en bytes, para sistemas basados en microprocesadores de ocho bits la información correspondiente a un byte se lee en un un solo ciclo de lectura a puerto.

Puertos de salida

Otros periféricos importantes en toda computadora son los puertos de salida, mediante los cuales ésta presenta al mundo exterior información importante. En una microcomputadora dedicada a instrumentación un puerto de salida presenta la información codificada en bytes. Para un microprocesador de ocho bits se coloca un byte en el puerto de salida por cada ciclo de escritura a puerto.

En el mercado existen diversos circuitos integrados mediante los cuales se pueden implantar los puertos de entrada y salida asociados con sistemas basados en microprocesadores, ejemplos de este tipo de dispositivos son los siguientes circuitos integrados: el 8255 fabricado por Intel y el circuito TTL 74LS373 de Texas Instruments. El primero de ellos permite la realización de tres puertos pudiendo programarse separadamente cada uno de ellos como

puerto de entrada o de salida, el segundo circuito permite realizar ya sea un puerto de entrada o de salida. Más adelante se verá la forma de aplicación para casos concretos de estos dos circuitos integrados, aclarándose que existen en el mercados otros chips aparte de los mencionados mediante los cuales se pueden realizar puertos asociados con sistemas de microcomputación basados en microprocesadores.

En cuanto a la manera de como los microprocesadores ven a los puertos cabe señalar que existen las dos formas siguientes:

- a) Acceso a puertos por mapeo de memoria.
- b) Acceso a puertos mediante mapeo paralelo.

En el primer caso el microprocesador ve tanto a los puertos como a la memoria de la misma manera, esto es, el conjunto de direcciones de puerto asociadas con un sistema estarán contenidas en un solo conjunto de direcciones junto con el conjunto de direcciones asociadas con locaciones de memoria que podría denominarse mapa de puertos y memoria. Los microprocesadores fabricados por Motorola y MOS Techonogy siguen este esquema de manejo de puertos.

En el segundo caso el conjunto de direcciones asociado con memoria (mapa de memoria) es accesado por el microprocesador mediante una señal de habilitación diferente a la emplada para acceder al conjunto de direcciones asociadas con puertos (mapa de puertos). Lo anterior permite que el mapa de puertos y el mapa de memoria sean entes separados, es decir, un puerto y una locación de memoria podrán tener la misma dirección. Ejemplos de

microprocesadores que utilizan esta forma de manejo de puertos son los fabricados por las compañías Zilog e Intel.

Circuito decodificadores lógicos

Un sistema digital importante empleado como bloque funcional en un sistema de microcomputación es el *decodificador de n a 2^n* . La figura 3.9 muestra un esquema a bloques de un decodificador de 3 a 8 y la tabla de verdad asociada con el funcionamiento del mismo.

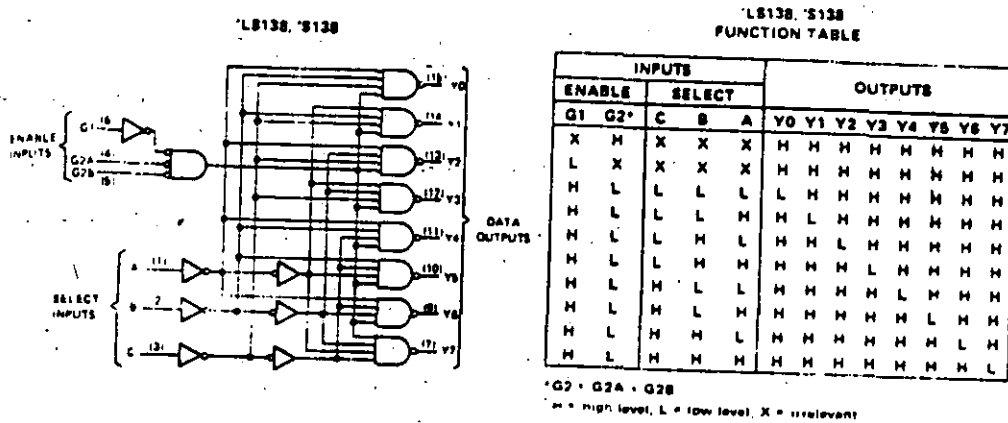


Figura 3.9 Esquema lógico de un decodificador de tres a ocho y tabla de verdad asociada con su funcionamiento.

De la tabla de verdad de la figura 3.9 se observa que solo una de las salidas del decodificador es verificada baja a un tiempo, correspondiendo este evento a la colocación de una combinación determinada de bits en las entradas A, B y C del sistema, siendo el número de salida habilitada el representado por los bits A, B y C. Puese observarse de la tabla de verdad que cuando la entrada G

es baja o la entrada \bar{G}_1 es alta todas las salidas del decodificador estarán en nivel alto independientemente de las entradas A, B y C. Los decodificadores digitales usualmente se emplean en sistemas de microcomputación como dispositivos auxiliares en la *paginación* de memoria o puertos, posteriormente se verá su aplicación para este fin en sistemas basados en microprocesadores.

La paginación de memoria consiste en dividir lógicamente al conjunto de direcciones que puede acceder una determinada CPU en tramos cuya longitud sea igual a la capacidad de almacenamiento de las memorias individuales empleadas en el sistema. Por lo regular en un sistema de microcomputación de ocho bits el número de locaciones asociadas con cada página de memoria puede ser: 2 k, 4 k, 8 k, 16 k y 32 K.

La paginación de puertos se efectúa de manera semejante a la de memoria sólo que en este caso el número de direcciones asociadas con cada puerto individual usualmente es de cuatro u ocho.

Interrupciones

Un concepto importante relacionado con la operación de los microprocesadores es el de *interrupción*; esto se refiere a la capacidad de una CPU en cuanto a poder interrumpir la ejecución de un programa a una solicitud asíncrona hecha por un periférico que demande servicio por parte de ella. El servicio requerido por el periférico se lleva a cabo mediante la ejecución de un programa llamado rutina de servicio, tal rutina ha de contener las

instrucciones pertinentes para que el servicio requerido por el periférico se efectúe adecuadamente. Los periféricos que requieren de servicio en forma asíncrona en un sistema de microcomputación por lo general son puertos del propio sistema tales como: teclados, puertos de entrada de un byte, puertos serie, etc.

En general los microprocesadores comerciales cuentan con dos entradas de un bit cada una mediante las cuales los periféricos que solicitan atención le hacen saber, por medio de una circuitería lógica, a la CPU que requieren de servicio; esas dos entradas usualmente se denominan como:

- a) *INT* entrada de solicitud de interrupción enmascarable.
- b) *NMI* entrada de interrupción no enmascarable (nonmaskable interrupt).

Las interrupciones que se llevan a cabo al verificarse la entrada *INT* son reconocidas por la CPU sólo si el estado de un flip-flop interno es alto, pudiéndose mediante software modificar el estado de tal flip-flop, esto es, la ejecución de una interrupción solicitada por medio de la entrada *INT* podrá o no efectuarse de acuerdo con la condición de habilitación o deshabilitación previa a la solicitud de la misma.

Las interrupciones que se efectúan al verificarse la entrada *NMI* son siempre reconocidas sin necesidad de una habilitación previa.

Al reconocerse una interrupción por parte de una CPU se lleva a cabo un ciclo de máquina especial denominado *ciclo de reconocimiento de interrupción*. Para cada CPU comercial existen

variaciones en este ciclo, las características particulares de cada caso pueden consultarse en las hojas de datos correspondientes.

Existe otra manera de atención a periféricos por parte de una determinada CPU, que consiste en encuestar (polling) el estado de un bit asociado con cada dispositivo susceptible de requerir servicio, de modo tal que al detectarse una solicitud de atención la CPU salte a la rutina de servicio correspondiente. Una desventaja que presenta este método es que un tiempo considerable se consume al estar la CPU encuestando los dispositivos que pueden requerir de servicio. En dispositivos de microcomputación dedicados a dar servicio a un determinado instrumento frecuentemente se utiliza el esquema de encuesta ya que en estos casos es común que la microcomputadora este dedicada exclusivamente a la ejecución de una rutina fija, siendo pocos los periféricos asociados con el instrumento. En sistemas de microcomputación que conformen ya sea microcomputadoras de escritorio o sistemas más complicados el esquema de atención a periféricos usualmente es el de interrupciones.

Arquitectura de un sistema mínimo basado en un microprocesador

Con los elementos hasta ahora tratados se puede ya bosquejar a bloques la estructura de un sistema mínimo de microcomputación basado en un microprocesador de ocho bits, en la figura 3.10 se muestra un diagrama a bloques de una posible arquitectura que configure a una microcomputadora.

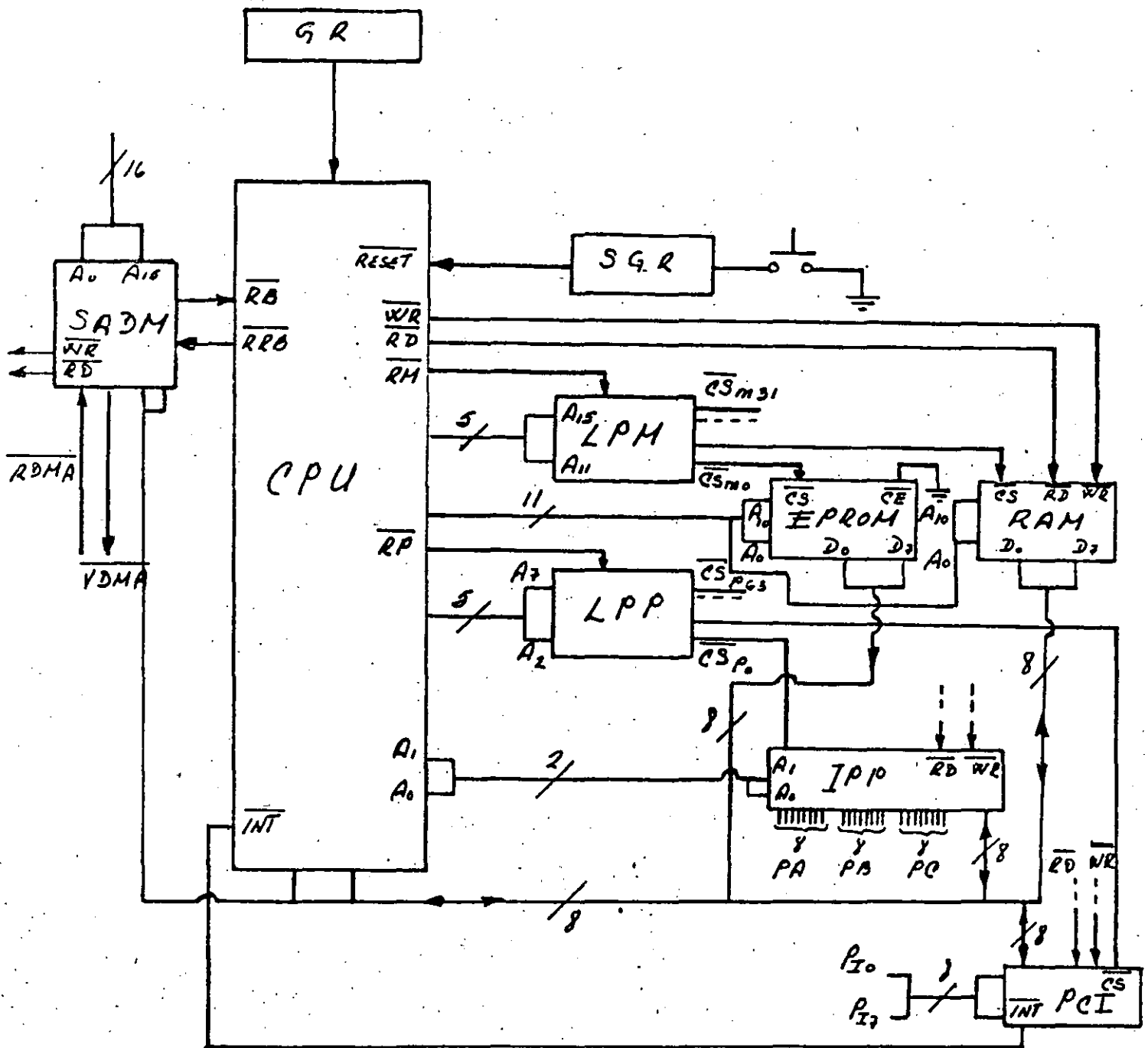


Figura 3.10 Diagrama a bloques de la arquitectura de un sistema de microcomputación con base en una CPU de 8 bits y tres puertos programables.

A continuación se describen detalles acerca de la operación de cada uno de los bloques que conforman el sistema de la figura 3.10:

CPU

Esta es la unidad central del proceso del sistema, la CPU de la figura utiliza el esquema de mapeo paralelo de puertos ya que genera señales de requerimiento de memoria (\overline{RM}) y puertos (\overline{RP}); la señal \overline{RM} se habilita durante un ciclo de lectura o escritura a memoria y la señal \overline{RP} se habilita durante un ciclo de lectura o escritura a puerto o bien durante un ciclo de reconocimiento de interrupción. Otras señales de control importantes generadas por la CPU son las señales de habilitación de escritura (\overline{WR}) y de lectura (\overline{RD}), la primera de ellas es verificada por la CPU cada vez que ésta realiza un ciclo de escritura a memoria o puerto, la segunda es verificada cuando la CPU realiza un ciclo de lectura a puerto o memoria. Se puede apreciar que la CPU cuenta con una entrada denominada \overline{RESET} , cuando esta señal es verificada el PC es inicializado en un determinado valor que apunta a una dirección de memoria donde se encuentra el programa de arranque del sistema. Frecuentemente la dirección de inicio del PC es 0000H aunque esto no es una regla. La CPU cuenta también con una entrada de reloj donde un circuito externo presenta una señal cuadrada de un determinado ciclo de trabajo y frecuencia siendo todas las operaciones que efectúa la CPU sincronizadas por esta señal. En la figura se observan 16 líneas A_0-A_{15} , lo que indica que la capacidad de direccionamiento de memoria del sistema es de 64 k. La CPU mostrada intercambia datos con la memoria o puertos en paquetes de 8 bits a la vez, esto se

hace empleando a las líneas de entrada salida D_0-D_7 . Otra entrada de control de la CPU es la denominada \overline{INT} que al verificarse hace que el sistema salte a una rutina que da servicio a un periférico que lo requiera en un momento dado, una vez que se ha completado la rutina de servicio, la CPU retorna al programa que se encontraba ejecutando antes de que el periférico requiriera ser atendido.

Existen las señales \overline{RB} (requerimiento de bus) y \overline{RRB} (reconocimiento de requerimiento de bus). La primera es una señal de entrada que al ser verificada origina que todas las terminales de la CPU asociadas con señales de control, datos o direcciones queden en estado de alta impedancia, permitiendo a un periférico tener acceso directo a los buses del sistema para realizar entre otras cosas un acceso directo a memoria cargando datos en la misma sin pasar por la CPU. La segunda es una señal que la CPU emite para indicarle a la unidad de control de acceso directo a memoria que sus buses han quedado en estado de alta impedancia y por lo tanto puede tomar control de los buses del sistema.

La CPU descrita anteriormente podría ser dada las características descritas cualquier microprocesador de 8 bits fabricado por Zilog o Intel.

Lógica de paginación de memoria (LPM)

Este bloque es el encargado de generar las señales de habilitación requeridas por cada memoria física en particular. En el esquema de la figura 3.10 se supone que las memorias individuales son de una capacidad de 2k bytes, por lo tanto, el bloque LPM deberá aceptar como entradas a la señal de control \overline{RM}

generada por la CPU así como también a las correspondientes a los cinco bits más significativos del bus de direcciones. Comúnmente el bloque LPM podrá realizarse empleando decodificadores TTL tales como el 74LS138 auxiliados por alguna o algunas compuertas lógicas o bien mediante arreglos lógicos programables.

Lógica de paginación de puertos (LPP)

Este bloque se encarga de generar las señales de habilitación de puerto necesarias para cada conjunto de direcciones asociadas con puertos que conforman a su vez las páginas de puerto del sistema. En el esquema de la figura 3.10 se supone que la CPU puede direccionar hasta 256 puertos empleando para ello los ocho bits menos significativos de su bus de direcciones. Dado que el número de direcciones asociadas con cada puerto es cuatro el sistema LPM deberá aceptar como entradas a la señal \overline{RP} de requerimiento de puerto y a las líneas A_7-A_2 del bus de direcciones. Para la realización física del bloque LPP pueden emplearse decodificadores TTL como el 74LS138 auxiliado por compuertas lógicas o bien arreglos lógicos programables.

Interfaz periférica programable (IPP)

Este bloque integra tres puertos de ocho bits que pueden configurarse como de entrada o de salida, tiene asociadas cuatro direcciones de puerto, las tres primeras corresponden a los tres puertos mencionados y la cuarta corresponde a un registro interno del sistema donde la CPU debe escribir un byte que configure a los tres puertos, esto debe hacerse como parte de las rutinas de inicialización del sistema. Un circuito integrado que realiza a un

sistema de puertos como el IOP es el 8255 fabricado por Intel que es ampliamente empleado tanto en sistemas de instrumentación basados en microprocesadores como en microcomputadoras de escritorio tales como la IBM PC. Más adelante se verá la aplicación de este chip en casos concretos. En cuanto al detalle de sus diversos modos de programación es conveniente consultar las hojas de datos proporcionadas por el fabricante.

Puerto paralelo de entrada con capacidad de interrupción (PCI)

El subsistema integrado en este bloque configura a un puerto de entrada que puede interrumpir a la CPU. La rutina de servicio correspondiente podría cargar en locaciones sucesivas de memoria el byte leído por el puerto incrementando un apuntador de dirección a su terminación. La realización física del bloque PCI podría efectuarse empleando el CI 74LS373 auxiliado por compuertas lógicas, o bien mediante el empleo de un chip como el 8255.

Memoria EPROM

Este bloque está realizado por una memoria de sólo lectura borrable por luz ultravioleta con capacidad de 2k bytes de almacenamiento que es la mínima capacidad para memorias de este tipo disponibles en el mercado. Esta memoria cuenta con entradas de habilitación, \overline{CS} y \overline{CE} , que han de verificarse simultáneamente para que la CPU pueda leer un dato. La información contenida en esta memoria es la relativa al firmware básico del sistema. La memoria EPROM es direccionada mediante las líneas A_0 - A_{10} del bus de direcciones del sistema. Un dispositivo integrado con la capacidad de almacenamiento mencionada es el CI 2716.

Memoria RAM

Este bloque conforma a la memoria de lectura escritura del sistema, contiene señales de habilitación de lectura y escritura como se aprecia en la figura 3.10. Como en el caso de la EPROM la capacidad de almacenamiento es de 2k bytes, siendo volátiles los datos almacenados en esta memoria. Un CI comercial que puede realizar este bloque es el 2016. Una memoria RAM en un sistema de microcomputación generalmente contiene a la pila (stack) así como datos generados por el programa de aplicación que se ejecute, asimismo puede contener también a un programa introducido por el usuario mediante el empleo de un puerto ligado a un teclado o a otra computadora.

Sistema generador de la señal de restablecimiento (SGR)

Este subtema por lo regular se realiza con compuertas lógicas elementales combinadas con circuitos capacitivos a modo de generar un pulso de reset verificado el tiempo adecuado a fin de garantizar que la CPU realice su rutina de restablecimiento de una manera adecuada.

Generador de la señal de reloj

Este bloque está conformado por un oscilador de relajación o controlado por un cristal de cuarzo. Para realizarlo se pueden emplear compuertas lógicas combinadas con circuitos RC o un cristal de cuarzo. Si el ciclo de trabajo requerido no es de 50% o la CPU requiere de varias fases de reloj para su funcionamiento además del oscilador elemental se requerirá de lógica adicional para generar la onda cuadrada requerida.

Sistema de acceso directo a memoria (SADM)

En algunas ocasiones un sistema de microcomputación requerirá el contar con la capacidad de realizar cualquiera de las siguientes acciones:

- a) Carga de un byte leído por un puerto en una locación de memoria sin que el dato pase por un registro interno de la CPU.
- b) Colocación en un puerto de salida de un byte contenido en una locación de memoria sin pasar por un registro interno de la CPU.
- c) Cargar una localidad de memoria con el contenido de otra localidad de memoria sin pasar por un registro de la CPU.

Es claro que las acciones mencionadas se requieran cuando la velocidad de transferencia de datos sea un factor importante en el desempeño de algunas de las acciones del sistema. Por lo regular un subsistema que permita el acceso directo a memoria generará una señal de salida que le avise a la CPU que se va a efectuar un acceso directo a memoria verificando con esta señal digital la entrada que para este fin tenga el microprocesador, (\overline{RB}) en el sistema mostrado en la figura 3.10. El subsistema SADM deberá contar con una entrada mediante la cual la CPU le informe que ya ha colocado sus buses en estado de alta impedancia para que pueda efectuarse el acceso directo a memoria tomando SADM el control de los buses del sistema, SADM deberá contar con al menos una entrada que ha de habilitarse por el periférico que requiera tal servicio (\overline{RDMA}), así como también deberá contar con una salida (\overline{VDMA}) para notificar al periférico solicitante de este servicio que la

transferencia de datos puede efectuarse. Es importante señalar que un sistema de acceso directo a memoria es requerido por sistemas de microcomputación tales como una microcomputadora de escritorio, sin embargo, para un sistema basado en un microprocesador dedicado a la atención de un instrumento por lo general no se requerirá de esta facilidad. Un circuito integrado usado frecuentemente para realizar el acceso directo a memoria en un sistema de microcomputación es el 8237 fabricado por Intel que forma parte de la arquitectura básica de una microcomputadora PC compatible.

LENGUAJES DE PROGRAMACION

Un programa que va ejecutar un microprocesador no es otra cosa que una cadena de bytes que integran las diferentes instrucciones del mismo. A un programa codificado en esta forma se le denomina *programa codificado en lenguaje de máquina*. Por ejemplo, un programa simple en lenguaje de máquina sería aquel que leyera un dato presentado por un puerto de entrada cuya dirección en formato binario fuera 00000001 colocandolo en el acumulador de la CPU, para luego presentarlo en un puerto de salida del sistema cuya dirección sea 00000000 en notación binaria. Asumiendo que la dirección inicial del programa fuera 0010000000000000 en notación binaria y que la CPU es un microprocesador muy comercial fabricado por Zilog el programa podría tener la siguiente codificación :

Dirección de memoria en notación binaria	Contenido de memoria en notación binaria
0010000000000000	11011011
0010000000000001	00000001
0010000000000010	11010011
0010000000000011	00000000

Es claro que un programa codificado directamente en formato binario es difícil de entender aún para casos tan simples como el anterior, sin embargo, desde el punto de vista del microprocesador este es el único lenguaje que el mismo entiende. Desde un punto de vista humano una primera simplificación al manejar programas en lenguaje de máquina podría ser el manejar notación hexadecimal en lugar de binaria pudiendo codificarse el programa anterior de la siguiente manera:

Dirección en formato hexadecimal	Contenido de memoria en formato hexadecimal
2000	DB
2001	01
2002	D3
2003	00

Como se aprecia, aun cuando el programa sigue estando codificado en lenguaje de máquina es más sencilla y clara su lectura e interpretación. Para determinar los códigos a emplear para cada instrucción se requiere consultar las hojas de datos del microprocesador con el que se trabaje, siendo este proceso relativamente sencillo para programas no muy complicados,

aumentando la complejidad de este proceso a medida que los programas son más grandes.

LENGUAJE ENSAMBLADOR

Para programas de cierta complejidad en adelante el proceso de generación de los códigos de instrucción correspondiente puede resultar bastante engorroso, para simplificar esto se pensó en la asociación de un mnemónico a cada instrucción diferente que pueda ejecutar un determinado microprocesador, junto con el mnemónico se pueden asociar dos, uno o cero operandos dependiendo esto del tipo de instrucción. Usualmente un programa en lenguaje ensamblador asigna para cada instrucción cuatro campos descritos a continuación:

- a) Campo de etiquetas con una longitud de 6 o más caracteres.
- b) Campo de mnemónicos asociados con las diversas instrucciones a los que se denomina frecuentemente bajo el nombre de código de operación.
- c) Campo de operandos donde han de colocarse los mismos cuando sean necesarios en una determinada instrucción.
- d) Campo de comentarios donde se puede escribir alguna leyenda que aclare los pasos lógicos que se llevan a cabo al ejecutar el programa.

A continuación se muestra como se vería la codificación del programa descrito anteriormente en lenguaje ensamblador, se muestra también la codificación correspondiente en lenguaje de máquina asociada con cada una de las instrucciones del programa a lo que usualmente se denomina bajo el nombre de código objeto :

CODIGO OBJETO ETIQUETAS MNEMONICO OPERANDO COMENTARIOS

2000 DB01 : IN A.(01);

2002 D300 : OUT (00).A;

Como se aprecia la interpretación de un programa en ensamblador es mucho más simple, apreciándose en el caso anterior que no hubo necesidad de usar etiquetas o comentarios dada la simplicidad del programa. Gracias al uso de mnemónicos se tiene una idea mas o menos clara de lo que hace el programa. Es importante señalar aquí el papel que juegan los delimitadores ":" y ";" el primero usualmente se usa para marcar el final del campo de etiquetas mientras que el segundo se emplea para indicar el inicio del campo de comentarios que son ignorados por el programa ensamblador, que es el que procesa la información dada por medio de mnemónicos y genera el código objeto que puede entender el microprocesador para que el programa pueda ser ejecutado por el mismo. Para programas simples el proceso de ensamblado se puede llevar a cabo *manualmente* esto es, se observa el mnemónico asociado con cada instrucción para generar el código objeto correspondiente consultando las hojas de datos del microprocesador con el que se trabaje, desde luego que esto es más complicado que usar un programa ensamblador, sin embargo en el proceso de aprendizaje de tópicos relacionados con microprocesadores este tipo de ejercicio da mucha luz acerca del funcionamiento de los mismos.

En cuanto a los operandos asociados con las instrucciones es importante puntualizar lo siguiente:

1) Los operandos podrán ser:

a) Registros internos de la CPU.

b) Datos en formato hexadecimal, lo cual usualmente se denota escribiendo el valor en notación hexadecimal en el lugar que corresponda.

c) Localidades de memoria lo cual se denota escribiendo entre paréntesis la dirección en notación hexadecimal, cuando la dirección en cuestión sea el valor de algún registro interno la CPU esto se indica escribiendo entre paréntesis el nombre del registro en cuestión.

d) Direcciones asociadas con puertos de entrada o salida, denotándose esto escribiendo entre paréntesis la dirección en notación hexadecimal, cuando sea el contenido de un registro interno la indicación de la dirección es este último el que se escribe entre paréntesis.

e) Etiquetas, lo cual se indica escribiendo el nombre de las mismas a la derecha del mnemónico que indique al código de operación.

2) Cuando una instrucción involucre a dos operandos ambos deberán estar separados por una coma, uno de ellos será destinatario de el dato asociado con el otro. Para ensambladores asociados con microprocesadores fabricados por Zilog o Intel el operando destino siempre se escribirá a la izquierda del operando fuente, para el caso de microprocesadores

fabricados por motorola esta convención es opuesta.

A modo de ejemplo se muestra a continuación un programa escrito en ensamblador que simula un contador binario en un puerto de salida cuya dirección es 00h, el microprocesador empleado se supone el mismo que el del ejemplo anterior, llamandose CONT1 al programa la codificación sería la siguiente:

PROGRAMA CONT1 DIRECCION INICIAL=2000H

CODIGO	OBJETO	ETIQUETAS	MNEMONICO	OPERANDOS	COMENTARIOS
2000	D300	LAZO	: OUT	(00).A ;	
2002	3C		: INC	A ;	
2003	18FB		: JR	LAZO ;	

Como puede apreciarse el programa CONT1 simula un contador binario ascendente base 256 en un puerto de salida cuya dirección sea 00h siendo infinita la operación del contador a menos que se restablezca el sistema.

Hasta aquí esta breve exposición sobre lenguajes ensambladores, más adelante se aclararán estos conceptos por medio de ejemplos concretos relacionados con problemas reales de instrumentación resueltos mediante el empleo de sistemas de microcomputación basados en microprocesadores.

SUMARIO

Se ha presentado en este tema lo básico en relación con sistemas de microcomputación basados en microprocesadores, aún

cuando no se ha hablado acerca de ningún microprocesador, en especial, lo tratado aquí puede servir de base para abordar el estudio de cualquier microprocesador comercial y la estructuración de la arquitectura de una microcomputadora basada en el mismo.

En lo que toca a la arquitectura del sistema mostrado en la figura 3.10 cabe señalar que si bien se supuso una CPU de ocho bits como procesador central, los conceptos ilustrados se aplican también en sistemas basados en microprocesadores de 16 o más bits.

Se describió brevemente la forma en que los microprocesadores comerciales manejan a los puertos destacándose los conceptos de mapeo paralelo de puertos y asignación de direcciones de puerto por mapeo de memoria.

Se explicó de una manera simple el concepto de lógica de tres estados, que es fundamental en la interconexión de bloques funcionales en la arquitectura de un sistema de microcomputación.

Se describió de una manera simple el concepto de pila, que es de importancia fundamental en sistemas de microcomputación que ejecuten programas que involucren subrutinas y/o interrupciones.

Se trató de una manera elemental el funcionamiento de memorias RAM o ROM, haciendo énfasis en las señales digitales que controlan su operación.

En suma se trataron en forma genérica los conceptos relacionados con la operación a nivel elemental de una computadora digital, construida en base a microcircuitos disponibles en el mercado.

REFERENCIAS

- 1.-Microelectronics.
Millman.
McGraw-Hill.
1986.
- 2.-Digital Computer Electronics.
Albert Paul Malvino.
McGraw-Hill.
1977.
- 3.-Digital Systems Hardware Organization and Design.
Second Edition.
Fredrick J. Hill and Gerald R. Peterson.
Wiley.
1978.
- 4.-Microprocessors.
A decade of change.
revista Radio electronics.
Abril de 1986.
- 5.-Digital Computer Fundamentals.
Thomas C. Bartee.
McGraw Hill.
1977.
- 6.-Farewell to chips.
revista BYTE.
Enero de 1990.

7.-Introduction to Microprocessor System Design.

Harry Garland.

Mcgraw-Hill.

1979.

8.-Understanding Digital Computers.

Second Edition.

Forrest M. Mims III.

Radio Shack.

1987.

9.- Microprocessors and Interfacing.

Programming and Hardware.

Douglas V. Hall.

McGraw-Hill.

1986.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

C U R S O S A B I E R T O S

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y MICROCOMPUTADORAS

MICROCONTROLADORES

ING. JOSE ANTONIO ARREDONDO GARZA

FEBRERO-MARZO

CIRCUITO MICROCOMPUTADOR

(M C U)

IV.a. Principios de Operación y Características

Introducción a la familia M6805 HMOS/M146805 CMOS

La continua evolución tecnológica en microprocesadores y microcomputadoras, ha llevado a crear mayor cantidad de dispositivos más complejos y más poderosos, que presentan características tanto de grandes computadoras (*mainframes*), como de minicomputadoras. La experiencia ganada durante dicha evolución, ha enriquecido grandemente la experiencia necesitada para diseñar dispositivos de bajo y medio rango más poderosos. Al emplear las características de arquitectura de las computadoras *mini* y *mainframe*, tanto el *hardware* como el *software* de los circuitos microprocesadores y microcomputadores, ha llegado a ser regular y versátil sin dejar de ser relativamente sencillo.

Los requerimientos del mercado de microprocesadores de bajo costo, medio rango y orientados hacia el control, pueden ser cubiertos con las familias de microcomputadores (MCU) y microprocesadores (MPU) M6805 HMOS/M146805 CMOS, las cuales son las primeras en proveer las capacidades en *software* y *hardware* de las más avanzadas computadoras para tal mercado. Anteriormente los diseñadores y fabricantes, habían de decidir entre no emplear procesadores en absoluto, o utili-

zar procesadores que funcionaban más como una calculadora que como una computadora.

Todos los miembros de la familia M6805 HMOS/M146805 CMOS de microprocesadores y microcomputadores, son diseñados alrededor de un núcleo común que consiste en: CPU, timer, oscilador, ROM (EPROM, con o sin ventana para borrado), sección de control (para interrupciones y reinicio), y cantidades variables de líneas de entrada/salida bidireccionales. Además de este núcleo común, pueden añadirse otros componentes tales como: memoria adicional, convertidor analógico digital, circuitos de amarre de fase (PLL en el MC6805E3), y líneas adicionales de entrada/salida. Hasta fechas recientes, este versátil diseño de núcleo central, ha generado 11 diferentes dispositivos de la familia M6805 HMOS y cuatro en la familia M146805 CMOS. Estos 15 diferentes miembros, permiten al usuario, elegir el dispositivo más adecuado para su particular aplicación. El variado número de dispositivos, evita tener que pagar por una característica incluida que no se requiere, o hacerlo para añadir externamente una característica que se requiere y no esta incluida.

La arquitectura y el conjunto de instrucciones de la familia M6805 HMOS/M146805 CMOS, son muy similares a los del MC6800. Cualquier programador que ha trabajado con el MC6800, puede obtener una eficiencia equivalente, con la familia M6805 HMOS/M146805 CMOS en un tiempo relativamente corto. Como resultado de la optimización de su arquitectura, en algunos aspectos, la familia M6805 HMOS/M146805 CMOS es más poderosa que la MC6800 (dependiendo de la aplicación).

El Circuito Microcomputador MC68705R3

El circuito microcomputador elegido para el presente diseño, es el MC68705R3, que es un componente tipo HMOS, con memoria EPROM de la familia antes mencionada. El tipo de memoria EPROM programable por usuario, permite realizar cambios al programa y aplicaciones de bajos volúmenes de producción en comparación con las versiones enmascaradas programables en fábrica. Las versiones de MCU con memoria EPROM reducen también los costos de desarrollo y tiempo de evaluación de prototipos en comparación con las ROM enmascaradas.

El circuito microcomputador MC68705R3, maneja un bus interno de 8 bits y contiene: CPU, reloj interno, memoria EPROM, programa de autocarga (bootstrap) residente en ROM, memoria RAM, 4 puertos de entrada/salida (I/O) digital, convertidor analógico/digital (A/D) y contador de tiempo (timer). Debido a estas características, ofrece al usuario medios económicos para el diseño de prototipos de evaluación de equipos que contendrán algún otro tipo de MCU de la misma familia sin memoria EPROM, o para producciones piloto y de bajo volumen.

Debido a lo completo del circuito en cuanto a componentes internos, que facilitan la labor, y en especial a la presencia del convertidor A/D (hasta 4 entradas analógicas), y a la memoria EPROM, así como al bajo costo del dispositivo, se eligió al MC68705R3 como parte medular de la estación meteorológica portátil, cuyo diseño nos ocupa.

Este dispositivo contiene circuitos de protección contra entradas que puedan ocasionar algún daño debido a los altos voltajes provocados por la estática o campos eléctricos, sin embargo se deben tomar precauciones para evitar estos altos voltajes. Para propósito de operación es recomendable que V_{in} y V_{out} sean forzados a tener valores dentro del rango de V_{cc} a V_{ee} .

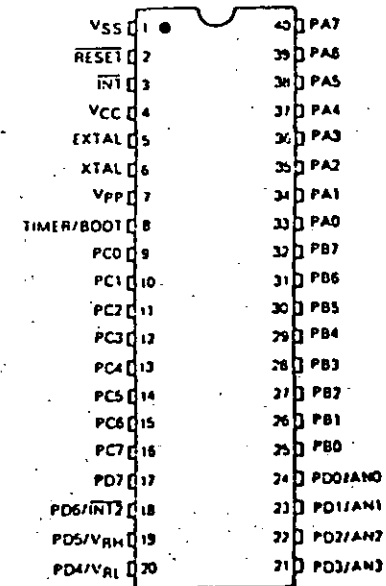


Figura 4.1. Terminales del MCU MC68705R3.

El circuito integrado MC68705R3, se muestra en la figura 4.1, en donde se pueden apreciar la distribución de las terminales, respecto a las señales de entrada y salida aplicables a este dispositivo. A

continuación se describen dichas señales:

V_{cc} y V_{ee} .- Son las señales de alimentación; V_{cc} alimentación positiva y V_{ee} es tierra.

\overline{INT} .- Señal externa que asigna un evento de interrupción asíncrona al procesador. puede ser usada también, junto con la instrucción BIL y BIH .

$XTAL$ y $EXTAL$.- Estas señales permiten la conexión con el reloj interno del circuito oscilador. Un cristal, una resistencia, o una señal externa, pueden ser conectados a estas terminales para conformar un sistema que genere las señales de reloj.

$TIMER/BOOT$.- Entrada externa empleada para el control del circuito del *timer*. Esta terminal también detecta un nivel de voltaje alto usado para el programa de autocarga o *bootstrap*.

\overline{RESET} .- Esta terminal tiene una entrada *schmitt trigger*, para asegurar un nivel apropiado. El *MCU* puede ser inicializado o puesto en estado de *reset*, al enviar un pulso bajo a esta terminal.

V_{pp} .- Esta terminal es usada para habilitar la programación de la memoria *EPRON*.

Líneas de entrada/salida.- (PA_0 - PA_7 , PB_0 - PB_7 , PC_0 - PC_7 , PD_0 - PD_7).

Estas 32 líneas están ordenadas dentro de cuatro puertos de

bits. Cada línea de los puertos *A*, *B* y *C* son programables como entradas o salidas, bajo control en *software*, por medio del registro de dirección de datos (*DDR*). El puerto *D* cuando el convertidor *A/D* es usado, tiene cuatro entradas analógicas, más dos entradas para voltajes de referencia (V_{RH} , V_{RL}), una entrada $\overline{INT2}$, y de 1 a 8 entradas digitales. Todas las líneas del puerto *D* pueden ser directamente leídas y usadas como entradas digitales. Si cualquier entrada analógica es usada, entonces el voltaje de referencia (V_{RH} y V_{RL}) debe ser usado en el modo analógico.

Memoria

El *MCU NC68705R3*, cuyo mapa de memoria se muestra en la figura 4.2, es capaz de direccionar 4,096 bytes de memoria y registros de entrada/salida con el contador de programa. El *MCU* tiene implementados 4,093 bytes de estas localidades de la siguiente forma:

En *EPRON*

3,776 bytes para programa y datos de usuario.

1 byte para registro opcional de enmascarado (*MOR*).

En *ROM*

191 bytes para el programa de autocarga (*bootstrap*).

En RAM

112 bytes para datos de usuario.

7 bytes para entrada/salida.

2 registros del timer.

2 registros del convertidor A/D.

1 registro misceláneo.

1 byte para registro de control del programa (PCR).

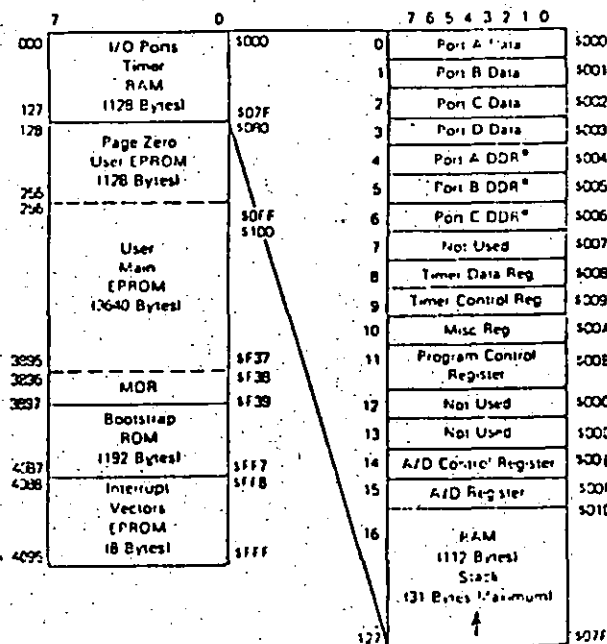


Figura 4.2. Mapa de memoria del MC68705R3.

La EPROM de usuario se localiza en dos áreas; la principal en las localidades \$080 a \$F37, mientras que la secundaria de 8 bytes y que está reservada para vectores de interrupción/resét, está en las localidades \$FFB a \$FFF. El registro de opción de máscara en la localidad \$F38 completa el total.

El MCU usa 13 de 16 localidades bajas de memoria para el control del programa, características de entrada/salida tales como puertos y direcciones de las terminales de los mismos, el timer y registros del convertidor A/D. Los 112 bytes de RAM incluyen 31 bytes para el stack. El área del stack es usada durante el proceso de interrupción y llamadas a subrutina.

Unidad Central de Proceso (CPU)

El CPU de la familia M6805 es implementado independientemente de la configuración de entrada/salida o memoria. Consecuentemente, puede ser tratado como una central de procesamiento de comunicación independiente con entradas y salidas, direccionamiento de memoria, datos y control de buses internos.

Registros

El CPU tiene 5 registros utilizables por programa. Estos registros son explicados a continuación.

- **Acumulador (A).**- Es un registro de 8 bits y de propósito general, usado para retener operandos y resultados de cálculos aritméticos o manipulación de datos.
- **Registro Índice (X).**- Es un registro de 8 bits que puede ser usado con efectividad en el modo de direccionamiento indexado. El valor contenido en él puede ser agregado a otra cantidad en alguna instrucción, para crear una dirección efectiva. El registro índice puede también ser usado para manipulación de datos usando las instrucciones de *lectura/modificación/escritura*. Otro posible uso del registro índice es como área de carga temporal.
- **Contador de Programa (PC).**- Es un registro de 12 bits que contiene las direcciones de la próxima instrucción a ser ejecutada.
- **Apuntador del stack (SP).**- Es un registro de 12 bits que contiene las direcciones de la próxima localidad libre en el stack. Durante un *reset* al MCU o al ejecutarse la instrucción de *reset* del apuntador del stack (*RSP*), su contenido es inicializado con el valor *\$07F*. Los siete bits más significativos de este registro se encuentran permanentemente en el valor *0000011*.
- **Registro de Condición de Código (CC).**- Es un registro de 5 bits, del cual cuatro bits son usados para indicar algunos resultados de la instrucción recientemente ejecutada. Los bits de este registro pueden ser individualmente probados por el programa, con el fin de ejecutar acciones dependientes del valor de alguno

o algunos de ellos. A continuación se explica cada uno de estos cinco bits (*H*, *I*, *N*, *Z* y *C*).

HALF CARRY (H).- Se enciende durante las operaciones *ADD* y *ADC* cuando ocurre un *carry* entre los bits 3 y 4.

INTERRUPCION (I).- Cuando este bit se enciende, el *timer* y la interrupción externa *INT* son *enmascarados* (deshabilitados). Si ocurre una interrupción en algún momento cuando este bit está encendido, la interrupción es mantenida y procesada en cuanto bit de interrupción se apaga.

NEGATIVO (N).- Cuando se enciende este bit, indica que el resultado de la operación aritmética/lógica o manipulación de datos anterior, fue negativo (el bit 7 en el resultado es un 1 lógico).

CERO (Z).- Cuando se enciende este bit, indica que el resultado de la operación aritmética/lógica o manipulación de datos anterior, fue cero.

CARRY/BORROW (C).- Cuando se enciende este bit, indica que un *carry* o acarreo salió de la *unidad aritmética lógica (ALU)* como consecuencia de la operación aritmética anterior. Este bit es también afectado durante las instrucciones de prueba de bits (*bit test*), de saltos (*branch*), de corrimientos (*shift*) y de giros (*rotate*).

Timer

El *timer* del *MCU*, consta de un contador de 8 bits programable por *software*, el cual es manejado por un *prescaler* de 7 bits. Pueden seleccionarse diferentes opciones para proveer las señales de reloj al *prescaler* y al contador. La selección de forma de operación del *timer*, se realiza por medio del *registro de control del timer (TCR)* y/o el *registro de opción enmascarable (MOR)*. El *TCR* también contiene los bits de *control de interrupción*.

El diagrama de bloques del circuito del *timer* se muestra en la figura 4.3. El valor inicial del *contador* de 8 bits puede ser cargado bajo control del programa y decrementado hasta cero a través de una señal que entre por la terminal f_{clk} del contador. Una vez que el contador se ha decrementado a cero, se enciende el bit 7 (b7 del *TCR*) que es la *solicitud de interrupción del timer TIR (Timer Interrupt Request)*. Asimismo, la *máscara de interrupción del timer TIM (Timer Interrupt Mask)* bit 6 del mismo registro, puede ser encendido por *software* para inhibir la solicitud de interrupción, o apagado por el mismo medio para pasar dicha solicitud al procesador. Cuando el bit 1 es limpiado en el *registro de código de condición*, el procesador recibe la *interrupción del timer* y responde a ella: guardando su estado presente en el *stack*, buscando el *vector de interrupción del timer* en las localidades de memoria \$FF8-\$FF9 y ejecutando la rutina de *interrupción* correspondiente.

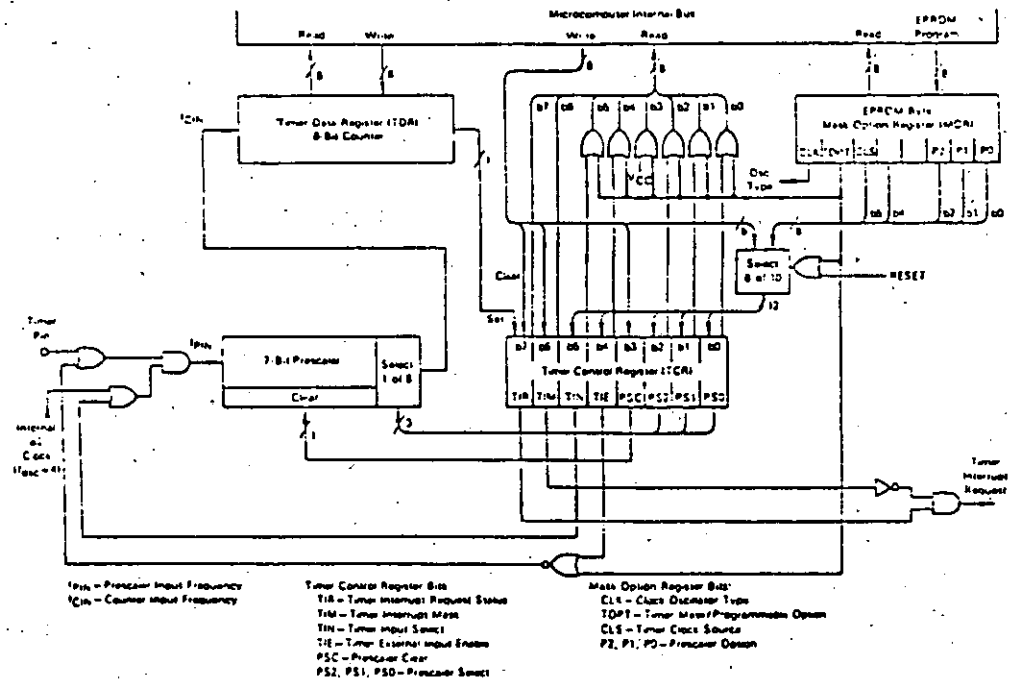


Figura 4.3. Diagrama de bloques del timer.

El *contador* sigue contando (decrementado), pasando de cero a \$FF. De esta manera, puede ser leído en cualquier momento por el procesador, sin que se perturbe la cuenta. Esto permite a los programas determinar el tiempo transcurrido desde que ocurrió una interrupción del *timer*, sin alterar el proceso de conteo.

La entrada de señal de reloj para el *timer* puede ser externa, aplicada a la terminal de entrada del *timer*, o puede ser la señal interna #2.

Reinicializaciones (Resets)

El *MCU* puede ser reinicializado de dos formas; una de ellas es la suspensión de la alimentación de corriente por medio del encendido/apagado y la otra forma es a través de la terminal para reinicializado externo (*RESET*). El circuito interno conectado a la terminal de *RESET* es un *schmitt trigger* que sensa el nivel lógico de esta línea.

Opciones para el Generador de Señal de Reloj

El circuito generador de señal de reloj, está diseñado para requerir de un mínimo de componentes externos; un cristal, una resistencia, un puente (*jumper*) o una señal externa, pueden ser usados para generar la señal de reloj del sistema, con diversas relaciones

estabilidad/costo. Para el presente diseño, se eligió emplear una resistencia externa; por economía a la vez que tomando en cuenta que para la aplicación no se requiere mayor precisión del 10% garantizado por este medio. De acuerdo a las especificaciones del fabricante del *MCU*, se emplea una resistencia de 15.8 kohms al 1%.

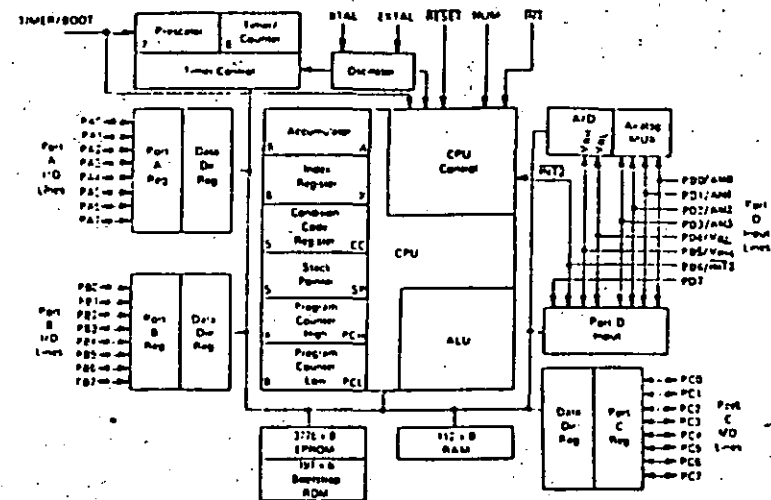


Figura 4.4 Diagrama de bloques del microcomputador MC68705R3.

ROM de Autocarga

El *ROM* de autocarga (*bootstrap*), contiene un programa cargado en fábrica, que permite al *MCU* realizar búsqueda de datos en un componente externo y transferirlos al *EPROM* del *MC68705R3*.

7

El programa de autocarga proporciona; generador de pulsos de programación, generación adecuada en tiempo de señal de entrada V_{cp} y verificación después de la programación.

Interrupciones

El *MCU* puede ser interrumpido de cuatro diferentes maneras: a través del conector de entrada de interrupción externa (\overline{INT}), por la petición de interrupción interna del timer, por el conector de entrada del bit 6 del puerto externo *C* ($\overline{INT2}$), o por software con la instrucción de interrupción (*SWI*). Cuando ocurre cualquier tipo de interrupción, la instrucción en ejecución (incluyendo *SWI*) es completada, el procesamiento se suspende, el estado presente en el *CPU* es colocado dentro del *stack*, el bit de interrupción (*I*) del registro de código de condición es encendido, la dirección de la rutina de interrupción es obtenida del vector de dirección de interrupción apropiado y ejecutada la rutina de interrupción correspondiente. Introducir en el *stack* el registro del *CPU*, encender el bit *I*, y localizar el vector requiere un total de 11 periodos de máquina. La rutina de servicio de interrupción debe terminar con una instrucción de regreso de interrupción (*RTI*), lo que permite al *MCU* volver a continuar el procesamiento del programa que se estaba ejecutando cuando sucedió dicha interrupción (por medio de recuperar del *stack* el estado previo del *CPU*). La tabla 4.1, provee un listado de los tipos de interrupción, su prioridad y la dirección del vector que contiene la dirección de inicio de la rutina de servicio de interrupción adecuada. La priori-

dad de interrupción es aplicable a aquellas interrupciones pendientes cuando el *CPU* está listo para aceptar una nueva interrupción. La señal de \overline{RESET} también se lista en la tabla 4.1, ya que es tratada como una interrupción, aunque no es normalmente empleada como tal.

Cuando está encendido el bit de máscara de interrupción del registro de código de condición, la interrupción es mantenida para ejecutarla más tarde.

INTERRUPCION	PRIORIDAD	VECTOR DE DIRECCIONAMIENTO
\overline{RESET}	1*	SFFE y SFFF
<i>SWI</i>	2	SFFC y SFFD
\overline{INT}	3	SFFA y SFFB
TIMER/ $\overline{INT2}$	4	SFF6 y SFF9

* La prioridad 2 se aplica solamente cuando está encendido el bit *I* en el registro de código de condición (como al estar ocurriendo una rutina de servicio). Cuando *I=0* y todas las interrupciones están siendo aceptadas, *SWI* tiene prioridad 4 (como cualquier otra instrucción). La prioridad de \overline{INT} cambia entonces a 2 y la del timer a 3.

TABLA 4.1. Prioridades de interrupción

El timer y la señal $\overline{INT2}$, comparten el mismo vector de direccionamiento, por lo que la rutina de interrupción debe determinar la fuente de la misma, examinando los bits de solicitud de interrupción (*TCR b7* y *MR b7*). Tanto *TCR b7* como *MR b7*, por software solo pueden ser colocados en 0 lógico.

Las interrupciones externas $\overline{INT1}$ e $\overline{INT2}$ están sincronizadas y acopladas a la orilla de caída de la señal de entrada. La interrupción $\overline{INT2}$ tiene un bit de petición de interrupción (bit 7) y un bit de máscara (bit 6), ambos localizados en el registro misceláneo (MR). Cuando el bit de máscara está encendido, la interrupción $\overline{INT2}$ se inhibe. La señal $\overline{INT2}$ siempre es leída como una entrada digital del puerto D. Si se encuentran encendidos los bits de petición de interrupción $\overline{INT2}$ y del timer, hacen que el MCU procese una interrupción siempre y cuando el bit I del registro de código de condición esté apagado.

Una interrupción por software (SWI) es una instrucción ejecutable, que se efectúa sin importar el estado del bit I en el registro de código de condición. Este tipo de instrucción es a menudo empleada como punto de ruptura para revisión de programas o como llamadas del sistema.

Convertidor Analógico Digital (A/D)

El MCU tiene internamente implementado un convertidor analógico digital de 8 bits, que emplea la técnica de aproximaciones sucesivas. Hasta cuatro entradas analógicas externas se pueden conectar al convertidor A/D por medio del puerto D y a través de un multiplexor interno. En nuestro caso y debido a que se realizarán mediciones de 5 variables analógicas, emplearemos un multiplexor externo para elegir por software y con una señal de control proveniente del MCU, entre la

señal de temperatura o la de presión, cuando se haya seleccionado alguna de estas mediciones.

Adicionalmente pueden emplearse cuatro señales analógicas internas para propósitos de calibración (V_{ref} , $V_{AN/2}$, $V_{AN/4}$ y V_{AN}).

La selección de señal en el multiplexor interno del MCU, es controlada por los bits 0, 1 y 2 del registro de control del convertidor A/D (ACR), de acuerdo a lo que se muestra en la tabla 4.2. Dicho registro es puesto a ceros, durante cualquier condición de reinicio (reset).

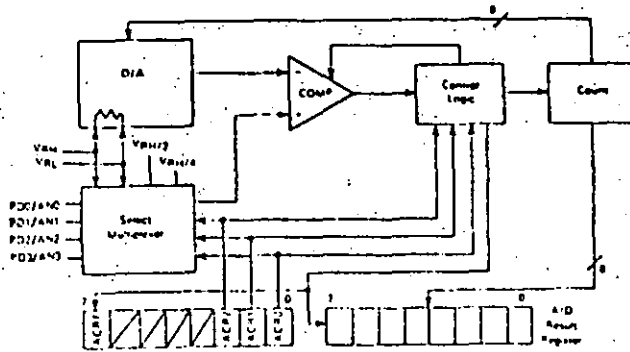
REGISTRO DE CONTROL DEL CONVERTIDOR A/D			ENTRADA ELEGIDA
ACR2	ACR1	ACR0	
0	0	0	ANO
0	0	1	AN1
0	1	0	AN2
0	1	1	AN3
1	0	0	VRH
1	0	1	VRL
1	1	0	VRH/4
1	1	1	VRH/2

Tabla 4.2. Selección de la entrada al convertidor A/D, en el multiplexor interno.

Siempre que se escriben datos en el ACR, se aborta la conversión que se está llevando a cabo, la bandera de conversión completa se limpia (bit 7 del ACR) y la entrada seleccionada es muestreada y mantenida internamente.

El convertidor opera continuamente, empleando 30 ciclos de máquina para completar una conversión de la entrada analógica muestreada. Cuando la conversión se completa, la muestra digitalizada o valor digital, es colocado en el *registro de resultado del convertidor A/D (ARR)*, la *bandera de conversión completa* es encendida, la entrada seleccionada es muestreada de nuevo y se inicia una nueva conversión.

El convertidor A/D es *ratimétrico* o relacional. Se provee de dos voltajes de referencia (V_{RH} y V_{RL}) al convertidor, por medio de algunas terminales del puerto D. Si el voltaje de entrada es igual a V_{RH} se convierte en \$FF (escala completa) y si es igual a V_{RL} se convierte en \$00. Cualquier voltaje de entrada mayor que V_{RH} es convertido en \$FF sin proporcionar indicación alguna de saturación (*overflow*). Para conversiones *ratimétricas*, la fuente de donde provengan las señales a las entradas analógicas, deberá usar el voltaje V_{RH} como voltaje de alimentación y estar referido al voltaje V_{RL} .



10 Figura 4.5. Diagrama de bloques del convertidor A/D.

Registro de Control del Timer (TCR)

La configuración del TCR está determinada por el nivel lógico del bit 6 (*opción del timer TOPT*) en el *registro de opción de enmascaramiento (MOR)*. A continuación se muestran dos configuraciones del TCR, una para *TOPT=1* y la otra para *TOPT=0*. *TOPT=1* configura al TCR para emular al circuito *MC6805R2*, mientras que con *TOPT=0*, se provee control por *software* del TCR. Cuando *TOPT=1*, las opciones de *enmascaramiento del prescaler* son programables por el usuario a través del *MOR*.

b7	b6	b5	b4	b3	b2	b1	b0
TIR	TIH	1	1	PSC*	1	1	1

Registro de Control del Timer \$009

TCR con MOR TOPT=1 (Emulación del MC6805R2)

b7	b6	b5	b4	b3	b2	b1	b0
TIR	TIH	TIN	TIE	PSC*	PS2	PS1	PS0

Registro de Control del Timer \$009

TCR con MOR TOPT=0 (Timer programable por software)

* solo escritura, se lee como cero.

La descripción de cada bit del TCR es la siguiente:

b7, TIR Solicitud de Interrupción del Timer.
(Timer Interrupt Request)

Empleado para iniciar una interrupción del timer o señalar un nivel mínimo en el *registro de datos del timer (TDR)*, cuando es un 1 lógico.

1 = Encendido cuando el total de bits del *registro de datos del timer* cambian a ceros.

0 = Apagado por *reset* externo o bajo control del *pro* a.

b6, TIN Máscara de Interrupción del Timer.
(Timer Interrupt Mask)

Empleado para inhibir la interrupción del *timer* al procesador, cuando es un *1* lógico.

1 - Encendido por un *reset* externo o bajo control del programa.

0 - Apagado bajo control de programa.

b5, TIN Externo o Interno.
(External or Internal)

Selecciona la fuente de entrada de reloj, para que sea la terminal externa del timer (*B*) o la interna $\#2$.

1 - Selecciona la fuente de reloj externa.

0 - Selecciona la señal interna $\#2$ ($f_{osc}/4$).

MODOS DE TIN-TIE		
TIN	TIE	RELOJ
0	0	Reloj Interno ($\#2$).
0	1	Relojes Externo e interno combinados por compuerta AND.
1	0	Sin Reloj.
1	1	Reloj Externo.

b4, TIE Habilitador Externo.
(External Enable)

Empleado para habilitar la terminal externa del *timer* (*B*) o el reloj interno (si *TIN=0*), sin importar el estado de la terminal externa del *timer* (deshabilita el funcionamiento de reloj combinado con compuerta). Cuando *TOPT=1*, *TIE* se encuentra siempre en *1* lógico.

1 - Habilita la terminal externa del *timer*.

0 - Inhibe la terminal externa del *timer*.

b3, PSC Apagar Prescaler.
(Prescaler Clear)

Este es un bit de solo escritura. Se lee como *0* lógico de manera que *BSET* y *BCLR* funcionen correctamente en el *TCR*. Al escribir un *1* en *PSC*, se genera un pulso que limpia el *prescaler*.

b2, PS2
b1, PS1
b0, PS0 Selección del Prescaler.
(Prescaler Select)

Estos bits son decodificados para seleccionar una de *8* líneas en el *prescaler* del *timer*. A continuación se muestra la división en el *prescaler*, resultado de la decodificación de estos bits.

PS2	PS1	PS0	DIVISION EN EL PRESCALER
0	0	0	1 (Salto del Prescaler)
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Registro de Opciones de Enmascarado
(Mask Options Register; MOR)

Este registro está implementado en *EPRAM*. Como todos los demás bytes de *EPRAM*, el *MOR* contiene ceros en todos sus bits antes de programar el *MCU*.

Cuando se emplea para emular al *MC6805R2*, 5 de sus bits se utilizan en unión con el *prescaler*. De los restantes, el bit *b7* es uti-

b5, CLS Fuente de Reloj del Prescaler del Timer.
(Timer Prescaler Clock Source)

- 1 - prescaler del timer externo.
- 0 - frecuencia interna (#2).

b4 Si TOPT = 1 en el NOR no se emplea (emulación del MC6805R2).

Si TOPT = 0 en el NOR, coloca el valor inicial de TIE del ICR.

b3 No se utiliza.

b2, P2
b1, P1
b0, P0 Opción del Prescaler.
(Prescaler Option)

Cuando se decodifican los niveles lógicos de estos bits, seleccionan una de 8 líneas del prescaler del timer. A continuación se muestra la división resultante de decodificar las diferentes combinaciones de estos tres bits.

P2	P1	P0	DIVISION EN EL PRESCALER
0	0	0	1 (Salto del Prescaler)
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Modos de Direccionamiento

El poder de cualquier computadora se basa en su habilidad para acceder la memoria. Los modos de direccionamiento del procesador proveen esta capacidad, a la vez que definen la forma en que se obtiene un dato requerido a través de una instrucción.

El MC68705R3, cuenta con siete modos de direccionamiento, a los que se denomina: *inherente, inmediato, directo, extendido, indexado, relativo y de manipulación de bit.*

- Inherente:

Lo emplean instrucciones de un *byte*, la información con que operará el *MCU* se encuentra ya dentro de él, en alguno de los registros.

- Inmediato:

Empleado con instrucciones de dos *bytes*. La información con la que trabaja el *MCU*, se da a continuación del código de la instrucción y está caracterizada por el signo # antes del dato.

- Directo:

Este modo permite a la instrucción acceder cualquier localidad en la *página cero*, con una instrucción de dos *bytes*.

- Extendido:

Este modo permite a una instrucción acceder cualquier localidad en memoria. Las instrucciones que operan en modo extendido, son de tres *bytes*; uno para el código de la instrucción y una dirección de dos *bytes*.

Bit test branch: es una combinación de los modos *directo*, *relativo* y *bit set/clear*. El *byte* de datos por revisar es localizado por medio de una dirección directa en la localidad siguiente al código del operando.

Programación del EPROM

El *MCU MC68705R3*, usa una memoria interna *EPROM*, para almacenar el programa. Este tipo de memoria permite que los programas sean escritos en ella con la posibilidad de borrarlos posteriormente si así se desea. Tal opción da al usuario una memoria alterable no volátil, además de incluir en *ROM* una rutina de autocarga (*bootstrap*), que hace relativamente fácil la carga del programa deseado.

Adicionalmente y a diferencia de las versiones de *MCUS* con memoria *ROM*, el *MC68705R3* que posee memoria *EPROM*, incluye un registro de opción enmascarable (*NOR* o *Masked Option Register*) ya mencionado, que está implementado en *EPROM* y es usado para determinar cual de las opciones del *timer* será usada y para la selección del tipo de reloj a emplear (cristal o circuito *RC*), la tasa de relación reloj/oscilador y el tipo de entradas de interrupción. El registro *NOR* al igual que todas las localidades del *EPROM*, contendrá ceros después del borrado de la memoria.

- Relativo:

Empleado solamente con instrucciones de bifurcación. Especifica una localidad relativa al valor actual del *PC*.

- Modos Indexados:

En estos modos la dirección es variable y depende de dos factores: a) el contenido del registro índice y b) el *offset* contenido en los *bytes* a continuación del operando. Hay 3 tipos de direccionamientos indexados que son:

Sin offset: el contenido del registro índice es la dirección y opera con instrucciones de un *byte*.

Offset de 8 bits: la dirección es el contenido del registro índice más el contenido del *byte* siguiente al operando.

Offset de 16 bits: Similar al anterior, pero se diferencia en que al ser más largo su *offset*, se puede direccionar cualquier localidad de la memoria.

- Manipulación de bit: se subdivide en los dos siguientes tipos:

Bit set/clear: permite encender o apagar individualmente bits de alguna localidad de memoria o de registros de *entrada/salida*.

La rutina de *autocarga*, controla un contador externo, que genera la dirección para leer la localidad en una memoria externa y presentar el dato a la *EPRON* del *MCU* por medio de un puerto de entrada/salida del mismo. Dicho dato será cargado internamente a la localidad de memoria correspondiente y el conjunto de estos datos será el programa a grabar.

Además dicha rutina de autocarga, manipula el registro de control de programación (*PCR* o *Program Control Register*) situado en la localidad *\$00B*, el cual es un registro de 8 bits que utiliza los 3 menos significativos (manteniendo a los demás en un nivel de 1 lógico), para el control de la programación del *MCU* de acuerdo a lo siguiente:

b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
1	1	1	1	1	\overline{VPON}	\overline{PGE}	\overline{PLE}

donde:

b0 \overline{PLE} **Habilitación de Programación.**
(Programming Latch Enable).

Siendo 0 lógico, permite que datos y direcciones sean introducidos al *EPRON*, pero si es 1 lógico, permite leer datos del *EPRON*. Sin embargo no tiene efecto si el bit \overline{VPON} es 1 lógico.

b1 \overline{PGE} **Habilitación de Programa.**
(Program Enable)

Siendo 0 lógico, permite la programación del *EPRON* si \overline{PLE} también es un 0 lógico. Si es 1 lógico inhibe la programación. Sin embargo no tiene efecto si el bit \overline{VPON} es 1 lógico.

b2 \overline{VPON} V Encendido.
TP (V_{PP} ON)

Es un bit de lectura solamente, que al ser 0 lógico, indica que hay presente un voltaje en la terminal V_{PP} del *MCU* y cuando es 1 lógico la falta de dicho voltaje. El nivel de V_{PP} para programación de la *EPRON* debe estar entre 20 y 22 V.

Antes de cargar el programa en la *EPRON*, esta deberá estar borrada o podrá ser borrada por exposición a una luz ultravioleta de alta intensidad con una longitud de onda de 2,537 Amstrongs y 15 W/cm² de intensidad a una distancia de exposición de una pulgada, quedando todos los bits en 0 lógico, asegurándose de tapan la ventana del *EPRON* después de efectuar el borrado.

El *MC68705R3* tiene 191 bytes de *ROM*, que contienen el programa de autoinicio. El vector de dirección *\$FF6* y *\$FF7*, es usado para empezar la ejecución de la rutina. Dicho vector es seleccionado cuando el voltaje V_{INTP} (de 9 a 15 V) es aplicado a la terminal *TIMER/BOOT* del *MCU* y la terminal *RESET* se eleva sobre el voltaje V_{INTES} (2 a 4 V).

Pasos para la Programación del *EPRON*

En el circuito de la figura 4.6, la memoria *EPRON* *MC2532 UV*, deberá estar programada con un duplicado exacto de la información que será transferida al *MC68705R3*.

14

Hay que asegurarse que los interruptores *S1* y *S2* estén cerrados y los voltajes V_{cc} y $+26\text{ V}$ no estén aplicados cuando se inserten los integrados *MC68705R3* y *MCM2532*.

bits *MC14040B* y empieza a contar por medio de los pulsos de reloj a través de la salida *PB3* (*COUNT*), el cual direcciona la *MCM2532* para transferir la información al byte del *MC68705R3* seleccionado por el programa de *autocarga*; continuando esto hasta que el *MCU* está totalmente programado y el *LED* indicador (*programmed*) está encendido. Una vez terminado el proceso, el contador será reinicializado y se repetirá toda la secuencia para verificar los datos programados y el *LED* indicador (*verified*) se encenderá indicando que la programación es correcta.

Una vez que el *MC68705R3* haya sido programado y verificado, se deberá cerrar el interruptor *S2* (para retirar V_{pp} y V_{imp}) y el interruptor *S1* (para aplicar *RESET*) y por último se desconectarán V_{cc} y $+26\text{ V}$, para retirar el *MC68705R3* de la base.

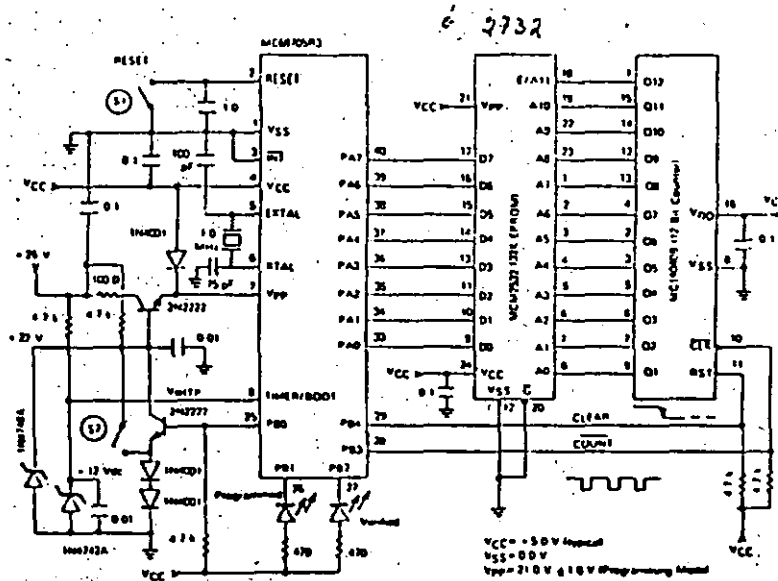
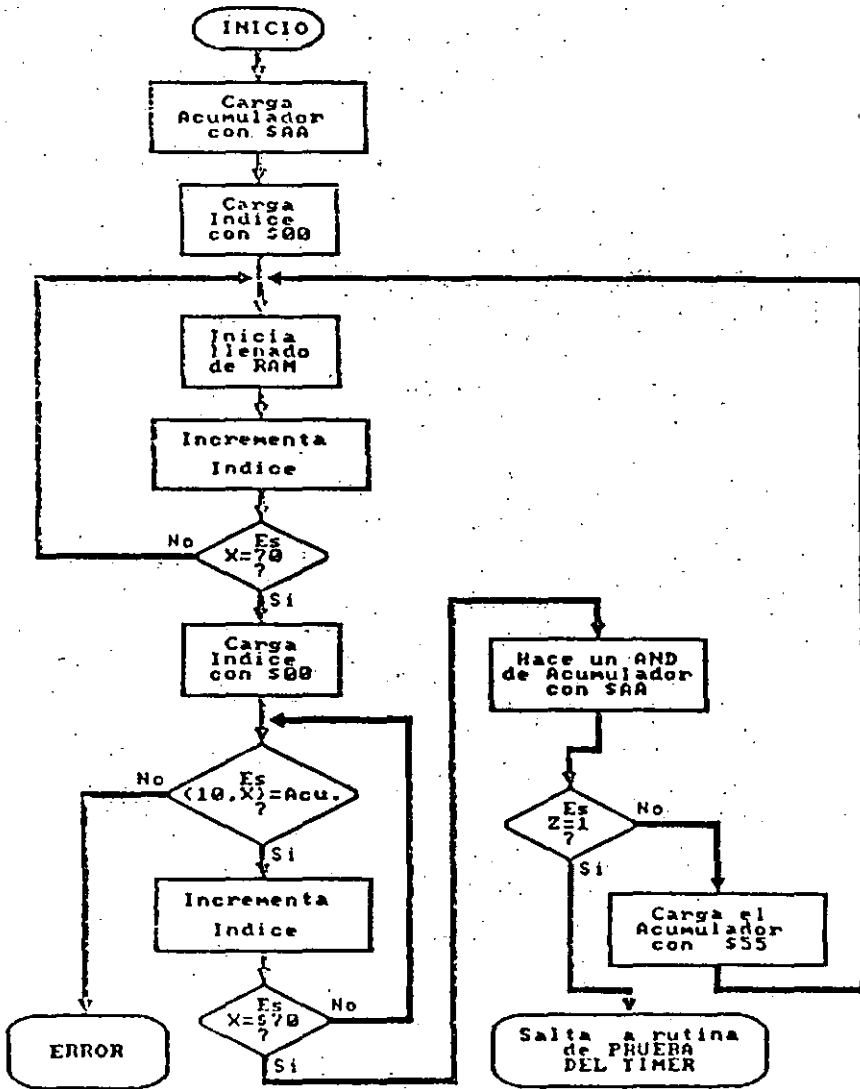


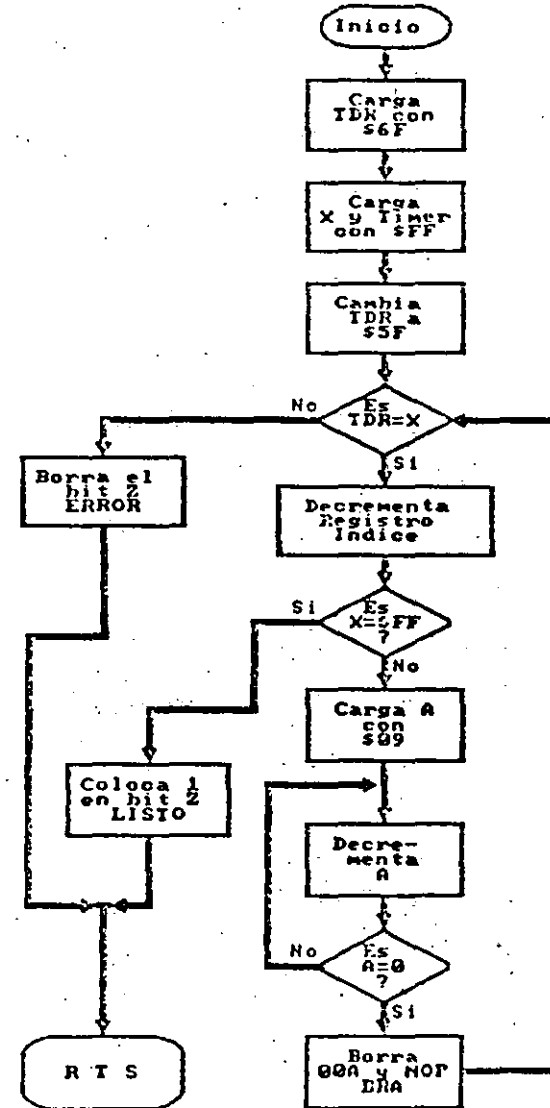
Figura 4.6. Diagrama esquemático del circuito de programación.

Se iniciará la transferencia de datos al aplicar los voltajes y abriendo los interruptores *S2* (aplica V_{pp} y V_{imp}) y *S1* (quita *RESET*), con lo que la línea *PB4* (*CLEAR*) inicializa el contador de 12

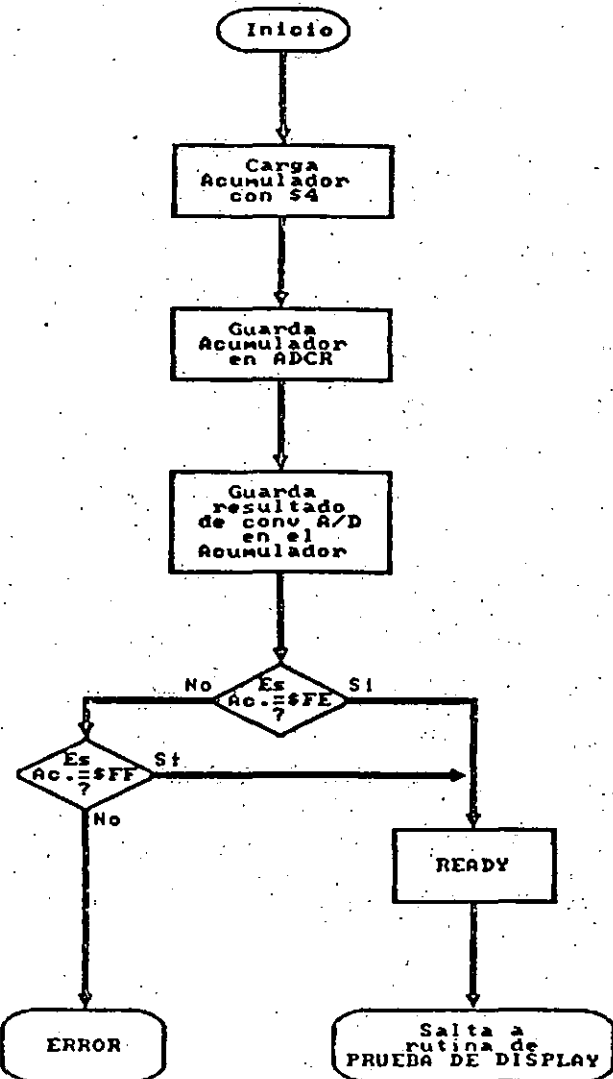
RUTINA PARA PRUEBA DE MEMORIA RAM



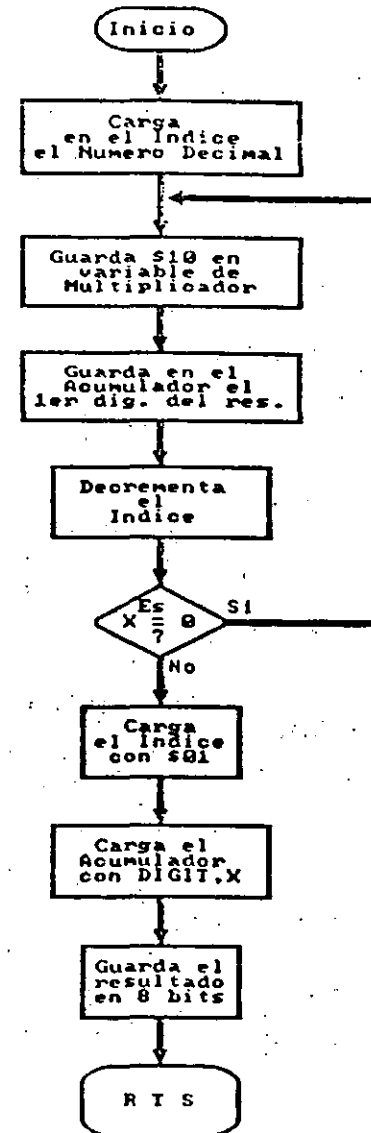
RUTINA PARA PRUEBA DEL TIMER



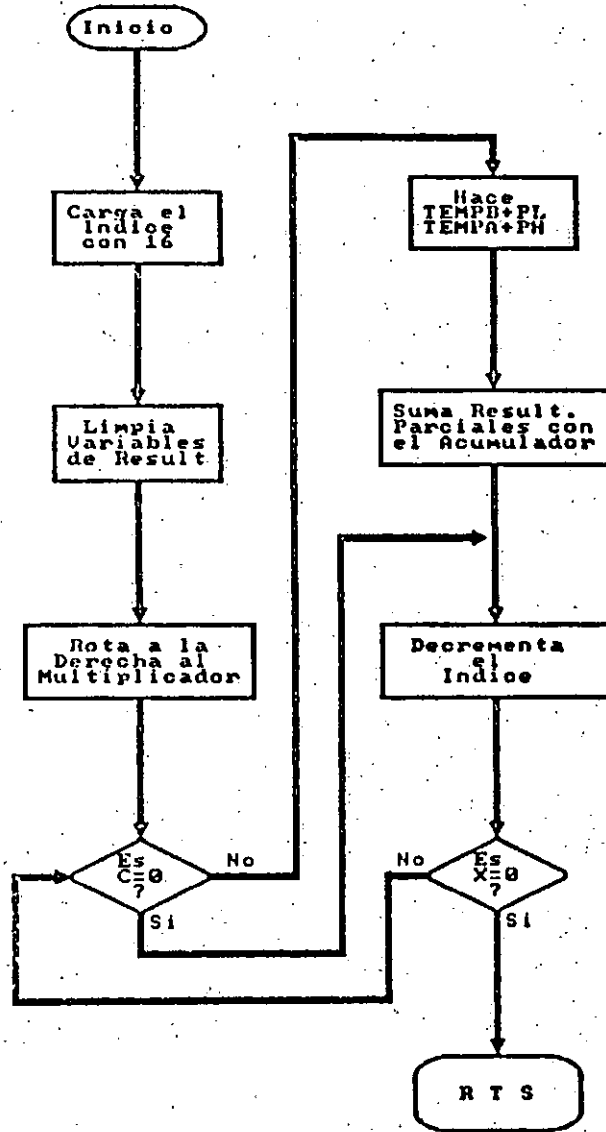
RUTINA DE PRUEBA PARA EL CONVERTIDOR ANALOGICO/DIGITAL



RUTINA DE MULTIPLICACION



CONVERSION DE FRACCIONES HEXADECIMALES A BCD





MC68701

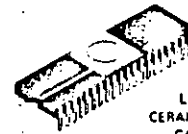
Advance Information

MC68701 MICROCOMPUTER UNIT (MCU)

The MC68701 is an 8-bit single chip microcomputer unit (MCU) which significantly enhances the capabilities of the M6800 family of parts. It can be used in production systems to allow for easy firmware changes with minimum delay or it can be used to emulate the MC6801/03 for software development. It includes an upgraded M6800 microprocessor unit (MPU) with upward source and object code compatibility. Execution times of key instructions have been improved and several new instructions have been added including an unsigned multiply. The MCU can function as a monolithic microcomputer or can be expanded to a 64K byte address space. It is TTL compatible and requires one +5 volt power supply for nonprogramming operation. An additional Vpp power supply is needed for EPROM programming. On-chip resources include 2048 bytes of EPROM, 128 bytes of RAM, Serial Communications Interface (SCI), parallel I/O, and a three function Programmable Timer. A summary of MCU features includes:

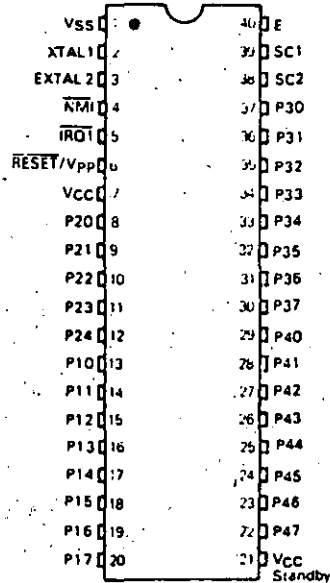
- Enhanced MC6800 Instruction Set
- 8x8 Multiply Instruction
- Serial Communications Interface (SCI)
- Upward Source and Object Code Compatibility with the MC6800
- 16-Bit Three-Function Programmable Timer
- Single-Chip or Expanded Operation to 64K Byte Address Space
- Bus Compatibility with the M6800 Family
- 2048 Bytes of UV Erasable, User Programmable ROM (EPROM)
- 128 Bytes of RAM (64 Bytes Retainable on Powerdown)
- 29 Parallel I/O and Two Handshake Control Lines
- Internal Clock Generator with Divide-by-Four Output
- -40 to 85°C Temperature Range

MOS
(IN-CHANNEL, SILICON-GATE,
DEPLETION LOAD)
MICROCOMPUTER WITH EPROM



L SUFFIX
CERAMIC PACKAGE
CASE 715

PIN ASSIGNMENT



GENERIC INFORMATION

Package Type	Frequency (MHz)	Temperature	Generic Number
Ceramic	1.0	0°C to 70°C	MC68701L
	1.0	-40°C to 85°C	MC68701CL
L Suffix	1.25	0°C to 70°C	MC68701L-1
	1.25	-40°C to 85°C	MC68701CL-1
	1.5	0°C to 70°C	MC68A701L
	2.0	0°C to 70°C	MC68B701L

This document contains information on a new product. Specifications and information herein are subject to change without notice.

19

19

MC68701

CONTROL TIMING (V_{CC} = 5.0 V ± 5%, V_{SS} = 0, T_A = 0 to 70°C)

Characteristic	Symbol	MC68701		MC68701-1		MC68A701		MC68B701		Unit
		Min	Max	Min	Max	Min	Max	Min	Max	
Frequency of Operation	f _{cl}	0.5	1.0	0.5	1.25	0.5	1.5	0.5	2.0	MHz
Crystal Frequency	f _{X TAL}	2.0	4.0	2.0	5.0	2.0	6.0	2.0	8.0	MHz
External Oscillator Frequency	f _{lo}	2.0	4.0	2.0	5.0	2.0	6.0	2.0	8.0	MHz
Crystal Oscillator Start Up Time	t _{rc}	-	100	-	100	-	100	-	100	ms
Processor Control Setup Time	t _{PCS}	200	-	170	-	140	-	110	-	ns

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc ± 5%, V_{SS} = 0, T_A = T_L to T_H, unless otherwise noted)

Characteristic	Symbol	MC68701			MC68701C			Unit
		Min	Typ	Max	Min	Typ	Max	
Input High Voltage RESET Other Inputs*	V _{IH}	V _{SS} + 4.0 V _{SS} + 2.0	-	V _{CC} V _{CC}	V _{SS} + 4.0 V _{SS} + 2.2	-	V _{CC} V _{CC}	V
Input Low Voltage RESET Other Inputs*	V _{IL}	V _{SS} - 0.3 V _{SS} - 0.3	-	V _{SS} + 0.4 V _{SS} + 0.8	V _{SS} - 0.3 V _{SS} - 0.3	-	V _{SS} + 0.4 V _{SS} + 0.8	V
Input Current, See Note (V _{in} = 0 to 2.4 V)	I _{in}	-	-	0.6 1.0	-	-	1.0 1.6	mA
Input Current (V _{in} = 0 to 5.25 V)	I _{in}	-	1.5	2.5	-	1.5	5	μA
Input Current (V _{in} = 0 to 0.4 V) (V _{in} = 4.0 V to V _{CC})	I _{in}	-	-2.0	-	-	-2.0	-	mA
Hi-Z (Off State) Input Current (V _{in} = 0.5 to 2.4 V)	I _{TSI}	-	2	10	-	2	20	μA
Output High Voltage (I _{Load} = -65 μA, V _{CC} = Min) (I _{Load} = -100 μA, V _{CC} = Min)	V _{OH}	V _{SS} + 2.4 V _{SS} + 2.4	-	-	V _{SS} + 2.4 V _{SS} + 2.4	-	-	V
Output Low Voltage (I _{Load} = 2.0 mA, V _{CC} = Min)	V _{OL}	-	-	V _{SS} + 0.5	-	-	V _{SS} + 0.6	V
Darlington Drive Current (V _O = 1.5 V)	I _{OH}	1.0	2.5	10.0	1.0	2.5	10.0	mA
Internal Power Dissipation (Measured at T _A = T _L in Steady State Operation)	P _{INT}	-	-	1500	-	-	1500	mW
Input Capacitance Port 3, Port 4, SCI Other Inputs	C _{in}	-	-	12.5 10.0	-	-	12.5 10.0	pF
V _{CC} Standby Powerdown Powerup	V _{SBB} V _{SB}	4.0 4.75	-	5.25 5.25	4.0 4.75	-	5.25 5.25	V
Standby Current Powerdown	I _{SBB}	-	-	6.0	-	-	6.0	mA
Programming Time Per Byte (T _A = 25°C)	t _{pp}	25	-	50	25	-	50	ms
Programming Voltage (T _A = 25°C)	V _{pp}	20.0	21.0	22.0	20.0	21.0	22.0	V
Programming Current (V _{RESET} = V _{pp} , T _A = 25°C)	I _{pp}	-	30	50	-	30	50	mA

* Except mode programming levels; see Figure 15.

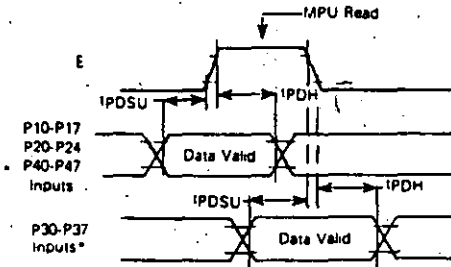
NOTE: RESET/V_{pp} I_{in} differs from MC6801 and MC6803 values

PERIPHERAL PORT TIMING (Refer to Figures 3-6)

Characteristics	Symbol	MC68701		MC68701-1		MC68A701		MC68B701		Unit
		Min	Max	Min	Max	Min	Max	Min	Max	
Peripheral Data Setup Time	t _{POSU}	200	-	200	-	150	-	100	-	ns
Peripheral Data Hold Time	t _{PDH}	200	-	200	-	150	-	100	-	ns
Delay Time, Enable Positive Transition to CS3 Negative Transition	t _{OSD1}	-	350	-	350	-	300	-	250	ns
Delay Time, Enable Positive Transition to CS3 Positive Transition	t _{OSD2}	-	350	-	350	-	300	-	250	ns
Delay Time, Enable Negative Transition to Peripheral Data Valid	t _{PWD}	-	350	-	350	-	300	-	250	ns
Delay Time, Enable Negative Transition to Peripheral CMOS Data Valid	t _{CMOS}	-	2.0	-	2.0	-	2.0	-	2.0	μs
Input Strobe Pulse Width	t _{PWIS}	200	-	200	-	150	-	100	-	ns
Input Data Hold Time	t _{IH}	50	-	50	-	40	-	30	-	ns
Input Data Setup Time	t _{IS}	20	-	20	-	20	-	20	-	ns

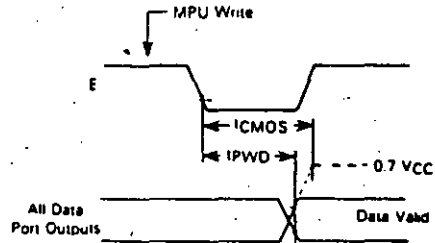
MC68701

FIGURE 1 — DATA SETUP AND HOLD TIMES (MPU READ)



* Port 3 Non-Latched Operation (LATCH ENABLE = 0)

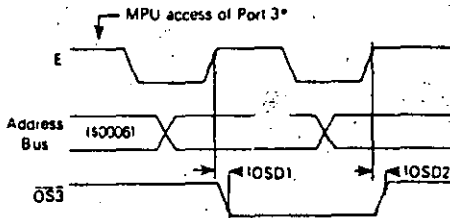
FIGURE 2 — DATA SETUP AND HOLD TIMES (MPU WRITE)



NOTES:

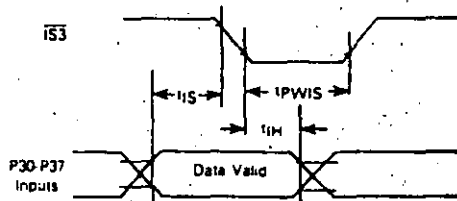
- 1 10 k Pullup resistor required for Port 2 to reach 0.7 VCC
- 2 Not applicable to P21
- 3 Port 4 cannot be pulled above VCC

FIGURE 3 — PORT 3 OUTPUT STROBE TIMING (SINGLE-CHIP MODE)



* Access matches Output Strobe Select (OSS = 0, a read, OSS = 1, a write)

FIGURE 4 — PORT 3 LATCH TIMING (SINGLE-CHIP MODE)



NOTE: Timing measurements are referenced to a low voltage of 0.8 volts and a high voltage of 2.0 volts unless otherwise noted

FIGURE 5 — CMOS LOAD

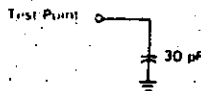
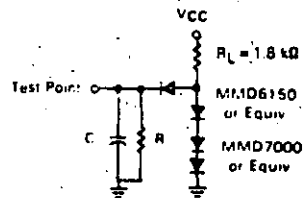


FIGURE 6 — TIMING TEST LOAD PORTS 1, 2, 3, 4



- C = 90 pF for: P30-P37, P40-P47, E, SC1, SC2
- = 30 pF for: P10-P17, P20-P24
- R = 37 kΩ for: P40-P47, SC1, SC2
- = 24 kΩ for: P10-P17, P20-P24, P30-P37, E

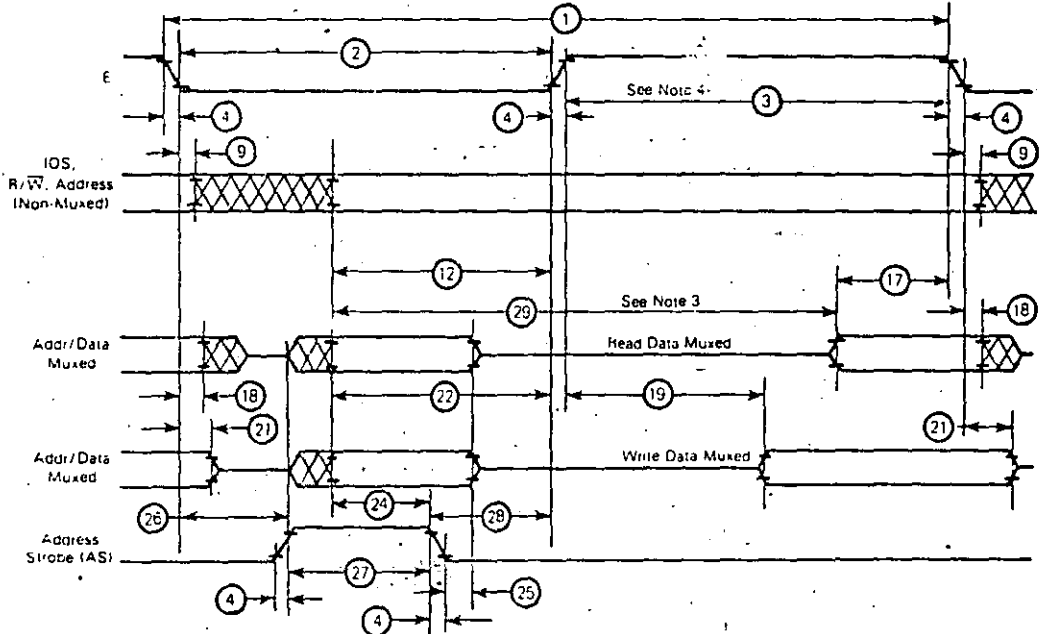
MC68701

BUS TIMING (See Notes 2 and 3)

Ident Number	Characteristic	Symbol	MC68701		MC68701-1		MC68A701		MC68B701		Unit
			Min	Max	Min	Max	Min	Max	Min	Max	
1	Cycle Time	t _{cyt}	1.0	2.0	0.8	2.0	-	2.0	0.5	2.0	μs
2	Pulse Width, E Low	PWEL	430	1000	360	1000	300	1000	210	1000	ns
3	Pulse Width, E High	PWEH	450	1000	360	1000	300	1000	220	1000	ns
4	Clock Rise and Fall Time	t _r , t _f	-	25	-	25	-	25	-	20	ns
9	Address Hold Time	t _{AH}	20	-	20	-	20	-	10	-	ns
12	Non-Muxed Address Valid Time to E*	t _{AV}	200	-	150	-	115	-	70	-	ns
17	Read Data Setup Time	t _{DSR}	80	-	70	-	60	-	40	-	ns
18	Read Data Hold Time	t _{DHR}	10	-	10	-	10	-	10	-	ns
19	Write Data Delay Time	t _{DDW}	-	225	-	200	-	170	-	120	ns
21	Write Data Hold Time	t _{DHW}	20	-	20	-	20	-	10	-	ns
22	Multiplexed Address Valid Time to E Rise*	t _{AVM}	200	-	150	-	115	-	80	-	ns
24	Multiplexed Address Valid Time to AS Fall*	t _{ASL}	60	-	50	-	40	-	20	-	ns
25	Multiplexed Address Hold Time	t _{AHL}	20	-	20	-	20	-	10	-	ns
26	Delay Time, E to AS Rise*	t _{ASD}	50**	-	70**	-	60**	-	45**	-	ns
27	Pulse Width, AS High*	PWASH	220	-	170	-	140	-	110	-	ns
28	Delay Time, AS to E Rise*	t _{ASED}	90	-	70	-	60	-	45	-	ns
29	Usable Access Time*	t _{ACC}	595	-	465	-	380	-	270	-	ns

* A1 specified cycle time
 ** t_{ASD} parameters listed assume external TTL clock drive with 50% ± 5% duty cycle. Devices driven by an external TTL clock with 5% ± 1% duty cycle or which use a crystal have the following t_{ASD} specification: 100 nanoseconds minimum (1.0 MHz devices), 80 nanoseconds minimum (1.25 MHz devices), 65 nanoseconds minimum (1.5 MHz devices), 50 nanoseconds minimum (2.0 MHz devices)

FIGURE 7 - BUS TIMING



- NOTES
1. Voltage levels shown are V_L ≤ 0.5 V, V_H ≥ 2.4 V, unless otherwise specified.
 2. Measurement points shown are 0.8 V and 2.0 V, unless otherwise specified.
 3. Usable access time is computed by 12 + 3 - 17 + 4.
 4. Memory devices should be enabled only during E high to avoid port 3 bus contention.

MC68701

INTRODUCTION

The MC68701 is an 8-bit monolithic microcomputer which can be configured to function in a wide variety of applications. The facility which provides this extraordinary flexibility is its ability to be hardware programmed into eight different operating modes. The operating mode controls the configuration of 18 of the 40 MCU pins, available on-chip resources, memory map, location (internal or external) of interrupt vectors, and type of external bus. The configuration of the remaining 22 pins is not dependent on the operating mode.

Twenty-nine pins are organized as three 8-bit ports and one 5-bit port. Each port consists of at least a Data Register and a write-only Data Direction Register. The Data Direction Register is used to define whether corresponding bits in the Data Register are configured as an input (clear) or output (set).

The term "port," by itself, refers to all of the hardware associated with the port. When the port is used as a "data port" or "I/O port," it is controlled by the port Data Direction Register and the programmer has direct access to the port pins using the port Data Register. Port pins are labeled as P_{ij} where i identifies one of four ports and j indicates the particular bit.

The Microprocessor Unit (MPU) is an enhanced MC6800 MPU with additional capabilities and greater throughput. It is upward source and object code compatible with the

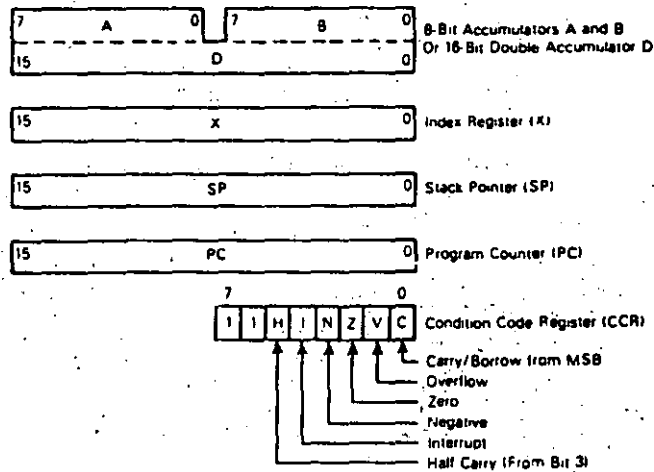
MC6800. The programming model is depicted in Figure 8 where Accumulator D is a concatenation of Accumulators A and B. A list of new operations added to the MC6800 instruction set are shown in Table 1.

The basic difference between the MC6801 and the MC68701 is that the MC6801 has an onboard ROM while the MC68701 has an onboard EPROM. The MC68701 is pin and code compatible with the MC6801 and can be used to emulate the MC6801, allowing easy software development using the onboard EPROM. Software developed using the MC68701 can then be masked into the MC6801 ROM.

In order to support the onboard EPROM, the MC68701 differs from the MC6801 as follows:

- (1) Mode 0 in the MC6801 is a test mode only, while in the MC68701 Mode 0 is also used to program the onboard EPROM and has interrupt vectors at \$BFF0-\$BFFF rather than \$FFE0-\$FFFF.
- (2) The MC68701 RAM/EPROM Control Register has two bits used to control the EPROM in Mode 0 that are not defined in the MC6801 RAM Control Register.
- (3) The RESET/V_{pp} pin in the MC68701 is dual purpose, used to supply EPROM power as well as to reset the device; while in the MC6801 the pin is called RESET and is used only to reset the device.

FIGURE 8 - MC68701/6801/6803 PROGRAMMING MODEL



24

MC68701

TABLE 1 — NEW INSTRUCTIONS

Instruction	Description
ABX	Unsigned addition of Accumulator B to Index Register
ADDD	Adds (without carry) the double accumulator to memory and leaves the sum in the double accumulator
ASLD or LSLD	Shifts the double accumulator left (towards MSB) one bit; the LSB is cleared and the MSB is shifted into the C-bit
BHS	Branch if Higher or Same; unsigned conditional branch (same as BCC)
BLO	Branch if Lower; unsigned conditional branch (same as BCS)
BRN	Branch Never
JSR	Additional addressing mode: direct
LDD	Loads double accumulator from memory
LSD	Shifts memory or accumulator left (towards MSB) one bit; the LSB is cleared and the MSB is shifted into the C-bit (same as ASL)
LSRD	Shifts the double accumulator right (towards LSB) one bit; the MSB is cleared and the LSB is shifted into the C-bit
MUL	Unsigned multiply; multiplies the two accumulators and leaves the product in the double accumulator
PSHX	Pushes the Index Register to stack
PULX	Pulls the Index Register from stack
STD	Stores the double accumulator to memory
SUBD	Subtracts memory from the double accumulator and leaves the difference in the double accumulator
CPX	Internal processing modified to permit its use with any conditional branch instruction

OPERATING MODES

The MCU provides eight different operating modes which are selectable by hardware programming and referred to as Mode 0 through Mode 7. The operating mode controls the memory map, configuration of Port 3, Port 4, SC1, SC2, and the physical location of interrupt vectors.

FUNDAMENTAL MODES

The eight MCU modes can be grouped into three fundamental modes which refer to the type of bus it supports: Single Chip, Expanded Non-Multiplexed, and Expanded Multiplexed. Modes 4 and 7 are single chip modes. Mode 5 is the expanded non-multiplexed mode, and the remaining modes are expanded multiplexed modes. Table 2 summarizes the characteristics of the operating modes.

Single-Chip Modes (4, 7)

In the Single-Chip Mode, the four MCU ports are configured as parallel input/output data ports, as shown in Figure 9. The MCU functions as a monolithic microcomputer in these two modes without external address or data buses. A maximum of 29 I/O lines and two Port 3 control lines are provided. Peripherals or another MCU can be interfaced to Port 3 in a loosely coupled dual processor configuration, as shown in Figure 10.

In Single-Chip Test Mode (4), the RAM responds to \$XX80 through \$XXFF and the EPROM is removed from the internal address map. A test program must first be loaded into the RAM using modes 0, 1, 2, or 6. If the MCU is reset and then programmed into Mode 4, execution will begin at \$XXFE:XXFF. Mode 5 can be irreversibly entered from Mode 4 without asserting RESET by setting bit 5 of the Port 2 Data Register. This mode is used primarily to test Ports 3 and 4 in the Single-Chip and Non-Multiplexed Modes.

TABLE 2 — SUMMARY OF MC68701 OPERATING MODES

<p>Common to all Modes:</p> <ul style="list-style-type: none"> Reserved Register Area Port 1 Port 2 Programmable Timer Serial Communications Interface
<p>Single Chip Mode 7</p> <ul style="list-style-type: none"> 128 bytes of RAM; 2048 bytes of EPROM Port 3 is a parallel I/O port with two control lines Port 4 is a parallel I/O port SC1 is Input Strobe 3 (IS3) SC2 is Output Strobe 3 (OS3)
<p>Expanded Non-Multiplexed Mode 5</p> <ul style="list-style-type: none"> 128 bytes of RAM; 2048 bytes of EPROM 256 bytes of external memory space Port 3 is an 8-bit data bus Port 4 is an input port; address bus SC1 is Input/Output Select (IOS) → 45 SC2 is Read/Write (R/W)
<p>Expanded Multiplexed Modes 1, 2, 3, 6</p> <p>Four memory space options (64K address space):</p> <ul style="list-style-type: none"> (1) No internal RAM or EPROM (Mode 3) (2) Internal RAM, no EPROM (Mode 2) (3) Internal RAM and EPROM (Mode 1) (4) Internal RAM, EPROM with partial address bus (Mode 6) <ul style="list-style-type: none"> Port 3 is a multiplexed address/data bus Port 4 is an address bus (inputs/address in Mode 6) SC1 is Address Strobe (AS) SC2 is Read/Write (R/W)
<p>Test Mode 4</p> <ul style="list-style-type: none"> (1) May be changed to Mode 5 without going through Reset (2) May be used to test Ports 3 and 4 as I/O ports
<p>Expanded Multiplexed Mode 0</p> <ul style="list-style-type: none"> (1) Internal RAM and EPROM (2) External interrupt vectors located at \$BFF0-\$BFFF (3) Used to program EPROM

25

FIGURE 9 - SINGLE-CHIP MODE

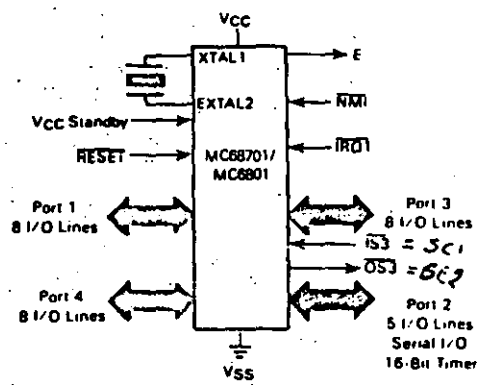


FIGURE 10 - SINGLE-CHIP DUAL PROCESSOR CONFIGURATION

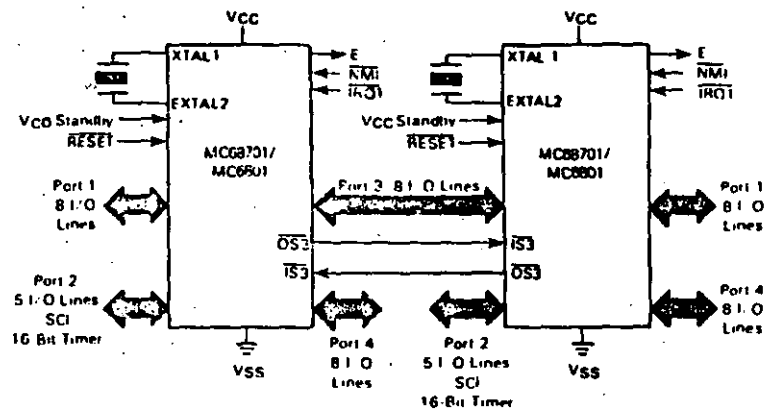
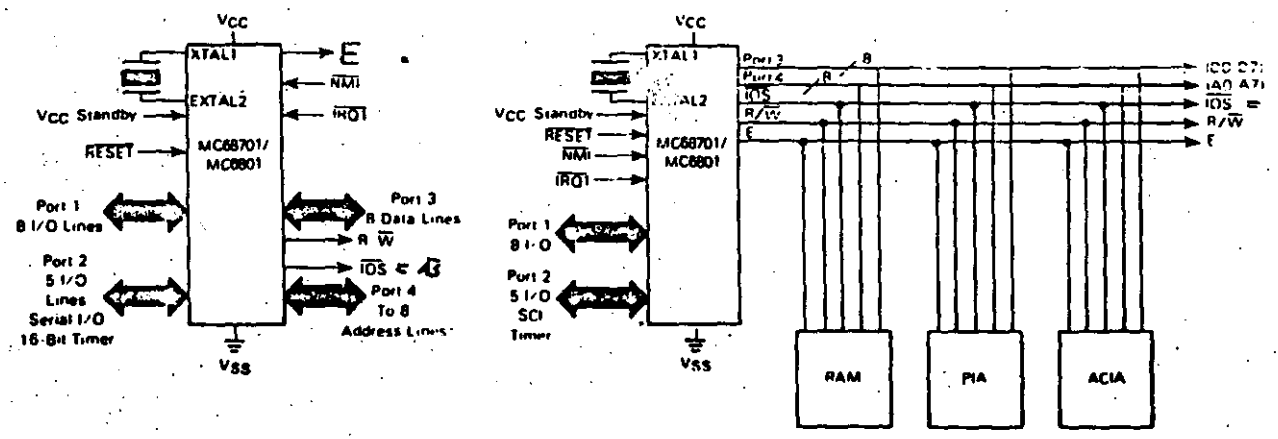


FIGURE 11 - EXPANDED NON-MULTIPLEXED CONFIGURATION



3-753

26



MC68701

Expanded Non-Multiplexed Mode (5)

A modest amount of external memory space is provided in the Expanded Non-Multiplexed Mode while significant on-chip resources are retained. Port 3 functions as an 8-bit bidirectional data bus and Port 4 is configured initially as an input data port. Any combination of the eight least-significant address lines may be obtained by writing to the Port 4 Data Direction Register. Stated alternatively, any combination of A0 to A7 may be provided while retaining the remainder as input data lines. Internal pullup resistors are intended to pull the Port 4 lines high until the port is configured.

Figure 11 illustrates a typical system configuration in the Expanded Non-Multiplexed Mode. The MCU interfaces directly with M6800 family parts and can access 256 bytes of external address space at \$100 through \$1FF. IOS provides an address decode of external memory (\$100-\$1FF) and can be used as a memory page select or chip select line.

Expanded-Multiplexed Modes (0, 1, 2, 3, 6)

In the Expanded-Multiplexed Modes, the MCU has the ability to access a 64K byte memory space. Port 3 functions as a time multiplexed address/data bus with address valid on the negative edge of Address Strobe (AS), and data valid while E is high. In Modes 0 to 3, Port 4 provides address lines A8 to A15. In Mode 6, however, Port 4 is initially configured at RESET as an input data port. The Port 4 Data Direction Register can then be changed to provide any combination of address lines, A8 to A15. Stated alternatively, any subset of A8 to A15 can be provided while retaining the remaining Port 4 lines as input data lines. Internal pullup resistors pull the Port 4 lines high until software configures the port.

Figure 12 depicts a typical configuration for the Expanded-Multiplexed Modes. Address Strobe can be used to control a transparent-D-type latch to capture addresses A0 to A7, as

shown in Figure 13. This allows Port 3 to function as a Data Bus when E is high.

In Mode 0, the internal and external data buses are connected; there must therefore be no memory map overlap in order to avoid potential bus conflicts. Mode 0 is used to program the onboard EPROM. All interrupt vectors are external in this mode and are located at \$BFF0-\$BFFF.

PROGRAMMING THE MODE

The operating mode is determined at RESET by the levels asserted on P22, P21, and P20. These levels are latched into PC2, PC1, and PC0 of the program control register on the positive edge of RESET. The operating mode may be read from the Port 2 Data Register as shown below, and programming levels and timing must be met as shown in Figure 14. A brief outline of the operating modes is shown in Table 3.

PORT 2 DATA REGISTER							
7	6	5	4	3	2	1	0
PC2	PC1	PC0	P24	P23	P22	P21	P20

\$0003

Circuitry to provide the programming levels is dependent primarily on the normal system usage of the three pins. If configured as outputs, the circuit shown in Figure 15 may be used; otherwise, three-state buffers can be used to provide isolation while programming the mode.

MEMORY MAPS

The MCU can provide up to 64K byte address space, depending on the operating mode. A memory map for each operating mode is shown in Figure 16. The first 32 locations of each map are reserved for the MCU internal registers as shown in Table 4, with exceptions as indicated.

TABLE 3 -- MODE SELECTION SUMMARY

Mode	P22 PC2	P21 PC1	P20 PC0	EPROM	RAM	Interrupt Vectors	Bus Mode	Operating Mode
7	H	H	H	I	I	I	I	Single Chip
6	H	H	L	I	I	I	MUX(5, 6)	Multiplexed Partial Decode
5	H	L	H	I	I	I	NMUX(5, 6)	Non-Multiplexed Partial Decode
4	H	L	L	(2)	(1)	I	I	Single Chip Test
3	L	H	H	E	E	E	MUX(4)	Multiplexed/No RAM or EPROM
2	L	H	L	E	I	E	MUX(4)	Multiplexed RAM
1	L	L	H	I	I	E	MUX(4)	Multiplexed/RAM and EPROM
0	L	L	L	I	I	(3)	MUX(4)	Multiplexed/Programming

Legend

I - Internal
E - External
MUX - Multiplexed
NMUX - Non-Multiplexed
L - Logic '0'
H - Logic '1'

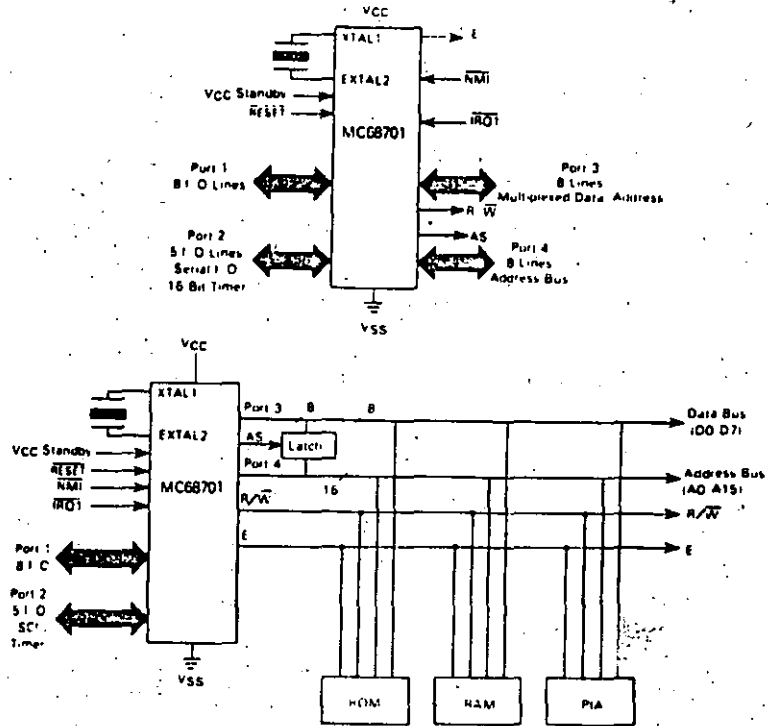
Notes

- (1) Internal RAM is addressed at \$XX80
- (2) Internal EPROM is disabled
- (3) Interrupt vectors located at \$BFF0-\$BFFF
- (4) Addresses associated with Ports 3 and 4 are considered external in Modes 0, 1, 2, and 3
- (5) Addresses associated with Port 3 are considered external in Modes 5 and 6
- (6) Port 4 default is user data input; address output is optional by writing to Port 4 Data Direction Register

27

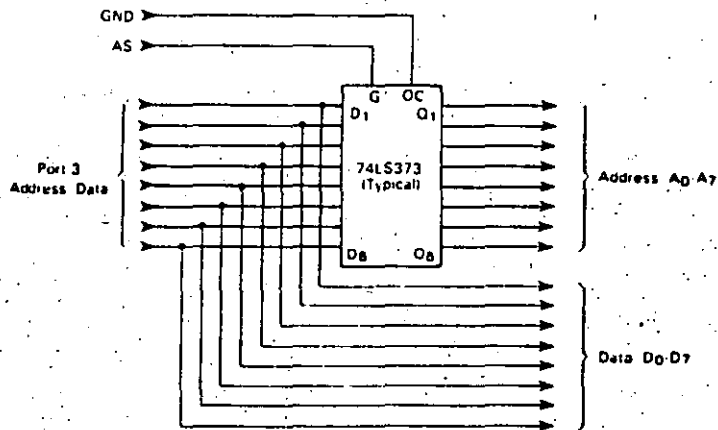
MC68701

FIGURE 12 — EXPANDED MULTIPLEXED CONFIGURATION



NOTE: To avoid data bus (Port 3) contention in the expanded multiplexed modes, memory devices should be enabled only during E high time

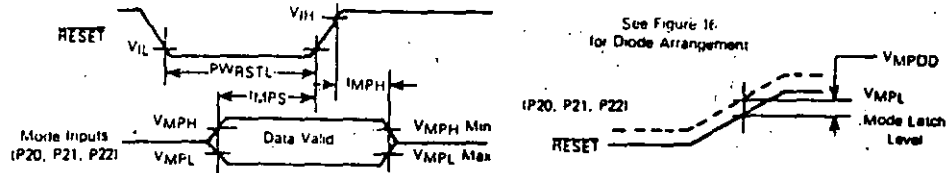
FIGURE 13 — TYPICAL LATCH ARRANGEMENT



28

MC68701

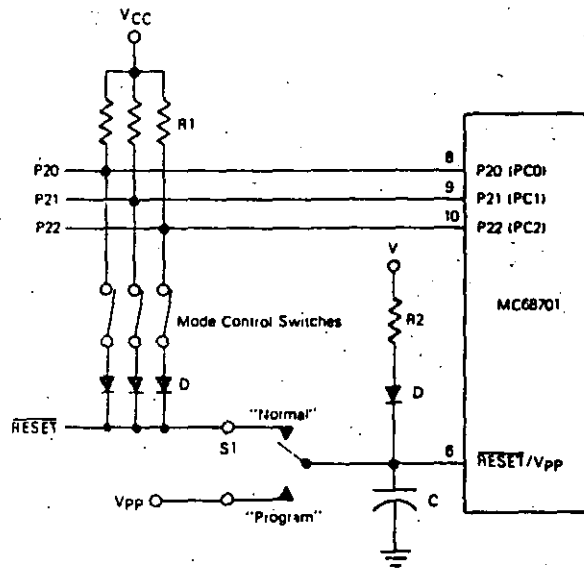
FIGURE 14 - MODE PROGRAMMING TIMING



MODE PROGRAMMING (Refer to Figure 14)

Characteristic	Symbol	Min	Typ	Max	Unit
Mode Programming Input Voltage Low	VMPL	-	-	1.8	V
Mode Programming Input Voltage High	VMPH	4.0	-	-	V
Mode Programming Diode Differential	VMPDD	0.6	-	-	V
RESET Low Pulse Width	PWRSTL	3.0	-	-	E-Cycles
Mode Programming Set-Up Time	IMPS	2.0	-	-	E-Cycles
Mode Programming Hold Time	IMPH	0	-	-	ns
RESET Rise Time $\geq 1 \mu s$		0	-	-	
RESET Rise Time $< 1 \mu s$		100	-	-	

FIGURE 15 - TYPICAL MODE PROGRAMMING CIRCUIT

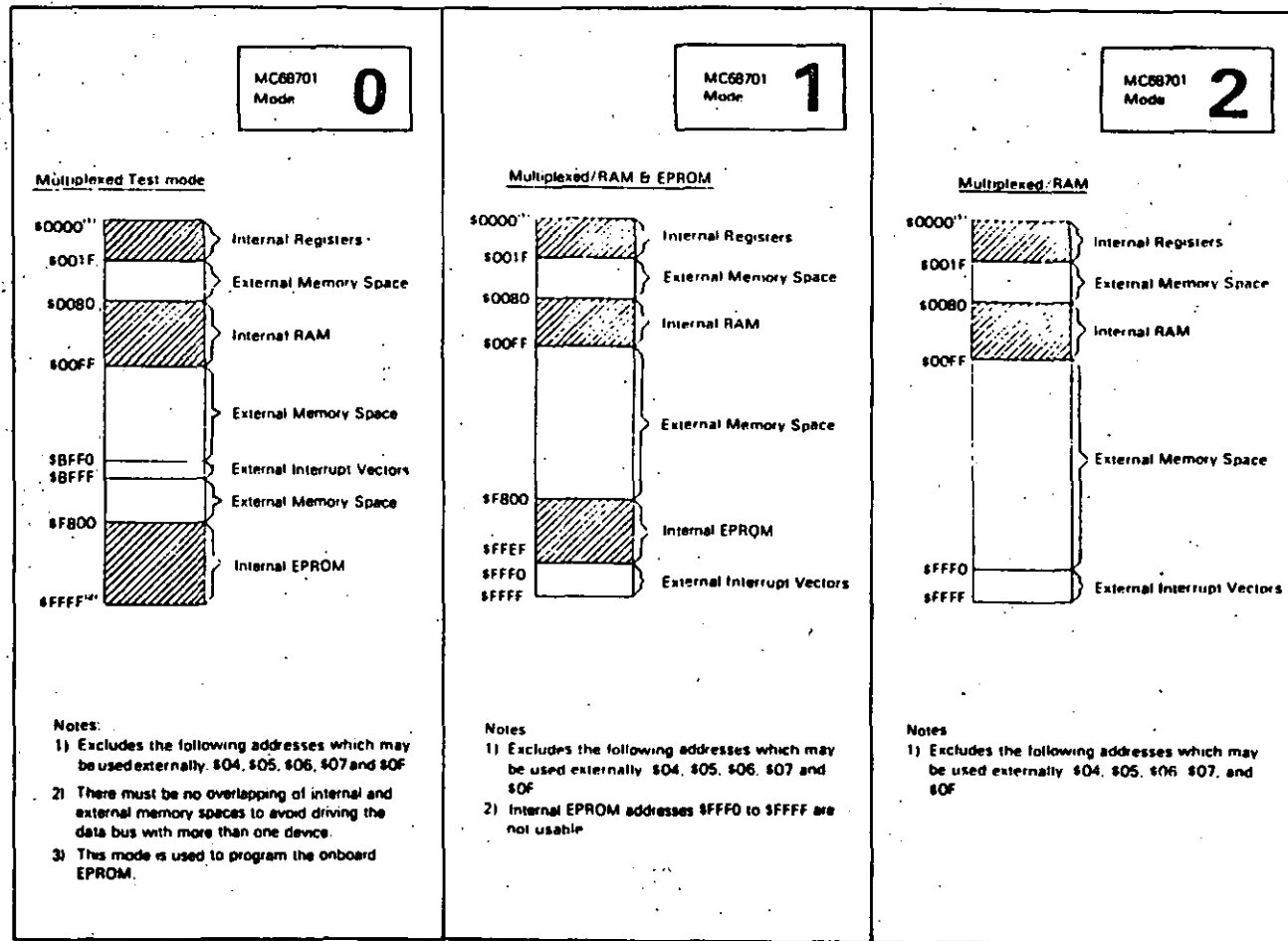


Notes:

1. Mode 0 as shown (switches closed).
2. $R1 = 10k$ ohms (typical).
3. The RESET time constant is equal to RC where R is the equivalent parallel resistance of $R2$ and the number of resistors ($1/R1$) placed in the circuit by closed mode control switches.
4. $D = 1N914, 1N4001$ (typical).
5. If $V = VCC$, then $R2 = 50$ ohms (typical) to meet V_{IH} for the RESET/Vpp pin. $V = VCC$ is also compatible with MC6801. The RESET time constant in this case is approximately $R2 \cdot C$.
6. Switch $S1$ allows selection of normal (RESET) or programming (V_{pp}) as the input to the RESET/Vpp pin. During switching, the input level is held at a value determined by a diode (D), resistor ($R2$) and input voltage (V).
7. While $S1$ is in the "Program" position, RESET should not be asserted.
8. From powerup, RESET must be held low for at least t_{RC} . The capacitor, C , is shown for conceptual purposes only and is on the order of $1000 \mu F$ for the circuit shown. Typically, a buffer with an RC input will be used to drive RESET, eliminating the need for the larger capacitor.
9. Diode V_f should not exceed V_{MPDD} min.

29

FIGURE 16 — MC68701 MEMORY MAPS

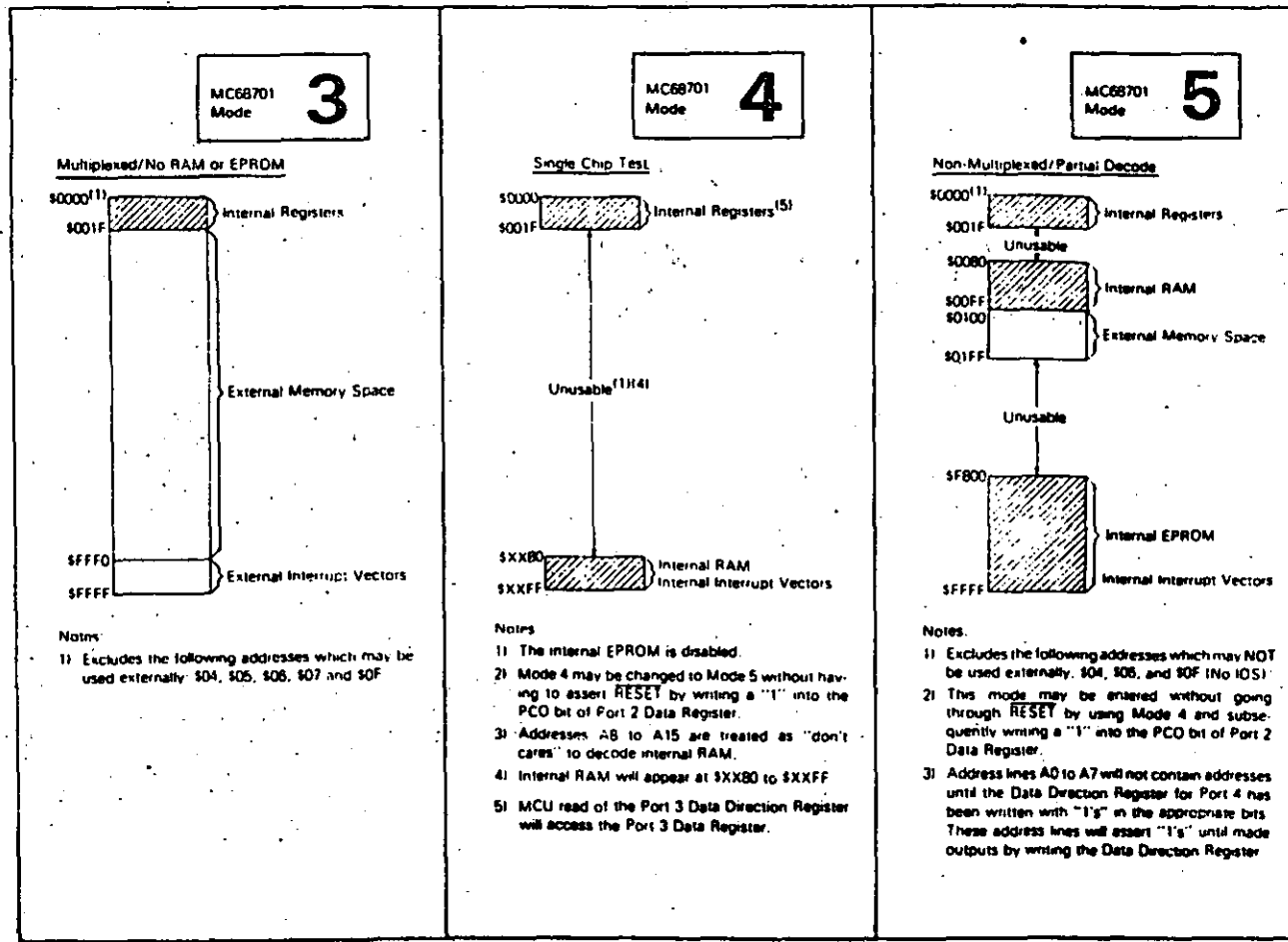


3-757

30



FIGURE 15 - MC68701 MEMORY MAPS (CONTINUED)



3-758

31

MC68701

FIGURE 16 — MC68701 MEMORY MAPS (CONCLUDED)

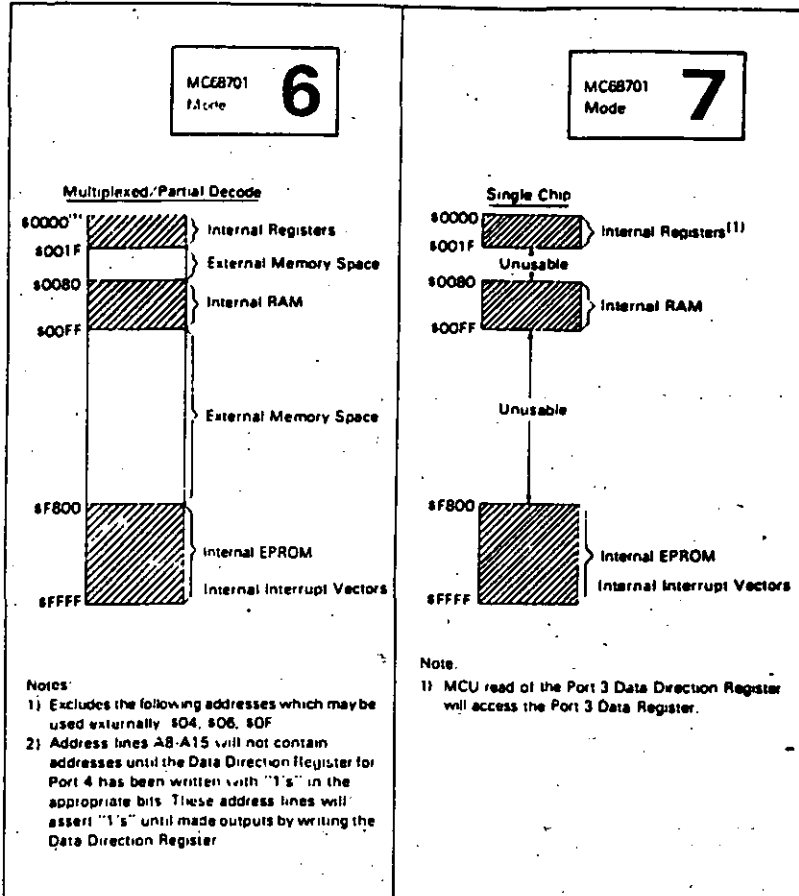


TABLE 4 — INTERNAL REGISTER AREA

Register	Address	Register	Address
Port 1 Data Direction Register***	00	Output Compare Register (Low Byte)	0C
Port 2 Data Direction Register***	01	Input Capture Register (High Byte)	0D
Port 1 Data Register	02	Input Capture Register (Low Byte)	0E
Port 2 Data Register	03	Port 3 Control and Status Register	0F*
Port 3 Data Direction Register***	04*	Rate and Mode Control Register	10
Port 4 Data Direction Register***	05**	Transmit/Receive Control and Status Register	11
Port 3 Data Register	06*	Receive Data Register	12
Port 4 Data Register	07**	Transmit Data Register	13
Timer Control and Status Register	08	RAM/EPROM Control Register	14
Counter (High Byte)	09	Reserved	15-1F
Counter (Low Byte)	0A		
Output Compare Register (High Byte)	0B		

* External addresses in Modes 0, 1, 2, 3, 5, 6, cannot be accessed in Mode 5 (No IOS)
 ** External addresses in Modes 0, 1, 2, 3
 *** 1 = output, 0 = input
 **** 1 = Output, 0 = Input

MC68701

MC68701 INTERRUPTS

The MCU supports two types of interrupt requests: maskable and non-maskable. A Non-Maskable Interrupt (NMI) is always recognized and acted upon at the completion of the current instruction. Maskable interrupts are controlled by the Condition Code Register's I-bit and by individual enable bits. The I-bit controls all maskable interrupts. Of the maskable interrupts, there are two types: $\overline{IRQ1}$ and $\overline{IRQ2}$. The Programmable Timer and Serial Communications Interface use an internal $\overline{IRQ2}$ interrupt line. External devices (and IS3) use $\overline{IRQ1}$. An $\overline{IRQ1}$ interrupt is serviced before $\overline{IRQ2}$ if both are pending.

All $\overline{IRQ2}$ interrupts use hardware prioritized vectors. The single SCI interrupt and three timer interrupts are serviced in a prioritized order and each is vectored to a separate location. All MCU interrupt vector locations are shown in Table 5.

TABLE 5 - MCU INTERRUPT VECTOR LOCATIONS

Mode 0		Modes 1-7		Interrupt
MSB	LSB	MSB	LSB	
BFFE	BFFF	FFFE	FFFF	RESET
BFFC	BFFD	FFFC	FFFD	NMI
BFFA	BFFB	FFFA	FFFB	Software Interrupt (SWI)
BFF8	BFF9	FFF8	FFF9	$\overline{IRQ1}$ (or IS3)
BFF6	BFF7	FFF6	FFF7	ICF (Input Capture)*
BFF4	BFF5	FFF4	FFF5	OCF (Output Compare)*
BFF2	BFF3	FFF2	FFF3	TOF (Timer Overflow)*
BFF0	BFF1	FFF0	FFF1	SCI (DRF + ORFE + TORE)*

* $\overline{IRQ2}$ interrupt

The interrupt flowchart is depicted in Figure 17 and is common to every MCU interrupt excluding reset. During interrupt servicing the Program Counter, Index Register, A Accumulator, B Accumulator, and Condition Code Register are pushed to the stack. The I-bit is set to inhibit maskable interrupts and a vector is fetched corresponding to the current highest priority interrupt. The vector is transferred to the Program Counter and instruction execution is resumed. Interrupt and RESET timing are illustrated in Figures 18 and 19.

FUNCTIONAL PIN DESCRIPTIONS

VCC AND VSS

VCC and VSS provide power to a large portion of the MCU. The power supply should provide +5 volts ($\pm 5\%$) to VCC, and VSS should be tied to ground. Total power dissipation (including VCC Standby), will not exceed 80 milliwatts.

VCC STANDBY

VCC Standby provides power to the standby portion (S80 through S8F) of the RAM and the STBY PWR and RAME bits of the RAM Control Register. Voltage requirements depend on whether the MCU is in a powerup or powerdown state. In the powerup state, the power supply should provide +5 volts ($\pm 5\%$) and must reach VSB volts before RESET reaches 4.0 volts. During powerdown, VCC Standby must remain above VSB (min) to sustain the standby RAM and STBY PWR bit. While in powerdown operation, the standby current will not exceed ISBB.

It is typical to power both VCC and VCC Standby from the same source during normal operation. A diode must be used between them to prevent supplying power to VCC during powerdown operation. VCC Standby should be tied to ground in Mode 3.

XTAL1 AND XTAL2

These two input pins interface either a crystal or TTL compatible clock to the MCU internal clock generator. Divide-by-four circuitry is included which allows use of the inexpensive 3.58 MHz or 4.4336 MHz Color Burst TV crystals. A 20 pF capacitor should be tied from each crystal pin to ground to ensure reliable startup and operation. Alternatively, XTAL2 may be driven by an external TTL compatible clock at f_{clk} with a duty cycle of 50% ($\pm 5\%$) with XTAL1 connected to ground.

The internal oscillator is designed to interface with an AT-cut quartz crystal resonator operated in parallel resonance mode in the frequency range specified for XTAL. The crystal should be mounted as close as possible to the input pins to minimize output distortion and startup stabilization time.** The MCU is compatible with most commercially available crystals. Nominal crystal parameters are shown in Figure 20.

RESET/Vpp

This input is used to reset the MCU internal state and provide an orderly startup procedure. During powerup, RESET must be held below 0.4 volts: (1) at least t_{RC} after VCC reaches 4.75 volts in order to provide sufficient time for the clock generator to stabilize; and (2) until VCC Standby reaches VSB volts. RESET must be held low at least three E-cycles if asserted during powerup operation.

This pin is also used to supply Vpp in Mode 0 for programming the EPROM, and supplies operating power to the EPROM during powerup operation.

E (ENABLE)

This is an output clock used primarily for bus synchronization. It is TTL compatible and is the slightly skewed divide-by-four result of the MCU input clock frequency. It will drive one Schottky TTL load and 90 pF, and all data given in cycles is referenced to this clock unless otherwise noted.

NMI (NON-MASKABLE INTERRUPT)

An NMI negative edge requests an MCU interrupt sequence, but the current instruction will be completed before it responds to the request. The MCU will then begin an interrupt sequence. Finally, a vector is fetched from \$FFC and \$FFD (or \$BFC and \$BFD in Mode 0), transferred to the Program Counter and instruction execution is resumed. NMI typically requires a 3.3 k Ω (nominal) resistor to VCC. There is no internal NMI pullup resistor. NMI must be held low for at least one E-cycle to be recognized under all conditions.

$\overline{IRQ1}$ (MASKABLE INTERRUPT REQUEST 1)

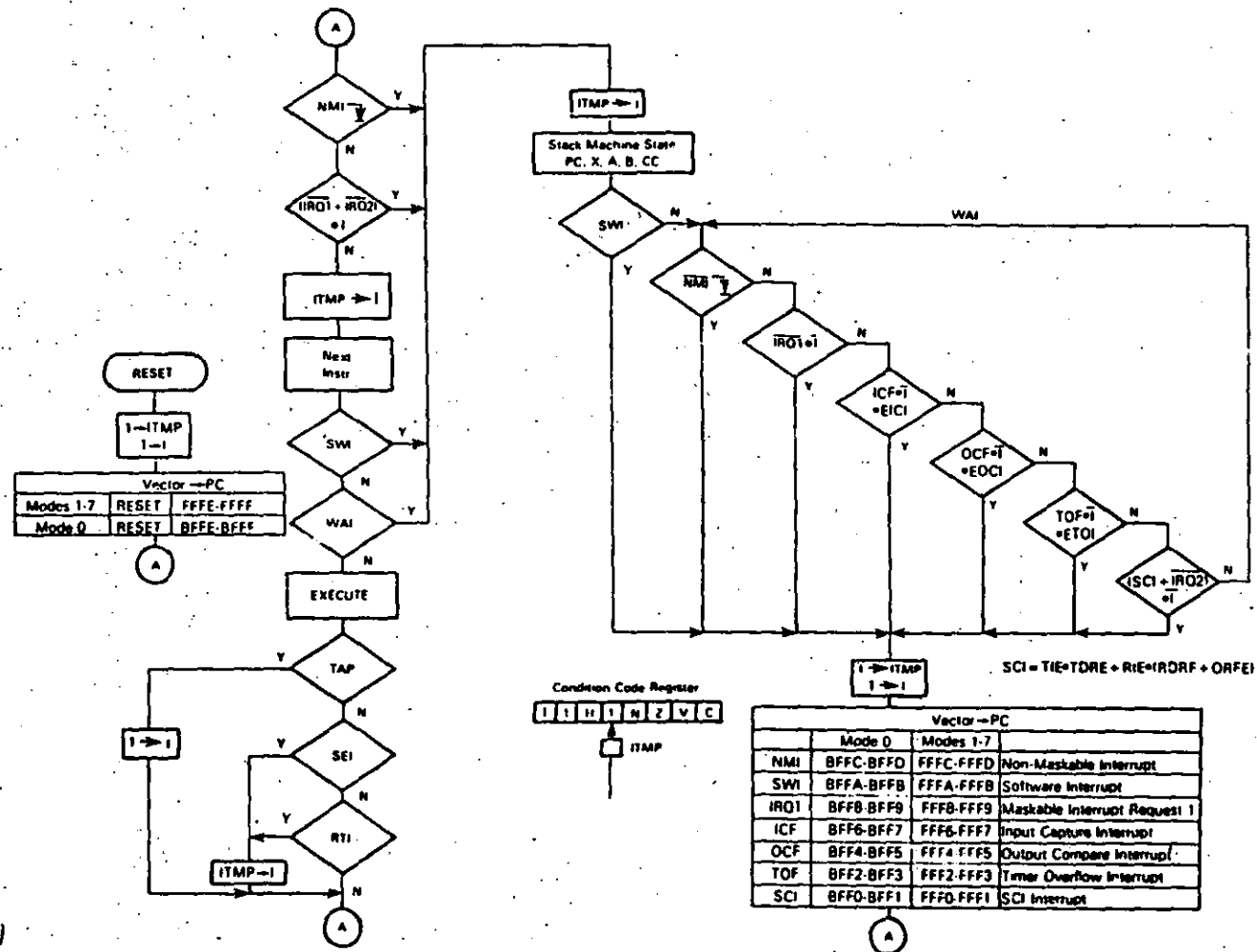
$\overline{IRQ1}$ is a level-sensitive input which can be used to request an interrupt sequence. The MPU will complete the current instruction before it responds to the request. If the inter-

** Devices made with masks subsequent to 17A and CB4 incorporate an advanced clock with improved startup characteristics.

334

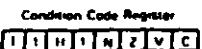
FIGURE 17 - INTERRUPT FLOWCHART

3-761



Vector → PC		
Modes 1-7	RESET	FFFE-FFFF
Mode 0	RESET	BFFE-BFFF

Vector → PC			
	Mode 0	Modes 1-7	
NMI	BFFC-BFFD	FFFC-FFFD	Non-Maskable Interrupt
SWI	BFFA-BFFB	FFFA-FFFB	Software Interrupt
IRQ1	BFF8-BFF9	FFFB-FFF9	Maskable Interrupt Request 1
ICF	BFF6-BFF7	FFFB-FFF7	Input Capture Interrupt
OCF	BFF4-BFF5	FFF4-FFF5	Output Compare Interrupt
TOF	BFF2-BFF3	FFF2-FFF3	Timer Overflow Interrupt
SCI	BFF0-BFF1	FFF0-FFF1	SCI Interrupt



3/

FIGURE 18 - INTERRUPT SEQUENCE

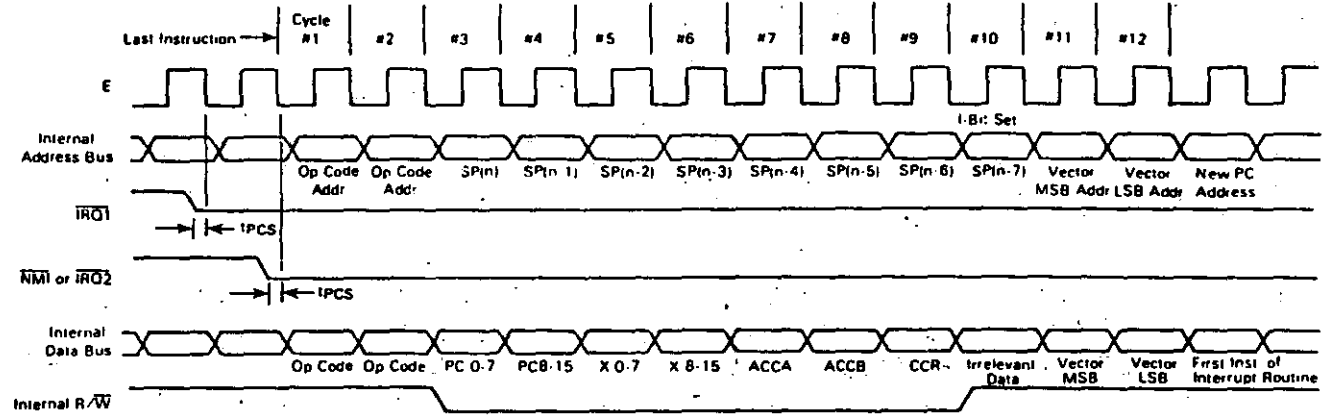
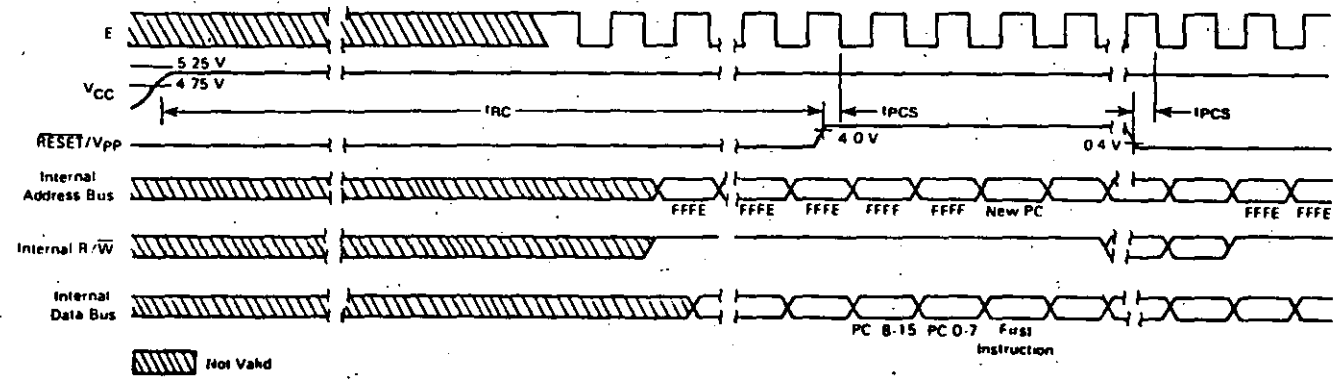


FIGURE 19 - RESET TIMING



3-762

35

MC68701

rupt mask bit (I-bit) in the Condition Code Register is clear, the MCU will begin an interrupt sequence. A vector is fetched from \$FFF8 and \$FFF9 (or \$BFF8 and \$BFF9 in Mode 0), transferred to the Program Counter, and instruction execution is resumed.

$\overline{IRO1}$ typically requires an external 3.3 k Ω (nominal) resistor to VCC for wire-OR applications. $\overline{IRO1}$ has no internal pullup resistor.

SC1 AND SC2 (STROBE CONTROL 1 AND 2)

The function of SC1 and SC2 depends on the operating mode. SC1 is configured as an output in all modes except single chip mode, whereas SC2 is always an output. SC1 and SC2 can drive one Schottky load and 90 pF.

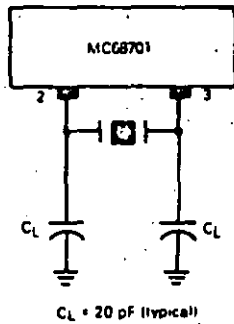
SC1 and SC2 in Single Chip Mode

In Single Chip Mode, SC1 and SC2 are configured as an input and output, respectively, and both function as Port 3 control lines. SC1 functions as $\overline{IS3}$ and can be used to indicate that Port 3 input data is ready or output data has been accepted. Three options associated with $\overline{IS3}$ are controlled by the Port 3 Control and Status Register and are discussed in the Port 3 description. If unused, $\overline{IS3}$ can remain unconnected.

SC2 is configured as $\overline{OS3}$ and can be used to strobe output data or acknowledge input data. It is controlled by Output Strobe Select (OSS) in the Port 3 Control and Status Register. The strobe is generated by a read (OSS=0) or write (OSS=1) to the Port 3 Data Register. $\overline{OS3}$ timing is shown in Figure 5.

FIGURE 20 — MC68701 OSCILLATOR CHARACTERISTICS

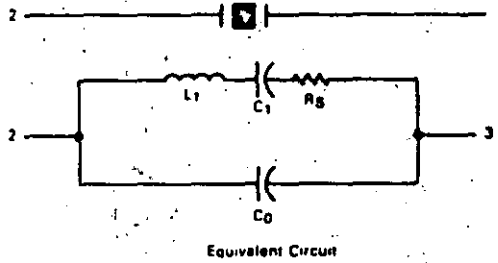
(a) Nominal Recommended Crystal Parameters



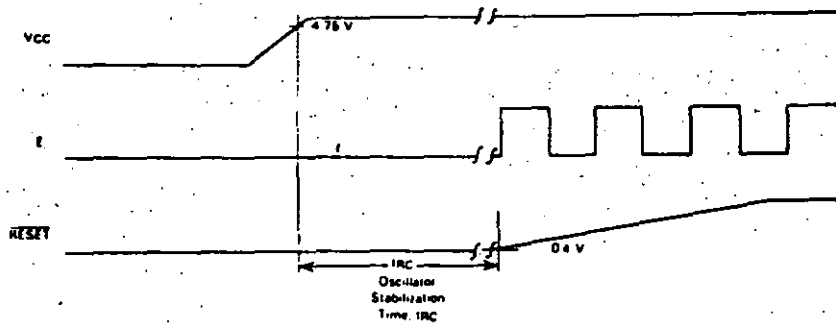
NOTE
TTL-compatible oscillators may be obtained from:
Motorola Component Products
Attn: Data Clock Sales
2553 N. Edginton St.
Franklin Park, IL 60131
Tel: 312 451-1000
Telex: 433-0087

	3.58 MHz	4.00 MHz	5.0 MHz	6.0 MHz	8.0 MHz
RS	60 Ω	50 Ω	30-50 Ω	30-50 Ω	20-40 Ω
C ₀	3.5 pF	8.5 pF	4.6 pF	4.6 pF	4.6 pF
C ₁	0.015 pF	0.025 pF	0.01-0.02 pF	0.01-0.02 pF	0.01-0.02 pF
Q	>40 k	>30 k	>20 k	>20 k	>20 k

* Note: These are representative AT-cut crystal parameters only. Crystals of other types of cuts may also be used.



(b) Oscillator Stabilization Time (t_{RC})



MC68701

SC1 And SC2 In Expanded Non-Multiplexed Mode

In the Expanded Non-Multiplexed Mode, both SC1 and SC2 are configured as outputs. SC1 functions as Input/Output Select (IOS1) and is asserted only when \$0100 through \$01FF is sensed on the internal address bus.

SC2 is configured as Read/Write and is used to control the direction of data bus transfers. An MPU read is enabled when Read/Write and E are high.

SC1 And SC2 In Expanded Multiplexed Mode

In the Expanded Multiplexed Modes, both SC1 and SC2 are configured as outputs. SC1 functions as Address Strobe and can be used to demultiplex the eight least significant addresses and the data bus. A latch controlled by Address Strobe captures address on the negative edge, as shown in Figure 15.

SC2 is configured as Read/Write and is used to control the direction of data bus transfers. An MPU read is enabled when Read/Write and E are high.

P10-P17 (PORT 1)

Port 1 is a mode independent 8-bit I/O port with each line an input or output as defined by the Port 1 Data Direction Register. The TTL compatible three-state output buffers can drive one Schottky TTL load and 30 pF, Darlington transistors, or CMOS devices using external pullup resistors. It is configured as a data input port by RESET. Unused lines can remain unconnected.

P20-P24 (PORT 2)

Port 2 is a mode-independent, 5-bit, multipurpose I/O port. The voltage levels present on P20, P21, and P22 on the rising edge of RESET determine the operating mode of the MCU. The entire port is then configured as a data input port. The Port 2 lines can be selectively configured as data output lines by setting the appropriate bits in the Port 2 Data Direction Register. The Port 2 Data Register is used to move data through the port. However, if P21 is configured as an output, it will be tied to the timer Output Compare function and cannot be used to provide output from the Port 2 Data Register.

Port 2 can also be used to provide an interface for the Serial Communications Interface and the timer Input Edge function. These configurations are described in the appropriate SC1 and Timer sections of this publication.

The Port 2 high-impedance, TTL compatible output buffers are capable of driving one Schottky TTL load and 30 pF or CMOS devices using external pullup resistors.

PORT 2 DATA REGISTER

7	6	5	4	3	2	1	0	
PC2	PC1	PC0	P24	P23	P22	P21	P20	\$0003

P30-P37 (PORT 3)

Port 3 can be configured as an I/O port, a bidirectional 8-bit data bus, or a multiplexed address/data bus depending on the operating mode. The TTL compatible three-state output buffers can drive one Schottky TTL load and 90 pF. Unused lines can remain unconnected.

Port 3 In Single-Chip Mode

Port 3 is an 8-bit I/O port in the Single-Chip Mode, with each line configured by the Port 3 Data Direction Register. There are also two lines, IS3 and OS3, which can be used to control Port 3 data transfers.

Three Port 3 options are controlled by the Port 3 Control and Status Register and are available only in Single-Chip Mode: (1) Port 3 input data can be latched using IS3 as a control signal, (2) OS3 can be generated by either an MPU read or write to the Port 3 Data Register, and (3) an IRQ1 interrupt can be enabled by an IS3 negative edge. Port 3 latch timing is shown in Figure 4.

PORT 3 CONTROL AND STATUS REGISTER

7	6	5	4	3	2	1	0	
IS3 Flag	IS3 IRQ1 Enable	X	OSS	Latch Enable	X	X	X	\$000F

- Bit 0-2 Not used.
- Bit 3 LATCH ENABLE. This bit controls the input latch for Port 3. If set, input data is latched by an IS3 negative edge. The latch is transparent after a read of Port 3 Data Register. LATCH ENABLE is cleared during reset.
- Bit 4 OSS (Output Strobe Select). This bit determines whether OS3 will be generated by a read or write of the Port 3 Data Register. When clear, the strobe is generated by a read, when set, it is generated by a write. OSS is cleared during reset.
- Bit 5 Not used.
- Bit 6 IS3 IRQ1 ENABLE. When set, an IRQ1 interrupt will be enabled whenever IS3 FLAG is set; when clear, the interrupt is inhibited. This bit is cleared during reset.
- Bit 7 IS3 FLAG. This read-only status bit is set by an IS3 negative edge. It is cleared by a read of the Port 3 Control and Status Register (with IS3 FLAG set) followed by a read or write to the Port 3 Data Register or during reset.

Port 3 In Expanded Non-Multiplexed Mode

Port 3 is configured as a bidirectional data bus (D7-D0) in the Expanded Non-Multiplexed Mode. The direction of data transfers is controlled by Read/Write (SC2). Data is clocked by E (Enable).

Port 3 In Expanded Multiplexed Mode

Port 3 is configured as a time multiplexed address (A0-A7) and data bus (D7-D0) in the Expanded Multiplexed Modes where Address Strobe (AS) can be used to demultiplex the two buses. Port 3 is held in a high impedance state between valid address and data to prevent potential bus conflicts.

37

MC68701

P40-P47 (PORT 4)

Port 4 is configured as an 8-bit I/O port, as address outputs, or as data inputs depending on the operating mode. Port 4 can drive one Schottky TTL load and 90 pF and is the only port with internal pullup resistors. Unused lines can remain unconnected.

Port 4 In Single Chip Mode

In Single Chip Mode, Port 4 functions as an 8-bit I/O port with each line configured by the Port 4 Data Direction Register. Internal pullup resistors allow the port to directly interface with CMOS at 5 volt levels. External pullup resistors to more than 5 volts, however, cannot be used.

Port 4 In Expanded Non-Multiplexed Mode

Port 4 is configured during reset as an 8-bit input port, where the Port 4 Data Direction Register can be written to provide any or all of address lines A0 to A7. Internal pullup resistors pull the lines high until the Port 4 Data Direction Register is configured.

Port 4 In Expanded Multiplexed Mode

In all Expanded Multiplexed modes except Mode 6, Port 4 functions as half of the address bus and provides A8 to A15. In Mode 6, the port is configured during reset as an 8-bit parallel input port, where the Port 4 Data Direction Register can be written to provide any or all of upper address lines A8 to A15. Internal pullup resistors pull the lines high until the Port 4 Data Direction Register is configured, where bit 0 controls A8.

RESIDENT MEMORY

The MC68701 has 128 bytes of onboard RAM and 2048 bytes of onboard UV erasable EPROM. This memory is controlled by four bits in the RAM/EPROM Control Register.

One half of the RAM is powered through the VCC standby pin and is maintainable during VCC powerdown. This standby portion of the RAM consists of 64 bytes located from 580 through 5BF.

Power must be supplied to VCC standby if the internal RAM is to be used, regardless of whether standby power operation is anticipated. In Mode 3, VCC standby should be tied to ground.

The RAM is controlled by the RAM/EPROM Control Register.

RAM/EPROM CONTROL REGISTER (\$14)

The RAM/EPROM Control Register includes four bits: STBY PWR, RAME, PPC, and PLC. Two of these bits, STBY PWR and RAME, are used to control RAM access and determine the adequacy of the standby power source during power-down operation. It is intended that RAME be cleared and STBY PWR be set as part of a power-down procedure. RAME and STBY PWR are Read/Write bits.

The remaining two bits, PLC and PPC, control the operation of the EPROM. PLC and PPC are readable in all modes but can be changed only in Mode 0. The PLC bit can be written without restriction in Mode 0, but operation of the PPC bit is controlled by the state of PLC.

Associated with the EPROM are an 8-bit data latch and a 16-bit address latch. The data latch is enabled at all times, latching each data byte written to the EPROM. The address latch is controlled by the PLC bit.

A description of the RAM/EPROM Control Register follows.

MC68701 RAM/EPROM CONTROL REGISTER

7	6	5	4	3	2	1	0	
STBY PWR	RAME	X	X	X	X	PPC	PLC	\$14

Bit 0

PLC, Programming Latch Control. This bit controls (a) a latch which captures the EPROM address to be programmed and (b) whether the PPC bit can be cleared. The latch is triggered by an MPU write to a location in the EPROM. This bit is set during reset and can be cleared only in Mode 0. The PLC bit is defined as follows:

PLC = 0 EPROM address latch enabled; EPROM address is latched during MPU writes to the EPROM.

PLC = 1 EPROM address latch is transparent.

Bit 1

PPC, Programming Power Control. This bit gates power from the RESET/Vpp pin to the EPROM programming circuit. PPC is set during reset and whenever the PLC bit is set. It can be cleared only if (a) operating in Mode 0, and (b) if PLC has been previously cleared. The PPC bit is defined as follows:

PPC = 0 EPROM programming power (Vpp) applied.

PPC = 1 EPROM programming power (Vpp) is not applied.

Bit 2-5

Bit 6 RAME

RAM Enable. This Read/Write bit can be used to remove the entire RAM from the internal memory map. RAME is set (enabled) during reset provided standby power is available on the positive edge of reset. If RAME is clear, any access to a RAM address is external. If RAME is set and not in Mode 3, the RAM is included in the internal map.

Bit 7 STBY PWR

Standby Power. This bit is a read/write status bit which, when once set, remains set as long as VCC standby remains above VSB (minimum). As long as this bit is set following a period of standby operation, the standby power supply has adequately preserved the data in the standby RAM. If this bit is cleared during a period of standby operation, it indicates that VCC standby had fallen to a level sufficiently below VSB (minimum) to suspect that data in the standby RAM is not valid. This bit can be set only by software and is not affected during reset.

Note that if PPC and PLC are set, they cannot be simultaneously cleared with a single MPU write. The PLC bit must be cleared prior to attempting to clear PPC. If both PPC and PLC are clear, setting PLC will also set PPC. In addition,

38

MC68701

It is assumed that Vpp is applied to the RESET/Vpp pin whenever PPC is clear. If this is not the case, the result is undefined.

ERASING THE MC68701 EPROM

Ultraviolet erasure will clear all bits of the EPROM to the "0" state. Note that this erased state differs from that of some other widely used EPROMs (such as the MCM6870B) where the erased state is a "1". The MC68701 EPROM is programmed by erasing it to "0's" and entering "1's" into the desired bit locations.

The MC68701 EPROM can be erased by exposure to high intensity ultraviolet light with a wave length of 2537A for a minimum of 30 minutes. The recommended integrated dose (UV intensity x exposure time) is 15 Ws/cm. The lamps should be used without shortwave filters and the MC68701 should be positioned about one inch away from the UV tubes.

The MC68701 transparent lid should always be covered after erasing. This protects both the EPROM and light-sensitive nodes from accidental exposure to ultraviolet light.

PROGRAMMING THE MC68701 EPROM

When the MC68701 is released from Reset in Mode 0, a vector is fetched from location \$BFFE:\$BFFF. This provides a method for an external program to obtain control of the microcomputer with access to every location in the EPROM.

To program the EPROM, it is necessary to operate the MC68701 in Mode 0 under the control of a program resident in external memory which can facilitate loading and programming of the EPROM. After the pattern has been loaded into external memory, the EPROM can be programmed as follows:

- Apply programming power (Vpp) to the RESET/Vpp pin.
- Clear the PLC control bit and set the PPC bit by writing \$FE to the RAM/EPROM Control Register.
- Write data to the next EPROM location to be programmed. Triggered by an MPU write to the EPROM, internal latches capture both the EPROM address and the data byte.
- Clear the PPC bit for programming time, tpp, by writing \$FC to the RAM/EPROM Control Register and waiting for time, tpp. This step gates the programming power (Vpp) from the RESET/Vpp pin to the EPROM which programs the location.
- Repeat steps b through d for each byte to be programmed.
- Set the PLC and PPC bits by writing \$FF to the RAM/EPROM control register.
- Remove the programming power (Vpp) from the RESET/Vpp pin. The EPROM can now be read and verified.

Because of the erased state of an EPROM byte is 00, it is not necessary to program a location which is to contain 00. Finally, it should be noted that the result of inadvertently programming a location more than once is the logical OR of the data patterns.

A routine which can be used to program the MC68701 EPROM is provided at the end of this publication. This non-reentrant routine requires four double byte variables named IMBEO, IMEND, PNTR, and WAIT to be initialized prior to entry to the routine. These variables indicate (a) the first and last memory locations which bound the data to be programmed into the EPROM, (b) the first EPROM location to be programmed, and (c) a number which is used to generate the programming time delay. The last variable, WAIT, takes into account the MCU input crystal (or TTL-compatible clock) frequency to insure the programming time, tpp, is met. WAIT is defined as the number of MPU E-cycles that will occur in the real-time EPROM programming interval, tpp. For example, if tpp = 50 milliseconds and the MC68701 is being driven with a 4.00 MHz TTL-compatible clock:

$$\begin{aligned} \text{WAIT (MPU E-cycles)} &= t_{pp} \cdot (\text{MCU INPUT FREQ}/4) \cdot 10^6 \\ &= 50000(4 \cdot 10^6)/4 \cdot 10^6 \\ &= 50000 \end{aligned}$$

NOTE

A monitor program called PRObug[®] is available from Motorola Microsystems. PRObug contains a user option for programming the on-board MC68701 EPROM.

PROGRAMMABLE TIMER

The Programmable Timer can be used to perform input waveform measurements while independently generating an output waveform. Pulse widths can vary from several microseconds to many seconds. A block diagram of the Timer is shown in Figure 21.

COUNTER (#09:0A)

The key timer element is a 16-bit free-running counter which is incremented by E (Enable). It is cleared during reset and is read-only with one exception: a write to the counter (#09) will preset it to \$FFF8. This feature, intended for testing, can disturb serial operations because the counter provides the SCI internal bit rate clock. TOF is set whenever the counter contains all 1's.

OUTPUT COMPARE REGISTER (#0B:0C)

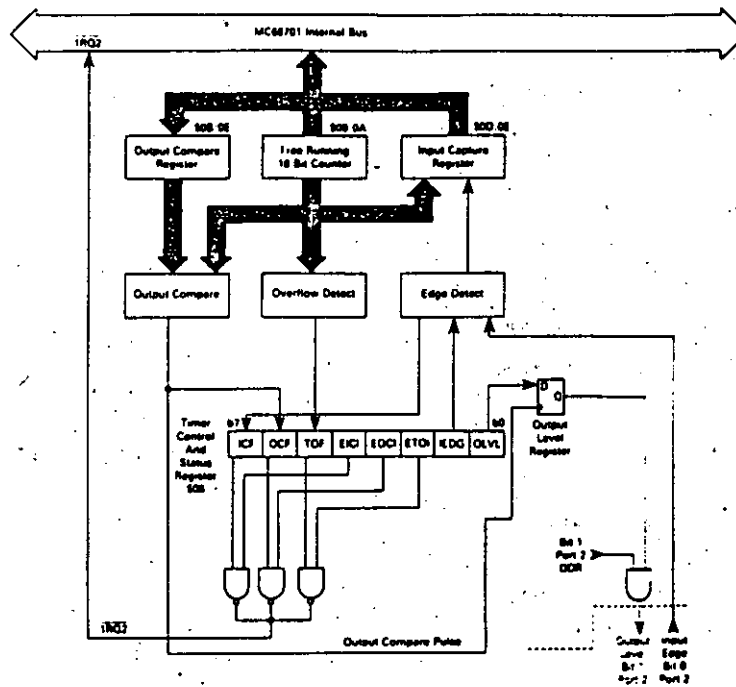
The Output Compare Register is a 16-bit Read/Write register used to control an output waveform or provide an arbitrary timeout flag. It is compared with the free-running counter on each E-cycle. When a match occurs, OCF is set and OLVL is clocked to an output level register. If Port 2, bit 1, is configured as an output, OLVL will appear at P21 and the Output Compare Register and OLVL can then be changed for the next compare. The function is inhibited for one cycle after a write to the high byte of the Compare Register (#0B) to ensure a valid compare. The Output Compare Register is set to \$FFFF during reset.

INPUT CAPTURE REGISTER (#0D:0E)

The Input Capture Register is a 16-bit read-only register used to store the free-running counter when a "proper" input transition occurs as defined by IEDG. Port 2, bit 0 should be configured as an input, but the edge detect circuit always

39

FIGURE 21 - BLOCK DIAGRAM OF PROGRAMMABLE TIMER



senses P20 even when configured as an output. An input capture can occur independently of ICF; the register always contains the most current value. Counter transfer is inhibited, however, between accesses of a double byte MPU read. The input pulse width must be at least two E-cycles to ensure an input capture under all conditions.

TIMER CONTROL AND STATUS REGISTER (#08)

The Timer Control and Status Register (TCSR) is an 8-bit register of which all bits are readable while bits 0-4 can be written. The three most significant bits provide the timer status and indicate if:

- a proper level transition has been detected,
- a match has occurred between the free-running counter and the output compare register, and
- the free-running counter has overflowed.

Each of the three events can generate an IRO2 interrupt and is controlled by an individual enable bit in the TCSR.

TIMER CONTROL AND STATUS REGISTER (TCSR)

7	6	5	4	3	2	1	0	
ICF	OCF	TOF	EICI	EODG	ETOI	EEDG	OLVL	#0008

Bit 0 OLVL

Output level. OLVL is clocked to the output level register by a successful output compare and will appear at P21 if Bit 1 of the Port 2 Data Direction Register is set. It is cleared during reset.

Bit 1 EIDG

Input Edge. IEDG is cleared during reset and controls which level transition will trigger a counter transfer to the Input Capture Register:

IEDG = 0 Transfer on a negative-edge
IEDG = 1 Transfer on a positive-edge.

Bit 2 ETOI

Enable Timer Overflow Interrupt. When set, an IRO2 interrupt is enabled for a timer overflow; when clear, the interrupt is inhibited. It is cleared during reset.

Bit 3 EOCI

Enable Output Compare Interrupt. When set, an IRO2 interrupt is enabled for an output compare; when clear, the interrupt is inhibited. It is cleared during reset.

Bit 4 EICI

Enable Input Capture Interrupt. When set, an IRO2 interrupt is enabled for an input capture; when clear, the interrupt is inhibited. It is cleared during reset.

40

MC68701

- Bit 5 TOF: Timer Overflow Flag. TOF is set when the counter contains all 1's. It is cleared by reading the TCSR (with TOF set) then reading the counter high byte (\$09), or by RESET.
- Bit 6 OCF: Output Compare Flag. OCF is set when the Output Compare Register matches the free-running counter. It is cleared by reading the TCSR (with OCF set) and then writing to the Output Compare Register (\$0B or \$0C), or by RESET.
- Bit 7 ICF: Input Capture Flag. ICF is set to indicate a proper level transition; it is cleared by reading the TCSR (with ICF set) and then the Input Capture Register High Byte (\$0D), or by RESET.

SERIAL COMMUNICATIONS INTERFACE (SCI)

A full-duplex asynchronous Serial Communications Interface (SCI) is provided with two data formats and a variety of rates. The SCI transmitter and receiver are functionally independent, but use the same data format and bit rate. Serial data formats include standard mark/space (NRZ) and Bi-phase and both provide one start bit, eight data bits, and one stop bit. "Baud" and "bit rate" are used synonymously in the following description.

WAKE-UP FEATURE

In a typical serial loop multi-processor configuration, the software protocol will usually identify the addressee(s) at the beginning of the message. In order to permit uninterested MPU's to ignore the remainder of the message, a wake-up feature is included whereby all further SCI receiver flag (and interrupt) processing can be inhibited until the data line goes idle. An SCI receiver is re-enabled by an idle string of ten consecutive 1's or during reset. Software must provide for the required idle string between consecutive messages and prevent it within messages.

PROGRAMMABLE OPTIONS

The following features of the SCI are programmable:

- format: standard mark/space (NRZ) or Bi-phase
- clock: external or internal bit rate clock
- Baud: one of 4 per E-clock frequency, or external clock (X8 desired baud)
- wake-up feature: enabled or disabled
- interrupt requests: enabled individually for transmitter and receiver
- clock output: internal bit rate clock enabled or disabled to P22

SERIAL COMMUNICATIONS REGISTERS

The Serial Communications Interface includes four addressable registers as depicted in Figure 22. It is controlled by the Rate and Mode Control Register and the

Transmit/Receive Control and Status Register. Data is transmitted and received utilizing a write-only Transmit Register and a read-only Receive Register. The shift registers are not accessible to software.

Rate and Mode Control Register (RMCR) (\$10)

The Rate and Mode Control Register controls the SCI bit rate, format, clock source, and under certain conditions, the configuration of P22. The register consists of four write-only bits which are cleared during reset. The two least significant bits control the bit rate of the internal clock and the remaining two bits control the format and clock source.

RATE AND MODE CONTROL REGISTER (RMCR)

7	6	5	4	3	2	1	0	
X	X	X	X	CC1	CC0	SS1	SS0	\$0010

Bit 1:Bit 0: SS1:SS0 Speed Select. These two bits select the Baud rate when using the internal clock. Four rates may be selected which are a function of the MCU input frequency. Table 6 lists bit time and rates for three selected MCU frequencies.

Bit 3:Bit 2: CC1:CC0 Clock Control and Format Select. These two bits control the format and select the serial clock source. If CC1 is set, the DDR value for P22 is forced to the complement of CC0 and cannot be altered until CC1 is cleared. If CC1 is cleared after having been set, its DDR value is unchanged. Table 7 defines the formats, clock source, and use of P22.

If both CC1 and CC0 are set, an external TTL compatible clock must be connected to P22 at eight times (8X) the desired bit rate, but not greater than E, with a duty cycle of 50% (± 10%). If CC1:CC0=10, the internal bit rate clock is provided at P22 regardless of the values for TE or RE.

NOTE: The source of SCI internal bit rate clock is the timer free running counter. An MPU write to the counter can disturb serial operations.

Transmit/Receive Control And Status Register (TRCSR) (\$11)

The Transmit/Receive Control and Status Register controls the transmitter, receiver, wake-up feature, and two individual interrupts and monitors the status of serial operations. All eight bits are readable while bits 0 to 4 are also writable. The register is initialized to \$20 by RESET.

TRANSMIT/RECEIVE CONTROL AND STATUS REGISTER (TRCSR)

7	6	5	4	3	2	1	0	
RDRF	ORFE	TDRE	RIE	RE	TIE	TE	WU	\$0011

41

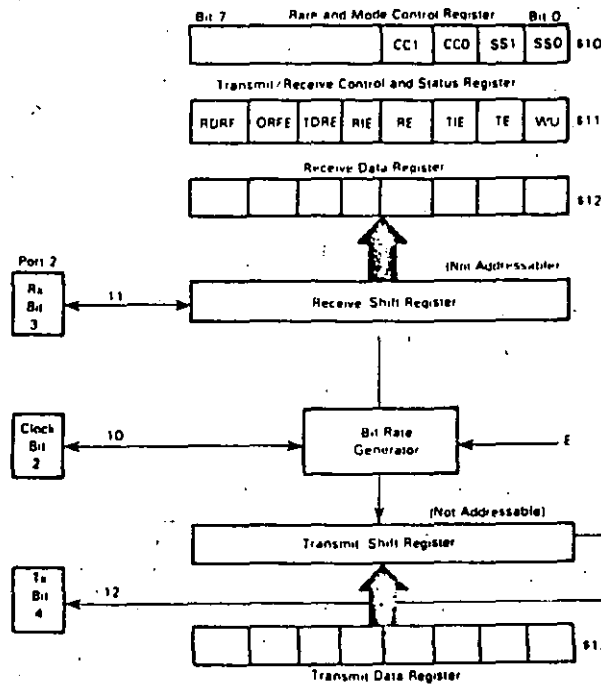
TABLE 6 - SCI BIT TIMES AND RATES

SS1:SS0	4f ₀ -E	2.4576 MHz	4.0 MHz	4.9152 MHz
		614.4 kHz	1.0 MHz	1.2288 MHz
0 0	-16	26 μs/38,400 Baud	16 μs/62,500 Baud	13.0 μs/76,800 Baud
0 1	-126	208 μs/4,800 Baud	128 μs/7,812.5 Baud	104.2 μs/9,600 Baud
1 0	-1024	1.67 ms/600 Baud	1.024 ms/976.6 Baud	833.3 μs/1,200 Baud
1 1	-4096	6.67 ms/150 Baud	4.096 ms/244.1 Baud	3.33 ms/300 Baud
External (P22)		Up to 76,800 Baud	Up to 125,000 Baud	Up to 153,600 Baud

TABLE 7 - SCI FORMAT AND CLOCK SOURCE CONTROL

CC1:CC0	Format	Clock Source	Port 2, BR 2
0 0	Bi-Phase	Internal	Not Used
0 1	NRZ	Internal	Not Used
1 0	NRZ	Internal	Output
1 1	NRZ	External	Input

FIGURE 22 - SCI REGISTERS



42

MC68701

- Bit 0 WU "Wake-up" on Idle Line. When set, WU enables the wake-up function; it is cleared by ten consecutive 1's or during reset. WU will not set if the line is idle.
- Bit 1 TE Transmit Enable. When set, P24 DDR bit is set, cannot be changed, and will remain set if TE is subsequently cleared. When TE is changed, from clear to set, the transmitter is connected to P24 and a preamble of nine consecutive 1's is transmitted. TE is cleared during reset.
- Bit 2 TIE Transmit Interrupt Enable. When set, an IRQ2 interrupt is enabled when TDRE is set; when clear, the interrupt is inhibited. TE is cleared during reset.
- Bit 3 RE Receive Enable. When set, the P23 DDR bit is cleared, cannot be changed, and will remain clear if RE is subsequently cleared. While RE is set, the SCI receiver is enabled. RE is cleared during reset.
- Bit 4 RIE Receiver Interrupt Enable. When set, an IRQ2 interrupt is enabled when RDRF and/or ORFE is set; when clear, the interrupt is inhibited. RIE is cleared during reset.
- Bit 5 TDRE Transmit Data Register Empty. TDRE is set when the Transmit Data Register is transferred to the output serial shift register or during reset. It is cleared by reading the TRCSR (with TDRE set) and then writing to the Transmit Data Register. Additional data will be transmitted only if TDRE has been cleared.
- Bit 6 ORFE Overrun Framing Error. If set, ORFE indicates either an overrun or framing error. An overrun is a new byte ready to transfer to the Receive Data Register with RDRF still set. A receiver framing error has occurred when the byte boundaries of the bit stream are not

synchronized to the bit counter. An overrun can be distinguished from a framing error by the state of RDRF: if RDRF is set, then an overrun has occurred; otherwise a framing error has been detected. Data is not transferred to the Receive Data Register in an overrun condition. Unframed data causing a framing error is transferred to the Receive Data Register. However, subsequent data transfer is blocked until the framing error flag is cleared. ORFE is cleared by reading the TRCSR (with ORFE set) then the Receive Data Register, or during reset.

Bit 7 RDRF Receive Data Register Full. RDRF is set when the input serial shift register is transferred to the Receive Data Register. It is cleared by reading the TRCSR (with RDRF set), and then the Receive Data Register, or during reset.

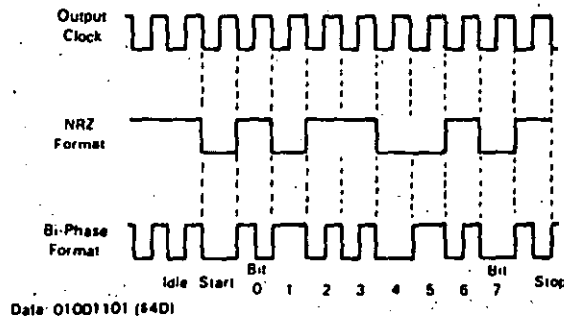
SERIAL OPERATIONS

The SCI is initialized by writing control bytes first to the Rate and Mode Control Register and then to the Transmit/Receive Control and Status Register. When TE is set, the output of the transmit serial shift register is connected to P24 and serial output is initiated by transmitting to 9-bit preamble of 1's.

At this point one of two situations exist: 1) if the Transmit Data Register is empty (TDRE = 1), a continuous string of 1's will be sent indicating an idle line, or 2) if a byte has been written to the Transmit Data Register (TDRE = 0), it will be transferred to the output serial shift register (synchronized with the bit rate clock), TDRE will be set, and transmission will begin.

The start bit (0), eight data bits (beginning with bit 0) and a stop bit (1), will be transmitted. If TDRE is still set when the next byte transfer should occur, 1's will be sent until more data is provided. In Bi-phase format, the output toggles at the start of each bit and at half-bit time when a "1" is sent. Receive operation is controlled by RE which configures P23 as an input and enables the receiver. SCI data formats are illustrated in Figure 23.

FIGURE 23 - SCI DATA FORMATS



* Devices made with mask numbers T7A and CB4 do not transfer unframed data to the Receive Data Register.

43

MC68701

INSTRUCTION SET

The MC68701 is upward source and object code compatible with the MC68000. Execution times of key instructions have been reduced and several new instructions have been added, including a hardware multiply. A list of new operations added to the MC68000 instruction set is shown in Table 1. In addition, two new special opcodes, 4E and 5E, are provided for test purposes. These opcodes force the program counter to increment like a 16-bit counter, causing address lines used in the expanded modes to increment until the device is reset. These opcodes have no mnemonics.

The coding of the first (or only) byte corresponding to an executable instruction is sufficient to identify the instruction and the addressing mode. The hexadecimal equivalents of the binary codes, which result from the translation of the 82 instructions in all valid modes of addressing, are shown in Table 8. There are 220 valid machine codes, 34 unassigned codes, and 2 reserved for test purposes.

PROGRAMMING MODEL

A programming model for the MC68701 is shown in Figure 9. Accumulator A can be concatenated with accumulator B and jointly referred to as accumulator D where A is the most significant byte. Any operation which modifies the double accumulator will also modify accumulator A and/or B. Other registers are defined as follows:

Program Counter — The program counter is a 16-bit register which always points to the next instruction.

Stack Pointer — The stack pointer is a 16-bit register which contains the address of the next available location in a pushdown (or pop) (LIFO) queue. The stack resides in random access memory at a location defined by the programmer.

Index Register — The Index Register is a 16-bit register which can be used to store data or provide an address for the indexed mode of addressing.

Accumulators — The MCU contains two 8-bit accumulators, A and B, which are used to store operands and results from the arithmetic logic unit (ALU). They can also be concatenated and referred to as the D (double) accumulator.

Condition Code Registers — The condition code register indicates the results of an instruction and includes the Overflow (V), Carry/Borrow from MSB (C), and Half Carry following five condition bits: Negative (N), Zero (Z),

from bit 3 (H). These bits are testable by the conditional branch instructions. Bit 4 is the interrupt mask (I-bit) and inhibits all maskable interrupts when set. The two unused bits, B6 and B7 are read as ones.

ADDRESSING MODES

The MC68701 provides six addressing modes which can be used to reference memory. A summary of addressing modes for all instructions is presented in Tables 9, 10, 11, and 12 where execution times are provided in E cycles. Instruction execution times are summarized in Table 13. With an input frequency of 4 MHz, E cycles are equivalent to microseconds. A cycle-by-cycle description of bus activity for each instruction is provided in Table 14 and a description of selected instructions is shown in Figure 24.

Immediate Addressing — The operand or "immediate byte(s)" is contained in the following byte(s) of the instruction where the number of bytes matches the size of the register. These are two or three byte instructions.

Direct Addressing — The least significant byte of the operand address is contained in the second byte of the instruction and the most significant byte is assumed to be \$00. Direct addressing allows the user to access \$00 through \$FF using two byte instructions and execution time is reduced by eliminating the additional memory access. In most applications, the 256-byte area is reserved for frequently referenced data.

Extended Addressing — The second and third bytes of the instruction contain the absolute address of the operand. These are three byte instructions.

Indexed Addressing — The unsigned offset contained in the second byte of the instruction is added with carry to the Index Register and used to reference memory without changing the Index Register. These are two byte instructions.

Inherent Addressing — The operand(s) are registers and no memory reference is required. These are single byte instructions.

Relative Addressing — Relative addressing is used only for branch instructions. If the branch condition is true, the Program Counter is overwritten with the sum of a signed single byte displacement in the second byte of the instruction and the current Program Counter. This provides a branch range of -126 to 129 bytes from the first byte of the instruction. These are two byte instructions.

44

MC68701

TABLE B - CPU INSTRUCTION MAP

OP	MNEM	MODE	#	OP	MNEM	MODE	#	OP	MNEM	MODE	#	OP	MNEM	MODE	#	OP	MNEM	MODE	#	
00	*			34	DES	INHER	3 1	68	ASL	INDXD	6 2	80	CPL	DIR	5 2	00	SUBB	DIR	3 2	
01	NOP	INHER	2 1	35	TXS		3 1	69	ROL		6 2	81	JSR		5 2	01	CMPB		3 2	
02	*			36	PSHA		3 1	70	DIC		6 2	82	LOS		4 2	02	SBCB		3 2	
03	*			37	PSHB		3 1	71	*			83	STS	DIR	4 2	03	ADDD		5 2	
04	LSRD		3 1	38	PULX		5 1	72	INC		6 2	84	AD	SUBA	INDXD	4 2	04	ANDB		3 2
05	ASLD		3 1	39	RTS		5 1	73	TST		6 2	85	CMPL		4 2	05	BITB		3 2	
06	TAP		2 1	3A	ABA		3 1	74	JMP		3 2	86	SBCA		4 2	06	LDAB		3 2	
07	TPA		2 1	3B	RTH		10 1	75	CLR	INDXD	6 2	87	SUBD		6 2	07	STAB		3 2	
08	INX		3 1	3C	PSHX		4 1	76	NEG	EXTND	6 3	88	ANDA		4 2	08	EORB		3 2	
09	DEX		3 1	3D	MUL		10 1	77	*			89	BITA		4 2	09	ADCB		3 2	
0A	CLV		2 1	3E	WAI		9 1	78	COM		6 3	90	LDA*		4 2	0A	ORAB		3 2	
0B	SEV		2 1	3F	SWI		12 1	79	LSR		6 3	91	STAA		4 2	0B	ADDB		3 2	
0C	CLC		2 1	40	NEGA		2 1	7A	ASR		6 3	92	EORA		4 2	0C	LDD		4 2	
0D	SEC		2 1	41	*			7B	ROR		6 3	93	ORAA		4 2	0D	STD		4 2	
0E	CLI		2 1	42	*			7C	ASR		6 3	94	ORAA		4 2	0E	LDX		4 2	
0F	SEI		2 1	43	COMA		2 1	7D	ASL		6 3	95	ADDA		4 2	0F	STX		4 2	
10	SBA		2 1	44	LSRA		2 1	7E	ROL		6 3	96	CPX		6 2	10	SUBB	INDXD	4 2	
11	CBA		2 1	45	*			7F	DEC		6 3	97	AD	JSR	5 2	11	CMPB		4 2	
12	*			46	RORA		2 1	80	INC		6 3	98	AF	STS	INDXD	5 2	12	SBCB		4 2
13	*			47	ASRA		2 1	81	CMPL		2 2	99	STB	EXTND	4 3	13	ADDD		6 2	
14	*			48	ASLA		2 1	82	SBCA		2 2	00	LDA*		4 3	14	ANDB		4 2	
15	*			49	ROLA		2 1	83	SUBD		4 3	01	STAA		4 3	15	BITB		4 2	
16	TAB		2 1	4A	DECA		2 1	84	ANDA		2 2	02	EORA		4 3	16	STAB		4 2	
17	TBA		2 1	4B	*			85	BITA		2 2	03	ADCA		4 3	17	EORB		4 2	
18	*			4C	INCA		2 1	86	LDA*		2 2	04	ORAA		4 3	18	ADCB		4 2	
19	DAA	INHER	2 1	4D	TSTA		2 1	87	*			05	ADDA		4 3	19	ORAB		4 2	
1A	*			4E	T			88	EORA		2 2	06	CPX		6 3	1A	ADDB		4 2	
1B	ABA	INHER	2 1	4F	CLRA		2 1	89	ADCA		2 2	07	LOS		5 3	1B	SBCB		4 3	
1C	*			50	NIGB		2 1	90	ORAA		2 2	08	STS	EXTND	5 3	1C	ADDD		6 3	
1D	*			51	*			91	CPX		6 3	09	SUBB	IMMED	2 2	1D	ANDB		4 3	
1E	*			52	*			92	REL	IMMED	4 3	0A	CMPB		2 2	1E	BITB		4 3	
1F	*			53	COMB		2 1	93	LDS	IMMED	3 3	0B	SBCB		2 2	1F	LDAB		4 3	
20	BRA	REL	3 2	54	LSRB		2 1	94	*			0C	ADDD		4 3	20	STAB		4 3	
21	BRN		3 2	55	*			95	BITA		3 2	0D	ANDD		2 2	21	EORB		4 3	
22	BHI		3 2	56	RORB			96	BITA		3 2	0E	ADCB		2 2	22	ADCB		4 3	
23	BLS		3 2	57	ASRB			97	BITA		3 2	0F	ORAB		2 2	23	ORAB		4 3	
24	BCC		3 2	58	ASLB			98	ANDA		3 2	10	ADDB		2 2	24	ADDB		4 3	
25	BCS		3 2	59	ROLB			99	ANDA		3 2	11	LORB		2 2	25	LDD		5 3	
26	BNE		3 2	5A	DECB		2 1	00	BITA		3 2	12	ADCB		2 2	26	STD		5 3	
27	BEO		3 2	5B	*			01	LDA*		3 2	13	ORAB		2 2	27	LDX		5 3	
28	BVC		3 2	5C	INCB		2 1	02	CPX	REL	4 3	14	ADDB		2 2	28	STA	EXTND	5 3	
29	BVS		3 2	5D	TSTB		2 1	03	REL	IMMED	4 3	15	STAB		2 2	29	STX	INDXD	5 3	
2A	BPL		3 2	5E	T			04	CPX	REL	4 3	16	EORB		2 2	30	STX	EXTND	5 3	
2B	BMI		3 2	5F	CLRB	INHER	2 1	05	CPX	REL	4 3	17	ADCB		2 2	31	STX	EXTND	5 3	
2C	BGE		3 2	60	NEG	INDXD	6 2	06	LDS	IMMED	3 3	18	ORAB		2 2	32	STX	EXTND	5 3	
2D	BLT		3 2	61	*			07	*			19	ADDB		2 2	33	STX	EXTND	5 3	
2E	BGT		3 2	62	*			08	CPX	REL	4 3	20	ADDB		2 2					
2F	BLE		3 2	63	COM		6 2	09	CPX	REL	4 3	21	ADDB		2 2					
30	TSX		3 1	64	LSR		6 2	10	CPX	REL	4 3	22	ADDB		2 2					
31	INS		3 1	65	*			11	CPX	REL	4 3	23	ADDB		2 2					
32	PULA		4 1	66	ROR		6 2	12	CPX	REL	4 3	24	ADDB		2 2					
33	PULB		4 1	67	ASR	INDXD	6 2	13	CPX	REL	4 3	25	ADDB		2 2					

3

NOTES.

1. Addressing Modes

INHER=Inherent INDXD=Indexed IMMED=Immediate
REL=Relative EXTND=Extended DIR=Direct

- Unassigned opcodes are indicated by "*" and should not be executed.
- Codes marked by "T" force the PC to function as a 16-bit counter.

immediate
\$ directs

45

TABLE 9 - INDEX REGISTER AND STACK MANIPULATION INSTRUCTIONS

Pointer Operations	MNE	Immed		Direct		Index		Extend		Inherent		Boolean/ Arithmetic Operation	Condition Codes								
		Op	#	Op	#	Op	#	Op	#	Op	#		H	I	N	Z	V	C			
Compare Index Register	CPX	BC	4	3	9C	5	2	AC	6	2	8C	6	3	X ← M; M+1	
Decrement Index Register	DEX										09	3	1	X ← X - 1	
Decrement Stack Pointer	DES										3A	3	1	SP ← SP - 1	
Increment Index Register	INX										08	3	1	X ← X + 1	
Increment Stack Pointer	INS										31	3	1	SP ← SP + 1	
Load Index Register	LDX	CE	3	3	DE	4	2	EE	5	2	FE	5	3	M → X _H ; IM + 1 → X _L	R	.
Load Stack Pointer	LDS	BE	3	3	9E	4	2	AE	5	2	BE	5	3	M → SP _H ; IM + 1 → SP _L	R	.
Store Index Register	STX										0F	4	2	X _H → M; X _L → IM + 1	R	.
Store Stack Pointer	STS										9F	4	2	SP _H → M; SP _L → IM + 1	R	.
Index Reg ← Stack Pointer	TXS										36	3	1	X ← SP
Stack Ptr ← Index Register	TSX										30	3	1	SP ← X
Add	ABX										3A	3	1	B ← X + X
Push Data	PSHX										3C	4	1	X _L → M _{SP} ; SP ← SP - 1 X _H → M _{SP} ; SP ← SP
Pull Data	PULX										38	5	1	SP ← SP + 1; M _{SP} → X _H SP ← SP + 1; M _{SP} → X _L

TABLE 10 - ACCUMULATOR AND MEMORY INSTRUCTIONS (Sheet 1 of 2)

Accumulator and Memory Operations	MNE	Immed		Direct		Index		Extend		Inher		Boolean Expression	Condition Codes										
		Op	#	Op	#	Op	#	Op	#	Op	#		H	I	N	Z	V	C					
Add Accumlrs	ABA										1B	2	1	A ← B + A			
Add B to X	ABX										3A	3	1	00B ← X + X			
Add with Carry	ADCA	89	2	2	99	3	2	A9	4	2	89	4	3	A ← M + C + A			
	ADCB	C9	2	2	09	3	2	E9	4	2	F9	4	3	B ← M + C + B			
Add	ADDA	8B	2	2	9B	3	2	AB	4	2	8B	4	3	A ← M + A			
	ADDB	CB	2	2	0B	3	2	EB	4	2	FB	4	3	B ← M + B			
Add Double	ADCD	33	4	3	03	5	2	E3	6	2	F3	6	3	D ← M + M + 1 → D			
And	AND	B4	2	2	94	3	2	A4	4	2	B4	4	3	A ← M & A	R	.		
	ANDJ	C4	2	2	D4	3	2	E4	4	2	F4	4	3	B ← M & B	R	.		
Shift Left, Arithmetic	ASLA										48	2	1				
	ASLB										58	2	1				
Shift Left Dbl	ASLD										05	3	1				
Shift Right, Arithmetic	ASRA										47	2	1				
	ASRB										57	2	1				
Bit Test	BITA	85	2	2	95	3	2	A5	4	2	85	4	3	A ← M	R	.		
	BITB	C5	2	2	D5	3	2	E5	4	2	F5	4	3	B ← M	R	.		
Compare Accumlrs	CBA										11	2	1	A ← B			
Clear	CLR										6F	6	2	7F	6	3	00 ← M	.	.	.	R	S	R
	CLRA										4F	2	1	00 ← A	R	S	R	
	CLRB										5F	2	1	00 ← B	R	S	R	
Compare	CMPA	B1	2	2	91	3	2	A1	4	2	B1	4	3	A ← M		
	CMPB	C1	2	2	D1	3	2	E1	4	2	F1	4	3	B ← M		
1's Complement	COM										63	6	2	73	6	3	M ← M	.	.	.	R	S	.
	COMA										43	2	1	X ← A	R	S	.	
	COMB										53	2	1	B ← B	R	S	.	
Decimal Adj, A	DAA										19	2	1	Adj. binary sum to BCD		
Decrement	DEC										6A	6	2	7A	6	3	M ← M - 1	
	DECA										4A	2	1	A ← A - 1		
	DECB										5A	2	1	B ← B - 1		
Exclusive OR	EORA	8B	2	2	9B	3	2	AB	4	2	8B	4	3	A ← M ⊕ A	R	.		
	EORB	CB	2	2	0B	3	2	EB	4	2	FB	4	3	B ← M ⊕ B	R	.		
Increment	INC										6C	6	2	7C	6	3	M ← M + 1	
	INCA										4C	2	1	A ← A + 1		
	INCB										5C	2	1	B ← B + 1		
Load Accumlrs	LDA	B6	2	2	96	3	2	A6	4	2	B6	4	3	M ← A	R	.		
	LDOB	C6	2	2	D6	3	2	E6	4	2	F6	4	3	M ← B	R	.		
Load Double	LDD	CC	3	3	0C	4	2	EC	5	2	FC	5	3	M ← M + 1 → D	R	.		
Logical Shift Left	LSL										68	6	2	78	6	3		
	LSLA										48	2	1			
	LSLB										58	2	1			
	LSLD										05	3	1			

46

MC68701

TABLE 10 -- ACCUMULATOR AND MEMORY INSTRUCTIONS (Sheet 2 of 2)

Accumulator and Memory Operations	MNE	Immed		Direct		Index		Extend		Inher		Boolean Expression	Condition Codes									
		Op	#	Op	#	Op	#	Op	#	Op	#		H	I	N	Z	V	C				
Shift Right, Logical	LSR					64	6	2	74	6	3			●	●	R						
	LSRA										44	2	1		●	●	R					
	LSRB										54	2	1		●	●	R					
	LSRD										04	3	1		●	●	R					
Multiply	MUL										30	10	1	A · B → D	●	●	●	●	●	●		
2's Complement (Negate)	NEG					60	6	2	70	6	3		00 · M → M	●	●							
	NEGA										40	2	1	00 · A → A	●	●						
	NEGB										50	2	1	00 · B → B	●	●						
No Operation	NOP										01	2	1	PC · 1 → PC	●	●	●	●	●	●		
Inclusive OR	ORAA	8A	2	2	9A	3	2	AA	4	2	BA	4	3	A · M → A	●	●				R	●	
	ORAB	CA	2	2	DA	3	2	EA	4	2	FA	4	3	B · M → B	●	●				R	●	
Push Data	PSHA										36	3	1	A → Stack	●	●	●	●	●	●		
	PSHB										37	3	1	B → Stack	●	●	●	●	●	●		
Pull Data	PULA										32	4	1	Stack → A	●	●	●	●	●	●		
	PULB										33	4	1	Stack → B	●	●	●	●	●	●		
Rotate Left	ROL					69	6	2	79	6	3			●	●							
	ROLA										49	2	1		●	●						
	ROLB										59	2	1		●	●						
Rotate Right	ROR					66	6	2	76	6	3			●	●							
	RORA										46	2	1		●	●						
	RORB										56	2	1		●	●						
Subtract Acmitr	SBA										10	2	1	A · B → A	●	●						
Subtract with Carry	SBCA	82	2	2	92	3	2	A2	4	2	B2	4	3	A · M · C → A	●	●						
	SBCB	C2	2	2	D2	3	2	E2	4	2	F2	4	3	B · M · C → B	●	●						
Store Acmitr	STAA					97	3	2	A7	4	2	B7	4	3	A → M	●	●				R	●
	STAB					D7	3	2	E7	4	2	F7	4	3	B → M	●	●				R	●
	STD					00	4	2	E0	5	2	F0	5	3	D → MM · 1	●	●				R	●
Subtract	SUBA	80	2	2	90	3	2	A0	4	2	B0	4	3	A · M → A	●	●						
	SUBB	C0	2	2	D0	3	2	E0	4	2	F0	4	3	B · M → B	●	●						
Subtract Double	SUBD	83	4	3	93	5	2	A3	6	2	B3	6	3	D · MM · 1 → D	●	●						
Transfer Acmitr	TAB										16	2	1	A → B	●	●					R	●
	TBA										17	2	1	B → A	●	●					R	●
Test, Zero or Minus	TST					6D	6	2	7D	6	3		M · 00	●	●					R	R	
	TSTA										4D	2	1	A · 00	●	●					R	R
	TSTB										5D	2	1	B · 00	●	●					R	R

The condition code register notes are listed after Table 12

47

TABLE 11 - JUMP AND BRANCH INSTRUCTIONS

Operations	MNEM	Direct		Relative		Index		Extend		Inherent		Branch Test	Condition Code Reg.					
		Op	#	Op	#	Op	#	Op	#	Op	#		S	4	3	2	1	0
Branch Always	BRA			20	3 2							None	*	*	*	*	*	*
Branch Never	BRN			21	3 2							None	*	*	*	*	*	*
Branch If Carry Clear	BCC			24	3 2							C=0	*	*	*	*	*	*
Branch If Carry Set	BCS			25	3 2							C=1	*	*	*	*	*	*
Branch If = Zero	BEQ			27	3 2							Z=1	*	*	*	*	*	*
Branch If ≠ Zero	BGE			2C	3 2							N ⊕ V=0	*	*	*	*	*	*
Branch If > Zero	BGT			2E	3 2							Z + IN ⊕ V1=0	*	*	*	*	*	*
Branch If Higher	BHI			22	3 2							C + Z=0	*	*	*	*	*	*
Branch If Higher or Same	BHS			24	3 2							C=0	*	*	*	*	*	*
Branch If ≤ Zero	BLE			2F	3 2							Z + IN ⊕ V1=1	*	*	*	*	*	*
Branch If Carry Set	BLO			25	3 2							C=1	*	*	*	*	*	*
Branch If Lower Or Same	BLS			23	3 2							C + Z=1	*	*	*	*	*	*
Branch If < Zero	BLT			2D	3 2							N ⊕ V=1	*	*	*	*	*	*
Branch If Minus	BMI			28	3 2							N=1	*	*	*	*	*	*
Branch If Not Equal Zero	BNE			26	3 2							Z=0	*	*	*	*	*	*
Branch If Overflow Clear	BVC			28	3 2							V=0	*	*	*	*	*	*
Branch If Overflow Set	BVS			29	3 2							V=1	*	*	*	*	*	*
Branch If Plus	BPL			2A	3 2							N=0	*	*	*	*	*	*
Branch To Subroutine	BSR			8D	6 2								*	*	*	*	*	*
Jump	JMP					6E	3 2	7E	3 3			See Special Operations Figure 24	*	*	*	*	*	*
Jump To Subroutine	JSR	9D	5 2			AD	6 2	BD	6 3				*	*	*	*	*	*
No Operation	NOP									01	2 1		*	*	*	*	*	*
Return From Interrupt	RTI									3B	10 1		!	!	!	!	!	!
Return From Subroutine	RTS									39	5 1		*	*	*	*	*	*
Software Interrupt	SWI									3F	12 1		*	S	*	*	*	*
Wait For Interrupt	WAI									3E	9 1		*	*	*	*	*	*

TABLE 12 - CONDITION CODE REGISTER MANIPULATION INSTRUCTIONS

Operations	MNEM	Op	#	Boolean Operation	Condition Code Register					
					S	4	3	2	1	0
Clear Carry	CLC	0C	2 1	0 ← C	*	*	*	*	*	R
Clear Interrupt Mask	CLI	0E	2 1	0 ← I	*	R	*	*	*	*
Clear Overflow	CLV	0A	2 1	0 ← V	*	*	*	*	R	*
Set Carry	SEC	0D	2 1	1 ← C	*	*	*	*	*	S
Set Interrupt Mask	SEI	0F	2 1	1 ← I	*	S	*	*	*	*
Set Overflow	SEV	0B	2 1	1 ← V	*	*	*	*	S	*
Accumulator A ← CCR	TAP	06	2 1	A ← CCR	!	!	!	!	!	!
CCR ← Accumulator A	TPA	07	2 1	CCR ← A	*	*	*	*	*	*

LEGEND

- Op Operation Code (Hexadecimal)
- # Number of MPU Cycles
- MSP Contents of memory location pointed to by Stack Pointer
- # Number of Program Bytes
- + Arithmetic Plus
- Arithmetic Minus
- Boolean AND
- X Arithmetic Multiply
- + Boolean Inclusive OR
- Boolean Exclusive OR
- M Complement of M
- Transfer Into
- 0 Bit = Zero
- 00 Byte = Zero

CONDITION CODE SYMBOLS

- H Half-carry from bit 3
- I Interrupt mask
- N Negative (sign) bit
- Z Zero (byte)
- V Overflow, 2's complement
- C Carry/Borrow from MSB
- R Reset Always
- S Set Always
- ! Affected
- * Not Affected



4/8

TABLE 13 - INSTRUCTION EXECUTION TIMES IN E CYCLES

	ADDRESSING MODE					
	Immediate	Direct	Extended	Indexed	Inherent	Relative
ABA	•	•	•	•	2	•
ABX	•	•	•	•	3	•
ADC	2	3	4	4	•	•
ADD	2	3	4	4	•	•
ADDD	4	5	6	6	•	•
AND	2	3	4	4	•	•
ASL	•	•	6	6	2	•
ASLD	•	•	•	•	3	•
ASR	•	•	6	6	2	•
BCC	•	•	•	•	•	3
BCS	•	•	•	•	•	3
BEO	•	•	•	•	•	3
BGE	•	•	•	•	•	3
BGT	•	•	•	•	•	3
BHI	•	•	•	•	•	3
BHS	•	•	•	•	•	3
BIT	2	3	4	4	•	•
BLE	•	•	•	•	•	3
BLO	•	•	•	•	•	3
BLS	•	•	•	•	•	3
BLT	•	•	•	•	•	3
BMI	•	•	•	•	•	3
BNE	•	•	•	•	•	3
BPL	•	•	•	•	•	3
BRA	•	•	•	•	•	3
BRN	•	•	•	•	•	3
BSR	•	•	•	•	•	6
BVC	•	•	•	•	•	3
BVS	•	•	•	•	•	3
CBA	•	•	•	•	2	•
CLC	•	•	•	•	2	•
CLI	•	•	•	•	2	•
CLR	•	•	6	6	2	•
CLV	•	•	•	•	2	•
CMP	2	3	4	4	•	•
COM	•	•	6	6	2	•
CPX	4	5	6	6	•	•
DAA	•	•	•	•	2	•
DEC	•	•	6	6	2	•
DES	•	•	•	•	3	•
DEX	•	•	•	•	3	•
EOR	2	3	4	4	•	•
INC	•	•	6	6	•	•
INS	•	•	•	•	3	•

	ADDRESSING MODE					
	Immediate	Direct	Extended	Indexed	Inherent	Relative
INX	•	•	•	•	3	•
JMP	•	•	3	3	•	•
JSR	•	5	6	6	•	•
LDA	2	3	4	4	•	•
LDD	3	4	5	5	•	•
LDS	3	4	5	5	•	•
LDX	3	4	5	5	•	•
LSL	•	•	6	6	2	•
LSLD	•	•	•	•	3	•
LSR	•	•	6	6	2	•
LSRD	•	•	•	•	3	•
MUL	•	•	•	•	10	•
NEG	•	•	6	6	2	•
NOP	•	•	•	•	2	•
ORA	2	3	4	4	•	•
PSH	•	•	•	•	3	•
PSHX	•	•	•	•	4	•
PUL	•	•	•	•	4	•
PULX	•	•	•	•	5	•
ROL	•	•	6	6	2	•
ROR	•	•	6	6	2	•
RTI	•	•	•	•	10	•
RTS	•	•	•	•	5	•
SBA	•	•	•	•	2	•
SBC	2	3	4	4	•	•
SEC	•	•	•	•	2	•
SEI	•	•	•	•	2	•
SEV	•	•	•	•	2	•
STA	•	3	4	4	•	•
STD	•	4	5	5	•	•
STS	•	4	5	5	•	•
STX	•	4	5	5	•	•
SUB	2	3	4	4	•	•
SUBD	4	5	6	6	•	•
SWI	•	•	•	•	12	•
TAB	•	•	•	•	2	•
TAP	•	•	•	•	2	•
TBA	•	•	•	•	2	•
TPA	•	•	•	•	2	•
TST	•	•	6	6	2	•
TSX	•	•	•	•	3	•
TXS	•	•	•	•	3	•
WAI	•	•	•	•	9	•

3

49

SUMMARY OF CYCLE-BY-CYCLE OPERATION

Table 14 provides a detailed description of the information present on the Address Bus, Data Bus, and the Read/Write (R/W) line during each cycle of each instruction.

The information is useful in comparing actual with expected results during debug of both software and hardware as the program is executed. The information is categorized in groups according to addressing mode and number of cycles

per instruction. In general, instructions with the same addressing mode and number of cycles execute in the same manner. Exceptions are indicated in the table.

Note that during MPU reads of internal locations, the resultant value will not appear on the external Data Bus except in Mode 0. "High order" byte refers to the most significant byte of a 16-bit value.

TABLE 14 - CYCLE-BY-CYCLE OPERATION (Sheet 1 of 5)

Address Mode and Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
IMMEDIATE					
ADC EOR	2	1	Opcode Address	1	Opcode
ADD LDA		2	Opcode Address + 1	1	Operand Data
AND ORA					
BIT SBC					
CMP SUB					
LDS	3	1	Opcode Address	1	Opcode
LDX		2	Opcode Address + 1	1	Operand Data (High Order Byte)
LDD		3	Opcode Address + 2	1	Operand Data (Low Order Byte)
CPX	4	1	Opcode Address	1	Opcode
SUBD		2	Opcode Address + 1	1	Operand Data (High Order Byte)
ADD		3	Opcode Address + 2	1	Operand Data (Low Order Byte)
		4	Address Bus FFFF	1	Low Byte of Restart Vector
DIRECT					
ADC EOR	3	1	Opcode Address	1	Opcode
ADD LDA		2	Opcode Address + 1	1	Address of Operand
AND ORA		3	Address of Operand	1	Operand Data
BIT SBC					
CMP SUB					
STA	3	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Destination Address
		3	Destination Address	0	Data from Accumulator
LDS	4	1	Opcode Address	1	Opcode
LDX		2	Opcode Address + 1	1	Address of Operand
LDD		3	Address of Operand	1	Operand Data (High Order Byte)
		4	Operand Address + 1	1	Operand Data (Low Order Byte)
STS	4	1	Opcode Address	1	Opcode
STX		2	Opcode Address + 1	1	Address of Operand
STD		3	Address of Operand	0	Register Data (High Order Byte)
		4	Address of Operand - 1	0	Register Data (Low Order Byte)
CPX	5	1	Opcode Address	1	Opcode
SUBD		2	Opcode Address + 1	1	Address of Operand
ADD		3	Operand Address	1	Operand Data (High Order Byte)
		4	Operand Address + 1	1	Operand Data (Low Order Byte)
		5	Address Bus FFFF	1	Low Byte of Restart Vector
JSR	5	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Irrelevant Data
		3	Subroutine Address	1	First Subroutine Opcode
		4	Stack Pointer	0	Return Address (Low Order Byte)
		5	Stack Pointer - 1	0	Return Address (High Order Byte)

3

50

MC68701

TABLE 14 — CYCLE-BY-CYCLE OPERATION (Sheet 2 of 5)

Address Mode and Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
EXTENDED					
JMP	3	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Jump Address (High Order Byte)
		3	Opcode Address + 2	1	Jump Address (Low Order Byte)
ADC EOR	4	1	Opcode Address	1	Opcode
ADD LDA		2	Opcode Address + 1	1	Address of Operand
AND ORA		3	Opcode Address + 2	1	Address of Operand (Low Order Byte)
BIT SBC		4	Address of Operand	1	Operand Data
CMP SUB	4	1	Opcode Address	1	Opcode
STA		2	Opcode Address + 1	1	Destination Address (High Order Byte)
		3	Opcode Address + 2	1	Destination Address (Low Order Byte)
		4	Operand Destination Address	0	Data from Accumulator
LDS	5	1	Opcode Address	1	Opcode
LDX		2	Opcode Address + 1	1	Address of Operand (High Order Byte)
LDD		3	Opcode Address + 2	1	Address of Operand (Low Order Byte)
		4	Address of Operand	1	Operand Data (High Order Byte)
		5	Address of Operand + 1	1	Operand Data (Low Order Byte)
STS	5	1	Opcode Address	1	Opcode
STX		2	Opcode Address + 1	1	Address of Operand (High Order Byte)
STD		3	Opcode Address + 2	1	Address of Operand (Low Order Byte)
		4	Address of Operand	0	Operand Data (High Order Byte)
		5	Address of Operand + 1	0	Operand Data (Low Order Byte)
ASL LSR	6	1	Opcode Address	1	Opcode
ASR NEG		2	Opcode Address + 1	1	Address of Operand (High Order Byte)
CLR ROL		3	Opcode Address + 2	1	Address of Operand (Low Order Byte)
COM ROR		4	Address of Operand	1	Current Operand Data
DEC TST*		5	Address Bus FFFF	1	Low Byte of Restart Vector
INC		6	Address of Operand	0	New Operand Data
CPX	6	1	Opcode Address	1	Opcode
SUBD		2	Opcode Address + 1	1	Operand Address (High Order Byte)
ADD		3	Opcode Address + 2	1	Operand Address (Low Order Byte)
		4	Operand Address	1	Operand Data (High Order Byte)
		5	Operand Address + 1	1	Operand Data (Low Order Byte)
		6	Address Bus FFFF	1	Low Byte of Restart Vector
JSR	6	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Address of Subroutine (High Order Byte)
		3	Opcode Address + 2	1	Address of Subroutine (Low Order Byte)
		4	Subroutine Starting Address	1	Opcode of Next Instruction
		5	Stack Pointer	0	Return Address (Low Order Byte)
		6	Stack Pointer - 1	0	Return Address (High Order Byte)

* TST does not perform the write cycle during the sixth cycle. The sixth cycle is another address bus = \$FFFF.

51

MC68701

TABLE 14 — CYCLE-BY-CYCLE OPERATION (Sheet 3 of 5)

Address Mode and Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
INDEXED					
JMP	3	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
ADC ADD AND BIT CMP	4	1	Opcode Address	1	Opcode
EOR LDA ORA		2	Opcode Address + 1	1	Offset
SBC		3	Address Bus FFFF	1	Low Byte of Restart Vector
SUB		4	Index Register Plus Offset	1	Operand Data
STA	4	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	0	Operand Data
LDS LDX LDD	5	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	1	Operand Data (High Order Byte)
		5	Index Register Plus Offset + 1	1	Operand Data (Low Order Byte)
STS STX STD	5	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	0	Operand Data (High Order Byte)
		5	Index Register Plus Offset + 1	0	Operand Data (Low Order Byte)
ASL ASR CLR COM DEC INC	6	1	Opcode Address	1	Opcode
LSR NEG ROL		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
ROR TST*		4	Index Register Plus Offset	1	Current Operand Data
		5	Address Bus FFFF	1	Low Byte of Restart Vector
		6	Index Register Plus Offset	0	New Operand Data
CPX SUBD ADD	6	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register + Offset	1	Operand Data (High Order Byte)
		5	Index Register + Offset + 1	1	Operand Data (Low Order Byte)
		6	Address Bus FFFF	1	Low Byte of Restart Vector
JSR	6	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register + Offset	1	First Subroutine Opcode
		5	Stack Pointer	0	Return Address (Low Order Byte)
		6	Stack Pointer - 1	0	Return Address (High Order Byte)

*TST does not perform the write cycle during the sixth cycle. The sixth cycle is another address bus = \$FFFF.

MC68701

TABLE 14 - CYCLE-BY-CYCLE OPERATION (Sheet 4 of 5)

Address Mode and Instructions			Cycles	Cycle #	Address Bus	R/W Line	Data Bus
INHERENT							
ABA	DAA	SEC	2	1	Opcode Address	1	Opcode
ASL	DEC	SEI		2	Opcode Address + 1	1	Opcode of Next Instruction
ASR	INC	SEV					
CBA	LSR	TAB					
CLC	NEG	TAP					
CLI	NOP	TBA					
CLR	ROL	TPA					
CLV	ROR	TST					
COM	SBA						
ABX			3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Irrelevant Data
				3	Address Bus FFFF	1	Low Byte of Restart Vector
ASLD	LSRD		3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Irrelevant Data
				3	Address Bus FFFF	1	Low Byte of Restart Vector
DES	INS		3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Previous Stack Pointer Contents	1	Irrelevant Data
INX	DEX		3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Address Bus FFFF	1	Low Byte of Restart Vector
PSHA	PSHB		3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Stack Pointer	0	Accumulator Data
TSX			3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Stack Pointer	1	Irrelevant Data
TXS			3	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Address Bus FFFF	1	Low Byte of Restart Vector
PULA	PULB		4	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Stack Pointer	1	Irrelevant Data
				4	Stack Pointer + 1	1	Operand Data from Stack
PSHX			4	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Irrelevant Data
				3	Stack Pointer	0	Index Register (Low Order Byte)
				4	Stack Pointer - 1	0	Index Register (High Order Byte)
PULX			5	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Irrelevant Data
				3	Stack Pointer	1	Irrelevant Data
				4	Stack Pointer + 1	1	Index Register (High Order Byte)
				5	Stack Pointer + 2	1	Index Register (Low Order Byte)
RTS			5	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Irrelevant Data
				3	Stack Pointer	1	Irrelevant Data
				4	Stack Pointer + 1	1	Address of Next Instruction (High Order Byte)
				5	Stack Pointer + 2	1	Address of Next Instruction (Low Order Byte)
WAI			9	1	Opcode Address	1	Opcode
				2	Opcode Address + 1	1	Opcode of Next Instruction
				3	Stack Pointer	0	Return Address (Low Order Byte)
				4	Stack Pointer - 1	0	Return Address (High Order Byte)
				5	Stack Pointer - 2	0	Index Register (Low Order Byte)
				6	Stack Pointer - 3	0	Index Register (High Order Byte)
				7	Stack Pointer - 4	0	Contents of Accumulator A
				8	Stack Pointer - 5	0	Contents of Accumulator B
				9	Stack Pointer - 6	0	Contents of Condition Code Register

3

53

MC68701

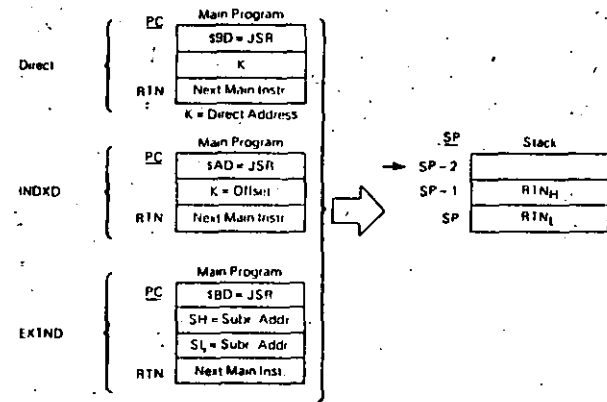
TABLE 14 — CYCLE-BY-CYCLE OPERATION (Sheet 5 of 5)

Address Mode and Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
INHERENT					
MUL	10	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Irrelevant Data
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Address Bus FFFF	1	Low Byte of Restart Vector
		5	Address Bus FFFF	1	Low Byte of Restart Vector
		6	Address Bus FFFF	1	Low Byte of Restart Vector
		7	Address Bus FFFF	1	Low Byte of Restart Vector
		8	Address Bus FFFF	1	Low Byte of Restart Vector
		9	Address Bus FFFF	1	Low Byte of Restart Vector
		10	Address Bus FFFF	1	Low Byte of Restart Vector
RTI	10	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Irrelevant Data
		3	Stack Pointer	1	Irrelevant Data
		4	Stack Pointer + 1	1	Contents of Condition Code Register from Stack
		5	Stack Pointer + 2	1	Contents of Accumulator B from Stack
		6	Stack Pointer + 3	1	Contents of Accumulator A from Stack
		7	Stack Pointer + 4	1	Index Register from Stack (High Order Byte)
		8	Stack Pointer + 5	1	Index Register from Stack (Low Order Byte)
		9	Stack Pointer + 6	1	Next Instruction Address from Stack (High Order Byte)
		10	Stack Pointer + 7	1	Next Instruction Address from Stack (Low Order Byte)
SWI	12	1	Opcode Address	1	Opcode
		2	Opcode Address + 1	1	Irrelevant Data
		3	Stack Pointer	0	Return Address (Low Order Byte)
		4	Stack Pointer - 1	0	Return Address (High Order Byte)
		5	Stack Pointer - 2	0	Index Register (Low Order Byte)
		6	Stack Pointer - 3	0	Index Register (High Order Byte)
		7	Stack Pointer - 4	0	Contents of Accumulator A
		8	Stack Pointer - 5	0	Contents of Accumulator B
		9	Stack Pointer - 6	0	Contents of Condition Code Register
		10	Stack Pointer - 7	1	Irrelevant Data
		11	Vector Address FFFA (Hex)	1	Address of Subroutine (High Order Byte)
		12	Vector Address FFFB (Hex)	1	Address of Subroutine (Low Order Byte)
RELATIVE					
BCC BHT BNE BLO BCS BLE BPL BHS BEQ BLS BRA BRN BGE BLT BVC BGT BMT BVS	3	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Branch Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
BSR	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Branch Offset
		3	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Subroutine Starting Address	1	Op Code of Next Instruction
		5	Stack Pointer	0	Return Address (Low Order Byte)
		6	Stack Pointer - 1	0	Return Address (High Order Byte)

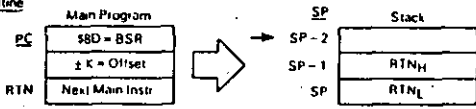
54

FIGURE 24 - SPECIAL OPERATIONS

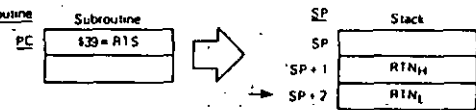
JSR, Jump to Subroutine



BSR, Branch To Subroutine

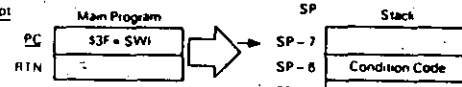


RTS, Return from Subroutine



Legend
 RTN = Address of next instruction in Main Program to be executed upon return from subroutine
 RTN_H = Most significant byte of Return Address
 RTN_L = Least significant byte of Return Address
 → = Stack Pointer After Execution
 K = 8 bit Unsigned Value

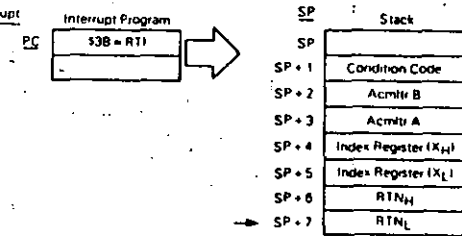
SWI, Software Interrupt



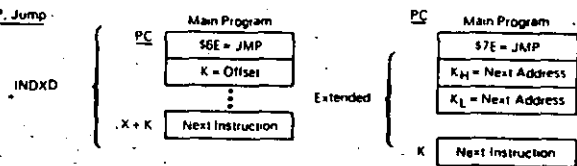
WAI, Wait for Interrupt



RTI, Return from Interrupt



JMP, Jump



3-782

55

MC68701

EPROM PROGRAMMING ROUTINE

PAGE 001 EPROM .SA:1 EPROM *** ROUTINE TO PROGRAM THE MC68701 EPROM ***

```

00001      NAM      EPROM
00002      OPT      Z01, LLEN=80
00003      TTL      *** ROUTINE TO PROGRAM THE MC68701 EPROM **
00004

```

```

00005      *****
00006      *

```

```

00007      * E P R O M -- A NON-REENTRANT ROUTINE TO PROGRAM
00008      * THE MC68701 EPROM.

```

```

00009      *
00010      * THE ROUTINE PROGRAMS THE MC68701 EPROM
00011      * STARTING AT ADDRESS "PNTR" FROM A
00012      * BLOCK OF MEMORY STARTING AT "IMBEG"
00013      * AND ENDING AT "IMEND".
00014      *

```

```

00015      * CALLING CONVENTION:

```

```

00016      *
00017      * JSR EPROM
00018      *

```

```

00019      * NOTES:
00020      *

```

```

00021      * 1. THE ROUTINE EXPECTS FOUR DOUBLE BYTE VALUES
00022      * TO BE INITIALIZED PRIOR TO BEING CALLED.
00023      * THESE VALUES ARE:
00024      *

```

```

00025      * IMBEG - A DOUBLE BYTE ADDRESS WHICH POINTS
00026      * TO THE FIRST BYTE TO BE PROGRAMMED
00027      * INTO THE EPROM.
00028      *

```

```

00029      * IMEND - A DOUBLE BYTE ADDRESS WHICH POINTS
00030      * TO THE LAST BYTE TO BE PROGRAMED IN-
00031      * INTO THE EPROM.
00032      *

```

```

00033      * PNTR - A DOUBLE BYTE ADDRESS WHICH POINTS
00034      * TO THE FIRST BYTE IN THE EPROM TO BE
00035      * PROGRAMMED.
00036      *

```

```

00037      * WAIT - A DOUBLE BYTE COUNTER VALUE WHICH IS
00038      * A FUNCTION OF THE MCU INPUT FREQUEN-
00039      * CY AND IS USED WITH THE OUTPUT COM-
00040      * PARE FUNCTION TO GENERATE A 50 MSEC
00041      * TIMEOUT. IT IS EQUIVALENT TO
00042      *

```

```

00043      * 50000 * (MCU INPUT FREQ) / 4 * 10**6
00044      *

```

```

00045      * VALUES FOR TYPICAL INPUT FREQS ARE:
00046      *

```

WAIT	MCU INPUT FREQ
30615 (\$7797)	2.45 MHZ
50000 (\$C350)	4.00 MHZ
61375 (\$E6BF)	4.91 MHZ

```

00049      *
00050      * 2. IT IS ASSUMED THAT POWER (VPP) IS AVAILABLE
00051      * TO THE RESET PIN FOR PROGRAMMING.
00052      *

```

```

00053      *
00054      * 3. THIS ROUTINE PERFORMS NO ERROR CHECKING.
00055      *

```

```

00056      *
00057      * Routine parameter initialization, such as stack pointer, etc, must be done prior to entry.
00058      * (Use of PRObug will ensure all needed initialization.)

```



56

MC68701

EPROM PROGRAMMING ROUTINE

PAGE 002 EPROM .SA:1 EPROM *** ROUTINE TO PROGRAM THE MC68701 EPROM ***

```

00060
00061          * E Q U A T E S
00062
00063          0008 A TCSR EQU $08    TIMER CONTROL/STAT REGISTER
00064          0009 A TIMER EQU $09   COUNTER REGISTER
00065          000B A OUTCMP EQU $0B   OUTPUT COMPARE REGISTER
00066          0014 A EPMCNT EQU $14   RAM/EPROM CONTROL REGISTER
00067
00068          * L O C A L   V A R I A B L E S
00069
00070A 0080          ORG $80
00071A 0080          0002 A IMBEG RMB 2    START OF MEMORY BLOCK
00072A 0082          0002 A IMEND RMB 2    LAST BYTE OF MEMORY BLOCK
00073A 0084          0002 A PNTR RMB 2    FIRST BYTE OF EPROM TO BE PGM'D
00074A 0086          0002 A WAIT RMB 2    COUNTER VALUE
00075
00076          * E P R O M   S T A R T S   H E R E
00077
00078A 3000          ORG $3000
00079A 3000 DE 84    A EPROM LDX PNTR    SAVE CALLING ARGUMENT
00080A 3002 3C          PSHX          RESTORE WHEN DONE
00081A 3003 DE 80    A          LDX IMBEG    USE STACK
00082
00083A 3005 3C          EPRO02 PSHX          SAVE POINTER ON STACK
00084A 3006 86 FE    A          LDAA #$FE    REMOVE VPP, SET LATCH
00085A 3008 97 14    A          STAA EPMCNT  PPC=1, PLC=0
00086A 300A A6 00    A          LDAA X          MOVE DATA MEMORY-TO-LATCH
00087A 300C DE 84    A          LDX PNTR    GET WHERE TO PUT IT
00088A 300E A7 00    A          STAA X          STASH AND LATCH
00089A 3010 08          INX          NEXT ADDR
00090A 3011 DF 84    A          STX PNTR    ALL SET FOR NEXT
00091A 3013 86 FC    A          LDAA #$FC    ENABLE EPROM POWER (VPP)
00092A 3015 97 14    A          STAA EPMCNT  PPC=0, PLC=0
00093
00094          * NOW WAIT FOR 50 MSEC TIMEOUT USING OUTPUT COMPARE.
00095
00096A 3017 DC 86    A          LDD WAIT    GET CYCLE COUNTER
00097A 3019 D3 09    A          ADDD TIMER  BUMP CURRENT VALUE
00098A 301B 7F 0008 A          CLR TCSR    CLEAR OCF
00099A 301E DD 08    A          STD OUTCMP SET OUTPUT COMPARE
00100A 3020 86 40    A          LDAA #$40   NOW WAIT FOR OCF
00101
00102A 3022 95 08    A EPRO04 BITA TCSR
00103A 3024 27 FC 3022 BEQ EPRO04 NOT YET
00104A 3026 38          PULX          SETUP FOR NEXT ONE
00105A 3027 08          INX          NEXT
00106A 3028 9C 82    A          CPX IMEND   MAYBE DONE
00107A 302A 23 D9 3005 BLS EPRO02 NOT YET
00108A 302C 86 FF    A          LDAA #$FF   REMOVE VPP, INHIBIT LATCH
00109A 302E 97 14    A          STAA EPMCNT EPROM CAN NOW BE READ
00110A 3030 38          PULX          RESTORE PNTR
00111A 3031 DF 84    A          STX PNTR
00112A 3033 39          RTS          THAT'S ALL
00113          END
TOTAL ERRORS 00000--00000

```

3

57



SELF-PROGRAMMING THE MC68701 AND THE MC68701U4

Prepared By:
Patrick Svatek
Microprocessor Applications Engineering Department
Motorola Inc.
Austin, Texas

INTRODUCTION

The MC68701 and MC68701U4 are EPROM versions of the M6801 microcomputer (MCU) Family. The MC68701 on-chip resources include a 2K-byte EPROM, a three-function timer, a serial communication interface (SCI), up to 29 parallel lines, 128 bytes of RAM, and an oscillator. These resources give it extensive power and flexibility for ease of design. The MC68701U4 enhances the capabilities of the MC68701. Improved resources include a 4K-byte EPROM, two input-capture functions, three output-compare functions, a counter alternate address, and 192 bytes of RAM.

The MC68701/U4 MCUs can also program themselves. The MC68701/U4 CPU controls all movement of data into the on-chip EPROM during programming and requires only a few external devices to do the task. This application note explains how the MC68701/U4 MCUs program themselves and describes a fully-tested self programmer (including software and 1:1 artwork). The self-programmer includes a check to determine which of the two devices is being programmed.

ON-CHIP EPROM

A dual-purpose pin, $\overline{\text{RESET}}/V_{pp}$, is used to reset the MCU and to power the on-chip EPROM. This pin is normally at 5.0 volts during non-programming operations and must be raised to V_{pp} (21 V) during programming of the EPROM.

The MCU EPROM is controlled by two bits (PLC and PPC) in the RAM/EPROM control register (see Figure 1).

Bit 0 of the register is called the programming latch control (PLC) and is used to control an address latch used during programming of the EPROM. When PLC is set, the latch is transparent. When PLC is clear, the address latch is enabled and latches each EPROM address asserted by the CPU. PLC should be set during normal nonprogramming MCU operation and should be cleared only to program the EPROM. This bit is set during reset and can be cleared only in mode 0.

Bit 1 of the RAM/EPROM control register is called programming power control (PPC) and is used to gate programming power (V_{pp}) to the EPROM during programming. When PPC is set, V_{pp} is not applied to the EPROM. During normal nonprogramming operation, PPC should be set. The PPC bit should be cleared only to program the EPROM. This bit is set during reset and whenever the PLC bit is set. Bit 1 can be cleared only in mode 0 with the PLC bit clear.

The MC68701/U4 MCUs are programmed in mode 0. In this mode, all the interrupt and reset vectors are located at \$BFF0 — \$BFFF. The on-chip EPROM for the MC68701 and MC68701U4 are located at \$F800 — \$FFFF and \$F000 — \$FFFF, respectively. The reset vectors direct the CPU to a bootstrap program that will fetch data sequentially from external memory or a peripheral controller and program each byte into the MCU EPROM. Once V_{pp} is applied to the $\overline{\text{RESET}}/V_{pp}$ pin, each data byte is programmed as follows:

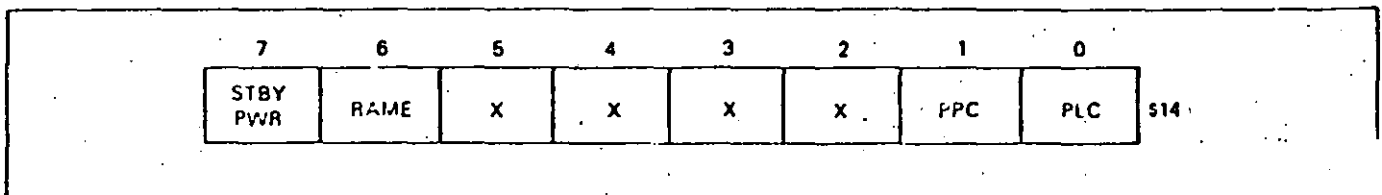


FIGURE 1 — RAM/EPROM Control Register

58

1. Apply programming power ($V_{pp}=21\text{ V}$) to the $\overline{\text{RESET}}/V_{pp}$ pin.
2. Clear the PLC control bit and set the PPC bit by writing 5FE to the RAM/EPROM control register.
3. Write data to the next EPROM location to be programmed. When triggered by a MPU write to the EPROM, internal latches capture both the EPROM address and the data byte.
4. Clear the PPC bit for programming time (t_{pp}) by writing 5FC to the RAM/EPROM control register. This step gates V_{pp} from the $\overline{\text{RESET}}/V_{pp}$ pin to the EPROM.
5. Repeat Steps 1-4 for each byte to be programmed.
6. Set the PLC and PPC bits by writing 5FF to the RAM/EPROM control register.
7. Remove the programming power (V_{pp}) from the $\overline{\text{RESET}}/V_{pp}$ pin. The EPROM can now be read and verified.

A MC68701/U4 SELF-PROGRAMMER

The MC68701/U4 self-programmer (see Figure 2) is designed for simplicity, low cost, and ease of use. The hardware and associated software provide for: (1) determination of which device type is being programmed, (2) verification that the inserted MCU is initially fully erased, (3) the programming of the MCU, and (4) verification of the programmed code.

After applying power, the user just toggles one switch and then monitors three LEDs which indicate MCU EPROM status. The self-programmer will enter either 2K or 4K bytes of the external 8K U4 EPROM into the MCU EPROM depending on which device is being programmed.

A copy of the 1:1 artwork necessary to fabricate a printed circuit board (PCB) for the self-programmer can be found at the end of this application note. In addition, a list of parts necessary to complete the PCB is furnished.

USING THE SELF-PROGRAMMER

To use the self-programmer, one does not need knowledge of the MC68701/U4 operation. However, a little knowledge of electronics is needed to program a device. Five steps are required as follows:

1. Insert the U4 EPROM containing the code to be programmed.
2. Insert the desired MCU (MC68701) or MC68701U4 into its socket.
3. Apply power using switch S1.
4. Set switch S2 to the program position.
5. Monitor the LEDs.

Shortly after switch S2 is set to the program position, LED #1 (ERASE) should light indicating that the MCU EPROM is fully erased. At this point, the self-programmer has determined which of the two devices will be programmed. Within a few seconds, LED #1 will turn off and MCU EPROM programming will begin.

Approximately 105 (MC68701) or 210 (MC68701U4) seconds later, either (1) LED #2 (PASS) should light indicating that the MC68701/U4 is programmed and its contents have been verified or (2) LED #3 (FAIL) will light indicating that the MCU EPROM has failed verification after programming. At this time, switch S2 should be toggled to the $\overline{\text{RESET}}$ position and the power removed (S1). Another MCU may now be programmed.

If LED #1 (ERASE) and LED #3 (FAIL) both light, then the MCU is not fully erased. The self-programmer will make no further attempt to check for full erasure of the MCU.

The LEDs are color-coded to provide readily recognized pass and fail indications. LED #1 (ERASE) is amber, LED #2 (PASS) is green, and LED #3 (FAIL) is red. Zero insertion force sockets should be used for the MCU and the program U4 EPROM to simplify the use of the self-programmer.

CIRCUIT DESCRIPTION

The self-programmer consists of two MCM68766 EPROMs, a SN74LS373 transparent latch, a SN74LS138 1-of-8 decoder, a MCU socket, and associated parts as shown in Figure 2.

A 4-MHz crystal is used to obtain a 1-MHz clock operation. If another clock frequency is used, a change in the bootstrap software (MINPRGU4) will be required to ensure at least 50 milliseconds of programming time for each byte entered into the MCU EPROM. Byte programming time is governed by WAIT in MINPRGU4 and is indirectly related to the MCU clock frequency. An increase in the MCU clock frequency requires a proportional increase in the value of WAIT. A decrease in clock frequency should, likewise, be reflected in the value of WAIT.

The MCU can be optionally driven by an external TTL clock at pin 3 (with pin 2 grounded). If this option is used, the capacitors shown connected to pins 2 and 3 are not required.

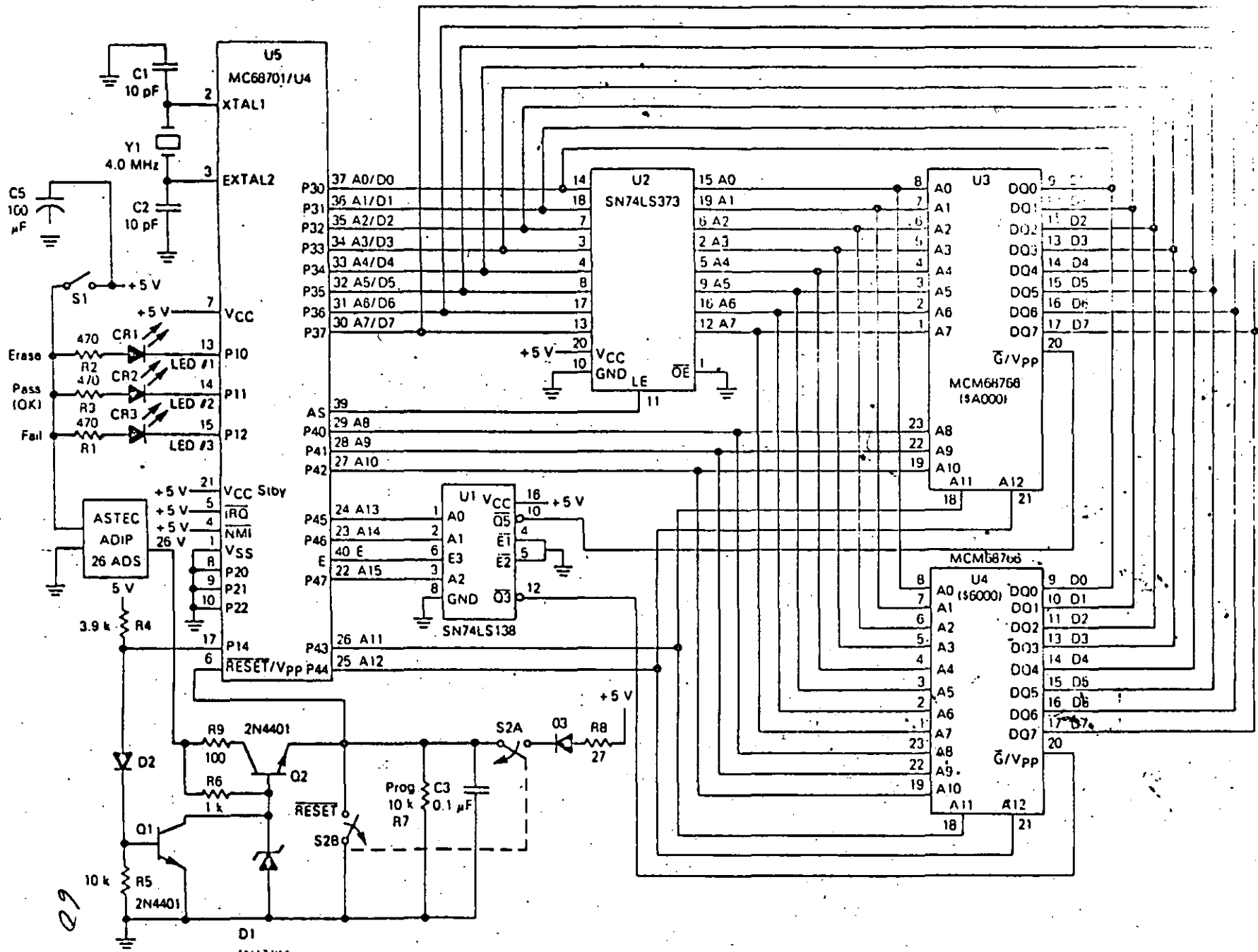
Pins 8, 9, and 10 are connected to ground to place the MCU in mode 0 (programming mode) on the rising edge of $\overline{\text{RESET}}$. The IRQ and NMI pins are connected as logic high to eliminate external interrupts.

The $\overline{\text{RESET}}/V_{pp}$ pin is driven by a circuit that provides three voltage levels to this pin. Before applying power with switch S1, the user should place switch S2 in the $\overline{\text{RESET}}$ position. This action forces the $\overline{\text{RESET}}/V_{pp}$ pin low. The second voltage level, established by toggling switch S2 to the PROG position, brings the MCU out of a $\overline{\text{RESET}}$ condition. The mode of operation (mode 0) is established during the rising edge of $\overline{\text{RESET}}$. The MCU fetches the RESTART vector now located at 5BFFE — 5BFFF and executes the bootstrap program.

During programming, 21 volts is applied to the $\overline{\text{RESET}}/V_{pp}$ pin by the transistor pair, Q1 and Q2. Initially, transistor Q1 is on and transistor Q2 is off. Port pin P14 (pin 17) is set low forcing Q1 to turn off. With Q1 off, a Zener voltage of 22 volts is established at the base of Q2 forcing Q2 to conduct and reference the Q2 emitter and the $\overline{\text{RESET}}/V_{pp}$ pin to approximately 21.3 volts.

A SN74LS373 latch is used to demultiplex port 3 which is used both as a lower address port (A0-A7) and as a data port. An address strobe from the MCU is connected to LE of the SN74LS373 to latch the lower addresses at the proper time during each bus cycle. Once the addresses are latched, the port is used to data transfer.

A SN74LS373 1-of-8 decoder is used to address decoding of two external 8K EPROMs. The external EPROM containing the user program is decoded at 56000 — 57FFF while the bootstrap program is decoded at 5A000 — 5BFFF. The SN74LS138 decoder is gated with the MCU E clock to ensure that the EPROM drivers are in a high impedance during E clock low cycle time thus eliminating contention on the lower multiplexed address/data bus.



INJ7-41A or IN5251 (24 volt 22V_a 100Vt) **FIGURE 2 - Self-Programmer Schematic Diagram**

MEMORY MAP

The self-programmer memory map consists of five address spaces and is shown in Figure 3. Four of the address spaces are fixed by the MCU during programming and cannot be relocated. These spaces consist of a MCU internal register area (\$0000 — \$001F) and MCU external interrupt vectors (\$BFF0 — \$BFFF). The other two areas are device dependent and are listed below:

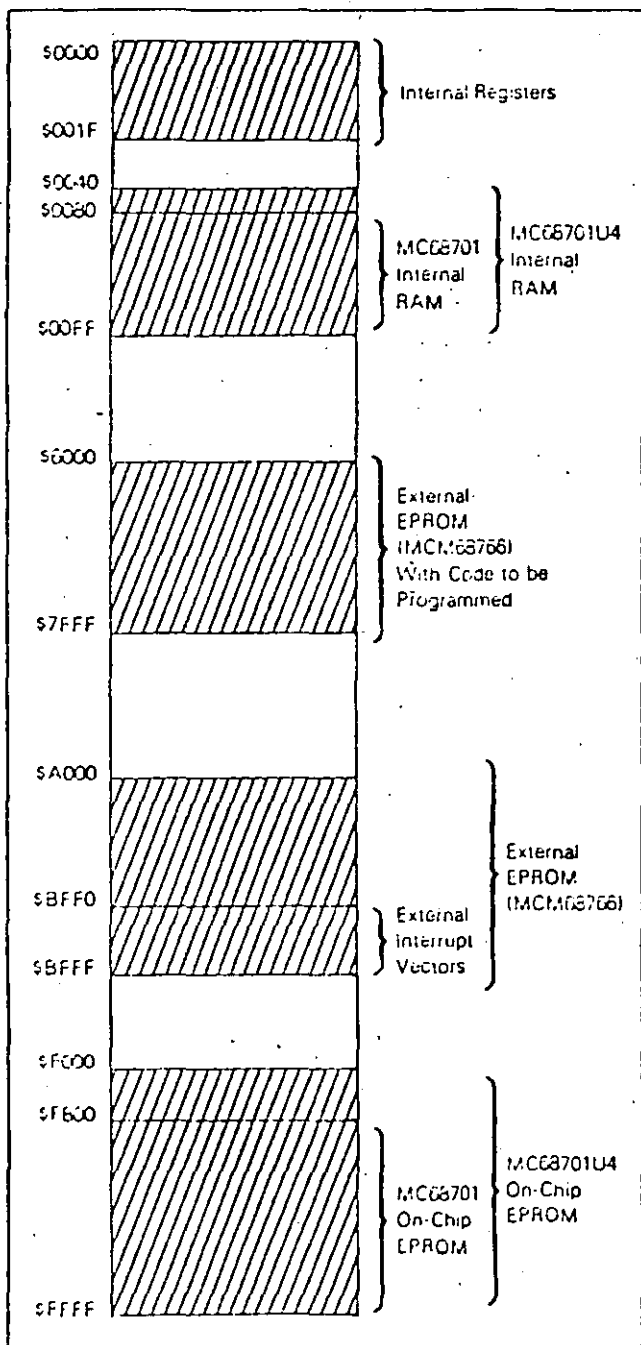


FIGURE 3 — Self-Programmer Memory Map

Function	MC68701	MC68701U4
MCU Internal RAM	\$0080 — \$00FF	\$0040 — \$00FF
MCU Internal EPROM	\$F800 — \$FFFF	\$F000 — \$FFFF

The fifth address space is used for an MCM68766 8K EPROM which contains the code to be entered into the MCU on-chip EPROM. This MCM68766 EPROM has been arbitrarily located at \$6000 — \$7FFF and can be relocated for a custom programmer design. Since the MCM68766 is a 8K EPROM, the user will have to locate this program in the upper 2K bytes (\$7800 — \$7FFF) or upper 4K (\$7000 — \$7FFF) for programming a MC68701 or a MC68701U4, respectively.

The user should map MINPRGU4 at address \$1800 — \$1FFF within U3 EPROM. The MCU program should reside at \$1800 — \$1FFF (MC68701) and \$1000 — \$1FFF (MC68701U4) within U4 EPROM for correct correspondence with the memory maps.

PROGRAM DESCRIPTION

The self-programmer uses a bootstrap program, MINPRGU4, to control programming of the MCU EPROM. The program performs the following functions:

1. Initializes the MCU.
2. Determines whether a MC68701 or MC68701U4 MCU is being programmed.
3. Checks that the EPROM is fully erased.
4. Programs the EPROM.
5. Verifies the program.

The MINPRGU4 bootstrap program also controls the state of the three LEDs that indicate the programming status of the MCU. A detailed flowchart of MINPRGU4 is shown in Figure 4. A complete listing is presented at the back of this application note.

PROGRAM MODIFICATIONS AND CONSIDERATIONS

Additions or modifications to MINPRGU4 can be made by inserting routines between the basic blocks shown on the flowchart in Figure 4. For convenience, the start and stop addresses of each block are located directly to the left of each block (see Figure 4).

Parameters IMBEG, IMEND, PNTR, and WAIT (stored in RAM locations \$80 — \$87) determine the size of the data block to be programmed into the MCU, the first MCU EPROM location to be programmed, and the time period that V_{pp} will be applied to the EPROM. These parameters can be changed to allow programming of selected EPROM locations and to allow changes in the MCU operating frequency. These parameters, once selected, should remain constant during programming.

One modification to MINPRGU4 can be verification of the MCU EPROM if the EPROM is not fully erased. This is an alternative to lighting LEDs #1 and #3 and waiting. This modification allows verification of MCUs that have been previously programmed and used.

1061

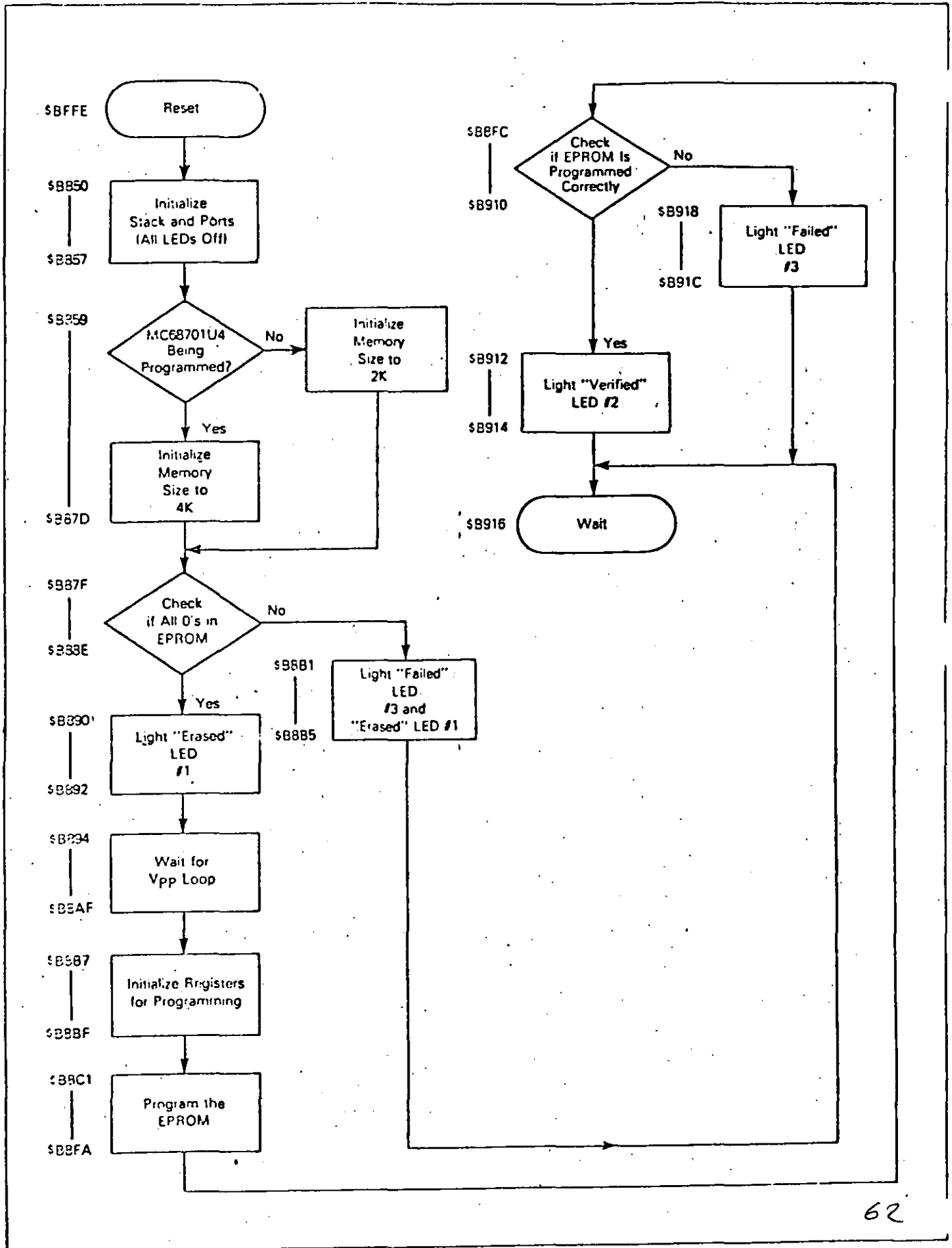


FIGURE 4 - Flow Chart for MINPRG4

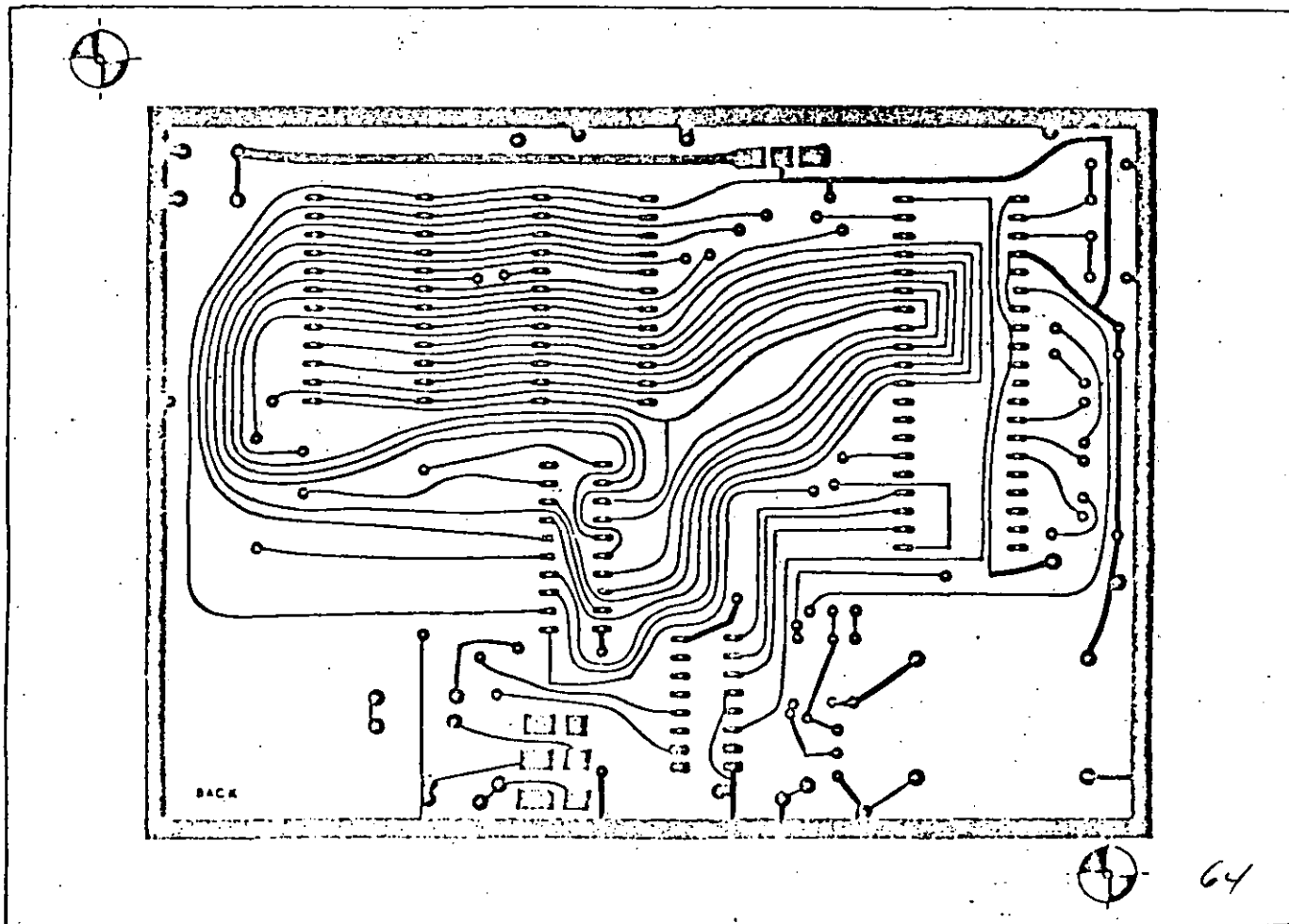
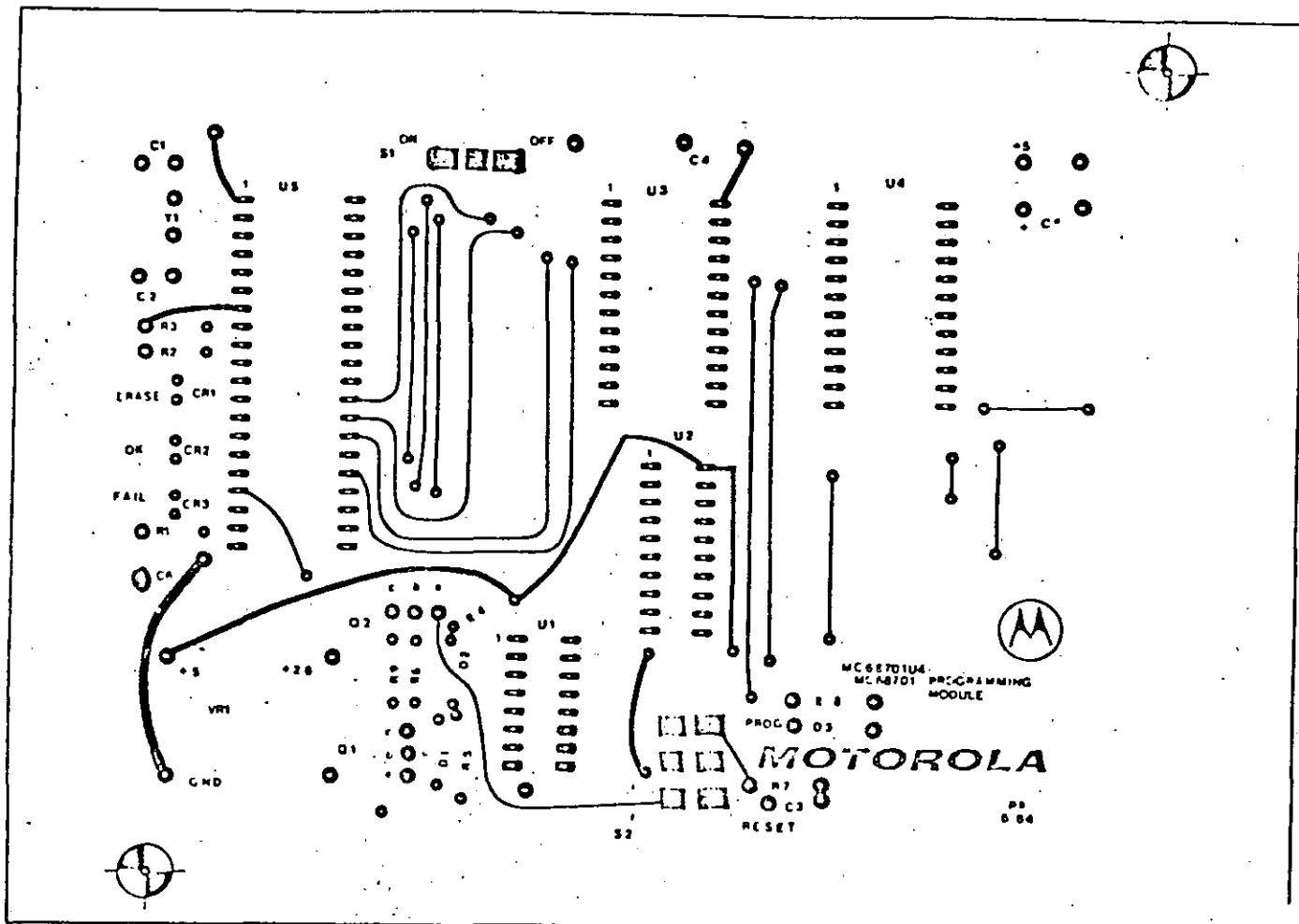
APPENDIX A

This appendix provides a copy of the 1:1 artwork necessary to fabricate a printed circuit board (PCB) for the self-programmer. In addition, a parts list is furnished to allow the user to complete the PCB.

NOTE

Permission is hereby granted by Motorola, Inc., Microprocessor Products Division, in Austin, Texas for use of this artwork.

Qty.	Reference Design	Value/Description
Resistors (1/4 Watt)		
3	R1-R3	470 ohms
1	R4	3.9 kilohms
2	R5, R7	10 kilohms
1	R6	1.0 kilohms
1	R8	27 ohms (1/2 watt)
1	R9	100 ohms
Diodes/Transistors		
2	Q-Q2	2N4401 transistor (NPN)
1	D1	1N4748A or 1N5251 Zener (22 V \pm 5%)
2	D2, D3	Silicon (1N3064, 1N4148, etc.)
3	CR1-CR3	LED
Switches		
1	S1	SPDT American ST1-1 or C & K 7101
1	S2	DPDT C & K 7201
Capacitors		
2	C1, C2	10 pF
1	C3	0.1 μ F
2	C4, C5	100 μ F, 35 V
Motorola ICs		
1	U1	SN74LS138 Decoder
1	U2	SN74LS373 Latch
2	U3, U4	MC68766 8K \times 8 EPROM
1	U5	MC68701 or MC68701U4 MCU
Miscellaneous		
1	Y1	4.0 MHz Crystal (NYMPH)
1	—	ASTECC ADIP 26ADS (26 V)



64

```

00001      *
00002      *
00003      OPT      Z01,LLE=96
00004      *
00005      *
00006      *
00007      *
00008      *
00009      *
00010      *
00011      *
00012      *
00013      0000  A P1DDR EQU   $00      PORT 1 DATA DIR. REGISTER
00014      0002  A P1DR  EQU   $02      PORT 1 DATA REGISTER
00015      0008  A TCSR  EQU   $08      TIMER CONTROL/STAT REGISTER
00016      0009  A TIMER EQU   $09      COUNTER REGISTER
00017      000B  A OUTCMP EQU  $0B      OUTPUT COMPARE REGISTER
00018      0014  A EPMCNT EQU  $14      RAM/EROM CONTROL REGISTER
00019      0018  A TCR2  EQU   $18      TIMER/CONTROL REG. 2
00020      *
00021      *
00022      *
00023A 0080      *
00024A 0080      *
00025A 0082      *
00026A 0084      *
00027A 0086      *
00028      *
00029A B850      *
00030A B850 8E 00FF A START LDS  #$FF      INITIALIZE STACK
00031A B853 86 17  A      LDAA  #$17      INIT. PORT 1
00032A B855 97 00  A      STAA  P1DDR     DDR
00033A B857 97 02  A      STAA  P1DR      DATA REGISTER (ALL LED'S OFF)
00034      *
00035      *
00036      *
00037      *
00038      *
00039A B859 96 18  A      LDAA  TCR2      TCR2 = $03 ON RESET
00040A B85B 81 03  A      CMPA  #00000011 IF 701U4, THIS VALUE
00041A B85D 27 16 B875 BEQ   P4K      GO TO '701U4 MEMORY SETUP
00042A B85F 86 FE  A      LDAA  #$FE      SECOND CHECK
00043A B861 97 18  A      STAA  TCR2     WRITE A ZERO TO TCR2-0 (CLOCK)
00044A B863 96 18  A      LDAA  TCR2     NOW READ IT BACK
00045A B865 84 01  A      ANDA  #$01     MASK CLOCK BIT
00046A B867 27 0C B875 BEQ   P4K      MC68701U4 IF "Z" = 1
00047      *
00048      *
00049      *
00050A B869 CC 7800 A      LD   #7800     START OF EPROM
00051A B86C DD 80  A      STD   1MBEG   START OF '701 EPROM
00052A B86E CC FB00 A      LD   #FB00
00053A B871 DD 84  A      STD   PNTR
00054A B873 20 0A B87F BRA   BLKROM
00055      *
00056      *
00057      *
00058A B875 CC 7000 A P4K LD   #7000     START OF EPROM

```

```

00059A B878 DD 80 A STD IMBEG
00060A B87A CC F000 A LDD #F000 START OF '701U4 EPROM
00061A B87D DD 84 A STD PNTR
00062
00063 *
00064 * B L A N K C H E C K
00065A B87F DE 84 A BLKROM LDX PNTR CHECK IF EPROM ERASED
00066A B881 C6 00 A LDAB #F00 GET READY FOR CMPR.
00067A B883 A6 00 A ERASE LDAA 0,X LOAD EPROM CONTENTS
00068A B885 11 CBA COMPARE TO ZERO
00069A B886 26 29 B8B1 BNE ERROR1 BRANCH IF NOT ZERO
00070A B888 8C FFFF A CPX #FFFF CHECK IF DONE
00071A B88B 27 03 B890 BEQ NEXT IF SO BRANCH
00072A B88D 08 INX GO AGAIN
00073A B88E 20 F3 B883 BRA ERASE
00074
00075A B890 86 16 A NEXT LDAA #F16 TURN ON ERASED LED
00076A B892 97 02 A STAA P1DR
00077
00078 * D E L A Y L O O P ( 3 . 5 S E C )
00079 *
00080A B894 DF 86 A STX WAIT
00081A B896 CE 0046 A LDX #F0046 GET READY FOR 70 TIMES THRU LOOP
00082A B899 09 STALL1 DEX
00083A B89A CC C350 A LDD #C350 INIT. 50MS LOOP
00084A B89D D3 09 A ADDD TIMER BUMP CURRENT VALUE
00085A B89F 7F 0008 A CLR TCSR CLEAR OCF
00086A B8A2 DD 08 A STD OUTCMP SET OUTPUT COMPARE
00087A B8A4 86 40 A LDAA #F40 NOW WAIT FOR OCF
00088A B8A6 95 08 A STALL2 BITA TCSR
00089A B8A8 27 FC B8A6 BEQ STALL2 NOT YET
00090A B8AA 8C 0000 A CPX #F0000 70 TIMES YET?
00091A B8AD 26 EA B899 BNE STALL1 NOPE
00092A B8AF 20 06 B8B7 BRA PGINT
00093
00094A B8B1 86 02 A ERROR1 LDAA #F02 LIGHT ERROR AND ERASE LED
00095A B8B3 97 02 A STAA P1DR
00096A B8B5 20 5F B916 BRA SELF
00097
00098A B8B7 CE 7FFF A PGINT LDX #F7FFF INIT. IMEND
00099A B8BA DF 82 A STX IMEND
00100A B8BC CE C350 A LDX #C350 INIT. WAIT (4.0 MHZ)
00101A B8BF DF 86 A STX WAIT
00102
00103 * P R O G A M M I N G L O O P
00104 *
00105A B8C1 86 07 A EPROM LDAA #F07 TURN OFF LEDES AND APPLY Vpp
00106A B8C3 97 02 A STAA P1DR
00107A B8C5 DE 84 A LDX PNTR SAVE CALLING ARGUMENT
00108A B8C7 3C PSHX RESTORE WHEN DONE
00109A B8C8 DE 80 A LDX IMBEG USE STACK
00110A B8CA 3C EPROO2 PSHX SAVE POINTER ON STACK
00111A B8CB 86 FE A LDAA #F8FE REMOVE VPP, SET LATCH
00112A B8CD 97 14 A STAA EPMCHT PPC=1,PLC=0
00113A B8CF A6 00 A LDAA 0,X MOVE DATA MEMORY-TO-LATCH
00114A B8D1 DE 84 A LDX PNTR GET WHERE TO PUT IT
00115A B8D3 A7 00 A STAA 0,X STASH AND LATCH
00116A B8D5 08 INX NEXT ADDR.

```

00117A	B8D6	DF	84	A	STX	PNTR	ALL SET FOR NEXT
00118A	B8D8	86	FC	A	LDAA	#5FC	ENABLE EPROM POWER (VPP)
00119A	B8DA	97	14	A	STAA	EPMCNT	PPC=0,PLC=0
00120							
00121							
00122							
00123A	B8DC	DC	86	A	LDD	WAIT	GET CYCLE COUNTER
00124A	B8DE	D3	09	A	ADDD	TIMER	BUMP CURRENT VALUE
00125A	B8E0	7F	0008	A	CLR	TCSR	CLEAR OCF
00126A	B8E3	DD	08	A	STD	OUTCMP	SET OUTPUT COMPARE
00127A	B8E5	86	40	A	LDAA	#540	NOW WAIT FOR OCF
00128A	B8E7	95	08	A	EPR004	BITA	TCSR
00129A	B8E9	27	FC	B8E7	BEQ	EPR004	NOT YET
00130A	B8EB	38			PULX		SET UP FOR NEXT ONE
00131A	B8EC	08			INX		NEXT
00132A	B8ED	9C	82	A	CPX	IMEND	MAYBE DONE
00133A	B8EF	23	09	B8CA	BLS	EPR002	NOT YET
00134A	B8F1	86	17	A	LDAA	#517	REMOVE Vpp AT PIN
00135A	B8F3	97	02	A	STAA	PIDR	
00136A	B8F5	86	FF	A	LDAA	#5FF	REMOVE VPP, INHIBIT LATCH
00137A	B8F7	97	14	A	STAA	EPMCNT	EPROM CAN NOW BE READ
00138A	B8F9	38			PULX		RESTORE PNTR
00139A	B8FA	DF	84	A	STX	PNTR	
00140							
00141							
00142							
00143A	B8FC	DE	80	A	LDX	IMBEG	SET UP POINTER
00144A	B8FE				VERF2	PSHX	SAVE POINTER ON STACK
00145A	B8FF	A6	00	A	LDAA	0,X	GET DESIRED DATA
00146A	B901	DE	84	A	LDX	PNTR	GET EPROM ADDR.
00147A	B903	E6	00	A	LDAB	0,X	GET DATA TO BE CHECKED
00148A	B905	11			CBA		CHECK IF SAME
00149A	B906	26	10	B918	BNE	ERROR2	BRANCH IF ERROR(LIGHT LED)
00150A	B908	08			INX		NEXT ADDR
00151A	B909	DF	84	A	STX	PNTR	ALL SET FOR NEXT
00152A	B90B	38			PULX		SETUP FOR NEXT ONE
00153A	B90C	08			INX		NEXT
00154A	B90D	8C	8000	A	CPX	#58000	MAYBE DONE
00155A	B910	26	EC	B8FE	BNE	VERF2	NOT YET
00156							
00157A	B912	86	15	A	LDAA	#515	
00158A	B914	97	02	A	STAA	PIDR	LIGHT VERIFY LED
00159							
00160A	B916	20	FE	B916	SELF	BRA	SELF
00161							
00162A	B918	86	13	A	ERROR2	LDAA	#513
00163A	B91A	97	02	A		STAA	PIDR
00164A	B91C	20	F8	B916		BRA	SELF
00165							
00166							
00167							
00168A	BFF0				ORG	\$BFF0	
00169A	BFF0	B916	A		FDB	SELF	
00170A	BFF2	B916	A		FDB	SELF	
00171A	BFF4	B916	A		FDB	SELF	
00172A	BFF6	B916	A		FDB	SELF	
00173A	BFF8	B916	A		FDB	SELF	
00174A	BFFA	B916	A		FDB	SELF	

PAGE 004 MINPRGU4.SA:1

00175A BFFC B916 A FDB SELF
00176A BFFE B850 A FDB START
00177 END
TOTAL ERRORS 00000--00000

B87F BLKROM 00054 00065*
0014 EPMCNT 00018*00112 00119 00137
B8C1 EPROM 00105*
B8CA EPRO02 00110*00133
B8E7 EPRO04 00128*00129
B883 ERASE 00067*00073
B8B1 ERROR1 00069 00094*
B918 ERROR2 00149 00162*
0080 IMBEG 00024*00051 00059 00109 00143
0082 IMEND 00025*00099 00132
B890 NEXT 00071 00075*
0008 OUTCMP 00017*00086 00126
0000 P1DDR 00013*00032
0002 P1DR 00014*00033 00076 00095 00106 00135 00158 00163
B875 P4K 00041 00046 00058*
B8B7 PGINT 00092 00098*
0084 PNTR 00026*00053 00061 00065 00107 00114 00117 00139 00146 00151
B916 SELF 00096 00160*00160 00164 00169 00170 00171 00172 00173 00174 00175
B899 STALL1 00082*00091
B8A6 STALL2 00088*00089
B850 START 00030*00176
0018 TCR2 00019*00039 00043 00044
0008 TCSR 00015*00085 00088 00125 00128
0009 TIMER 00016*00084 00124
B8FE VERF2 00144*00155
0086 WAIT 00027*00080 00101 00123

Motorola reserves the right to make changes without further notice to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein, neither does it convey any license under its patent rights nor the rights of others. Motorola and M are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Employment Opportunity/Affirmative Action Employer.



MOTOROLA Semiconductor Products Inc.

3501 ED BLUESTEIN BLVD, AUSTIN, TEXAS, 78721 • A SUBSIDIARY OF MOTOROLA INC

68

12

TEXAS INSTRUMENTS

TMS370 CONFIGURABLE μ Cs

PRODUCT BULLETIN

OVERVIEW

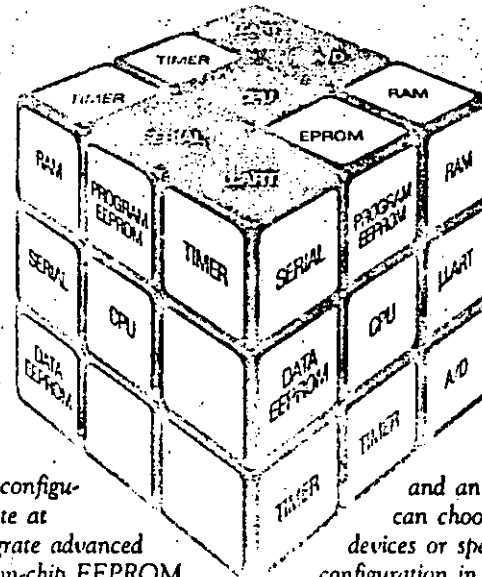
With TMS370 microcontrollers you can differentiate your products and get them to market quickly, easily and cost-effectively.

These configurable microcontrollers are high-performance, highly integrated eight-bit devices fabricated in 1.6-micron CMOS technology. The 20-MHz TMS370 family comprises devices which integrate advanced functions such as program EEPROM, data EEPROM and an A/D converter. Plus all the tools you'll need to use for either standard devices or client-specified configurations.

First configurable microcontrollers and development tools. You can choose from six standard TMS370 configurations. Or, to meet the functional requirements of a specific application, you can configure a new device. The TMS370 family was developed with a modular design methodology which supports the efficient development and qualification of new devices comprising different function modules.

The six TMS370 standard configurations available today meet the requirements of many systems. If your application requires a specially configured device, you can specify the desired function modules and begin software and hardware development immediately using a configured TMS370 XDS in-circuit emulator. TI handles chip design, layout, production and testing, assuming the same responsibilities as with standard products.

A growing family. Sixteen TMS370 function modules are available now, including memories (RAM, ROM, EPROM and EEPROM), I/O functions (serial and parallel communications), an A/D converter, multiple timers and a memory-expansion bus. TI plans to expand the family with more standard devices and function modules.



TMS370 eight-bit configurable devices operate at 20 MHz and integrate advanced functions such as on-chip EEPROM

and an A/D converter. You can choose from six standard devices or specify new devices for configuration in specific applications.

TMS370 CONFIGURABLE μ C FAMILY

FEATURES

- High-performance, highly integrated, configurable family of controllers with a variety of advanced on-chip peripherals.
- Versatile, easy-to-use, configurable PC-based development tools.
- Prototyping and production devices are interchangeable.
- Family comprises devices with standard and user-defined configurations.
- A series of compatible devices with a register-oriented architecture.

BENEFITS

- Drives system integration with the reduction of component count and development cost. Easier to specify the right configuration for your application needs. Delivers product-line granularity.
- Supports efficient code development with minimal training and enhances software and hardware debugging capabilities of both standard and configured devices.
- Reduces development costs and cycle time; facilitates rapid product upgrades.
- Increases design flexibility and simplifies software migration.
- Enhances system throughput.

THE TMS370 FAMILY COMPRISES SIX DEVICES WITH STANDARD CONFIGURATIONS

The initial release of products in the high-performance TMS370 family comprises six devices. The controller you need for prototyping or high-volume production may be among them.

For high-volume production applications, most users will choose one of the four TMS370 controllers with economical masked-ROM program memory (TMS370C010, TMS370C310, TMS370C050 and TMS370C350). For prototyping applications, most users will choose the TMS370C810 or TMS370C850 with on-chip EEPROM program memory. These form-factor emulators (FFEs) are interchangeable with the masked-ROM TMS370C010/310 and TMS370C050/350, and they can be

programmed and reprogrammed in-socket at any time throughout the software development life cycle. They are available from distributor stock.

Each TMS370 device operates from a single five-volt supply and has two power-down modes. Microcontrollers with on-chip EEPROM storage are programmed using just the five-volt supply; no high-voltage supply is required. TMS370 devices demonstrate significant resistance to electrostatic discharge and latchup and provide impressive noise immunity for operation in harsh, demanding environments.

TI characterizes standard and user-configured devices over two temperature ranges, -40 to 85

degrees Celsius and 0 to 70 degrees Celsius.

The TMS370C010, TMS370C810 and TMS370C310 are supplied in 28-pin dual-in-line packages (DIPs) and plastic leaded chip carriers (PLCCs); the TMS370C050, TMS370C850 and TMS370C350 are supplied in 68-pin PLCCs.

Complete software compatibility. To leverage the rapidly increasing software-development costs associated with microcontroller-based systems, devices in the TMS370 family are fully software compatible. A powerful, migratable software path exists now and will be extended as devices with additional peripheral functions and increased performance are added to the family.

TMS370 MICROCONTROLLER FAMILY STANDARD CONFIGURATIONS

	TMS370C010	TMS370C310	TMS370C810	TMS370C050	TMS370C350	TMS370C850
Program Memory ROM	32K bytes	28K bytes	28K bytes	18K bytes	18K bytes	60K bytes
EEPROM	---	---	4K bytes	---	---	4K bytes
Data Memory Registers (RAM)	128 bytes	128 bytes	128 bytes	256 bytes	256 bytes	256 bytes
EEPROM	256 bytes	---	256 bytes	256 bytes	---	256 bytes
Eight-bit A/D Converter	No	No	No	Yes	Yes	Yes
Serial Communications Interface	No	No	No	Yes	Yes	Yes
Serial Peripheral Interface	Yes	Yes	Yes	Yes	Yes	Yes
Timer 1 including Watchdog Timer	Yes	Yes	Yes	Yes	Yes	Yes
Timer 2	No	No	No	Yes	Yes	Yes
Expansion Bus	No	No	No	Yes	Yes	Yes
I/O Pins	22	22	22	55	55	55 70

TMS370 MICROCONTROLLERS: THE RIGHT CONTROLLERS FOR MANY APPLICATIONS

The TMS370 family, based on a high-performance central-processing unit (CPU) and a modular bus, has been designed to support demanding application requirements with capabilities for continued growth and increasing levels of functional integration. These advanced capabilities make TMS370 devices with standard configurations the right controllers for many challenging applications.

TMS370 ARCHITECTURAL HIGHLIGHTS

The architecture of the TMS370 family supports a modular design methodology at both the silicon and development tools stage. Total modularity of the TMS370 family provides a level of support which is unmatched and available for your next design.

CPU. The TMS370 CPU is a proven, high-performance eight-bit processor with 64 user instructions. The processor has an advanced register-to-register architecture that eliminates the bottlenecks associated with other architectures.

MEMORY. Four varieties of memory are employed in TMS370 devices:

- **PROGRAM EEPROM** provides prototyping capabilities in devices with the same form factors as the family's masked-ROM devices. Each controller has an integrated programming-voltage generator which operates from the five-volt system supply, eliminating the need for an external high-voltage source and increasing chip reliability.
- **PROGRAM ROM**, generally preferred for high-volume production of proven designs, is mask-programmed during device fabrication.

- **DATA EEPROM** provides alterable non-volatile storage for configuration data used to personalize a system, for calibration constants and for other user-specified data. Data EEPROM can be programmed on a byte or single-bit basis. This memory is protected from inadvertent writing with a write protection function.

- **STATIC RAM** functions as the CPU register file and as general-purpose memory.

INTERRUPTS. TMS370 devices have 10 hardware system interrupts including three external interrupts. Two priority levels and selectable edge detection are supported.

SERIAL COMMUNICATIONS INTERFACE (SCI). Provides full-duplex asynchronous and isosynchronous communications with standard UARTs and multiple microprocessors; transmission rate is programmable with async transmission up to 156 Kbits/sec and isosync transmission up to 2.5 Mbits/sec.

SERIAL PERIPHERAL INTERFACE (SPI). Supports serial data transfer between TMS370 devices in a master/slave configuration; uses separate pins; provides programmable word length and baud rates up to 2.5 Mbits/sec.

INPUT/OUTPUT CAPABILITIES. Programmable digital I/O pins can serve as address-bus, data-bus or memory-interface signals. Non-multiplexed address bus and data bus require no external latches; precoded chip-select lines are available to simplify interface requirements.

PROGRAMMABLE TIMERS. Extensive timer resources can serve as event counters, pulse width modulated (PWM) outputs and a

watchdog timer. Also perform input-capture and output-compare functions. Both the general-purpose timer and watchdog timer are independently programmable to 16 bits in length. The 24-bit prescaler/timer generates overflow rates ranging from 13.1 msec with 200 nsec timer resolution to 3.35 seconds with 51.2 μ sec timer resolution. The watchdog timer overflow rates range from 6.55 msec to 3.35 sec.

ANALOG-TO-DIGITAL CONVERTER. The eight-bit, eight-channel successive-approximation converter offers internal sample and hold circuitry. Seven of eight analog channels are available for positive input voltage reference. Conversions are ratiometric where the conversion value is a ratio of the positive input reference to the analog input. The conversion process takes 164 cycles with a maximum of 27,600 conversions per second at 20 MHz.

CONFIGURABLE MICROCONTROLLERS LET YOU SPECIFY THE RIGHT DEVICE FOR YOUR APPLICATION.

The concept of the microcontroller has evolved as chipmakers added multiple peripheral functions to chips that originally comprised just CPU, memory and I/O blocks. Today it is common practice to compare controllers which integrate different functions when planning a system.

With the initial release of the high-performance, software-compatible TMS370 series you can choose from six standard products. Or you can use 16 function modules to configure a new device quickly, easily and cost-effectively for a specific application. Using a standard TMS370 configuration as a starting point, you can configure a new device by adding, deleting or swapping a maximum of two function modules.

MICROCONTROLLER DESIGN METHODOLOGY SUPPORTS TMS370 CONFIGURABILITY

CONFIGURABLE XDS ALLOWS IMMEDIATE SOFTWARE/HARDWARE DEVELOPMENT

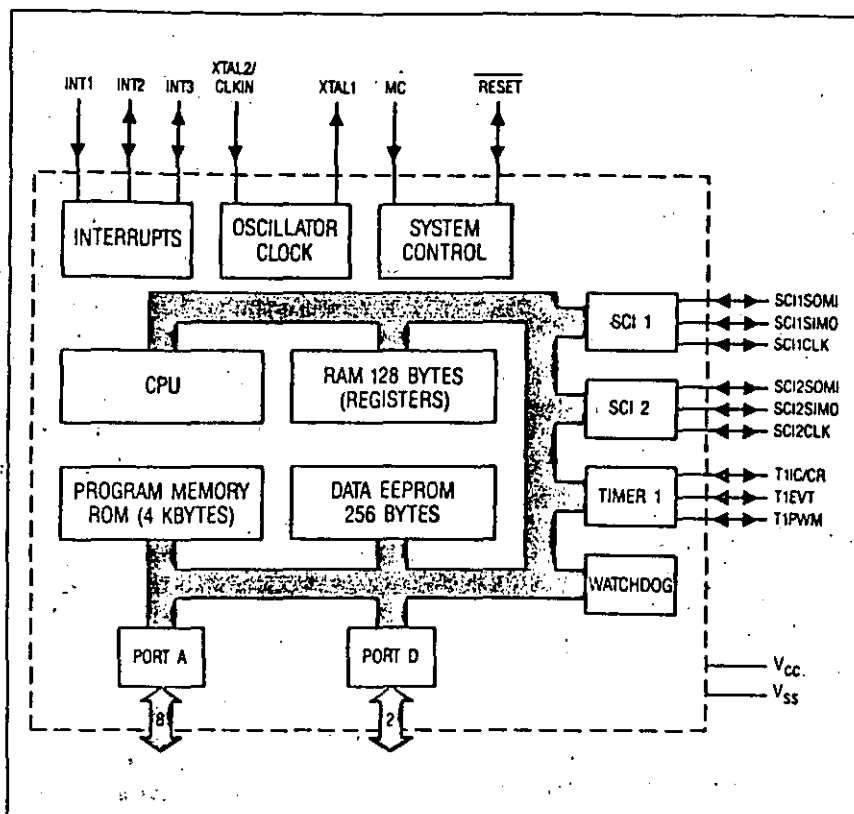
With the TMS370, a configurable- μ C user can immediately begin designing, testing and debugging his system upon specification.

The reason is straightforward: TI's TMS370 in-circuit emulator (XDS) is itself modular and configurable; this eliminates the need to produce a complete, new emulator for every new TMS370 configuration. Once TI has developed a function module, it can be emulated in combination with any others.

COMMON BUS, MODULAR DESIGN FEATURES

Two elements are essential to the successful design and production of a configured microcontroller — a common bus and function modules designed to be truly modular. Unlike many processors and controllers, TMS370 devices employ a common bus that runs throughout the entire chip and interfaces with every module. The bus has a layout which makes it easy to connect function modules, and it also incorporates structures which enhance testability and can be accessed from outside the chip.

Each TMS370 module is designed to match the drive requirements of the family's common bus, and each module is designed so it can be tested independently of the CPU. Designing and testing new modules is an expensive and time-consuming



Shown here is the functional block diagram for one of the many potential configurations of TI's eight-bit TMS370 microcontrollers.

process — much like the process of producing a non-configurable microcontroller. However, each TMS370 module designed and tested can be used in an infinite number of configurations. As a result, TI can quickly and cost-effectively configure, manufacture and test new microcontrollers that incorporate any combination of modules to meet your

application requirements.

TI plans to develop additional function modules for the TMS370 series and to offer devices with new standard configurations. TI also is expanding the technology that supports TMS370 configurability to include capabilities traditionally associated with ASICs.

THE TMS370'S SIXTEEN FUNCTION MODULES

Program memory:

ROM:

1. 4K bytes
2. 8K bytes
3. 16K bytes

EPROM:

4. 16K bytes

EEPROM:

5. 4K bytes

Data memory:

RAM:

6. 128 bytes
7. 256 bytes
8. 512 bytes

EEPROM:

9. 256 bytes
10. 512 bytes

Peripheral modules:

11. Eight-bit A/D Converter
12. Serial Communication Interface (SCI)
13. Serial Peripheral Interface (SPI)
14. Timer 1 with Watchdog
15. Timer 2
16. Expansion Bus

72

COMPREHENSIVE TMS370 DEVELOPMENT SUPPORT TOOLS

CUT YOUR TIME TO MARKET

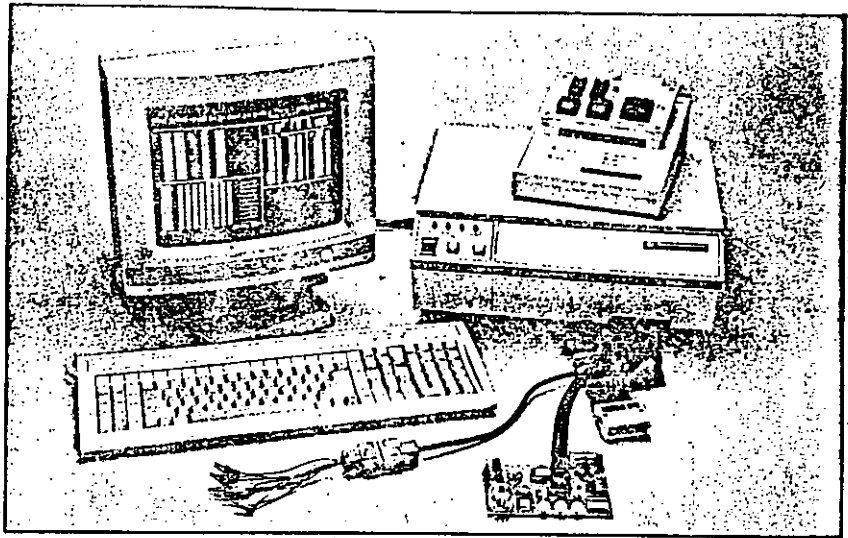
Whether you design with a standard TMS370 device or choose to configure one yourself, you can start developing code immediately with TI's comprehensive, state-of-the-art support tools.

You can debug software and troubleshoot hardware problems quickly, efficiently and economically with the versatile TMS370 in-circuit emulator (XDS). Providing accurate emulation across the frequency spectrum, these tools are closely coupled through the MS-DOS personal computer you supply to serve as the host and central control element.

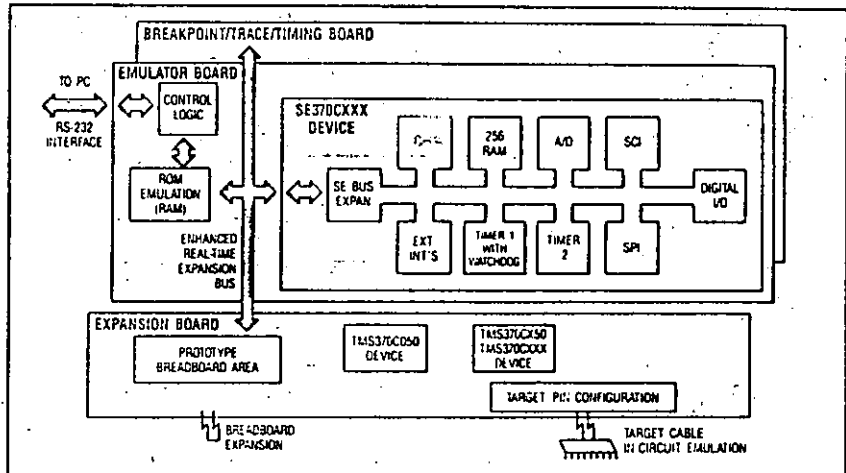
The TMS370 assembler translates assembly language source files into machine language object files. The TMS370 linker creates executable modules which are linked together to form a complete program. An archiver is provided for file management.

The XDS performs full-speed in-circuit emulation for all configurations and is used to debug and integrate software and hardware.

The EEPROM/UVEPROM programmer programs the devices you use for prototyping and emulation. You can use a TMS370C8x0 form-factor emulator device to prototype and emulate a masked-ROM controller and to submit a program to TI for the production of masked-ROM parts.



The self-contained XDS system and your MS-DOS host perform the 20-MHz, full-speed in-circuit emulation and debugging functions required to develop TMS370 programs.



With the Configurable XDS it's easy to emulate TMS370 devices that you've specially configured from a library of 16 high-performance function modules.

OTHER DEVELOPMENT SUPPORT

Technical Support
Hotline:
713-274-2370

Bulletin Board:
713-274-3700

TI RTCs provide hands-on workshops and design services.

EMULATING SPECIALLY CONFIGURED TMS370 DEVICES

You can use the TMS370 Configurable XDS system to emulate both devices with standard configurations and those which you have specially configured with modules from TI's 16-function library. The key is the enhanced real-time expansion bus of the TMS370 XDS, which provides access to the expansion board.

Two sockets on the expansion board accept standard TMS370 devices containing the desired modules if additional modules are

necessary to emulate the specially configured device. To emulate the operation of a specially configured microcontroller, the system-emulator-chip bus-expansion block on the XDS emulator board accesses the appropriate modules from the device on the expansion board through the expansion bus.

Future capabilities. The XDS expansion board prototype area accepts circuitry that can be used for the development of custom modules.

TMS370 CONTROLLERS: HIGHLY INTEGRATED FOR A WIDE RANGE OF APPLICATIONS

The growing demand for eight-bit microcontrollers is driven by the pervasiveness of microcontrollers overall. As applications evolve, the microcontroller continues to show up in new equipment performing control functions. A family of compatible devices such as the TMS370 is required to satisfy the demand of higher-performance eight-bit microcontrollers for next-generation end equipment.

Continued emergence of applications that require greater performance in smaller end equipment, coupled with the need to retain critical data when the system is powerless, drives the expansion of premium eight-bit microcontrollers across the application spectrum.

The versatility of the TMS370 family and its software compatibility provide the designer with the opportunity to select the most appropriate set of function modules to meet the application's requirements.

TMS370 APPLICATION SPECTRUM

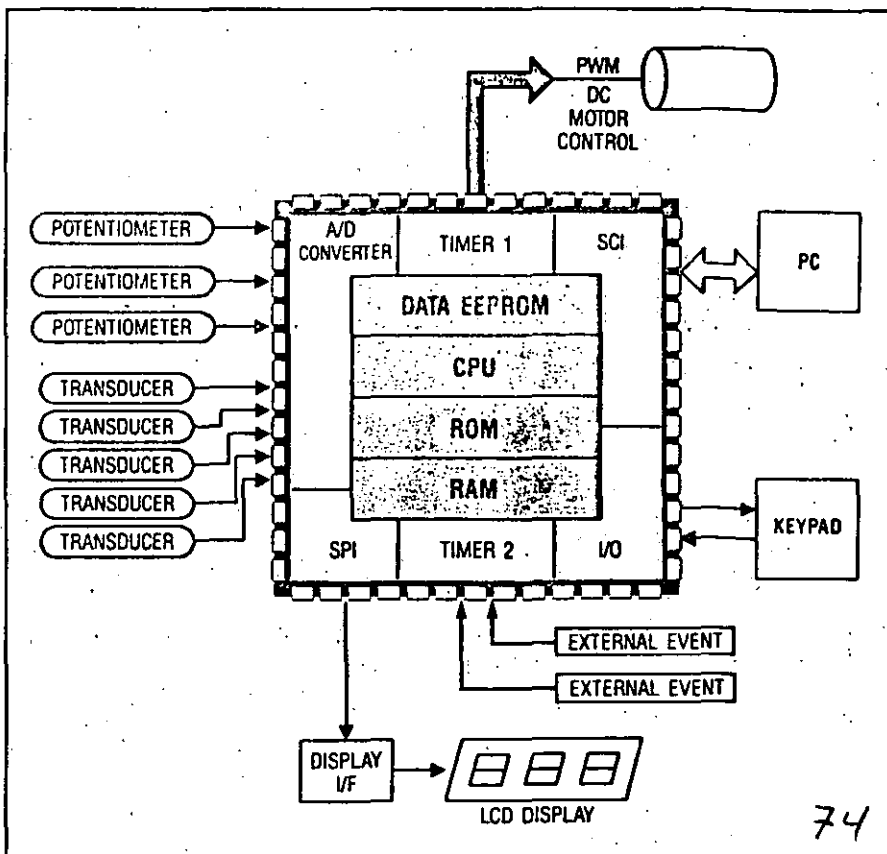
Industrial Motor Control Robot Control Meter Test Instrument Medical Instrument Analytical Instrument	Computer Disk Drive Magnetic Tape Drive Plotter Printer Keyboard Typewriter	Telecom Telephone Facsimile Line Card Control Modem Pager
Automotive Entertainment Steering Climate Control Theft Deterrent Anti-Skid Braking Instrument Cluster Transmission Control Engine Control Ignition Control	Consumer Security System Appliance Home Entertainment Home Environment Camera Smart Card	Military Avionics Monitor Guidance System Smart Munition Instrument Panel Navigation System

PROCESS CONTROL

For the real-time, interrupt-driven control and I/O management requirements of complex equipment, the TMS370 family operates over extended temperatures with superior noise immunity and provides a variety of on-chip peripherals, including an A/D converter, serial communications interface, programmable timers, watchdog timer and PWM outputs.

TMS370 family benefits

- Non-volatile data EEPROM storage ensures system integrity.
- A/D converter directly monitors multiple control signals without requiring external circuitry to digitize the analog inputs.
- Watchdog timer ensures local software integrity.
- Serial peripheral interface supports inter-controller communications in distributed-processing control systems.



74

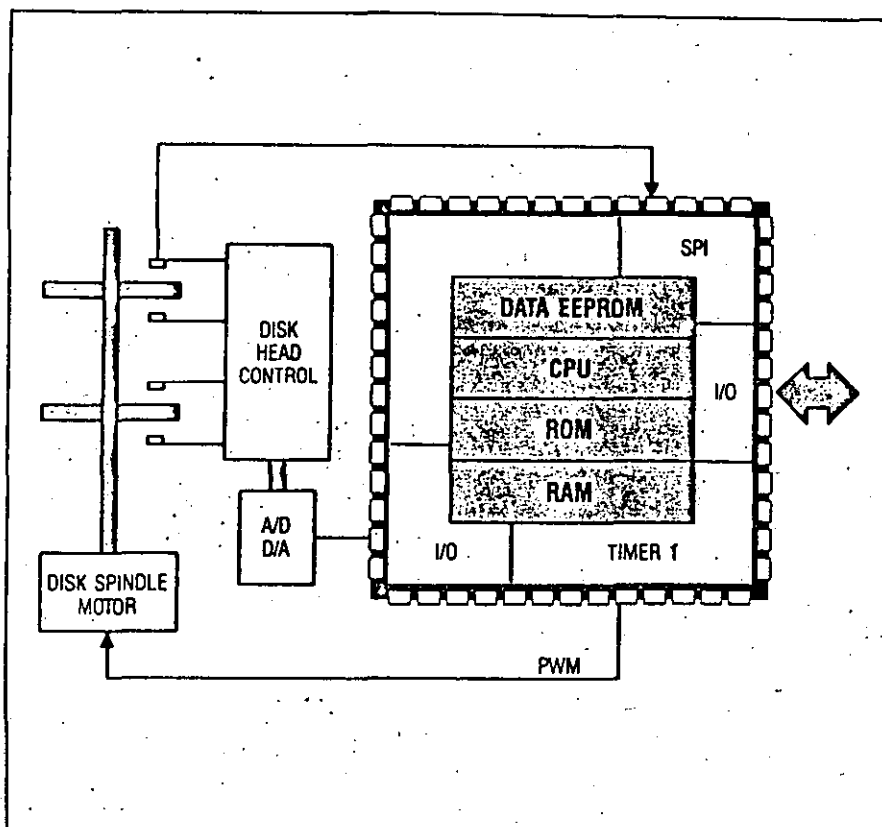
TMS370 CONTROLLERS: HIGH-PERFORMANCE SOLUTIONS

DISK DRIVE CONTROL

In controller-based computer peripherals, the high performance of the TMS370 family enhances system throughput; on-chip peripheral integration reduces chip count and saves board space; and data EEPROM stores calibration constants.

TMS370 family benefits

- 20-MHz performance supports higher-density drives while enabling greater accuracy and reducing seek time.
- Non-volatile data EEPROM storage supports system adaptation for mechanical deterioration.
- PWM output drives motor.
- Programmable SPI provides a flexible serial interface for data transfer and system control.

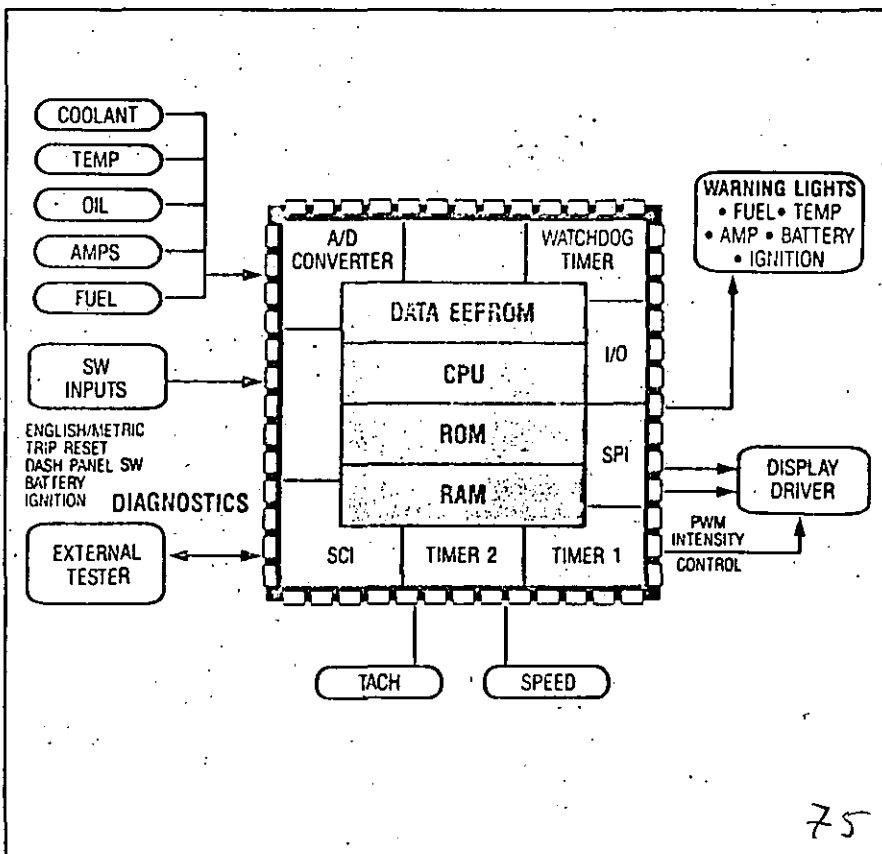


AUTOMOBILE INSTRUMENT PANEL CONTROL

Fabricated in CMOS technology and designed to meet the challenge of harsh environments, the TMS370 family is highly integrated to reduce component counts and materials costs, cut board-space requirements and enhance system reliability.

TMS370 family benefits

- EEPROM can serve as a critical data collector, storing dashboard configuration, odometer readings, tire sizes, engine type, warranty and maintenance data.
- Extensive I/O subsystem provides the flexibility to handle a wide range of automotive control tasks.
- Extensive timer functionality reduces host CPU overhead.
- Interface is available for external diagnostic exercisers to speed maintenance and repairs.



75

TI Sales Offices

ALABAMA: Huntsville (205) 837-7530.
ARIZONA: Phoenix (602) 995-1007;
Tucson (602) 624-3276.
CALIFORNIA: Irvine (714) 860-1200;
Sacramento (916) 929-0197;
San Diego (619) 278-9600;
Santa Clara (408) 980-9000;
Torrance (213) 217-7000;
Woodland Hills (818) 704-7759.
COLORADO: Aurora (303) 368-8000.
CONNECTICUT: Wallingford (203) 269-0074
FLORIDA: Altamonte Springs (305) 260-2118;
Ft. Lauderdale (305) 973-8502;
Tampa (813) 286-0420.
GEORGIA: Norcross (404) 662-7900.
ILLINOIS: Arlington Heights (312) 640-3000.
INDIANA: Carmel (317) 573-8400;
Ft. Wayne (219) 424-5174.
IOWA: Cedar Rapids (319) 395-9550.
KANSAS: Overland Park (913) 451-4511.
MARYLAND: Baltimore (301) 944-8600.
MASSACHUSETTS: Waltham (617) 895-9100.
MICHIGAN: Farmington Hills (313) 553-1500;
Grand Rapids (616) 957-4200.
MINNESOTA: Eden Prairie (612) 828-9300.
MISSOURI: St. Louis (314) 569-7600.
NEW JERSEY: Iselin (201) 750-1050.
NEW MEXICO: Albuquerque (505) 345-2555.
NEW YORK: East Syracuse (315) 463-9291;
Melville (516) 454-6600;
Pittsford (716) 385-6770;
Poughkeepsie (914) 473-2900.
NORTH CAROLINA: Charlotte (704) 527-0930;
Raleigh (919) 876-2725.
OHIO: Beachwood (216) 464-6100;
Dayton (513) 258-3877.
OREGON: Beaverton (503) 643-6758.
PENNSYLVANIA: Blue Bell (215) 825-9500.
PUERTO RICO: Hato Rey (809) 753-8700.
TENNESSEE: Johnson City (615) 461-2192.
TEXAS: Austin (512) 250-6769;
Houston (713) 778-6592;
Richardson (214) 680-5082;
San Antonio (512) 496-1779.
UTAH: Murray (801) 266-8972.
VIRGINIA: Fairfax (703) 849-1400.
WASHINGTON: Redmond (206) 881-3080.
WISCONSIN: Brookfield (414) 782-2899.
CANADA: Nepean, Ontario (613) 726-1970;
Richmond Hill, Ontario (416) 884-9181;
St. Laurent, Quebec (514) 336-1860.

TI Regional Technology Centers

CALIFORNIA: Irvine (714) 660-8140;
Santa Clara (408) 748-2220;
Torrance (213) 217-7019.
COLORADO: Aurora (303) 368-8000.
GEORGIA: Norcross (404) 662-7945.
ILLINOIS: Arlington Heights (312) 640-2909.
MASSACHUSETTS: Waltham (617) 895-9196.
TEXAS: Richardson (214) 680-5066.
CANADA: Nepean, Ontario (613) 726-1970.

MS is a trademark of Microsoft Corporation.

TI Distributors

TI AUTHORIZED DISTRIBUTORS

Arrow/Kierulff Electronics Group
Arrow Canada (Canada)
Future Electronics (Canada)
GRS Electronics Co., Inc.
Hall-Mark Electronics
Marshall Industries
Newark Electronics
Schweber Electronics
Time Electronics
Wyle Laboratories
Zeus Components

— OBSOLETE PRODUCT ONLY —

Rochester Electronics, Inc.
Newburyport, Massachusetts
(617) 462-9332

ALABAMA: Arrow/Kierulff (205) 837-6955;
Hall-Mark (205) 837-8700; Marshall (205) 881-9235;
Schweber (205) 895-0480.
ARIZONA: Arrow/Kierulff (602) 437-0750;
Hall-Mark (602) 437-1200; Marshall (602) 496-0290;
Schweber (602) 997-4874; Wyle (602) 866-2888.
CALIFORNIA: Los Angeles/Orange County:
Arrow/Kierulff (818) 701-7500, (714) 836-5422;
Hall-Mark (818) 716-7300, (714) 669-4100, (213) 217-8400;
Marshall (818) 407-0101, (818) 458-5500, (714) 458-5395;
Schweber (818) 998-4702, (714) 863-0200, (213) 320-8090;
Wyle (213) 322-9953, (818) 880-9000, (714) 853-9953;
Zeus (714) 921-9000;
Sacramento: Hall-Mark (916) 722-8600;
Marshall (916) 635-9700; Schweber (916) 929-9732;
Wyle (916) 638-5282;
San Diego: Arrow/Kierulff (619) 565-4800;
Hall-Mark (619) 268-1201; Marshall (619) 578-9600;
Schweber (619) 450-0454; Wyle (619) 565-9171;
San Francisco Bay Area: Arrow/Kierulff (408) 745-6600;
Hall-Mark (408) 432-0900; Marshall (408) 942-4600;
Schweber (408) 432-7171; Wyle (408) 727-2500;
Zeus (408) 998-5121.
COLORADO: Arrow/Kierulff (303) 790-4444;
Hall-Mark (303) 790-1662; Marshall (303) 451-8383;
Schweber (303) 799-0258; Wyle (303) 457-9953.
CONNECTICUT: Arrow/Kierulff (203) 265-7741;
Hall-Mark (203) 269-0100; Marshall (203) 265-3822;
Schweber (203) 748-7080.
FLORIDA: Ft. Lauderdale:
Arrow/Kierulff (305) 429-8200; Hall-Mark (305) 971-9280;
Marshall (305) 977-4880; Schweber (305) 977-7511;
Orlando: Arrow/Kierulff (305) 725-1480, (305) 682-6923;
Hall-Mark (305) 855-4020; Marshall (305) 767-8585;
Schweber (305) 331-7555; Zeus (305) 385-3000;
Tampa: Hall-Mark (813) 530-4543; Marshall (813) 576-1399.
GEORGIA: Arrow/Kierulff (404) 449-8252;
Hall-Mark (404) 447-8000; Marshall (404) 923-5750;
Schweber (404) 449-9170.
ILLINOIS: Arrow/Kierulff (312) 250-0500;
Hall-Mark (312) 860-3800; Marshall (312) 490-0155;
Newark (312) 784-5100; Schweber (312) 364-3750.
INDIANA: Indianapolis: Arrow/Kierulff (317) 243-9353;
Hall-Mark (317) 872-8875; Marshall (317) 297-0483.
IOWA: Arrow/Kierulff (319) 395-7230;
Schweber (319) 373-1417.
KANSAS: Kansas City: Arrow/Kierulff (913) 541-9542;
Hall-Mark (913) 888-4747; Marshall (913) 492-3121;
Schweber (913) 492-2922.
MARYLAND: Arrow/Kierulff (301) 995-6002;
Hall-Mark (301) 988-9800; Marshall (301) 840-9450;
Schweber (301) 840-5900; Zeus (301) 997-1118.
MASSACHUSETTS: Arrow/Kierulff (617) 935-5134;
Hall-Mark (617) 667-0902; Marshall (617) 658-0810;
Schweber (617) 275-5100, (617) 857-0760;
Time (617) 532-6200; Zeus (617) 883-8800.



TEXAS
INSTRUMENTS

MICHIGAN: Detroit: Arrow/Kierulff (313) 971-8220;
Marshall (313) 525-8850; Newark (313) 967-0600;
Schweber (313) 525-8100;
Grand Rapids: Arrow/Kierulff (616) 243-0912.
MINNESOTA: Arrow/Kierulff (612) 830-1800;
Hall-Mark (612) 941-2600; Marshall (612) 559-2211;
Schweber (612) 941-5280.
MISSOURI: St. Louis: Arrow/Kierulff (314) 567-6888;
Hall-Mark (314) 291-5350; Marshall (314) 291-4650;
Schweber (314) 739-0526.
NEW HAMPSHIRE: Arrow/Kierulff (603) 668-6968;
Schweber (603) 625-2250.
NEW JERSEY: Arrow/Kierulff (201) 538-0900,
(609) 596-8000; GRS Electronics (609) 964-8560;
Hall-Mark (201) 575-4415, (609) 235-1900;
Marshall (201) 882-0320, (609) 234-9100;
Schweber (201) 227-7880.
NEW MEXICO: Arrow/Kierulff (505) 243-4568.
NEW YORK: Long Island:
Arrow/Kierulff (516) 231-1000; Hall-Mark (516) 737-0600;
Marshall (516) 273-2424; Schweber (516) 334-7555;
Zeus (914) 937-7400;
Rochester: Arrow/Kierulff (716) 427-0300;
Hall-Mark (716) 244-9290; Marshall (716) 235-7620;
Schweber (716) 424-2222;
Syracuse: Marshall (607) 798-1611.
NORTH CAROLINA: Arrow/Kierulff (919) 876-3132,
(919) 725-8711; Hall-Mark (919) 872-0712;
Marshall (919) 878-9882; Schweber (919) 876-0000.
OHIO: Cleveland: Arrow/Kierulff (216) 248-3990;
Hall-Mark (216) 349-4632; Marshall (216) 248-1788;
Schweber (216) 484-2970;
Columbus: Arrow/Kierulff (614) 436-0928;
Hall-Mark (614) 889-3313;
Dayton: Arrow/Kierulff (513) 435-5563;
Marshall (513) 898-4480; Schweber (513) 439-1800.
OKLAHOMA: Arrow/Kierulff (918) 252-7537;
Schweber (918) 622-8003.
OREGON: Arrow/Kierulff (503) 645-6456;
Marshall (503) 644-5050; Wyle (503) 640-6000.
PENNSYLVANIA: Arrow/Kierulff (412) 856-7000,
(215) 928-1800; GRS Electronics (215) 922-7037;
Schweber (215) 441-0600, (412) 962-6804.
TEXAS: Austin: Arrow/Kierulff (512) 835-4180;
Hall-Mark (512) 258-8848; Marshall (512) 837-1991;
Schweber (512) 339-0088; Wyle (512) 834-9957;
Dallas: Arrow/Kierulff (214) 380-6464;
Hall-Mark (214) 553-4300; Marshall (214) 233-5200;
Schweber (214) 661-5010; Wyle (214) 235-9953;
Zeus (214) 783-7010;
Houston: Arrow/Kierulff (713) 530-4700;
Hall-Mark (713) 781-6100; Marshall (713) 895-9200;
Schweber (713) 784-3600; Wyle (713) 879-9953.
UTAH: Arrow/Kierulff (801) 973-6913;
Hall-Mark (801) 972-1008; Marshall (801) 485-1551;
Wyle (801) 974-9953.
WASHINGTON: Arrow/Kierulff (206) 575-4420;
Marshall (206) 747-9100; Wyle (206) 452-8300.
WISCONSIN: Arrow/Kierulff (414) 792-0150;
Hall-Mark (414) 797-7844; Marshall (414) 797-8400;
Schweber (414) 784-9020.
CANADA: Calgary: Future (403) 235-5325;
Edmonton: Future (403) 438-2858;
Montreal: Arrow Canada (514) 735-5511;
Future (514) 694-7710;
Ottawa: Arrow Canada (613) 226-6903;
Future (613) 820-8313;
Quebec City: Arrow Canada (418) 687-4231;
Toronto: Arrow Canada (416) 672-7769;
Future (416) 638-4771;
Vancouver: Future (604) 294-1166;
Winnipeg: Future (204) 339-0554.

Customer Response Center

TOLL FREE: (800) 232-3200

OUTSIDE USA: (214) 995-8611
(8:00 a.m. — 5:00 p.m. CST)

Important Notice: Texas Instruments (TI) reserves the right to make changes or to discontinue any semiconductor product or service identified in this publication without notice. TI advises its customers to obtain the latest version of the relevant information to verify, before placing orders, that the information being relied upon is current.

76



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y

MICROCOMPUTADORAS

SISTEMAS DE DESARROLLO CON MICROPROCESADORES

QUE EMPLEAN UNA PC COMPATIBLE

ING. ANTONIO SALVA CALLEJA
ING. VICTOR MANUEL SANCHEZ ESQUIVEL

MARZO



SISTEMAS PARA DESARROLLO CON MICROPROCESADORES

AUXILIADOS POR UNA COMPUTADORA DE TIPO PC

En temas anteriores se explicó la estructura básica de una microcomputadora digital basada en un microprocesador y circuitos integrados complementarios, una característica notoria de un sistema mínimo como el descrito en forma genérica en la figura 3.10 del tema anterior, es la ausencia en el mismo de lo que en la literatura de computación se denomina bajo el nombre de memoria secundaria (v.g. cinta magnética, unidades de disco duro o flexible, etc) esto es común en sistemas basados en microprocesador que estén dedicados a realizar labores de instrumentación o control, ya que en tales casos la microcomputadora podrá estar destinada únicamente a atender un instrumento o servir de adquisidor de datos y enlace con otra computadora de mayor capacidad, por lo tanto, el programa que se debe ejecutar usualmente se encontrará almacenado en memorias de tipo ROM o EPROM. Es claro que el firmware contenido en memorias de sólo lectura debe haber sido probado previamente, para llevar a cabo esto se puede utilizar cualquiera de las siguientes herramientas:

1) Sistemas de desarrollo autocontenidos (SDA) con firmware de soporte que permiten al usuario probar programas introduciendolos a memoria RAM mediante un teclado. Tales sistemas por lo regular cuentan con las siguientes facilidades:

α) Desplegado hexadecimal de seis dígitos; cuatro de ellos están dedicados a mostrar direcciones de memoria, los otros dos se emplean para indicar el contenido de la dirección de memoria

desplegada en los otros cuatro. Como la unidad de despliegue está ligada con un puerto del sistema el usuario puede emplearla para mostrar cualquier otra información relacionada con la aplicación que el mismo le este dando al sistema, desde luego que para hacer esto el programador debiera contar con información adecuada acerca de la arquitectura del sistema. Usualmente los desplegados de estos sistemas son de siete segmentos.

- b) Un teclado mediante el cual el usuario puede introducir a memoria RAM un programa en lenguaje de máquina empleando para ello notación hexadecimal. El teclado cuenta con varias teclas de propósito específico dedicadas a comandos tales como: ejecución de un programa a partir de la dirección mostrada en el desplegado, modificación del contenido de registros internos de la CPU previamente a la ejecución de un programa, lectura de el contenido de locaciones de memoria lectura o escritura de puertos, etc. Conociendo la arquitectura del sistema el usuario podrá emplear el teclado para propósitos específicos relacionados con la aplicación que en un momento dado el mismo este programando.
- c) Algunos sistemas de este tipo cuentan con programadores de memorias de tipo EPROM mediante los cuales el usuario puede pasar a un medio de almacenamiento permanente un programa que ya haya sido depurado.
- d) Permiten colocar *puntos de ruptura* que facilitan la depuración de programas. Un punto de ruptura es una facilidad que detiene

la ejecución de un programa en una dirección previamente definida por el usuario, desplegándose entonces el estado de diversas variables lógicas tales como el valor contenido en los registros internos de la CPU.

Al usar una herramienta como ésta se presenta el inconveniente de que la memoria RAM es volátil por lo que el desarrollador deberá continuamente programar y borrar memorias de tipo EPROM, lo que complica mucho la fase de desarrollo del sistema basado en microprocesador que se esté diseñando en un momento dado.

2) Emuladores en circuito (In-Circuit Emulators), este tipo de herramientas permiten emular diversos microprocesadores y por lo regular operan en combinación con otra computadora anfitriona (host) la que auxiliada por hardware dedicado permite hacer depuración al diseñar el firmware de soporte requerido para la aplicación que se esté desarrollando. El proceso a seguir al utilizar una herramienta como ésta es a grandes rasgos el siguiente:

- a) A la tarjeta basada en el microprocesador diseñada expreso para las necesidades requeridas por la aplicación de instrumentación o control se le conecta en lugar de una CPU normal una CPU con facilidades de monitoreo de señales propias de ella.
- b) Mediante hardware intermediario entre la tarjeta que se esté desarrollando y la computadora anfitriona se puede hacer un seguimiento de diversas señales de la propia tarjeta. El despliegue de estas señales es hecho en la pantalla de la

computadora anfitriona.

c) Cuentan con facilidades que permiten colocar puntos de ruptura que auxilian en el desarrollo del firmware requerido por la aplicación.

3) Sistemas de desarrollo comandados por una computadora anfitriona (*host-target systems*), aquí los designaremos bajo el nombre de sistemas HT, las características de este tipo de sistemas son las siguientes:

a) Constan de dos partes principales a saber:

i) Computadora anfitriona con software de soporte que arbitra el funcionamiento de una microcomputadora de una sola tarjeta basada en el microprocesador con el que se desee instrumentar una determinada aplicación.

ii) Microcomputadora en una sola tarjeta (*target*) que contiene circuitería de apoyo como puertos, memoria de sólo lectura (que contiene el firmware elemental que permite la comunicación con la computadora anfitriona), memoria RAM (a la cual la computadora anfitriona puede bajar programas para su ejecución) y circuitería lógica auxiliar que en conjunto con lo mencionado anteriormente constituyen un sistema con la arquitectura del que se muestra en la figura 3.10.

b) La comunicación entre los dos subsistemas que integran a un sistema HT se efectúa a través de puertos serie o paralelos.

c) La computadora anfitriona cuenta con software que permite entre otras cosas efectuar las siguientes acciones en la computadora destino: Leer el contenido de localidades de memoria o puertos

desplegando el valor en cuestión en pantalla, cargar memoria o puertos, bajar a la RAM un programa para su ejecución, colocar puntos de ruptura que faciliten la depuración de programas a ejecutarse, precargar registros internos de la CPU antes de ejecutar un cierto programa, ejecutar paso a paso un programa desplegando en la pantalla de la computadora anfitriona el estado de la CPU después de la ejecución de cada instrucción, cambiar la velocidad de transferencia de información (*baudaje*) entre las dos computadoras cuando la comunicación es por puerto serie.

- d) En la memoria secundaria de la computadora anfitriona se pueden guardar programas en código de máquina de la computadora destino para su posterior edición o ejecución, esto evita el tener que estar programando y borrando memorias EPROM al estar desarrollando una aplicación.
- e) Algunos sistemas cuentan con facilidades para programar memorias EPROM que son parte de la arquitectura de la computadora destino. Lo anterior permite, una vez que ya se ha depurado y probado un programa cargarlo en memoria permanente a modo de que la computadora destino trabaje en forma autónoma.
- f) Otra característica importante de los sistemas HT es el contar con un *ensamblador cruzado* (*cross assembler*) mediante el cual se puede obtener el código de máquina requerido por la computadora destino a partir de un programa en lenguaje ensamblador que se ensambla en la computadora anfitriona.

A continuación se describe un sistema HT basado en el

microprocesador Z80, que puede usar como computadora anfitriona a una PC XT/AT o PS/2 que cuente al menos con un puerto serie. Varias de las aplicaciones de microprocesadores que se expondrán en este curso se desarrollaron empleando este sistema, el cual se denomina con el nombre de SIMMP-1 que son las siglas de Sistema Interconectado de Microcomputadora y Microprocesador Paralelo, el dígito 1 indica que el microprocesador de la computadora destino es el Z80.

Es un sistema que se comanda por una microcomputadora a través de su puerto serie, consta de 2k de memoria RAM expandible a 4k, 2k de memoria EPROM expandible a 4k, lo que le da una capacidad total de memoria en la tarjeta de 8k, pudiendo expandirse con tarjetas adicionales hasta 64k; tiene además la opción de programación de la EPROM de expansión contenida en la tarjeta mediante el hardware que contiene el sistema.

En lo que a puertos se refiere el sistema cuenta con:

- a) Dos puertos paralelos de 8 bits con capacidad para que el usuario pueda programarlos como entrada o salida.
- b) Un puerto de comunicaciones en formato serie asíncrono implantado por medio de un USART comercial; mediante software el usuario puede modificar el formato de transmisión (vg. número de bits de datos, número de stop-bits, ausencia o presencia de bit de paridad). A este puerto se le denomina PS2 (puerto serie dos). Las velocidades de transmisión y recepción posibles del puerto PS2 son: 300, 600, 1200 y 2400 bps.
- c) Un puerto de comunicación serie asíncrono implantado mediante

software que emplea un puerto de entrada de 1 bit y un puerto de salida de 1 bit. A este puerto se le denomina PS1 (puerto serie uno). Las velocidades de transmisión y recepción son idénticas a las del PS2, su formato de transmisión es fijo, 8 bits de datos, no paridad y un bit de paro.

El software de control del sistema reside tanto en él como en la microcomputadora (PC XT, AT, PS2) por lo que se proporciona al usuario un diskette que contiene la parte de software de control que debe ejecutarse en la microcomputadora.

El usuario con ayuda del software que se proporciona en disco puede examinar y/o cargar la memoria del sistema, ejecutar un programa a partir de una cierta localidad de memoria, bajar y autoejecutar un programa que previamente se introdujo en la microcomputadora en formato hexadecimal (lenguaje de máquina) contando con auxiliares para editar, guardar en disco o tomar de disco programas en formato hexadecimal; acomodar en el SIMMP-1 en un solo bloque un conjunto de programas en formato hexadecimal en dirección de colocación inicial especificada por el usuario, ejecutar paso a paso un programa a partir de una dirección que también especifica el usuario con despliegue en la pantalla de la microcomputadora del contenido de los registros internos de la CPU y de locaciones de memoria de interés para el usuario; insertar puntos de ruptura en un programa que se ejecuta en el SIMMP-1 con despliegue del estado de la CPU al llegar a cada punto de ruptura, manejar los tres modos de interrupción enmascarable con que cuenta la CPU que se utiliza en el sistema, mover bloques de datos en la

memoria del sistema SIMMP-1, programar la EPROM de expansión a partir de: bloque de datos en formato hexadecimal contenido en disco, bloque de datos contenido en la memoria del SIMMP-1, bytes aislados tecleados junto con su especificación de dirección en la microcomputadora; mediante la modificación del estado de dos puentes eléctricos hacer que el sistema salte a la EPROM de expansión en el momento de restablecer o arrancar el sistema, esto último permite al usuario diseñar con base en el sistema SIMMP-1 dispositivos que funcionen de manera autónoma (vg. sin comandos de la microcomputadora) empleando el software de desarrollo del SIMMP-1 cuyas facilidades de programación se describieron brevemente en párrafos anteriores.

El SIMMP-1 cuenta con un ensamblador cruzado para el microprocesador del sistema escrito especialmente para él. Así el usuario puede editar, guardar o tomar de disco programas fuente en lenguaje ensamblador y una vez ensamblados guardarlos en disco en formato hexadecimal para su ejecución posterior o inmediata en el sistema SIMMP-1.

Aunque existen ensambladores cruzados en el mercado se decidió que el del SIMMP-1 fuera escrito en forma original por las siguientes razones:

- a) El ensamblador cruzado forma parte del sistema.
- b) Al escribir el ensamblador se crea una estructura básica de software a partir de la cual se hace fácil escribir ensambladores cruzados para otros microprocesadores o microcontroladores que existen en el mercado.

c) Tomar experiencia en el desarrollo de este tipo de herramientas de software.

Debe mencionarse que por medio de pequeñas modificaciones al hardware se pueden tener versiones con diferente capacidad de memoria y puertos o aún el empleo de otro microprocesador como CPU.

La aplicación original del producto es un sistema de desarrollo educativo que puede ser empleado también por profesionales de la ingeniería electrónica en el diseño de dispositivos profesionales de instrumentación digital. En tales casos el SIMMP-1 se usaría como circuitería básica funcionando en forma autónoma o bien como periférico de una microcomputadora, de tal forma que para el usuario final del sistema será irrelevante conocer el funcionamiento interno del dispositivo.

A sistemas con las características del SIMMP-1 se les denomina HOST-TARGET; donde la parte que se llama "HOST" es la microcomputadora y la que se denomina "TARGET" es el sistema, en este caso el SIMMP-1. También se les llama "EMBEDDED SYSTEMS" a sistemas de microprocesador empleados como bloques básicos en la construcción de dispositivos de instrumentación y/o control para la industria y/o el hogar.

El rango de aplicaciones cerradas es amplio, sólo que en cada caso hay que desarrollar el sistema de puertos que se requiera, así como también la tarjeta de circuito impreso correspondiente, usando el sistema SIMMP-1 en estos casos como "cerebro" de la aplicación de que se trate en un momento dado.

En la figura 3.11 se muestra un diagrama de bloques del sistema SIMMP-1, como puede apreciarse la CPU empleada es la Z80 de Zilog, que si bien apareció hace varios años en el mercado, conserva su versatilidad para aplicaciones hacia las cuales está orientado el SIMMP-1. Además su costo es el más bajo del mercado y sus periféricos comúnmente asociados son de fácil adquisición.

Para establecer la comunicación entre la microcomputadora y el SIMMP-1 se emplea el chip 8251, transmisor-receptor universal síncrono y asíncrono (USART), fabricado por Intel. Al inicial el funcionamiento del sistema, el puerto serie queda habilitado para transmitir y recibir información a 300 bauds.

En la EPROM 2716 existe el firmware de soporte que permite a la microcomputadora bajar programas a RAM del SIMMP-1 y ejecutarlos para su prueba.

A continuación se describen algunos aspectos relevantes del software y hardware relacionados con el SIMMP-1 y la microcomputadora empleada para comandarlo.

Paginación de memoria del SIMMP-1

En la figura 3.12 se presenta el mapa de memoria del SIMMP-1. La paginación está hecha en bloques de 2k bytes pudiendose decodificar hasta 16k bytes, esto es, de la dirección 0000 a la 3FFF. En la versión inicial del sistema únicamente se ocupan 8k bytes de memoria, 4k bytes de RAM situados de la dirección 1800 a la 27FF y 4k bytes de EPROM situados de la dirección 0000 a la dirección 0FFF. Físicamente, la paginación de memoria se realiza mediante el CI 74LS138 (Fig. 3.11).

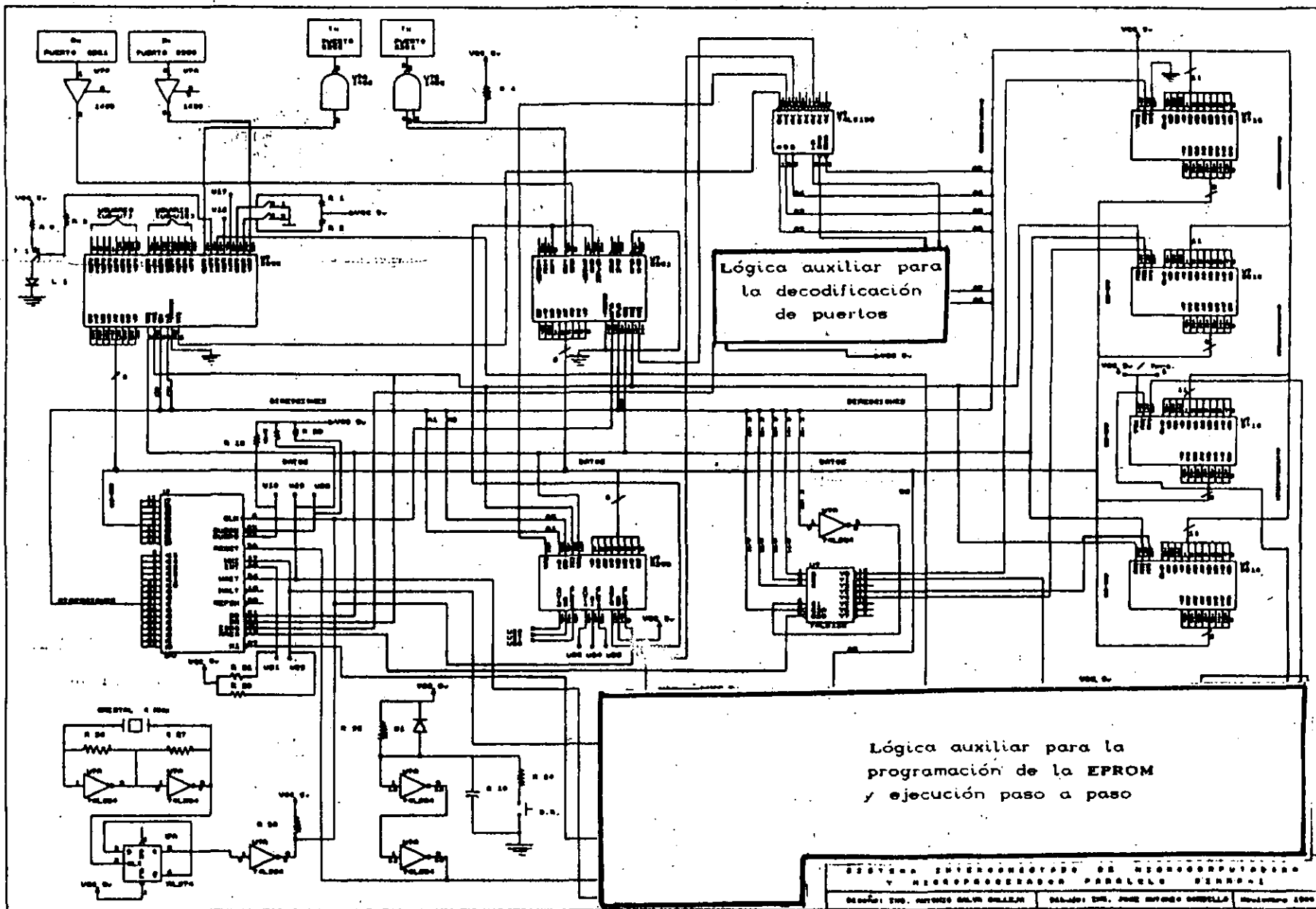


Figura 3.11 Diagrama de bloques del sistema SIMMP-1

ESTERNA MICROCOMPUTER DE MICROCOMPUTER
 Y MICROPROCESADOR PARALELO SERIAL
 DISEÑO: DR. ANTONIO SILVA GALLAN / DISEÑO: DR. JOSE ANTONIO GARCÍA / Noviembre 1990

0000	EPROM	2716
07FF 0800	EPROM DE EXPANSION (OPCIONAL)	
0FFF 1000	EXPANSION FUTURA	
17FF 1800	RAM DE EXPANSION (OPCIONAL)	
1FFF 2000	RAM	
27FF 2800	EXPANSION FUTURA	
2FFF 3000	EXPANSION FUTURA	
37FF 3800	EXPANSION FUTURA	
3FFF 4000	EXPANSION FUTURA FUERA DE TARJETA	
FFFF		

Figura 3.12 Mapa de memoria del SIMMP-1

Como se aprecia en la figura 3.12 la zona de memoria RAM empleada por la pila (stack), va de las direcciones 2780 a 27FF, de la dirección 2700 a la 2780 se define una zona de memoria para uso de núcleo básico de entrada salida del sistema, esto es, este conjunto de locaciones de memoria es usado tanto por el firmware del sistema como por el software de la microcomputadora que lo comanda, a este intervalo de direcciones se le denomina zona de servicio y se recomienda al usuario no modificar el contenido de cualquier localidad en ese rango. Las direcciones de memoria comprendidas de la 2600 a la 26FF son utilizadas para localizar

rutinas de servicio tanto de interrupciones no enmascarables como enmascarables de modo 1 (se recomienda consultar hoja de datos del microprocesador Z80). Como en el caso de la zona de servicio se recomienda al usuario no modificar el contenido de las localidades de la zona de servicio de interrupciones, aunque esto no es tan crítico como en la zona de servicio ya que no todas las aplicaciones usarán interrupciones.

Paginación de puertos del SIMMP-1

En la figura 3.13 se muestra el mapa de puertos del SIMMP-1. Con el hardware contenido en la tarjeta se pueden decodificar hasta 32 direcciones asociadas con puertos de las cuales el usuario puede usar 16, las otras 16 son usadas por el sistema en los puertos que el mismo contiene, a continuación se describe esto:

- a) Las direcciones 14 y 15 están vinculadas con las de control y datos del puerto serie 8251. (Se recomienda consultar hoja de datos del CI 8251).
- b) Las direcciones 00 a 03 están vinculadas con el multipuerto paralelo 8255, por lo tanto para los puertos A, B y C de ese chip las direcciones respectivas son 00, 01 y 02. Siendo la dirección 03 la correspondiente al registro de control el chip. (Se recomienda consultar hoja de datos del CI 8255).
- c) Las direcciones 04 a 07 están vinculadas con el temporizador programable de tres canales 8253. La dirección 07 es la correspondiente al registro de control del chip, siendo las direcciones 04 a 06 las asociadas con cada uno de los tres

canales de temporización del 8253. (Se recomienda consultar hoja de datos del CI 8253).

d) La dirección 08 es empleada por un puerto de salida de 1 bit que es parte de la lógica de ejecución de programas paso a paso.

Las otras cuatro señales de habilitación de puerto provenientes del decodificador de puertos están disponibles para el usuario a modo de que éste pueda colocar más puertos al sistema.

00	IPP 8255
03	TEMPORIZADOR 8253
04	
07	SALIDA AUXILIAR DE 1 BIT (08)
08	
0B	EXPANSION FUTURA
0C	
0F	EXPANSION FUTURA
10	
13	PUERTO SERIE 8251 (DIR 14 Y 15)
14	
17	EXPANSION FUTURA
18	
1B	EXPANSION FUTURA
1C	
1F	EXPANSION FUTURA FUERA DE TARJETA
20	
FF	

Figura 3.13 Mapa de puertos del SIMMP-1

Descripción de puertos del SIMMP-1

A continuación se describe brevemente la forma en que el sistema SIMMP-1 emplea varios de los puertos contenidos en su arquitectura.

- a) Puerto serie uno (PS1). Este es implantado programando como salida la parte baja y como entrada la parte alta del puerto C del 8255, empleando como salida y entrada de transmisión las correspondientes con PC_0 y PC_7 respectivamente, siendo el funcionamiento del puerto PS1 arbitrado por firmware contenido en la EPROM del sistema. El formato de serialización de este puerto es el siguiente: un bit de inicio, un bit de paro, no paridad y ocho bits de datos. El baudaje puede variarse de 300 a 2400 bauds.
- b) Puerto serie dos (PS2). Este puerto es implantado mediante el CI 8251, pudiendo el usuario modificar el formato de serialización (vg. número de bits de paro, paridad) escribiendo el software requerido. El baudaje de este puerto puede variar de 300 a 2400 bauds empleándose el canal cero del temporizador 8253 para generar la señal de cadencia requerida para cada baudaje. (Se recomienda consultar hoja de datos del CI 8251).
- c) Puerto de indicación de espera de comandos. Este es implantado empleando la salida PC_1 del 8255 que está conectado con un diodo emisor de luz que ha de brillar siempre que el sistema SIMMP-1 esté en espera de un comando o dato proveniente de la microcomputadora.
- d) Puerto de habilitación de programación de la EPROM. Este es

implantado empleando la salida PC_2 del 8255. Estando PC_2 en cero la EPROM de expansión contenida en la tarjeta está habilitada para leer, si PC_2 es uno la habilitación será para programar.

- e) Puerto de servicio de salida de un bit. Implantado con la línea de salida PC_3 del 8255, puede ser empleado por el usuario para los fines que a él convengan teniendo cuidado de preservar el estado de los bits PC_0 , PC_1 y PC_2 .
- f) Puertos de entrada PC_5 y PC_6 . Estas dos entradas de un bit están ligadas con los puentes eléctricos (jumpers) que caracterizan el modo de funcionamiento del sistema al restablecerse. Esto se describe en la siguiente tabla:

PC_6	PC_5	Acción de restablecimiento
0	0	Salta a la dirección de memoria 0800
0	1	Salta a la dirección de memoria 0400
1	0	Salta a recibir comandos a través de PS1
1	1	Salta a recibir comandos a través de PS2

- g) Puerto de entrada de un bit PC_4 . Puede ser usado por el usuario para los fines que a él convengan.
- h) Puerto A de entrada o salida. Puerto de ocho bits que puede ser programado por el usuario como de entrada o de salida, se encuentra en la dirección 00. (se recomienda consultar las hojas de datos del CI 8255).
- i) Puerto B de entrada o salida. Puerto de ocho bits que puede ser programado por el usuario como de entrada o de salida, se encuentra en la dirección 01. (Se recomienda consultar las

hojas datos del CI 8255).

Es importante puntualizar que de acuerdo con lo explicado antes la parte baja del puerto C del CI 8255 siempre ha de estar programada como salida y la parte alta como entrada, en caso de que el usuario modifique esta programación, alterará el funcionamiento correcto del sistema.

Reloj

El SIMMP-1 funciona con un reloj de 2 MHz; el circuito que genera la señal correspondiente se observa en la figura 3.14; la señal correspondiente al reloj de baudaje, se genera mediante el canal cero del temporizador programable 8253 a partir de la señal original de reloj de 2 MHz, lo que hace posible que el puerto serie PS2 pueda programarse a modo de que opere a los siguientes baudajes: 300, 600, 1200 y 2400 bauds.

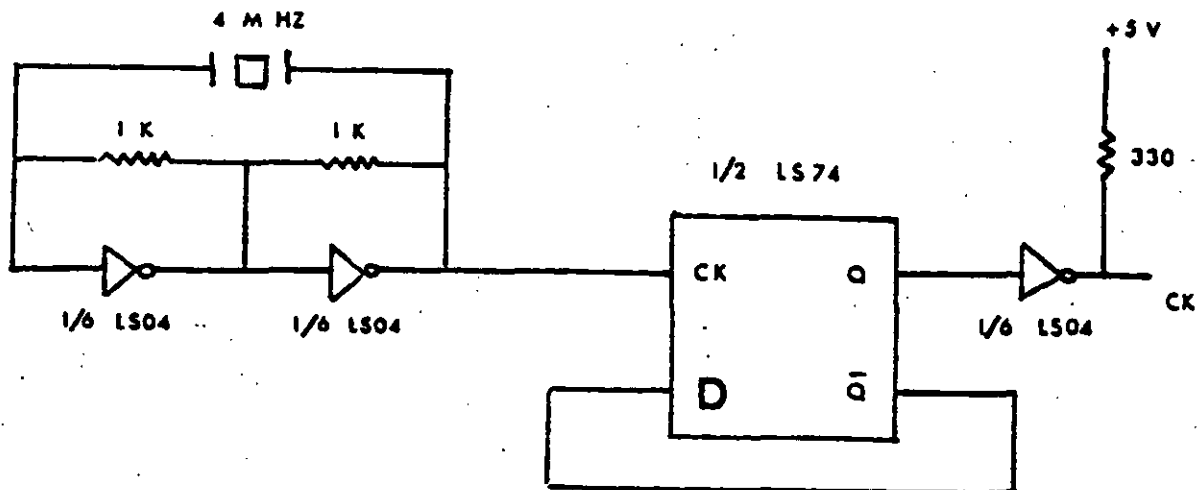


Figura 3.14 Circuito empleado para generar la señal de reloj del SIMMP-1

Circuito de restablecimiento (Reset)

El circuito para generar la señal de restablecimiento (Reset) en el SIMMP-1 se ilustra en la figura 3.15.

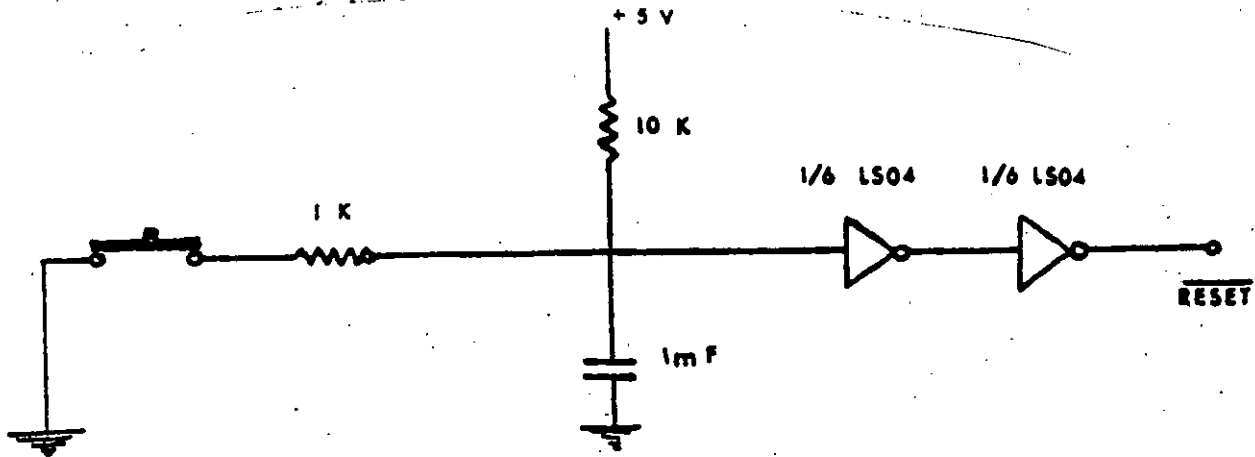


Figura 3.16 Circuito de restablecimiento

Software básico en el SIMMP-1

La esencia del SIMMP-1 se encuentra en un programa grabado en su EPROM, que recibe de la microcomputadora una cadena de bytes que integran un programa en lenguaje de máquina de Z80, autoejecutándose una vez que ha terminado de bajar. Al bajar a SIMMP-1 un programa la secuencia que envía la microcomputadora es la siguiente:

- Envía un caracter de identificación que indica al SIMMP-1 que los que siguen representan un programa para el microprocesador Z80.
- Transmite 4 bytes con información referente a la dirección inicial y final del programa a bajar.
- Transmite la cadena de bytes correspondiente al programa que se esté bajando.

Software en la microcomputadora

El software está escrito en un lenguaje de alto nivel. El programa se denomina CCA* y permite al usuario operar el sistema SIMMP-1 desde la microcomputadora, manejándose la información en notación hexadecimal. El programa se base en menús, el principal se denomina de comando generandose por cada opción de este último ramificaciones de menús para cada caso. El de comandos consta de nueve opciones:

1. Cargar un programa en lenguaje de máquina Z80
2. Cargar de disco un programa para Z80
3. Cargar en disco un programa para Z80
4. Bajar a SIMMP-1 un programa que se autoejecute
5. Editar un programa
6. Manipulación de memoria
7. Definir baudaje
8. Manejo de disco
9. Retornar al sistema operativo

A continuación se describe brevemente lo que acontece al seleccionar cada una de las opciones del menú de comandos.

Opción uno

Al hacer esta selección el programa pide las direcciones inicial y final así como el nombre del programa que se va a cargar. Una vez efectuado lo anterior, se despliegan en la pantalla de la microcomputadora las direcciones en forma sucesiva, debiendo el usuario introducir cada vez el valor del byte correspondiente en notación hexadecimal. El programa asigna a cada

dirección una variable de tipo *cadena* (string) que representa lo que ha de almacenarse en locaciones de memoria correspondientes del SIMMP-1. De esta manera, la cadena de bytes que representa el programa queda contenida en un arreglo cuyo tamaño es igual al número de bytes que lo integra.

Opción dos

Cuando se escoge ésta, la microcomputadora requiere del usuario el nombre del programa a tomar de disco y la unidad correspondiente. Una vez que se ha ejecutado esta opción, la cadena de bytes del programa que se ha tomado de disco queda en un arreglo similar al resultante de la opción uno.

Opción tres

En ésta, el arreglo correspondiente a un programa determinado se guarda en un archivo de disco junto con las direcciones inicial y final correspondientes.

Opción cuatro

Permite bajar al SIMMP-1 las direcciones inicial y final de un programa para Z80, así como la cadena de bytes que lo constituyen. Una vez que el programa es bajado se autoejecuta.

Opción cinco

Mediante esta opción se pasa al menú de edición que permite al usuario editar el programa en lenguaje de máquina con el que se trabaje en un momento dado. Las opciones que contempla el menú de edición son las siguientes:

- a) Listar el programa. Permite listar todo un programa en lenguaje de máquina o parte del mismo.

- b) Borrar bytes. Mediante esta opción el usuario puede borrar bytes del programa en lenguaje de máquina que se esté depurando.
- c) Insertar bytes. Permite insertar instrucciones en lenguaje de máquina al programa que se esté trabajando.
- d) Cambiar bytes. Permite cambiar uno o más bytes de un programa en lenguaje de máquina.
- e) Continuar. Con esta selección, el sistema pasa a un submenú que comprende las siguientes acciones:
 - 1) Editar
 - 2) Retornar a menú de comando

Si se toma la acción 1, el usuario retorna al menú de edición; si se toma la 2, regresa al menú principal o de comando. Cabe señalar que una vez que se ha ejecutado cualquiera de las opciones 1 a 8 del menú de comandos, el submenú descrito en este párrafo aparece nuevamente.

Opción seis

Mediante ésta se pasa a un menú que comprende los siguientes puntos:

- a) Examinar memoria de SIMMP-1. Permite examinar contenido de localidades de memoria del sistema.
- b) Cargar memoria de SIMMP-1. Permite cargar bytes en memoria RAM del sistema.
- c) Ejecutar un programa cargado previamente en memoria RAM del sistema. El usuario puede escoger entre ejecución paso a paso o velocidad plena.

- d) Transferir bloques en memoria de SIMMP-1. Aquí el usuario puede mover bloques contenidos en memoria ROM o RAM a memoria RAM.
- e) Acomodar bloques provenientes de disco en memoria RAM de SIMMP-1. Mediante esta opción el usuario puede bajar a memoria RAM una cadena de bloques contenidos originalmente en disco.
- f) Programar la EPROM de expansión del SIMMP-1. Con esta opción el usuario podrá programar la EPROM auxiliar del sistema con fuente de datos en: disco, memoria de SIMMP-1 o datos teclados en microcomputadora aisladamente.
- g) Retornar a menú de comandos. El usuario podrá retornar al menú de comando con esta opción.

Opción siete

Mediante ésta el usuario puede programar el baudaje de cualesquiera de los dos puertos serie del sistema, los baudajes permisibles son: 300, 600, 1200, y 2400 bauds.

Opción ocho

Manejo de disco. Al seleccionar ésta el usuario pasa al menú de manipulación de disco que comprende las siguientes opciones:

- a) Examinar directorio activo en alguna unidad de disco.
- b) Cambiar directorio activo en alguna unidad de disco.
- c) Borrar programa en código para Z80 en alguna unidad de disco.
- d) Retornar a menú de comando.

Opción nueve

Mediante ésta el usuario puede retornar al sistema operativo de la microcomputadora.

Ensamblador cruzado

El software del lado de la microcomputadora asociado con el sistema SIMMP-1 cuenta con un programa ensamblador escrito exprofeso para el sistema. El ensamblador es de dos pasadas, admitiendo cualesquiera mnemónico dentro de la lexicografía asociada con el Z80. En la primera pasada se genera código de máquina para todas las instrucciones a excepción de las que involucren saltos o llamadas a etiquetas, colocando al ensamblador en estos casos banderas reconocibles, en la segunda pasada se coloca el código correcto asociado con las instrucciones de salto o llamada. El manejo del ensamblador por parte del usuario es sumamente sencillo, se maneja al igual que el programa CCA, en base a menús. El principal o de comando consta de las siguientes opciones:

1. Cargar un programa en lenguaje ensamblador para Z80.
2. Tomar de disco un programa fuente en ensamblador.
3. Cargar en disco un programa fuente en ensamblador.
4. Editar un programa fuente.
5. Guardar en disco el código objeto correspondiente a un programa fuente recién ensamblado.
6. Ensamblar un programa fuente especificando el usuario la dirección inicial a partir de la cual se desea cargar el programa objeto en memoria del sistema SIMMP-1. Una vez que un programa está ensamblado el usuario podrá bajarlo al SIMMP-1 para su ejecución a modo de hacer una prueba del programa sin necesidad de almacenarlo en disco, si es necesario hacer algún cambio el usuario puede retornar al editor para hacer las

modificaciones necesarias a fin de ensamblarlo y probarlo nuevo, una vez que el programa funciona correctamente se puede cargar su código objeto en disco siendo el archivo correspondiente compatible con el programa CCA de manejo hexadecimal del SIMMP-1.

REFERENCIAS

1. Fundamentos de los microprocesadores.
Roger L. Tokheim.
Serie Schaum, Mc Graw Hill.
2. Contruya una microcomputadora basada en el Z80.
Steve Ciarcia.
BYTE BOOKS / Mc Graw Hill.
3. Microprocesadores, programación e interconexión.
José Ma. Uruñuela M.
Mc Graw Hill.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y

MICROCOMPUTADORAS

SISTEMAS DE ADQUISICION Y TRANSFERENCIA DE DATOS

CONVERTIDORES DIGITAL-ANALOGICO

CONVERTIDORES ANALOGICO-DIGITAL

ING. JOSE ANTONIO GORDILLO AGUILAR

MARZO

SISTEMAS DE ADQUISICION Y TRANSFERENCIA DE DATOS

4.1 Conversión digital/analogica

4.1.1 Definición

4.1.2 Funcionamiento y clasificación

4.1.3 Parámetros y Aplicaciones en circuitos integrados.

4.2 Conversión analogica/digital

4.2.1 Definición

4.2.2 Funcionamiento y clasificación

4.2.3 Parámetros y Aplicaciones en circuitos integrados.

PROFESOR: ING. JOSE ANTONIO GORDILLO AGUILAR

FEB-MAR 1990

4.1 CONVERSION DIGITAL / ANALÓGICA (D/A)

4.1.1 DEFINICION

Un convertidor digital/analógico es aquel sistema capaz de producir una salida de corriente o voltaje proporcional a la magnitud de una palabra digital binaria aplicada en su entrada.

Cuando una computadora tiene un valor digital y se requiere que dicho valor sea representado en una cantidad o valor analógico, entonces se utiliza un convertidor D/A. Este tipo de convertidores es más simple de utilizar y comprender que los convertidores Analógicos/Digitales, por lo cual comenzaremos a estudiar éste tipo de subsistemas que forman parte importante de los Sistemas de Transferencia y Adquisición de Datos.

4.1.2 FUNCIONAMIENTO Y CLASIFICACION

A continuación se describen los tipos principales de convertidores DIGITAL/ANALÓGICO presentando desde los modelos más simples, hasta los convertidores que se utilizan como multiplicadores.

Los principales tipos de convertidores D/A son:

- Circuito convertidor D/A con peso de resistor
- Convertidor D/A de tipo escalera R/2R
- Convertidores D/A de tipo monolítico e híbridos
- Convertidores D/A de tipo multiplicador (MDAC)

CIRCUITO CONVERTIDOR D/A CON PESO DE RESISTOR

El más simple de los convertidores D/A utiliza resistores de peso binario y un amplificador operacional para convertir señales lógicas binarias en peso a un voltaje proporcional. La figura 4.1 muestra el circuito para un convertidor de 4 bits de este tipo.

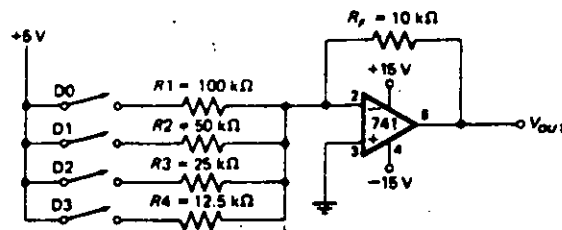


FIG. 4.1 CONVERTIDOR D/A CON RESISTORES DE PESO BINARIO

Un amplificador Operacional tiene muy alta ganancia, alta impedancia de entrada y baja impedancia de salida. Cuenta además con dos entradas llamadas entrada *inversora* y *no inversora*. Lo más importante que existe en un AMP.OP. es que existe retroalimentación negativa, la cual ocasiona que se pueda medir la misma cantidad de voltaje en sus entradas. La salida del amplificador alimentará o enviará la corriente necesaria para mantener los voltajes de entrada iguales. Como la entrada no inversora esta aterrizada ($V=0v$), entonces la otra entrada será mantenida a 0 volts. Esto nos conduce a que se produzca una *tierra virtual* en esta entrada sin que este conectada físicamente a tierra.

El funcionamiento de este tipo de convertidor es el siguiente: consideremos que sucede si el switch D0 es cerrado. El resistor R1 tiene 5 volts en una terminal y 0v (tierra virtual) en la otra. Por la ley de Ohm se puede decir que la corriente que fluye a través de esta resistencia de 100kΩ es de 0.05mA. Esta corriente no puede ir a la entrada inversora del AMP.OP. debido a su alta impedancia de entrada por lo que ésta corriente deberá ir a la salida del AMP.OP. a través del resistor de retroalimentación $R_f=10k\Omega$. Aplicando nuevamente la Ley

de Ohm, nos conduce que el voltaje en la salida del amplificador es igual a:

$$V_{out} = 10k\Omega \times -0.05mA = -0.5v$$

Esta situación se puede observar en la siguiente figura la cual representa un divisor de voltaje:

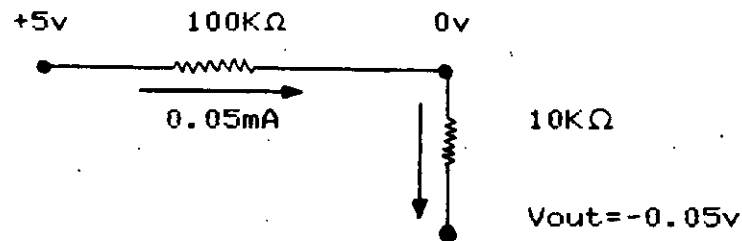


FIG. 4.2 DIVISOR DE VOLTAJE CUANDO DO ESTA CERRADO.

Ahora consideremos la siguiente situación: El switch D0 es abierto y solamente el switch D1 es cerrado. Como se observa, la resistencia R2 es de la mitad del valor de R1, por lo cual hace que la corriente que fluye a través de R2 tenga un valor del doble, es decir que la corriente será igual a 0.1mA, y esto ocasionará que por su paso por Rf se obtenga como voltaje de salida el doble del anterior: $V_{out} = -1v$. El voltaje de salida es directamente proporcional a la corriente que fluye a través de Rf. El siguiente paso consiste en que ambos switches que se han analizado permanezcan cerrados y determinar el voltaje de salida. Como ya se determinó el valor de cada una de las corrientes que fluyen por cada una de las resistencias, podremos decir que en la tierra virtual se están sumando ambas corrientes (0.05mA por R1 y 0.1mA por R2) y que la suma de ambas fluye a través de Rf con un valor total de 0.15mA, ocasionando un voltaje en la salida del Amplificador Operacional de -1.5v. Se pueden tratar cualquier combinación de switches y así producir diferentes voltajes de salida.

Se puede decir finalmente que los resistores con peso binari son capaces de producir corrientes que van de acuerdo a la palabra

digital programada. Estas corrientes son sumadas en la tierra virtual, o punto suma, y convertidas en un voltaje proporcional de salida del Amplificador debido a la presencia de R_f . Este convertidor se puede implementar colocando en lugar de switches un contador binario de 4 bits ya sea TTL o CMOS. El voltaje de Salida Analógico contiene una forma de escalera con 15 pasos de $-0.5v$ cada uno. El tamaño de los pasos puede ser alterado seleccionando otro valor para R_f . Sin embargo, si R_f es demasiado grande, el tope de paso ocasionará que el Amp. Operacional se sature, y va a depender de los rangos de polarización del dispositivo, para el ejemplo 15volts.

CONVERTIDOR D/A DE TIPO ESCALERA R/2R

Para convertidores de más de 4 bits, no se puede emplear un circuito como el que se analizó anteriormente en la figura 4.1 ya que, requiere un rango de resistores cuyos valores son demasiado grandes. Otro circuito es empleado para producir las corrientes de peso binario con únicamente dos tipos de valores en los resistores como se muestra en la siguiente figura, en la cual se procura como antes, que la suma de corrientes de peso binario sean convertidas a un voltaje proporcional por medio del Amplificador Operacional y R_f .

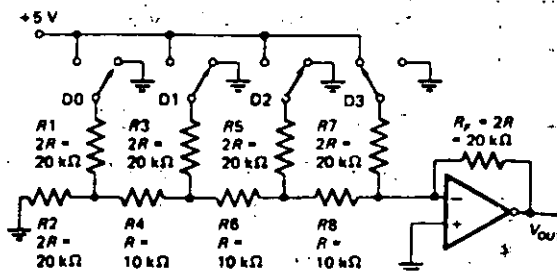


FIG. 4.3 CONVERTIDOR D/A DE TIPO ESCALERA R/2R

A primera vista, la escalera R/2R puede parecer una pesadilla de la Ley de Kirchoff, pero debido a la simple relación entre resistores que va desde el principio hasta el fin es bastante fácil.

Primero consideremos que el switch D3 el switch del bit más significativo, es conectado a un preciso voltaje de referencia igual a +5v y los otros switches están conectados a tierra. Entonces R1 y R2 están en paralelo a tierra. Un resistor de 2R en paralelo con otro 2R es equivalente a un solo resistor de valor R conectado donde se unen y a tierra. Este resistor equivalente sumado con R4 forman 2R en paralelo con R3 a tierra. La combinación de los resistores previos se reduce a un resistor equivalente de valor R en serie con R6. Utilizando la misma técnica a través del resto del circuito nos da por resultado el siguiente circuito:

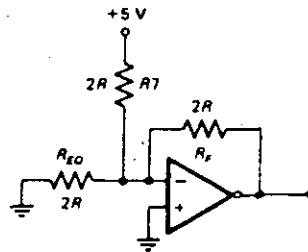


FIG. 4.4 CIRCUITO EQUIVALENTE CUANDO D3 = +5V

Desde que existe tierra virtual en la entrada inversora, no hay corriente que pase a través del resistor equivalente a tierra. Por lo tanto, este resistor equivalente puede ser ignorado. Los 5 volts en una de las terminales de R7 (20 KΩ) produce una corriente de 0.25 mA a través del punto suma y del resistor Rf = 20KΩ. El voltaje de salida producido por el bit más significativo es de -5 volts.

Para encontrar el voltaje producido por el siguiente bit que correspondería a D2, mentalmente cerremos el switch D2 a +5v y el switch D3 a tierra. Todos los resistores a la izquierda de R5 pueden ser simplificados como ya vimos en un resistor equivalente de valor 2R conectado a tierra como se muestra en la siguiente figura:

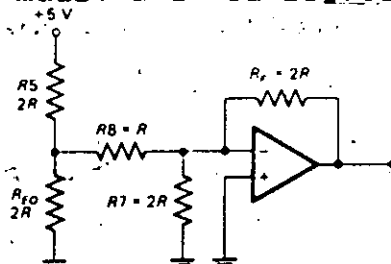


FIG. 4.5 CIRCUITO EQUIVALENTE CUANDO D2 = +5V

El circuito puede ser simplificado encontrando el equivalente de Thevenin del divisor de voltaje formado por R_5 y $2R$ a tierra como se muestra en la figura 4.6. El voltaje de Thevenin es el voltaje que está en la unión, es decir: $+2.5v$. La resistencia de Thevenin es igual al paralelo de las dos resistencias, osea R .

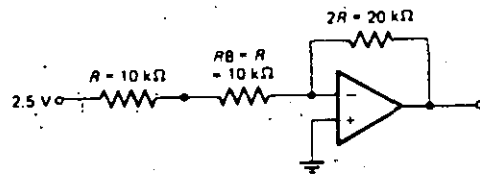


FIG. 4.6 CIRCUITO SIMPLIFICADO APLICANDO EQUIVALENTE DE THEVENIN

Todo lo de la izquierda de R_8 puede ser representado por un simple resistor de valor R conectado a $+2.5v$. Se puede ignorar R_7 debido a que sus terminales están conectadas a tierra. El total de resistencia entre el punto suma y el voltaje equivalente de Thevenin es de $2R$ osea $20\text{K}\Omega$. La corriente en el punto suma es por lo tanto: $2.5v/20\text{K}\Omega = 0.125\text{ mA}$. Esta corriente al pasar por la resistencia R_f produce un voltaje de salida igual a $-2.5v$ cuando D_2 esta conectado a $+5v$.

Con un análisis similar se puede determinar que cuando el siguiente bit esté conectado en $+5v$ y los demás no, se obtendrá en la salida un voltaje de $-1.25v$ y para el bit menos significativo el voltaje de salida será igual a $-0.625v$. El voltaje de salida a plena escala cuando todos los switches tengan un valor lógico alto será igual a $-9.375v$.

Aunque el convertidor D/A de tipo escalera $R/2R$ resultó más difícil de analizar que el primer convertidor, es más fácil de construir con precisión debido a que solo se necesitan 2 posibles valores de resistores. El número de bits puede ser extendido añadiendo solamente más secciones con los mismos valores de $R/2R$.

CONVERTIDORES D/A DE TIPO MONOLITICO E HIBRIDOS

Monolítico significa *una sola piedra* y cuando es usado en referencia para circuitos integrados, indica que toda la circuitería está contenida en un simple chip de silicio o molde. Un circuito híbrido contiene uno o más chips de silicio y redes de resistores u otros componentes microminiaturizados en un simple paquete en tipo CHIP.

Un común convertidor D/A de 8 bits monolítico es el MC1408L, cuyo diagrama de bloques es mostrado en la figura 4.7. El 1408L viene contenido en una pastilla de 16 patillas y requiere dos voltajes de polarización: un $V_{CC} = +5v$ y un $V_{EE} =$ de cualquier voltaje contenido en el rango de $-5v$ a $-15volts$.

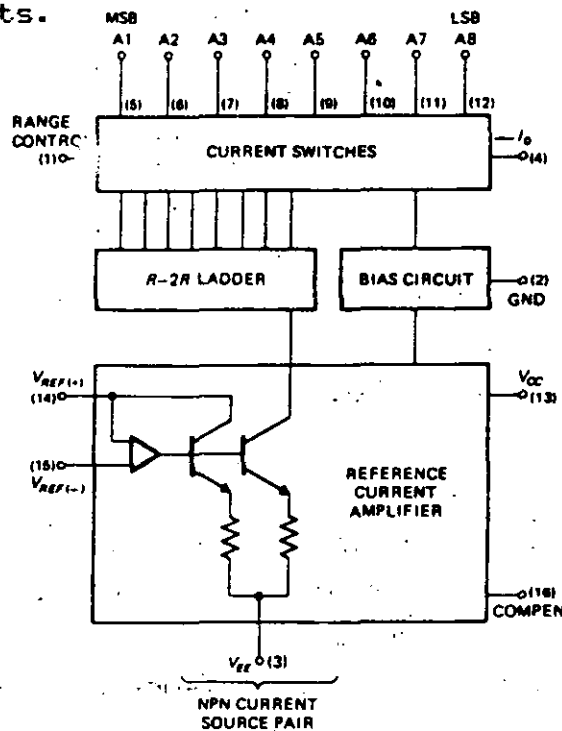
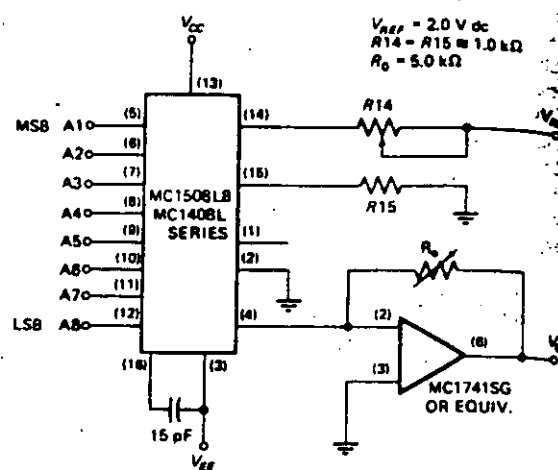


FIG. 4.7 DIAGRAMA DE BLOQUES DEL CONVERTIDOR MC1408L

En el 1408L un arreglo de escalera $R/2R$ divide un corriente de referencia proveniente del amplificador de corriente en 8 corrientes de peso binario. Los switches del transistor bipolar conmutan por consiguiente las corrientes de peso binario a una línea de salida d acuerdo a la palabra binaria que es compatible en niveles TTL en las

entradas A1 hasta A8. Se debe notar que las etiquetas de el MSB y el LSB son presentadas de acuerdo a la manera en que los contadores son normalmente etiquetados. Algunos convertidores D/A hacen esto y otros no, por lo que se recomienda leer cuidadosamente las hojas de especificación del fabricante. El 1408L tiene una corriente de salida que puede ser convertida en un voltaje de salida con el uso de un amplificador y una resistencia tal como se muestra en la siguiente figura:



Theoretical V_0

$$V_0 = \frac{V_{ref}}{R_{14}} (R_0) \left\{ \frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right\}$$

ADJUST V_{ref} , R_{14} OR R_0 SO THAT V_0 WITH ALL DIGITAL INPUTS AT HIGH LEVEL IS EQUAL TO 9.961 V

$$V_0 = \frac{2 \text{ V}}{1 \text{ k}\Omega} (5 \text{ k}\Omega) \left\{ \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right\}$$

$$= 10 \text{ V} \left\{ \frac{255}{256} \right\} = 9.961 \text{ V}$$

FIG. 4.8 DIAGRAMA ESQUEMATICO PARA EL VOLTAGE DE SALIDA

En este diagrama además se presenta la fórmula del voltaje teórico así como la situación cuando todas las entradas están en nivel lógico alto. Si observamos este último nivel, nos estamos refiriendo a un convertidor que a escala completa entrega 10v.

Una aplicación de este convertidor que resulta no cara es crear sonidos únicos de audio y formas de onda. Las salidas de un contador binario de 8 bits pueden ser conectadas a las entradas de este DAC. El contador empezará a efectuar su labor obteniéndose en un ciclo completo

de cuenta hasta 255 pasos los cuales se verán reflejados como un diente de sierra en su salida. La frecuencia de salida del DAC será igual a la frecuencia de entrada del reloj en el contador entre 256.

Para contadores de más bits de resolución, se emplean contadores híbridos tales como el Datel DAC-HZ 12BGC los cuales son disponibles en pastillas de 24 pines. En la siguiente figura se muestran 3 partes importantes de este convertidor híbrido:

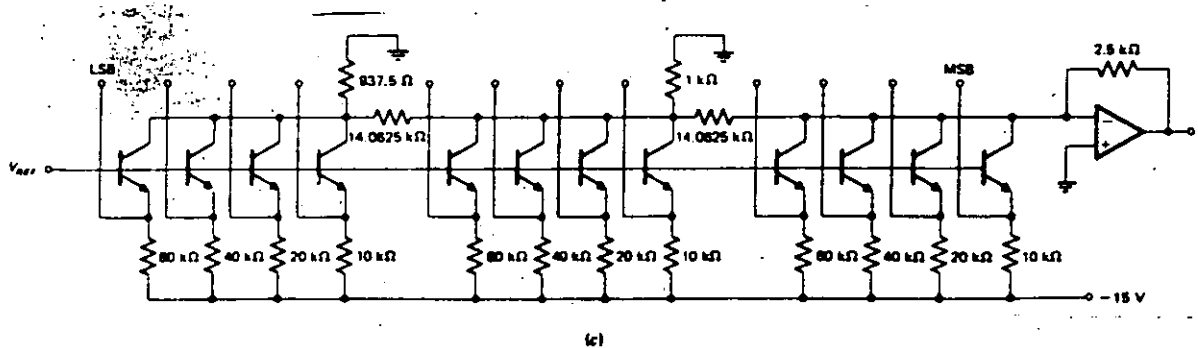
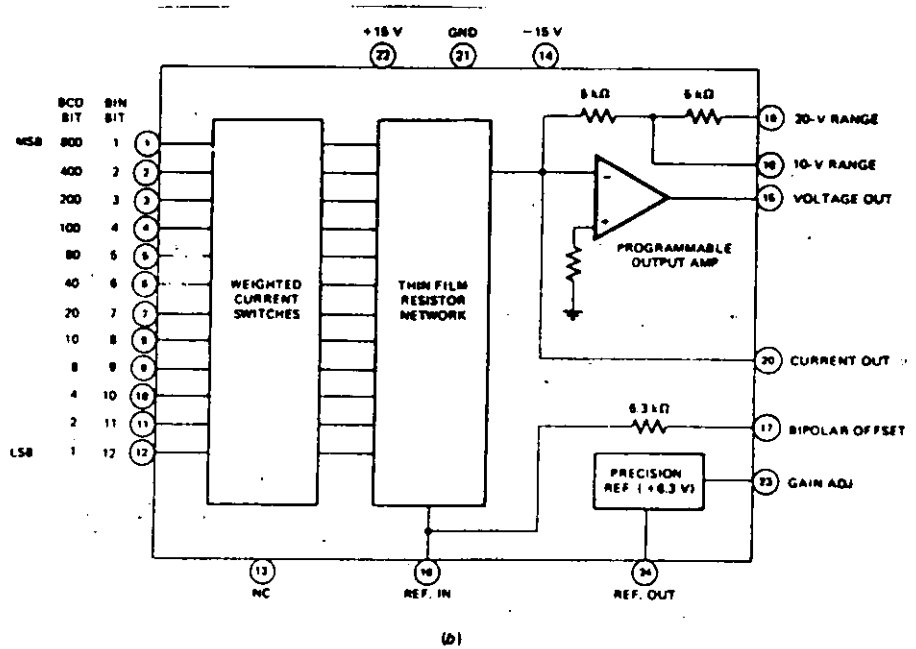
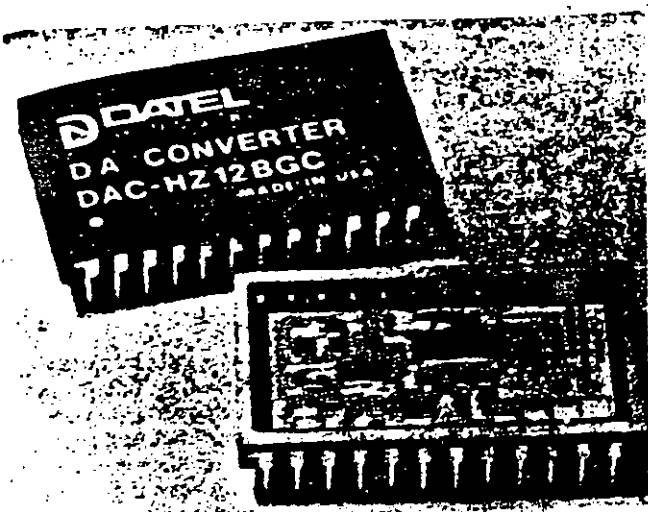


FIG. 4.9 CONVERTIDOR D/A TIPO HIBRIDO DATEL DAC-HZ 12BGC

En la parte superior se muestra la cubierta de la pastilla así como una sección de corte del mismo. También se presenta el diagrama de bloques respectivo (b) así como la forma en que se encuentran organizadas las fuentes de corriente en el mismo (c). Este convertidor de 12 bits requiere para alimentación dos fuentes de polaridad de +15v y de -15v. Los resistores y el amplificador operacional se incluyen dentro del mismo paquete de manera que tanto salidas de voltaje y de corriente son disponibles (patillas 15 y 20 respectivamente). El voltaje de salida a plena escala puede ser cambiado utilizando diferentes valores para el resistor de retroalimentación en el amplificador. Un voltaje de referencia para mayor precisión en los valores de corriente en la red de resistores es incluido como entrada. Para obtener la precisión necesaria en un convertidor de 12 bits, los resistores en la red denominada *thin-film resistor network* son individualmente ajustados por medio de un laser a su valor propio. Como cada resistor ha sido ajustado, es deseable que se reduzca el número de resistores requeridos en el convertidor.

La red R/2R requiere de dos resistores por bit, y el método de resistores con peso binario utiliza un resistor por bit. El problema que presentan los resistores con peso binario es su amplio rango de valores, y esto puede ser resuelto utilizando 3 secciones de resistores de peso binario con 4 bits como se muestra en la fig 4.9 (c). Los resistores en serie con la sección menos significativa, se encargan de reducir el voltaje de salida de estas secciones de manera que el mismo valor de resistores con fuentes de corriente pueden ser utilizados en todas las secciones. También se observa que las fuentes de corrientes están activadas. La circuitería de switcheo no muestra las fuentes de corrientes desactivadas y sería cuando los emisores tuvieran emisores en nivel lógico alto. Lo más importante que se debe tomar en cuenta para nosotros como usuarios de convertidores D/A de tipo híbrido es atender a las especificaciones que se proporcionan en lugar de preocuparnos en las formas o métodos de switcheo empleados en los convertidores.

CONVERTTIDORES D/A DE TIPO MULTIPLICADOR (MDAC)

Este tipo de convertidores se caracterizan por contener dos entradas: en una un voltaje analógico y en la otra una palabra digital. La salida digital es el producto de las dos entradas. Cualquier convertidor D/A se puede considerar como un caso especial del MDAC debido a que la referencia de alimentación es una entrada analógica fija. Cuando la referencia de alimentación está hecha para seguir una entrada analógica entre el rango de V_R y $0v$, entonces se obtiene un convertidor unipolar de un cuadrante MDAC. Debido a que se utiliza un amplificador operacional con baja impedancia de salida, éste puede ser utilizado para conducir la fuente de alimentación en su entrada (V_R). La precisión del MDAC será determinada principalmente por errores introducidos por los switches en la red de resistores cuando esté pasando la corriente a través de ellos cuando se maneja el convertidor a plena escala y cuando no se ha switchheado ninguna corriente.

Existen dos maneras posibles para construir MDAC de dos cuadrantes. *El primer método* consiste en utilizar un DAC cuya alimentación sea bipolar y el cual emplee una entrada analógica unipolar y un código digital de entrada bipolar. *El segundo método* utiliza un convertidor D/A unipolar el cual acepta una señal analógica bipolar en su entrada de referencia y un código digital unipolar en la otra entrada. Cualquiera de los dos métodos puede elegirse siempre y cuando se seleccione cual de las dos entradas es la bipolar. Es de hacer notar que el segundo método requiere switches que operarán con corrientes bipolares; sin embargo, el primer método requiere de un amplificador operacional configurado en modo inversor con ganancia unitaria para producir el voltaje contrario al de referencia. Cuando ambos métodos son seleccionados, se tiene como resultado un MDAC de cuatro cuadrantes.

4.1.3 PARAMETROS Y APLICACIONES EN CIRCUITOS INTEGRADOS

Para lograr la correcta elección del convertidor en una aplicación bien definida, existen parámetros en los convertidores D/A los cuales nos especifican los fabricantes para darnos una mayor posibilidad de enlazar nuestra necesidad de diseño con el mundo físico que existe.

A continuación se presentan los parámetros de mayor relevancia que son propios de los convertidores D/A:

- *Resolución*
- *Precisión*
- *Errores de Linealidad*
- *Ganancia de error*
- *Error de Offset*
- *Monotonicidad*
- *Tiempo de asentamiento de salida*
- *Diferencial No-linealidad*
- *Slew Rate*
- *Overshoot y Glitches*
- *Coefficiente de Temperatura*
- *Rechazo de la fuente*
- *Capacidad de manejo de salida*

nota: ALGUNAS DE ESTAS CARACTERISTICAS SON LAS MISMAS PARA LOS CONVERTIDORES A/D POR LO QUE SU DESCRIPCION NO SERA REPETIDA EN EL PUNTO 4.2.3 .

- **RESOLUCION:** es la primera caracteística a considerar en un convertidor D/A, y es determinada por el número de bits en la palabra digital de entrada. Así un convertidor de 8 bits tiene una 256 niveles posibles de salida de manera que su resolución es 1 parte en 256. También la resolución puede ser representada en porcentaje; así que un convertidor de 12 bits cuya resolución es de 1 parte en 4096 tiene un porcentaje de resolución igual a 0.024 por ciento.

- **PRECISION:** La precisión en un convertidor significa una comparación del actual nivel de salida con el valor esperado del mismo. Este término es especificado como

un porcentaje a escala completa, o el máximo voltaje de salida. El siguiente ejemplo nos muestra que si un convertidor tiene 10 volts de salida cuando trabaja a escala completa y 0.2 por ciento de precisión, entonces el máximo error para cualquier salida analógica será de 20 mV o sea el resultado de $10v \times 0.002 = 20mv$. Idealmente la precisión de un convertidor D/A debiera ser, por muy mala $\pm 1/2$ de su bit menos significativo (LSB). Conjuntando los dos conceptos anteriores se puede decir que si un convertidor de 10 bits tiene una resolución de 1 parte en 1024, o acerca del 0.1 por ciento, se puede señalar que el porcentaje de precisión que tendría permitido como límite es de ± 0.05 por ciento.

Hay varias maneras de mostrar como se presenta este error, y la siguiente figura muestra tres de ellas junto con otros parámetros que faltan por describir.

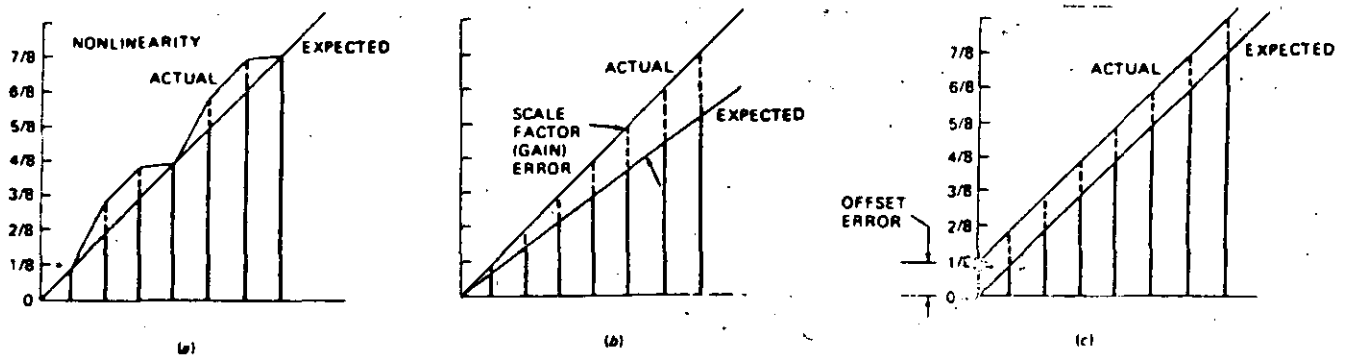


FIG. 4.10 ERRORES EN LOS D/A (A) linealidad, (B) escala o ganancia, (C) Offset

- **ERRORES DE LINEALIDAD:** involucra la cantidad por la cual la actual salida difiere de una línea recta ideal de salida. Este error es causado por errores de los resistores que proporcionan las fuentes de corriente.

- **GANANCIA DE ERROR:** este error es causado por el resistor de retroalimentación involucrado en el amplificador que convierte corriente a voltaje.

- **ERROR DE OFFSET:** este tipo de error significa que la salida analógica no es cero cuando todas sus entradas del convertidor están en cero. Este error de offset se involucra como un valor constante en todos los niveles de salida como puede observarse en la fig. 4.10 (c). Este error puede ser causado por errores en el amp. operacional o por corrientes de fuga en los switches de corrientes.

- **MONOTONICIDAD:** un convertidor se dice que tiene monotonicidad si este no falla en cualquiera de los pasos o pasos atrás que se han efectuado para cubrir su rango

total de salida con la ayuda de un contador. Una curva monotónica no tiene cambio de signo en la pendiente; así todos los elementos de una curva que se está incrementando monotónicamente, tendrán pendientes positivas o de valor cero, pero nunca pendiente negativa.

- **TIEMPO DE ASENTAMIENTO DE SALIDA:** se define como el tiempo requerido para que la salida del convertidor se coloque dentro del rango $\pm 1/2$ LSB del valor final después de que se ha producido un cambio en la palabra de entrada. Si un convertidor está trabajando a muy alta frecuencia, es muy seguro que no tenga el tiempo de asentamiento correcto antes de que sea switchheado el siguiente.

- **DIFERENCIAL NO LINEALIDAD:** este término nos indica la diferencia entre el actual cambio del voltaje analógico y el ideal (1LSB) cambio de voltaje en cualquier cambio de código de un DAC. Por ejemplo, un DAC cuyo paso es de 1.5 LSB en un cambio de código, puede exhibir $1/2$ LSB diferencial no lineal. Este término puede ser expresado en fracciones de bits.

- **SLEW RATE:** es una limitación inherente de la salida del amplificador en un convertidor D/A el cual limita el rango de cambio del voltaje de salida después de una transición en el código. El slew rate tiene un rango usualmente de .2 a varios cientos de volts/ μ seg.

- **OVERSSHOT Y GLITCHES** estos ocurren siempre que exista una transición en el código de un DAC. Hay dos causas. La corriente de salida de un DAC contiene glitches de switcheo debido a la asincronización en el switcheo de las corrientes de bit. Estos glitches tienen una duración normalmente corta pero podrían ser de $1/2$ escala de amplitud. Estos glitches de switcheo de corriente son generalmente atenuados en el voltaje de salida del DAC debido a que la salida del amplificador no puede excursionar a un nivel muy alto en su rango; sin embargo ellos son amarrados por el lazo de retroalimentación y así su efecto es disminuido a la salida del amplificador. La salida del amplificador introduce sobretiros y algunos no son críticamente amortiguados, pero pueden ser minimizados más no eliminados excepto cuando son a expensas del slew rate y del tiempo de asentamiento de salida.

- **COEFICIENTE DE TEMPERTATURA:** de los varios componentes que están presentes en un DAC o ADC, estos pueden producir o incrementar varios de los errores debido a cambios de temperatura. La escala de offset igual a cero puede cambiar debido a este coeficiente de temperatura, el cual afecta a los voltajes y corrientes de entrada de offset en el amplificador y en el comparador.

- **RECHAZO DE LA FUENTE:** se refiere a la habilidad del DAC o del ADC para mantener su escala, offset,

coeficiente de temperatura, slew rate, y linealidad cuando la fuente de alimentación es variada.

- **CAPACIDAD DE MANEJO DE SALIDA:** se entiende como la capacidad de manejar carga analógica en su salida; y es usualmente proporcionada como un nivel de voltaje o corriente en una carga dada.

Una vez que se han descrito los detalles más importantes relacionados con los convertidores veamos algunos ejemplos donde se aplican los convertidores D/A.

En el siguiente diagrama se presenta el esquema básico para un generador de funciones programable utilizando el AD7533 el cual es un DAC CMOS de 10 bits de resolución que por su diseño es empleado también como un MDAC para la modulación de señales como lo muestran también las siguientes figuras.

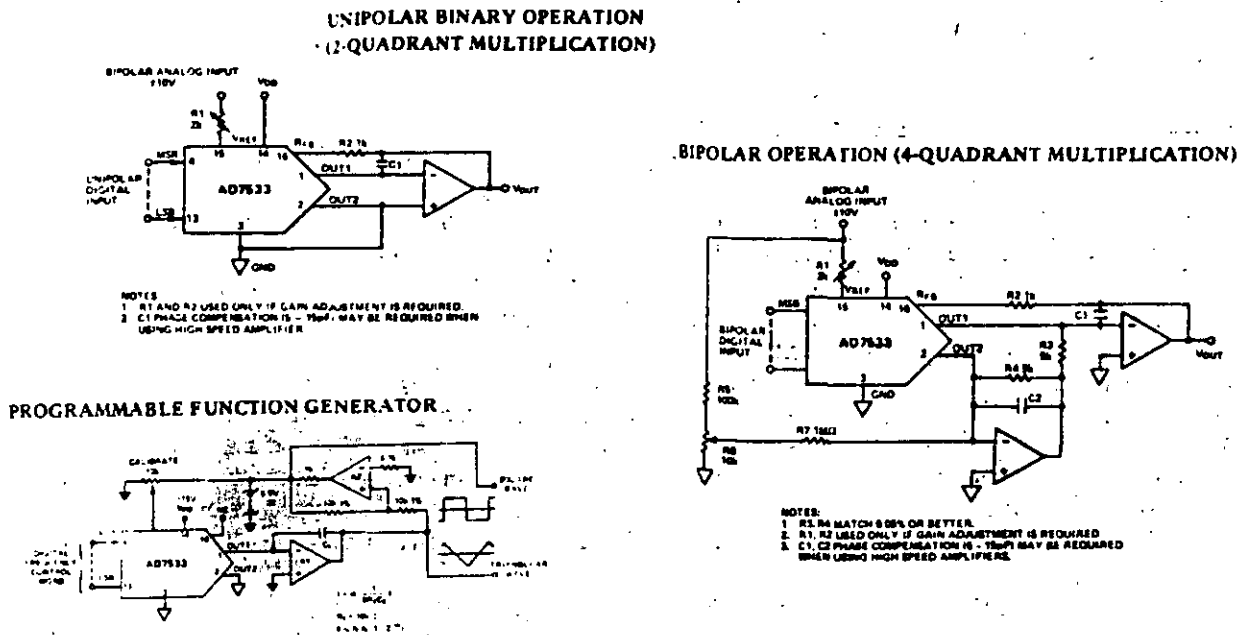


FIG. 4.11 UTILIZACION DEL DAC AD7533

Por otra parte se presenta a continuación el diagrama de conexión del DAC0800 que corresponde a un convertidor de 8 bits el cual para efectos de funcionamiento y prueba se describe por el instructor.

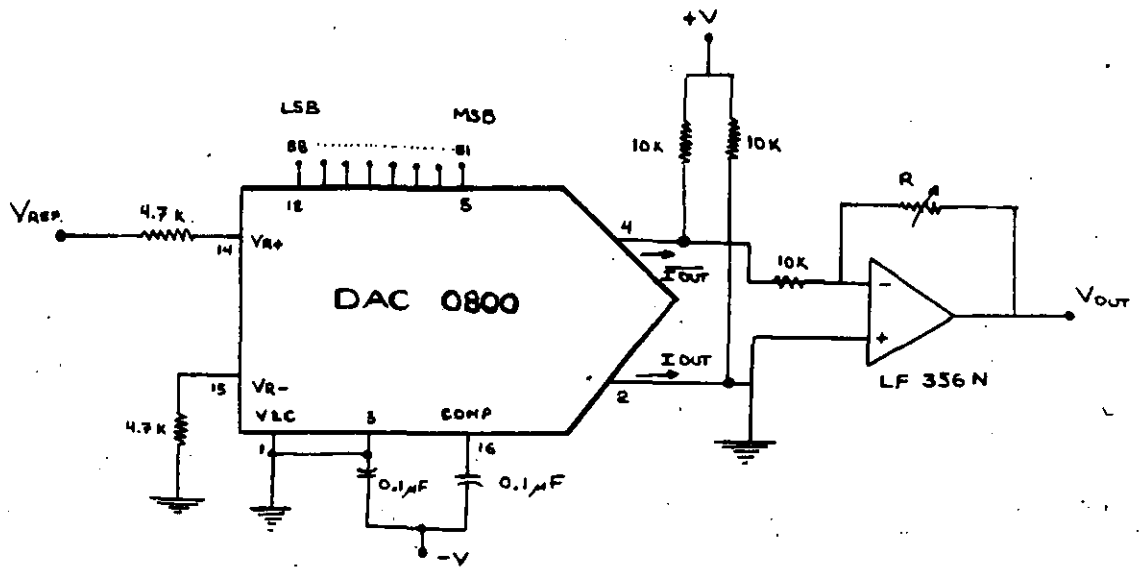


FIG. 4.12 DIAGRAMA DE CONEXIONADO DEL DAC0800

Las aplicaciones logradas y desarrolladas por este tipo de convertidores avanzan continuamente, por lo que la creatividad humana y sus aplicaciones tienen su limitación hasta que el ingenio del hombre lo permita.

42 CONVERSION ANALOGICA / DIGITAL (ADC)

4.2.1 DEFINICION

Los convertidores Analógico/Digitales (ADC's o A/D) tienen un papel muy importante en muchos sistemas de microcomputadora. Ellos permiten al sistema digital convertir una señal de voltaje en una cantidad digital que representa el voltaje desconocido. Esto es particularmente útil cuando temperatura, presión peso, posición, distancia o algún otro parámetro desconocido es medido en un sensor los cuales representan un voltaje o corriente analógico. Cientos de convertidores A/D son disponibles en muchas configuraciones para resolver problemas de un modo general o específico.

En los convertidores A/D se tienen una gran variedad de configuraciones con entradas y salidas así como característica específicas tales como salidas tres-estados y amplificadores introducidos en la construcción de los mismos. Muchos de los convertidores son dispositivos medidores de voltaje con rangos de entrada de 0-5volts, 0-10volts, ± 5 volts o ± 10 volts. Algunos convertidores son disponibles con todos estos rangos o con una característica de ganancia variable de manera que casi cualquier rango de voltaje puede ser medido. Las salidas de los convertidores son generalmente compatibles con niveles TTL siendo codificados en forma binaria o en código decimal binario (BCD). También existen convertidores que manejan complemento a dos binario y offset binario, y pueden ser requeridos según la necesidad.

4.2.2 CLASIFICACION Y FUNCIONAMIENTO

Los convertidores A/D se pueden clasificar en seis tipos diferentes, los cuales para efectos de análisis en esta sección.

comenzaremos como se hizo con los convertidores D/A de los más simples hasta aquellos que requieren inclusive la ayuda de herramientas matemáticas para su diseño.

La clasificación es la siguiente:

- Convertidor A/D de tipo paralelo
- Convertidor A/D de rampa simple
- Convertidor A/D de doble rampa
- Convertidor A/D con simple contador.
- Convertidor A/D de localización
- Convertidor A/D de aproximaciones sucesivas

CONVERTIDOR A/D DE TIPO PARALELO

Este tipo de convertidor se muestra en la fig 4.13 en la cual un divisor adecuado de voltajes coloca tres voltajes de entrada en los tres comparadores. El voltaje de referencia en el tope del divisor está a completa escala o máximo nivel de entrada permitido (+4v).

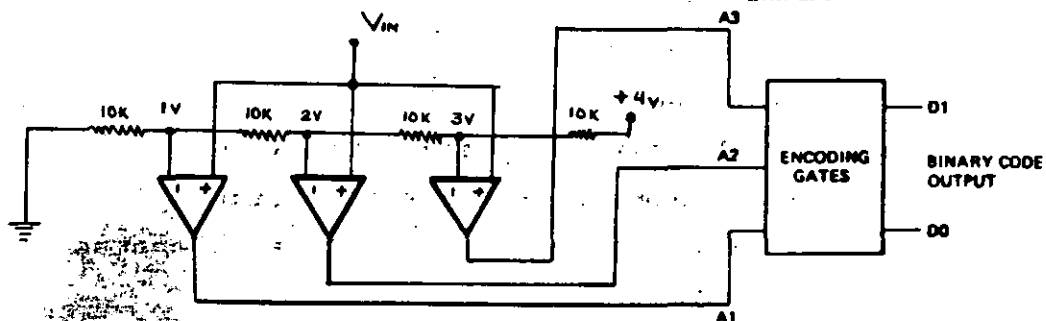


FIG. 4.13 DIAGRAMA DEL CONVERTIDOR A/D TIPO PARALELO

El voltaje en la salida de cada comparador tendrá un nivel alto siempre y cuando el voltaje en la entrada no inversora sea mayor que el voltaje de referencia. La señal a ser digitalizada será aplicada a todos los comparadores en paralelo. El número de comparadores que han saltado a una salida en alto, indica la amplitud del voltaje analógico de entrada. En la siguiente figura se indican las salidas para el

circuito anterior con varios voltajes de entrada.

V_{IN} (Volts)	Comparator Outputs			Binary Output	
	A1	A2	A3	D1	D0
0 to 1	0	0	0	0	0
1 to 2	1	0	0	0	1
2 to 3	1	1	0	1	0
3 to 4	1	1	1	1	1

FIG 4.14 SALIDAS CORRESPONDIENTES AL CONVERTIDOR A/D PARALELO

Si el voltaje de entrada es menor que 1 volt, ninguno de los comparadores han saltado a un estado lógico alto. Un voltaje entre 1 y dos volts es indicado cuando el comparador más bajo de entrada está en nivel alto (A1). Un voltaje entre 2 y 3v da un estado alto en las salidas de los comparadores A1 y A2, y un voltaje arriba de 3 v ocasionará que los tres comparadores tengan en su salida en niveles altos.

Este sistema es similar como si tuvieramos una regla de 4 pulgadas con únicamente marcas de las pulgadas en él. El convertidor se encargará de resolver un voltaje de entrada de las cuatro posibilidades de niveles en su entrada. Esto equivale a tener un sistema binario de 2 bits de resolución. Más comparadores pueden ser utilizados para obtener mayor resolución en el convertidor. Siete comparadores son necesarios para obtener 3 bits de resolución, y 15 comparadores para obtener 4 bits de resolución, o 16 niveles posibles. Así podremos decir que la fórmula para obtener el número de comparadores para un convertidor de N bits es:

$$2^N - 1 = \text{comparadores}$$

Si nosotros queremos un comparador de 8 bits, se necesitarán según esta fórmula, 255 comparadores. Como observamos esta es la principal desventaja de un comparador A/D de este tipo.

Otra de las desventajas de este tipo de comparador es que el código de salida no es binario, pero sin embargo puede ser convertido a binario con solo añadir compuertas lógicas. La conversión del código de salida del comparador dependerá de observar la tabla de la fig. 4.14 para formar las compuertas lógicas que se obtienen del mapa de Karnaugh.

La mayor ventaja de este tipo de convertidor es su velocidad. La palabra digital de salida está presente después del tiempo de retardo de propagación de los comparadores que han recibido la señal analógica, y el tiempo de las compuertas que han encodificado. También se le conoce a este tipo como convertidor A/D *FLASH*.

CONVERTIDOR A/D DE RAMPA SIMPLE

En la figura 4.15 se muestran los principales elementos con que cuenta este convertidor como lo son un generador de rampa, un comparador, y un contador BCD o del tipo BINARIO. En el principio de la conversión, la rampa y los contadores han sido inicializados con cero. Un voltaje analógico es aplicado en la entrada (+) del comparador. Desde que esta entrada del comparador es más positiva que la entrada negativa del comparador, se tendrá a la salida del amplificador un nivel alto. Este nivel habilita la compuerta AND de manera que el reloj de 1MHz alimente a los contadores y empiece la rampa. El voltaje de la rampa crecerá positivamente hasta que se excede el voltaje en la entrada. Esto ocasiona que en la salida del comparador se tenga un nivel bajo el cual deshabilitará la compuerta AND.

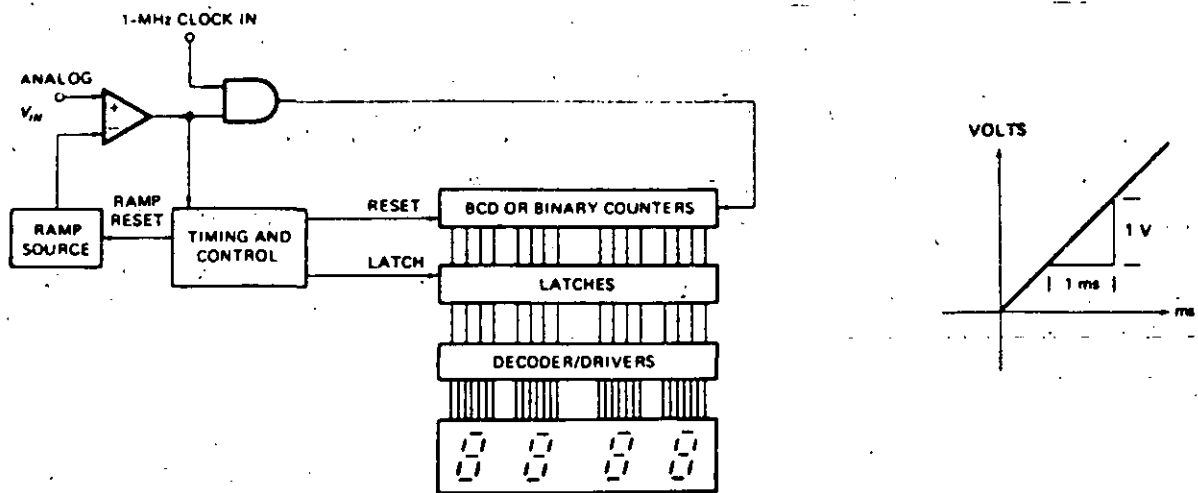


FIG. 4.15 CONVERTIDOR A/D DEL TIPO DE SIMPLE PENDIENTE

Para conocer más detalladamente este tipo de convertidor, asumamos que tenemos un reloj de 1MHz, cuatro contadores BCD y un V_{in} de 2.0 volts. Además asumamos que la rampa tiene una pendiente de 1V/ms. Desde el comienzo de la conversión, la rampa tomará 2mseg para alcanzar los 2 volts y el reloj a los contadores será deshabilitado. En estos 2ms, 2000 ciclos por segundo habrán llegado a los contadores para ser contados. La salida del comparador irá a nivel alto y habilitará los latches para que estos envíen la cuenta a los displays. Insertando un punto decimal en el punto propio de alguno de los display de siete segmentos, se ofrecerá una lectura de 2000v. Cualquier otro voltaje positivo de entrada hasta 9.999v puede ser convertido al código equivalente BCD y mostrado de la misma manera. Este circuito es un simple voltmetro digital. Si se utilizaran contadores binarios, la salida sería decodificada posteriormente para mostrar en el display el valor correcto de la señal de entrada.

Este tipo de convertidor no posee la eficiencia necesaria para utilizarlo como voltmetro digital por su pobre resolución y estabilidad. Existen variaciones en el generador de rampa ocasionadas por la temperatura, el tiempo, la sensibilidad del voltaje de entrada.

CONVERTIDOR A/D DE DOBLE PENDIENTE

El diagrama de bloques de un convertidor de doble pendiente se muestra en la fig.4.16 (a). El circuito es muy similar al anterior excepto por el switch en la entrada el cual selecciona el voltaje de entrada o un voltaje de referencia y las conexiones invertidas en el comparador.

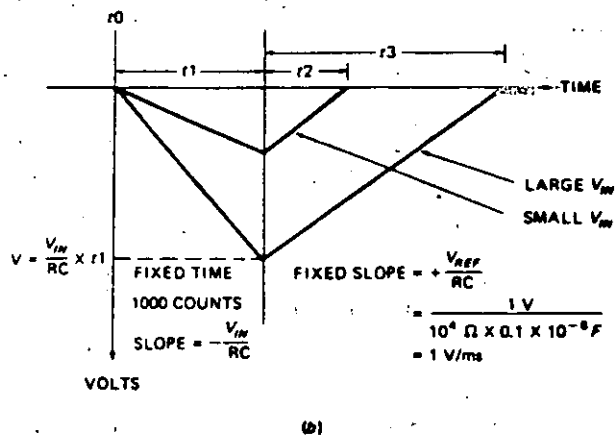
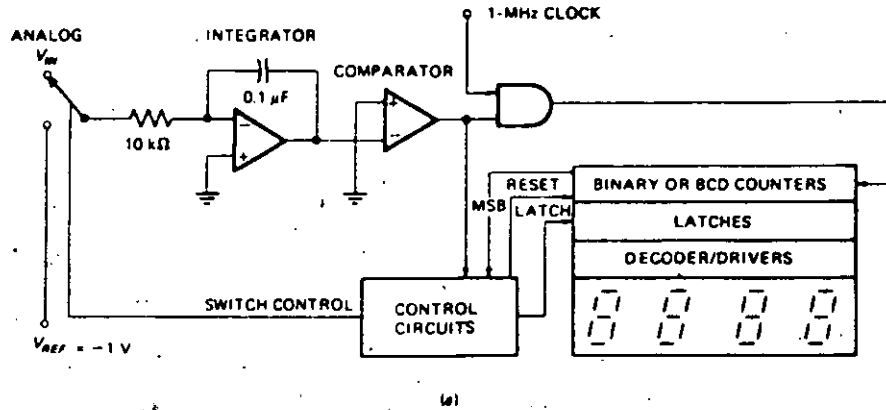


FIG. 4.16 CONVERTIDOR A/D DE DOBLE PENDIENTE

La primera parte del circuito consiste en el generador de rampa o *integrador*. La entrada inversora del amp op es mantenida en tierra virtual. Por ejemplo, un voltaje de 2 v aplicado en la terminal de entrada del resistor de 10KΩ ocasionará una corriente constante de 0.2 mA fluyendo a través del resistor hacia el punto suma. Debido a la alta impedancia de entrada del amp op, ésta corriente fluye a través de uno de los platos del capacitor. Para mantener la tierra virtual en la entrada inversora del amplificador, el mismo amplificador deberá de

jalar esta misma corriente desde el otro plato del capacitor. Debido que el capacitor carga, el voltaje de salida en el integrador se irá a niveles más negativos para guardar el flujo de corriente constante. El voltaje que se presenta en el capacitor cuando está siendo cargado por una corriente constante, se refleja como una *rampa lineal*. Con un voltaje positivo en la entrada del integrador, a la salida de éste se obtiene una rampa negativa como la que se muestra en la fig.4.16b. Un voltaje negativo en su entrada, ocasionará a la salida una rampa lineal en una dirección positiva.

La pendiente de la rampa puede ser determinada fácilmente utilizando las relaciones básicas: $q=CV$ para capacitores y $q=It$. Igualando las dos expresiones y acomodando términos obtenemos: $\Delta V/\Delta t = I/C$. La corriente de entrada es igual a V_{IN}/R , entonces sustituyendo en la expresión anterior: $\Delta V/\Delta t = V_{IN}/RC$. Además demuestra que para un voltaje de entrada V_{IN} dado, la pendiente de salida, o $\Delta V/\Delta t$, es una constante. Para valores mostrados de +2v en la entrada, la pendiente de salida es de -2 V/ms.

Ahora que el generador de rampa ha sido explicado, un ciclo de conversión puede ser cubierto. Un ciclo empieza con la rampa en 0, los contadores inicializados en cero, y el switch de entrada conectado al voltaje de entrada.

Cuando la salida del integrador se presenta como negativa en la entrada del comparador, a la salida de éste último se tiene un nivel alto el cual habilita la compuerta AND. Esto permite que la señal de reloj alimente a los contadores. La salida del integrador ocasionará que su rampa establezca un número de cuenta fijo. Esto es mostrado por dos diferentes voltajes de entrada en t_1 en la figura 4.16 (b). Cuando los contadores llegan al número de cuentas seleccionado, los circuitos de control resetean o inicializan los contadores a cero y switchean la entrada del integrador al voltaje de referencia negativo. Un voltaje de entrada negativo en el integrador, ocasionará una pendiente positiva, como la que se muestra para t_2 en la figura 4.16 (b).

Cuando el integrador llega a alcanzar el 0 (cero) otra vez, el comparador entregará en su salida un nivel lógico bajo. La circuitería de control detecta esta transición y hace que las salidas de los contadores sean *latcheadas* o *mantenidas*. Esto entonces inicializa nuevamente los contadores a cero y el switch de la entrada selecciona el voltaje V_{IN} . Hasta aquí empieza otro ciclo de conversión. El número de cuentas grabadas en los latches es proporcional al voltaje de entrada V_{IN} .

La rampa de salida del integrador ha ocasionado un voltaje de salida V igual a $(V_{IN}/RC) \cdot t_1$. Para retornar a nivel de 0, el integrador debe ocasionar una rampa positiva con la misma cantidad de voltaje. Para el período de referencia de integración t_2 , el voltaje V es igual a $(V_{REF}/RC) \cdot t_2$. Estas dos expresiones pueden ser igualadas obteniéndose que:

$$\begin{aligned} \frac{V_{IN}}{RC} \times t_1 &= \frac{V_{REF}}{RC} \times t_2 \\ V_{IN} \times t_1 &= V_{REF} \times t_2 \\ t_2 &= V_{IN} \times \frac{t_1}{V_{REF}} \end{aligned}$$

El significado práctico de éste resultado es que, tanto el resistor como el capacitor utilizados para el período de integración de señal y el período de integración de la referencia, variaciones en R y C no tienen efecto en la precisión del voltaje de salida. Esto es una gran ventaja sobre el convertidor de *simple rampa*. El resultado final de la ecuación muestra que el conteo de salida en el tiempo t_2 es directamente proporcional a V_{IN} debido a que V_{REF} y t_1 son constantes.

Para el circuito mostrado en la figura 4.16 (a) asumamos que se tienen los siguientes valores: t_1 son 1000 cuentas de un reloj de 1MHz, o 1ms. El V_{REF} es de -1V. Para una entrada deseñal de 2V, t_2 será: $(2V/1V) \times 1000$ cuentas, o sea 2000 cuentas en total. Un punto decimal colocado a la derecha representará 2.000V. Para un voltaje más pequeño de entrada de 0.8v, el tiempo t_2 será de $(0.8V/1V) \times 1000$ cuentas, o sea 800 cuentas lo que ocasionará una lectura de voltaje de 0.800volts.

Las ventajas de un convertidor de doble rampa son su precisión, bajo costo, y la inmunidad a las variaciones posibles por temperatura ocasionadas por R y C. La desventaja principal es su baja velocidad.

CONVERTIDOR A/D CON SIMPLE CONTADOR

Este tipo de convertidor utiliza al igual que el convertidor A/D de localización y el de aproximaciones sucesivas los convertidores DIGITALES/ANALÓGICOS.

En la figura 4.17 mostramos como el voltaje de salida de los convertidores D/A y contadores pueden ser utilizados en lugar de un integrador para formar una simple rampa que corresponde al tipo de convertidor A/D de rampa sencilla. En el principio del ciclo de conversión, los contadores son inicializados o reseteados y la salida del convertidor D/A es cero. Cuando un voltaje de entrada está presente en la entrada del comparador, su salida va a un nivel lógico alto de manera que el reloj que está presente por la otra entrada de la compuerta AND pasa directamente como señal de alimentación hacia los contadores. Cada pulso de reloj avanza a los contadores una cuenta y se incrementa el voltaje de salida del convertidor D/A en un paso.

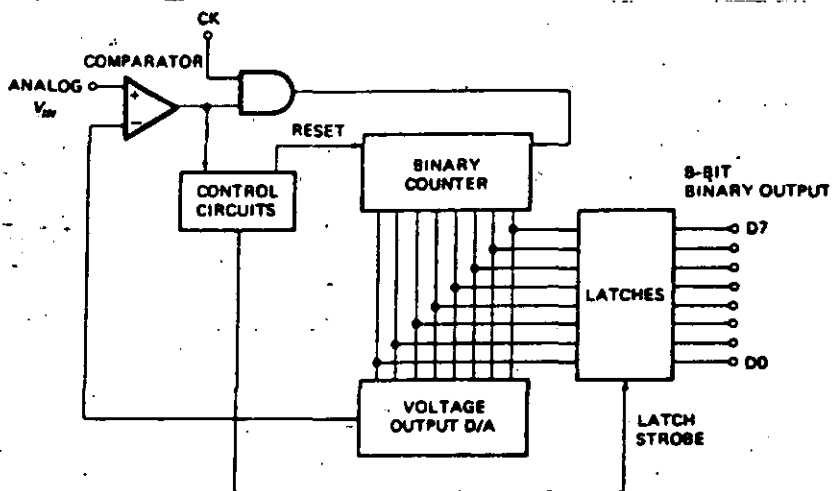


FIG. 4.17 CONVERTIDOR A/D CON SIMPLE CONTADOR

Cuando el voltaje de salida del convertidor D/A llega a ser mayor que el voltaje de entrada, la salida del comparador salta al estado lógico bajo. Esto ocasiona que los contadores no reciban a partir de este momento señal de reloj. Los circuitos de control se encargan de latched o mantener las salidas de los contadores e inicializan a los mismos para que vuelva a comenzar el ciclo de cuenta nuevamente.

Este método es más rápido que el de *doble rampa* pero requiere de un convertidor D/A con bastante precisión. Otra desventaja es que para cada ciclo de conversión, es que el contador tiene que empezar en cero y contar todo el camino hasta que el voltaje de salida del convertidor es mayor que el voltaje de entrada V_{in} .

CONVERTIDOR A/D DE LOCALIZACION

Este tipo de convertidor es un método algo más rápido para digitalizar señales tales como el audio las cuales cambian en una cantidad muy pequeña entre cada muestra que se va tomando. Como se muestra en la siguiente figura, este convertidor utiliza contadores UP/DOWN (arriba/abajo) a diferencia de los que se han presentado hasta el momento. El reloj es dirigido a cualquiera de las entradas de reloj CU (clock up input) o CD (clock down input) por switches de compuerta NAND en la salida del comparador.

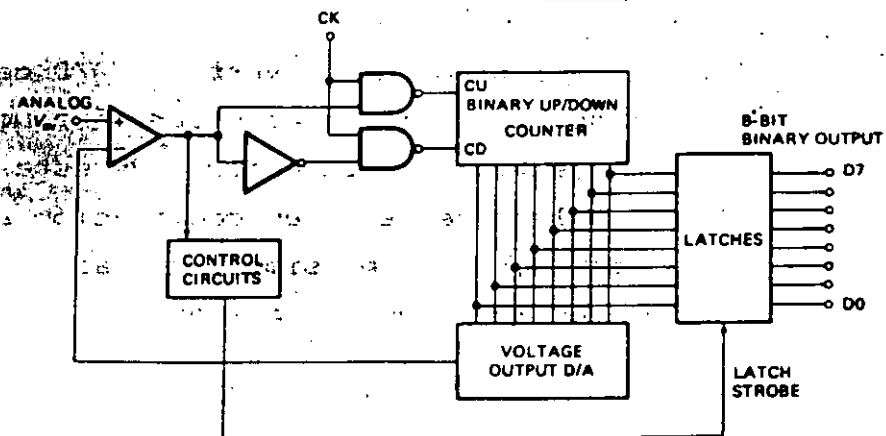


FIG. 4.18 CONVERTIDOR A/D DE LOCALIZACION

En el principio de la conversión de algún voltaje de entrada la salida del convertidor D/A es 0, de manera que la salida del comparador está en nivel lógico alto. Esto ocasiona que el reloj se dirija únicamente hacia la entrada CU. Los contadores de esta manera contarán hacia arriba hasta que la salida de el convertidor D/A sea mayor que V_{IN} .

La salida del comparador en este momento cambia a nivel lógico bajo y dirige la señal de reloj hacia la entrada CD. Sin embargo, si V_{IN} no ha cambiado, un conteo abajo ocasionará que la salida del convertidor D/A sea menor en voltaje que V_{IN} . La salida del comparador cambiará a alto y nuevamente dirigirá la señal de reloj a la entrada CU. Una cuenta arriba cambiará la salida del comparador para regresar al nivel lógico bajo para repetir este ciclo. El bit menos significativo de salida de este tipo de convertidor oscila por una constante V_{IN} . Esto es una desventaja. Como la señal de entrada cambia, el contador arriba/abajo trata de localizarla, es por esto a que debe su nombre.

La ventaja es que para digitalizar ondas senoidales, tiene que contar arriba o abajo unas pocas cuentas de una muestra a la siguiente en lugar de contar hacia arriba partiendo siempre de 0 cada vez.

CONVERTIDOR A/D DE APROXIMACIONES SUCESIVAS

La mayor ventaja que tiene un convertidor A/D de aproximaciones sucesivas es que N bits de resolución pueden ser producidos con solo N pulsos de reloj. Por ejemplo, el convertidor de este tipo de 8 bits requiere solamente de 8 pulsos de reloj en comparación a los 256 pulsos requeridos para el convertidor de tipo simple contador. La fig. 4.19 muestra este tipo de convertidor con sus partes.

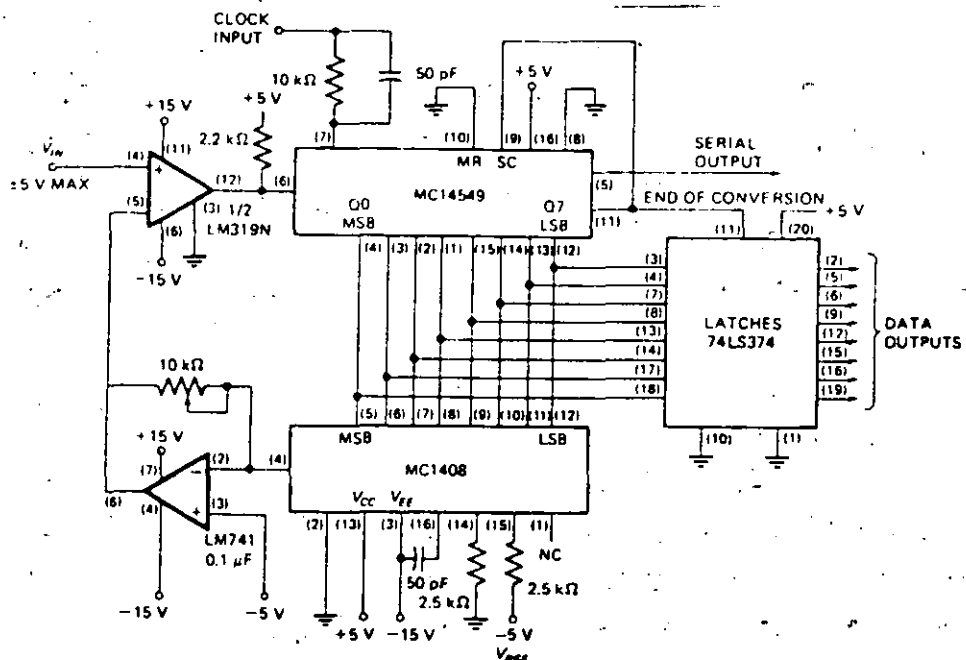


FIG. 4.19 CONVERTIDOR A/D DE APROXIMACIONES SUCESIVAS

La parte principal de este tipo de convertidor es el **REGISTRO DE APROXIMACIONES SUCESIVAS** denominado (SAR) que aparece como el chip MC14549 el cual funciona como sigue. En el principio del ciclo de conversión el SAR, en el primer pulso de reloj, hace que se prenda el bit más significativo del convertidor DAC MC1408. Entonces el SAR espera una señal proveniente del LM319 (comparador) indicando la situación en que la salida del D/A es mayor o menor que el voltaje de entrada. Si la salida del comparador está en nivel lógico alto, entonces la salida del D/A es menor que V_{in} y el SAR entonces se encargará de colocar un nivel en el bit más significativo. En cualquiera de los casos, en el siguiente pulso de reloj el SAR colocará el siguiente bit más significativo. Se guardará o será inicializado este bit dependiendo de la salida del comparador. El SAR va a seguir procediendo de esta manera hasta el bit menos significativo prendiendo cada uno. Se guarda un bit si el voltaje de salida del D/A es menor que V_{in} , y se inicializa o resetea un bit cuando el voltaje de salida

del convertidor D/A es mayor que V_{in} . Únicamente un pulso de reloj necesario para cada bit. Cuando han sido explorados todos los bits, el SAR envía una señal de salida denominada *fin de conversión* (EOC). Esta señal indica que las líneas paralelas de salida contienen una palabra binaria válida que representa el tamaño de la señal de entrada analógica. Si esta señal está unida con SC (*principio de conversión*), el convertidor estará continuamente en un ciclo o loop. El MC14549 también tiene un puerto de salida serial el cual se encarga de enviar la palabra digital bit por bit en un tiempo así como el SAR lo determine.

El método de conversión A/D por medio de aproximaciones sucesivas, es similar a obtener la altura de una tabla por pilotaje en bloques con peso binario de 128, 64, 32, 16, 8, 4, 2 y 1cm de altura. El bloque más significativo de 128cm es tratado primero. Si es demasiado alto, este es colocado a un lado y un 0 se vuelve a poner en esa posición de bit. Entonces el siguiente bloque más significativo es tratado añadiéndolo a la pila. Si en algún momento el añadir un bloque hace más grande a la pila que a la tabla, ese bloque es colocado a un lado y un 0 es grabado. Si al añadir el siguiente bloque la pila no se hace mayor que la tabla, entonces un 1 es grabado para ese bit. Cada bloque requiere de un tratamiento. Cuando todos los bloques han sido tratados, el resultado es una palabra binaria de 8 bits la cual representa la altura de la tabla.

El circuito mostrado anteriormente se puede realizar y en el ya vienen indicados el número de pines con su ubicación para probarlo. El máximo rango de voltaje de entrada es de ± 5 volts. El resistor y capacitor en la entrada del reloj, se utilizan para proteger el MC14549 de daños si la fuente hacia el convertidor es accidentalmente apagada antes de que el generador de pulso alimente el reloj. Hay que notar que en el amplificador configurado como convertidor de corriente a voltaje en la parte inferior, la entrada no inversora está a -5V en vez de estar a tierra. Esto permite que cambie el rango del voltaje de la señal analógica de -5v a 5v, en lugar de 0 a +10v. Ondas senoidales de

AC pueden ser conectadas directamente a la entrada del A/D.

Para mostrar como una onda senoidal puede ser reconstruida de sus valores digitales, se puede añadir un convertidor MC1408L-8 y un LM741 y los mismos valores que se han elegido en el circuito de la figura 4.19. Este convertidor es colocado en la salida de los latches. Una onda senoidal de 5v de pico y con 1KHz en la entrada del convertidor A/D puede ser comparada con la señal de salida que está entregando este DAC. Si se varia la frecuencia de entrada del convertidor, se puede observar el efecto en la forma de onda de salida para reconstruir esa misma señal sin haber variado la frecuencia de V_{in} .

El método de aproximaciones sucesivas tiene la desventaja de requerir un convertidor D/A pero se tiene un convertidor A/D de alta velocidad con excelente resolución.

4.2.3 PARAMETROS Y APLICACIONES EN CIRCUITOS INTEGRADOS

Las especificaciones discutidas primeramente para los convertidores D/A tales como la resolución, precisión, linealidad etc... son utilizadas también para los convertidores A/D. Otro término utilizado con los convertidores A/D es el *error de cuantización*, o el error entre el valor actual analógico y su representación digital. Idealmente el máximo error de cuantización es de $\pm 1/2$ del bit menos significativo, de manera que esta es otra manera de especificar la resolución.

Otro parámetro importante para convertidores A/D es el *tiempo de conversión*, o el tiempo para digitalizar cada muestra. El rango de este va desde nanosegundos hasta milisegundos dependiendo de el tipo de conversión y el número de bits. Alta resolución, baja velocidad en aplicaciones que utilizan el tipo *doble-pendiente*. Alta

Fabricante	Referencia	microprocesador	microcomputador	Tecnología	Frecuencia máx. (MHz)	Tiempo instrucción máx/min	Longitud palabra datos/instrucciones	ROM interna	RAM interna	número instrucciones	Canales/bits A/D	Canales/bits D/A	pines de E/S	Niveles interrupción	Stack	Aritmética BCD	n° pin	Alimentación (V)
National	COP445L	μC		NMOS	0.28	40/15	4/8	2 K	128 x 4	49	Si	No	19	1	3	Si	24	4.5 - 5.3
Texas Inst.	TMS2100	μC		PMOS	0.55	60/11	4/8	2 K	128 x 4	55	1/8	No	20	1	4	Si	28	-9
	TMS2170	μC		PMOS	0.55	60/11	4/8	2 K	128 x 4	55	1/8	No	19	1	4	Si	28	-9
	TMS2300	μC		PMOS	0.55	60/11	4/8	2 K	128 x 4	55	2/8	No	33	1	4	Si	40	-9
	TMS2370	μC		PMOS	0.55	60/11	4/8	2 K	128 x 4	55	2/8	No	32	1	4	Si	40	-9
	TMS2400	μC		PMOS	0.55	60/11	4/8	4 K	256 x 4	55	1/8	No	20	1	4	Si	28	-9
	TMS2470	μC		PMOS	0.55	60/11	4/8	4 K	256 x 4	55	1/8	No	19	1	4	Si	28	-9
	TMS2600	μC		PMOS	0.55	60/11	4/8	4 K	256 x 4	55	4/8	No	33	1	4	Si	40	-9
	TMS2670	μC		PMOS	0.55	60/11	4/8	4 K	256 x 4	55	4/8	No	32	1	4	Si	40	-9
GTE Microcircuits	HD63L05F	μC		CMOS	4	4/2	8/8	3772 x 8	96 x 8	61	Si	No	20	2	RAM	Si	60FP	3
Hitachi	HD6805W	μC		NMOS	4	4/2	8/8	3849 x 8	96 x 9	61	Si	No	29	2	RAM	Si	40	5
Intel	8022	μC		NMOS	3.53	16.8/8.4	8/8	2 K	64 x 8	70	2/8	No	27	1	8	Si	40	5
Motorola	MC6805R2	μC		HMOS	5	4/2	8/8	2 K	64 x 8	59	4/8	No	32	1	RAM	Si	40	5
Motorola	MC6305R3	μC		HMOS	5	4/2	8/8	3776 x 8	112 x 8	59	4/8	No	32	1	RAM	Si	40	5
Motorola	MC68705R3	μC		HMOS	5	4/2	8/8	3776 x 8	112 x 8	59	4/8	No	31	1	RAM	Si	40	5
NEC Electronics	μPD7811	μC		NMOS	1	4/2	8/8	4 K	128 x 8	160	8/8	No	48	5	RAM	Si	64Q	5
Toshiba	TMP2022	μC		NMOS	3.6	16.8/8.4	8/8	1 K	64 x 8	70	Si	No	13	No	8	Si	20	5
Intel	8098	μC		NMOS	12	6.5/1	16/16	4K x 16	116 x 16	95	8/10	No	24	8	RAM	No	48	5
Intel	2920	μC		NMOS	6.67	0.6/0.6	25/24	EPROM 192 x 24	40 x 25	21	4/9	8/8	12	No	No	—	28	±5
Intel	2921	μC		NMOS	10	0.4/0.4	25/24	ROM 192 x 24	40 x 25	21	4/9	8/8	12	No	No	—	28	±5

Resumen de los chips microcomputador que tienen incorporados convertidores analógico-digitales o digital-analógicos en su estructura interna.

Características de algunos convertidores A/D y D/A Especificaciones

Compañía	Fabricante	Modelo N°	Velocidad	A/D bits	DA canales	Técnica de conversión	Tecnología	Comentarios
8080	National	ADC 0816 ADC 0817	tiempo de conversión 100 μs	8	16	Aprox. suces.	CMOS 40 pin DIP	Directo bus estándar 8080 de National; mapeado en memoria
8080	National	ADC 0808 ADC 0809	Tiempo de conversión 100 μs	8	8	Aprox. suces.	CMOS 28 pin DIP	Igual al ADC 0816 con un MUX de la mitad de canales
8080 8085	National	ADC830 ADC831 ADC833 ADC834 ADC837 ADC838	30 μs 30 μs 30 μs 30 μs 30 μs 40 μs	8 8 8 8 8 8	2 1 dif. 4 2 dif. 8 4 dif.	Aprox. suces.	CMOS 8 pin DIP 14 pin DIP 14 pin DIP 20 pin DIP 20 pin DIP	Varios canales simples o la mitad diferenciales. Todos comunicación serie
8080	Analog Devices	AD7524	15 μs	8	1	Aprox. sucesiv.	CMOS 16 pin DIP	Interf. como una RAM. ROM lenta
8080	Analog Devices	AD571	25 μs	10	1	Aprox. sucesiv.	PL 18 pin DIP	Convertidor completo en un chip, incluye reloj, comparador, refer. directo al bus μC
8080 8085 8088 8080 8088 8085	Burr-Brown	MP20	40-200 μs/canal	8	16 (8 dif.)	Aprox. sucesiv.	Híbrido Thick film 80 pin (Quad)	Directo al bus μC
8080	Analog Devices	AD674	25 μs	12	1	Aprox. sucesiv.	PL 28 pin DIP	
8080 8085 8088	Burr-Brown	MP21	40-200 μs/canal	8	16 (8 dif.)	Aprox. sucesiva)	Híbrido (thick film) 80 pin (quad)	Directo al bus μC
8080	Analog Devices	AD 364	25 μs	12	16 (8 dif.)	Aprox. sucesiv.)	PL 2 dip	Interfaz directo al 6800; añadiendo NAND directo al 8080
1800	PCA	1860	3.2 MHz, 5 V-6.4 MHz, 10 V reloj del μC	8			CMOS 18 pin	
8080	Intel	F052/7101 7103 7104	3-30 Hz	10-16		Doble rampa	PMOS, CMOS BIFET 14 y 40 pin	Pares lentos pero precisos
8080	Motorola	14443 14447	330 μs canal	8	6	Rampa simple	CMOS 16 pin	Incluye MUX, comparador y corriente de referencia

LOS CONVERTIDORES D/A Y A/D SON HERRAMIENTAS FUNDAMENTALES EN LA INSTRUMENTACION DIGITAL CUANDO SE UTILIZAN MICROPROCESADORES. LA APLICACION DE LOS MISMOS ESTA ENCAMINADA A RESOLVER LAS NECESIDADES HUMANAS QUE HA CONSIDERADO EL HOMBRE EN SUS PROYECTOS.

BIBLIOGRAFIA:

Malmstadt/Enke/Crouch. Digital and Analog Data Conversions. Edit. W.A. Benjamin Inc. USA 1973.

Titus/Titus/Röny/Larsen. Microcomputer-Analog Converter Software and Hardware Interfacing. Edit. Howard W. SAMS and Co Inc. USA 1978.

Douglas V. Hall. Microprocessors and Digital Systems. Second Edition. Edit. McGraw Hill. 1985.

Poblet José y Varios Autores. Interconexión de Periféricos a Microprocesadores. Publicaciones Marcombo. España 1984.

Linear Applications Handbook. National Semiconductor Corporation. Santa Clara, C.A. 1980.

Data-Acquisition Databook. (Integrated Circuits). Analog Devices. 1982.





**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y MICROCOMPUTADORAS

V.- APLICACIONES

SISTEMA DE MEMORIA DIGITAL PARA OSCILOSCOPIO

ING. JOSE ANTONIO ARREDONDO GARZA

FEBRERO-MARZO

5.2 DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS.

EL DISEÑO DEL SISTEMA DE MEMORIA PARA OSCILOSCOPIO REQUIERE DE UN SUBSISTEMA EL CUAL LE SIRVA PARA LA ADQUISICIÓN DE INFORMACIÓN DE LOS EVENTOS QUE SUCEDEN EN FORMA ANALÓGICA O DIGITAL EN MEDIO AMBIENTE. POR LO TANTO, ESTE SUBSISTEMA REQUIERE DE LOS SIGUIENTES ELEMENTOS:

- PREAMPLIFICACIÓN.
- MUESTREADOR-RETEN.
- MULTIPLEXAJE DE SEÑALES.
- CONVERSIÓN ANALÓGICO-DIGITAL.
- CONTADOR DE MUESTRAS.

5.2.1 EL PREAMPLIFICADOR.

EL DISEÑO DEL SISTEMA REQUIERE DE UNA AMPLIFICACIÓN PREVIA QUE ADECUÉ LA SEÑAL O SEÑALES DE ENTRADA DENTRO DE UN RANGO DE "0" A "5" VOLTS NECESARIOS PARA QUE EL CONVERTIDOR ANALÓGICO-DIGITAL ENTREGUE UNA PALABRA DIGITAL A SER ALMACENADA EN MEMORIA Y POSTERIORMENTE ESTA SER MANDADA A LOS CONVERTIDORES DIGITAL-ANALÓGICOS.

ESTA ETAPA ANALÓGICA ESTÁ CONSTITUIDA POR UN ARREGLO DE AMPLIFICADORES OPERACIONALES, QUE PERMITEN CON LOS CIRCUITOS ADECUADOS TENER DIFERENTES RANGOS DE VOLTAJES DE ENTRADA. ESTOS RANGOS SON SELECCIONADOS CON UN SWITCH.

V.- DISEÑO DEL SISTEMA DE MEMORIA.

5.1 INTRODUCCIÓN AL DISEÑO DEL SISTEMA.

UN OSCILOSCOPIO CON MEMORIA ES MÁS CARO QUE UNO CONVENCIONAL SIN MEMORIA, POR LO TANTO RESULTA A VECES PROHIBITIVO TENER UN OSCILOSCOPIO CON ESAS CARACTERÍSTICAS. SIN EMBARGO EN EL MERCADO SE CUENTA CON UNIDADES DE MEMORIA EXTERNA PARA ESTE TIPO DE OSCILOSCOPIOS SIN MEMORIA. LA DESVENTAJA DE ESTAS UNIDADES ES QUE SU COSTO ES TAMBIÉN ELEVADO.

EN ESTE CAPÍTULO SE HARÁ UN ANÁLISIS DEL SISTEMA DISEÑADO EN CUANTO A SU ESTRUCTURA INTERNA (HARDWARE) Y AL FINAL DEL CAPÍTULO SE HARÁ UNA COMPARACIÓN EN CUANTO A SU COSTO.

EL SISTEMA BÁSICO ESTÁ COMPUESTO DE LOS SIGUIENTES ELEMENTOS:

- UNA MEMORIA RAM (LECTURA-ESCRITURA).
- UNA LÓGICA DE CONTROL DE FUNCIONES.
- UN SISTEMA DE BARRIDO DE MUESTRAS.
- UN SISTEMA DE ADQUISICIÓN Y TRANSFERENCIA DE DATOS.

TODOS LOS ELEMENTOS ANTES MENCIONADOS CONSTITUYEN AL SISTEMA DE MEMORIA PARA OSCILOSCOPIO EL CUAL REALIZA LOS SIGUIENTES MODOS DE OPERACIÓN:

- MODO DE BARRIDO AUTOMÁTICO.
- MODO DE BARRIDO SIMPLE.
- MODO GRAFICADOR.

ESTOS MODOS DE OPERACIÓN MENCIONADOS HACEN QUE EL SISTEMA SEA SUFICIENTEMENTE VERSÁTIL, LO CUAL PERMITE UTILIZARLO EN UNA GRAN VARIEDAD DE EXPERIMENTOS O MEDICIONES DE LABORATORIO.

5.2.2. EL MUESTREADOR - RETEN.

DESPUES DE LA ETAPA PREAMPLIFICADORA-SUMADORA EL SISTEMA TIENE UNA ETAPA MUESTREADORA CONSTITUIDA POR UN SWITCH ANALOGICO EN CUYA ENTRADA SE APLICA EL VOLTAJE A MUESTREAR.

A LA SALIDA DEL SWITCH SE TIENE UN CAPACITOR QUE MANTIENE O RETIENE EL VOLTAJE CONSTANTE PARA ASI EVITAR CUALQUIER ERROR AL REALIZAR LA CONVERSION ANALOGICO-DIGITAL.

LA SALIDA DEL SWITCH ALIMENTA LA ENTRADA DE UN AMPLIFICADOR OPERACIONAL QUE ESTA CONECTADO COMO SERVIDOR DE EMISOR, LA CUAL AISLA AL MUESTREADOR-RETEN DE LA ENTRADA DEL CONVERTIDOR ANALOGICO-DIGITAL.

EL CONTROL DE APERTURA Y CIERRE DE LOS DOS SWITCHES ANALOGICOS SE REALIZA MEDIANTE EL USO DE DOS COMPARADORES. EL USO DE LOS COMPARADORES ES NECESARIO PORQUE EL SWITCH ANALOGICO ESTA POLARIZADO CON ± 5 VOLTS Y POR LO TANTO SE TIENE QUE LOS NIVELES DE OPERACION DE LA PARTE DIGITAL DEL SISTEMA OPERAN CON ± 5 VOLTS, LO CUAL HARIA QUE LOS SWITCHES ANALOGICOS NO OPERARAN CORRECTAMENTE.

SE TIENE UN ARREGLO DE LOS COMPARADORES QUE PERMITE TENER UNO DE LOS SWITCHES CERRADO A LA VEZ, PERO NO LOS DOS CERRADOS AL MISMO TIEMPO (VER FIGURA 5.2.2).

LA SEÑAL DE SALIDA DEL MUESTREADOR-RETEN ES UNA SEÑAL DISCRETA, LA CUAL ES MUESTREADA A UNA FRECUENCIA VARIABLE. ESTA FRECUENCIA DE MUESTREO ES SELECCIONADA MEDIANTE UNA PERILLA DE CONTROL PROVENIENTE DE LA BASE DE TIEMPO.

DEBIDO A QUE LAS SEÑALES DE ENTRADA PUEDAN TENER COMPONENTES DE D.C., O BIEN, TENER PARTE POSITIVA Y PARTE NEGATIVA, SE TIENE UN CIRCUITO SUMADOR DE VOLTAJE CAPAZ DE LEVANTAR LA SEÑAL CON UNA COMPONENTE DE D.C. SOLUCIONANDO ASI ESE PROBLEMA.

LA ETAPA PREAMPLIFICADORA ESTA POLARIZADA CON ± 12 VOLTS, PERO LA ETAPA SUMADORA ESTA POLARIZADA CON ± 5 VOLTS CON LA FINALIDAD DE EVITAR QUE LA ENTRADA DEL SWITCH ANALOGICO DEL MUESTREADOR SEA DAÑADA. POR LO TANTO LA SALIDA DEL SUMADOR VA A ESTAR LIMITADA EN RANGO.

5.2.3. EL CONVERTIDOR ANALÓGICO - DIGITAL ADC809.

UNA VEZ MUESTREADA LA SEÑAL ANALÓGICA QUEDA LISTA PARA SER CONVERTIDA DE UN NIVEL ANALÓGICO DE VOLTAJE A UN CÓDIGO DIGITAL QUE PUEDE SER ALMACENADO EN UNA MEMORIA RAM, DE LA CUAL SE VA HABLAR MÁS ADELANTE. EL CONVERTIDOR ANALÓGICO-DIGITAL UTILIZADO EN ESTE PROYECTO ES EL ADC809 DEL CUAL PODEMOS DECIR QUE ES UN CONVERTIDOR A/D DE 8 BITS CON 8 ENTRADAS MÚLTIPLEXADAS DEL CANAL SE HARÁ UNA BREVE DESCRIPCIÓN DE LOS ELEMENTOS QUE LOS CONSTITUYEN.

5.2.4. MEMORIA DE ACCESO ALEATORIO (RAM).

UNA VEZ QUE LA SEÑAL ANALÓGICA ES CONVERTIDA A UN CÓDIGO DIGITAL NUMÉRICO ESTE CÓDIGO TIENE QUE SER ALMACENADO EN UNA MEMORIA RAM. ALMACENADOS LOS DATOS EN LA MEMORIA LA DISTRIBUCIÓN DE ESTA INFORMACIÓN ESTA ORDENADA DE TAL MANERA QUE LAS LOCALIDADES DE DIRECCIÓN PAR CORRESPONDEN AL CANAL A DE ENTRADA ANALÓGICAS (CONVERTIDOS A INFORMACIÓN DIGITAL), Y LAS LOCALIDADES IMPARES CORRESPONDEN AL CANAL B. ESTO SE LOGRA MEDIANTE UNA LÓGICA DE CONTROL DE LA CUAL SE HABLARÁ MÁS ADELANTE.

LA MEMORIA RAM UTILIZADA PARA ESTOS PROPÓSITOS ES UNA MEMORIA ESTÁTICA DE 2K POR 8 BITS. LA CUAL ES HABILITADA PARA ESCRITURA DE DATOS CUANDO LA TERMINAL RD/WR TIENE NIVEL "0" LÓGICO. ESTA OPERACIÓN DE ESCRITURA SE LOGRA SIN INTERFERIR CON LAS FUNCIONES DEL RESTO DEL SISTEMA.

W

Memoria RAM Convertidor Analógico Digital Muestreador - Reten.

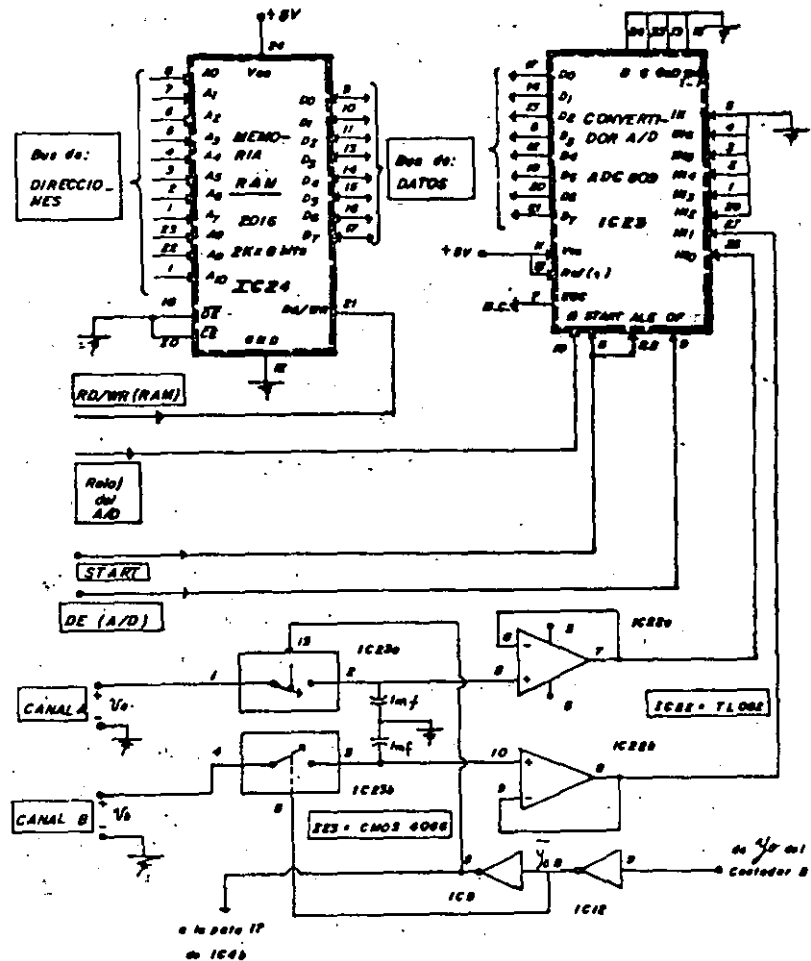


Fig : 5 2.2.

5.3.1. TRANSFERENCIA DE DATOS DE LA MEMORIA RAM A LOS CONVERTIDORES D/A.

LA MEMORIA RAM TIENE UNA DOBLE FUNCION QUE ES LA DE ALMACENAR Y DISTRIBUIR LAS MUESTRAS TOMADAS EN FORMA DIGITAL HACIA LOS CONVERTIDORES D/A. ESTO SE LOGRA A TRAVES DE DOS LATCH 74LS373, LOS CUALES SON MANEJADOS MEDIANTE UNA LOGICA DE CONTROL QUE OBLIGA A REALIZARSE LA TRANSFERENCIA DE DATOS, CORRESPONDIENDO LAS LOCALIDADES PARES PARA EL CANAL A Y LAS LOCALIDADES IMPARES PARA EL CANAL B.

PARA PODER REALIZARSE LA TRANSFERENCIA DE DATOS ES NECESARIO QUE LA TERMINAL RD/WR TENGA COMO ESTADO "1" LOGICO. EN OTRAS PALABRAS SE PUEDE DECIR QUE EL INTERCAMBIO DE DATOS SE REALIZA EN FORMA TRANSPARENTE SIN ESTORBAR AL ALMACENAMIENTO DE DATOS.

LOS CONVERTIDORES D/A UTILIZADOS PARA ESTE FIN SON DEL TIPO DAC8000 LA INTERCONEXION DE ESTOS SE PRESENTA EN LA FIGURA 5.3.1.

5.2.5. EL CONTADOR DE MUESTRAS.

EL CONTADOR DE MUESTRAS ES UN CONTADOR DE 12 BITS QUE COMO SU NOMBRE LO INDICA LLEVA UN CONTEO GLOBAL DE MUESTRAS ALMACENADAS EN MEMORIA.

ESTE DISPOSITIVO ES MUY IMPORTANTE DEBIDO A QUE GUARDA UNA RELACION MUY ESTRECHA CON LA FRECUENCIA DE MUESTREO. ESTOS ES. LA VELOCIDAD DE CONTEO ES IGUAL A LA FRECUENCIA DE MUESTREO.

ESTE CONTADOR ESTA ASOCIADO A UNA LOGICA DE CONTROL DE MUESTREO CONSTITUIDO ESTA LOGICA EN PARTE POR LA BASE DE TIEMPO.

5.3. DISEÑO DEL SISTEMA DE TRANSFERENCIA DE DATOS.

EL SISTEMA DE MEMORIA PARA OSCILOSCOPIO CONTIENE UN SISTEMA DE TRANSFERENCIA DE DATOS EL CUAL ESTA CONSTITUIDO POR UNA SERIE DE ELEMENTOS QUE MANDAN LA INFORMACION DIGITAL A UNA VELOCIDAD MUY DIFERENTE DE LA FRECUENCIA DE MUESTREO A LA CUAL CORRESPONDE EL NUMERO DE MUESTRAS POR SEGUNDO QUE SON ALMACENADAS EN MEMORIA.

LOS ELEMENTOS CONSTITUIDOS DE ESTE SISTEMA DE TRANSFERENCIA SON LOS SIGUIENTES:

- LA MEMORIA RAM.
- LOS CONVERTIDORES D/A.
- EL GENERADOR DE RAMPA.
- EL CONTADOR DE BARRIDO.

5.3.2. CIRCUITO GENERADOR DE RAMPA PARA UN GRAFICADOR EXTERNO.

DENTRO DE LOS MODOS DE OPERACION QUE MANEJA LA UNIDAD DE MEMORIA PARA OSCILOSCOPIO DE LOS CUALES SE HARÁ UN ANÁLISIS MÁS ADELANTE. SE PUEDE MENCIONAR EL MODO GRAFICADOR. LA FINALIDAD DE ESTE MODO DE OPERACION ES LA DE GENERAR ATRAVES DE UN CONVERTIDOR D/A UNA RAMPA SINCRONIZADA CON TRANSFERENCIA DE DATOS QUE SE REALIZAN EN LOS CANALES A Y B DE SALIDA. CUANDO EL SISTEMA OPERA EN MODO DE BARRIDO AUTOMÁTICO LA RAMPA QUE SE GENERA TIENE UN PERIODO DE TIEMPO MUY PEQUEÑO, LO CUAL NO PERMITIRIA MANEJAR UN GRAFICADOR X.Y DE LABORATORIO. PARA LOGRAR QUE EL GRAFICADOR FUNCIONE ES NECESARIO AUMENTAR EN TIEMPO EL PERIODO DE LA RAMPA. ESTE AUMENTO DE TIEMPO LO QUE HACE ES TAMBIÉN CAMBIAR LA PENDIENTE DE LA RAMPA. DANDO TIEMPO PARA QUE EL GRAFICADOR PUEDA DESPLEGAR EN UN PAPEL LAS GRAFICAS MEMORIZADAS POR EL SISTEMA.

EL CAMBIO DE PENDIENTE DE ESTA RAMPA SE LOGRA CON EL CAMBIO DE FASE DE TIEMPO DEL CONTADOR A QUE SE ENCARGA DEL BARRIDO DE MUESTRAS.

EL CONTADOR A SE ENCARGA DE CONTROLAR LAS LINEAS DE DIRECCION DE LA MEMORIA RAM PARA REALIZAR LA TRANSFERENCIA DE DATOS A LOS CONVERTIDORES D/A DE SALIDA DE MUESTRAS. ESTE CONTADOR ES DE 12 BITS, DEL TIPO CMOS 4040. DE LOS 12 BITS, DEL CONTADOR NO SE UTILIZAN LOS 4 BIT MENOS SIGNIFICATIVOS DEBIDO A QUE EL CONVERTIDOR D/A UTILIZADO ES DE 8 BITS. PARA LOGRAR QUE LA SEÑAL DE RAMPA NO TENGA DEMASIADAS DISCONTINUIDADES SE UTILIZÓ UN INTEGRADOR LOGRANDOSE ASI UNA RAMPA PERFECTA.

EL RANGO DE VOLTAJE MÁXIMO DE LA RAMPA SE AJUSTO A 5 VOLTS.

Etapas de Conversión de Digital Analógica y Generador de Rampa para el modo graficador.

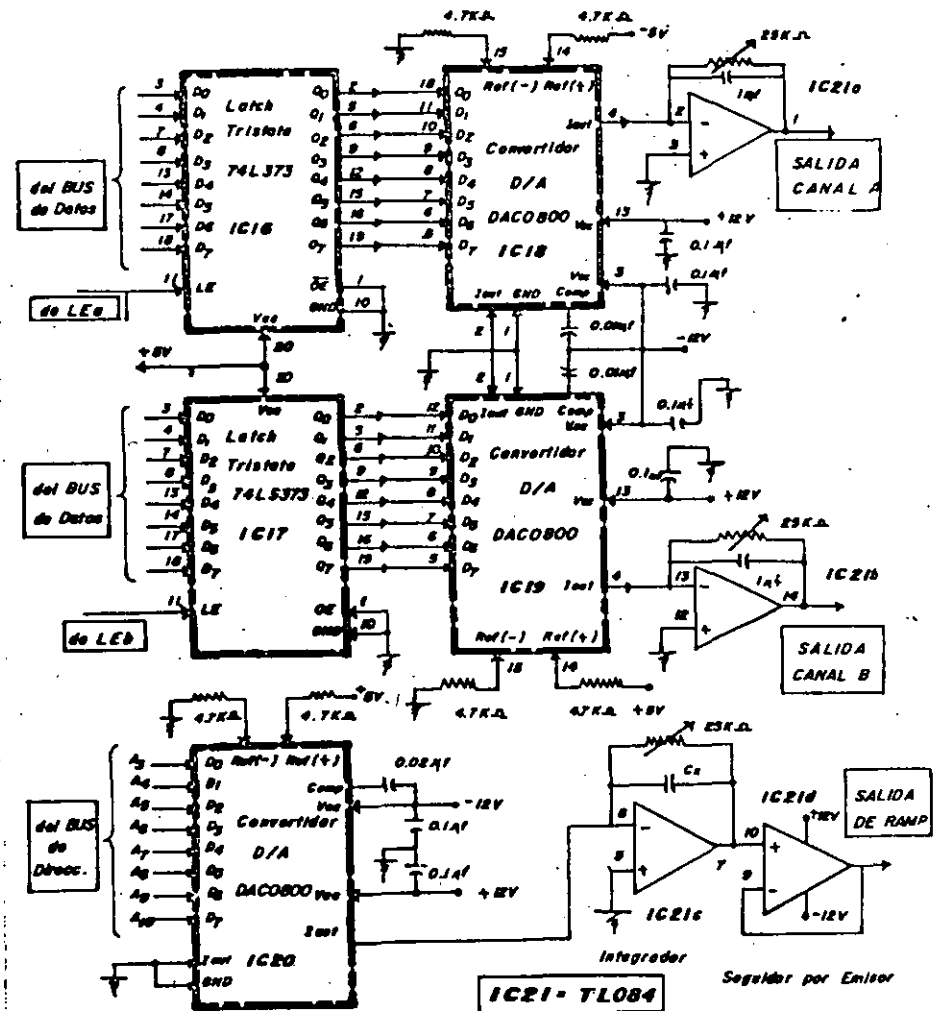


Fig. 5.3.1

Contadores de Barrido y Muestreo. Lógica de Control de Modo de Operación.

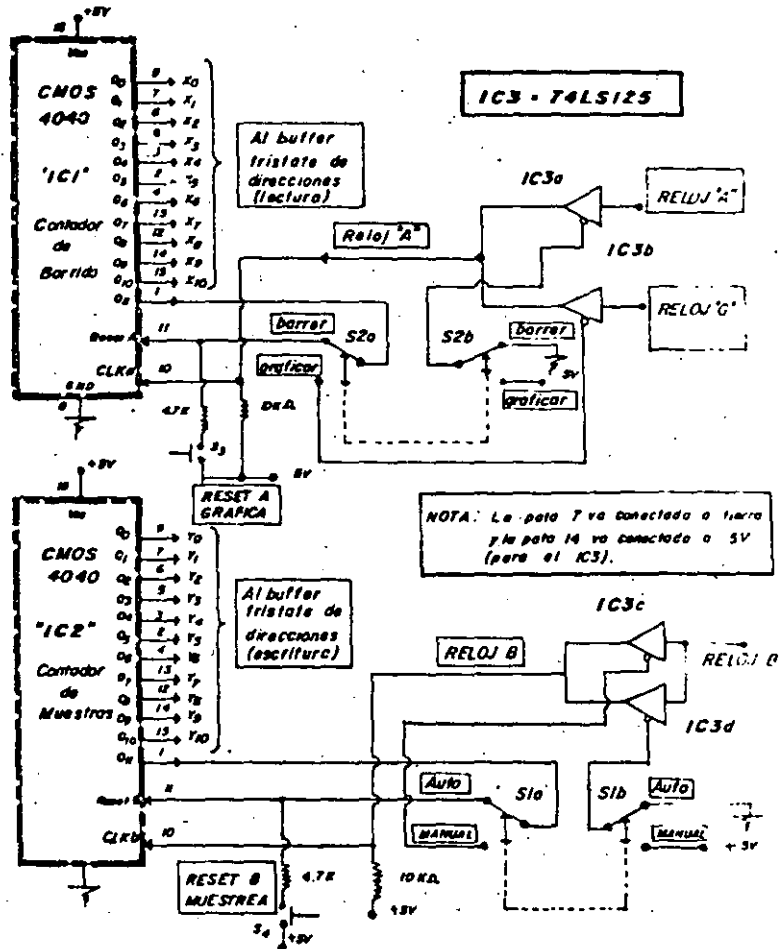


Fig: 5.3.2

EL CONVERTIDOR D/A QUE SE UTILIZO ES TAMBIEN EL DAC0800. EL CIRCUITO UTILIZADO ESTÁ REPRESENTADO EN LA FIGURA 5.3.2.

Sistema de Control principal de Acceso y Transferencia de Información. (o los D/A y el A/D).

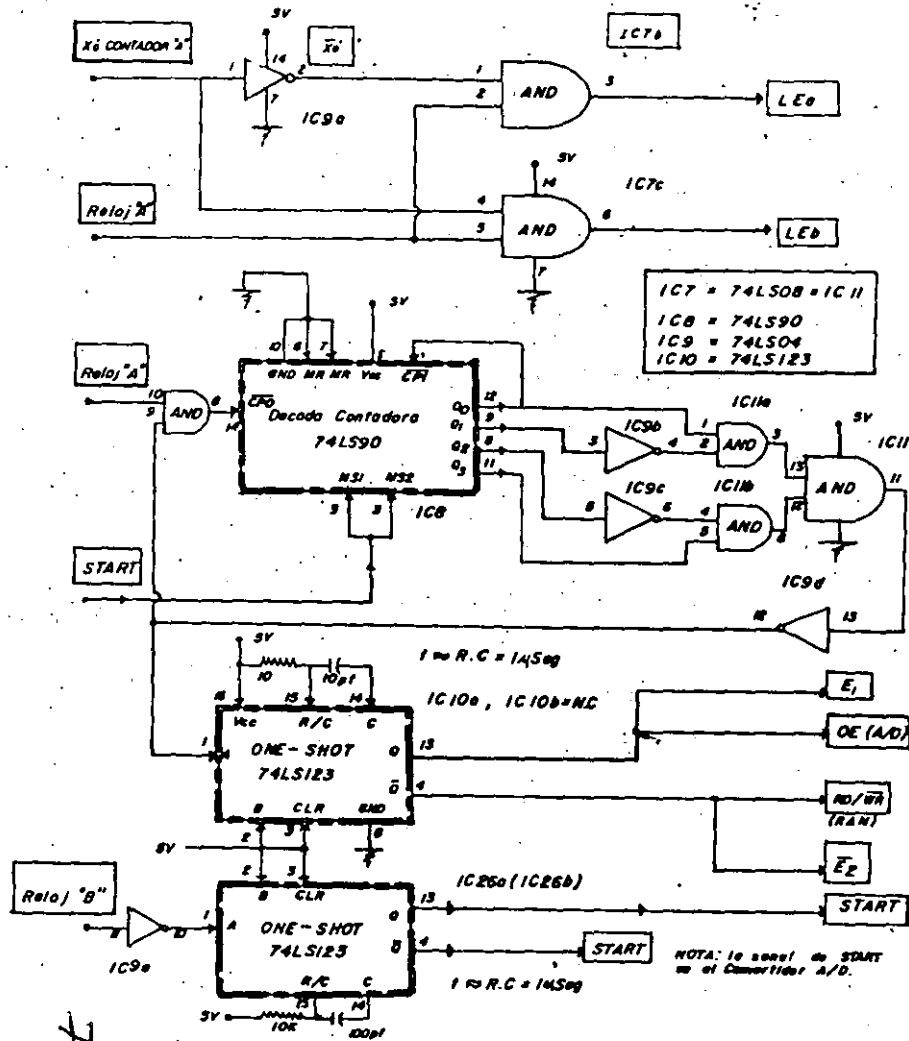


Fig. 5.4.L

5.4. LÓGICA DE CONTROL DEL SISTEMA.

PARA QUE EL SISTEMA OPERE ADECUADAMENTE ES NECESARIO DISEÑAR UNA LÓGICA DE CONTROL QUE MANEJE EL ARBITRAJE DE SEÑALES NECESARIAS PARA REALIZAR LA TRANSFERENCIA DE DATOS.

EN ESTA SECCIÓN SE DISCUTIRÁ EL DISEÑO DE ESTA LÓGICA.

5.4.1. EL INTERCAMBIO DE DATOS DE MEMORIA A LOS CANALES A Y B DE SALIDA.

PARA PODER ARBITRAR QUE LAS LOCALIDADES PARES E IMPARES DE MEMORIA SE NECESITA CONTROLAR ADECUADAMENTE EL BUS DE DIRECCIONES MANDANDO UNA SEÑAL DE CONTROL A LOS LATCHS DE SALIDA DE TAL MANERA QUE ESTA SEÑAL NO INTERFIERA CON LA ESCRITURA DE DATOS EN LA MEMORIA RAM. LA LÓGICA QUE REALIZA ESTA FUNCIÓN ESTÁ CONSTITUIDA POR UN INVERSOR QUE CORRESPONDE AL CIRCUITO IC9a Y DOS COMPUERTAS AND CORRESPONDIENTE AL CIRCUITO IC7b E IC7c ASOCIADOS A LAS SEÑALES DEL RELOJ A Y LA TERMINAL X0 DEL CONTADOR A DE BARRIDO EL DIAGRAMA DE TIEMPO ES PRESENTADO EN LA FIGURA 5.4.1.

5.4.2 ARBITRAJE DEL BUS DE DIRECCIONES PARA EL MUESTREO Y BARRIDO DE MUESTRAS.

EL BUS DE DIRECCIONES DE LA MEMORIA RAM ES COMPARTIDO POR DOS COMPARADORES QUE COMO YA SE HABIAN MENCIONADO ANTERIORMENTE EL CONTADOR A SE ENCARGA DE CONTROLAR LA SALIDA DE MUESTRAS HACIA LOS CONVERTIDORES D/A Y EL CONTADOR B ESTA DEDICADO A CONTROLAR EL ACCESO DE MUESTRAS DEL CONVÉRTIDOR A/D HACIA LA MEMORIA RAM

COMO EL CONVERTIDOR A/D NECESITA UN CIERTO INTERVALO DE TIEMPO PARA CONVERTIR UNA SEÑAL ANALÓGICA A UNA SEÑAL DIGITAL ESTO ES MAS ESPECIFICAMENTE EL CONVERTIDOR NECESITA UN INTERVALO DE 8 CICLOS DE RELOJ PARA PODER REALIZAR UNA CONVERSION A/D. PARA LOGRAR TENER UN CONTROL EN BASE A ESOS 8 CICLOS DE RELOJ SE DISEÑO UN CONTADOR QUE DIVIDE A LA ENTRADA DEL RELOJ A' ENTRE 9. SE HIZO ESTA RELACION DE DIVISION CON LA FINALIDAD DE ASEGURARSE DE QUE LA CONVERSION EFECTIVAMENTE SE HIZO.

EL CIRCUITO CONTADOR ESTA CONSTITUIDA POR EL CONTADOR IC8 ASOCIADO CON LOS CIRCUITO IC9B, IC9C, IC1A, IC1B, IC9D E IC7D. UNA VEZ QUE LLEGA LA CUENTA A NUEVE CESA LA OPERACION DE CONTEO INHIBIENDOSE LOS PULSOS DEL RELOJ A' POR EL CIRCUITO IC7D. JUSTAMENTE EN ESE MOMENTO LA SALIDA DEL CIRCUITO IC9D TOMA NIVEL LOGICO "0" Y ESTE CAMBIO DE NIVEL A SU VEZ DISPARA UN CIRCUITO ONE-SHOT CONSTITUIDO POR IC10A, EL CUAL TIENE UNA CONSTANTE DE TIEMPO T=1.1XRC=1 SEG. LA SALIDA Q DE ESTE ONE-SHOT VA CONECTADO A LA TERMINAL $\bar{E}1$ Y A LA TERMINAL \overline{OE} DEL CONVERTIDOR A/D. ESTA TERMINAL \overline{O} NORMALMENTE

"Diagrama de tiempos del Sistema de memoria para Osciloscopio."

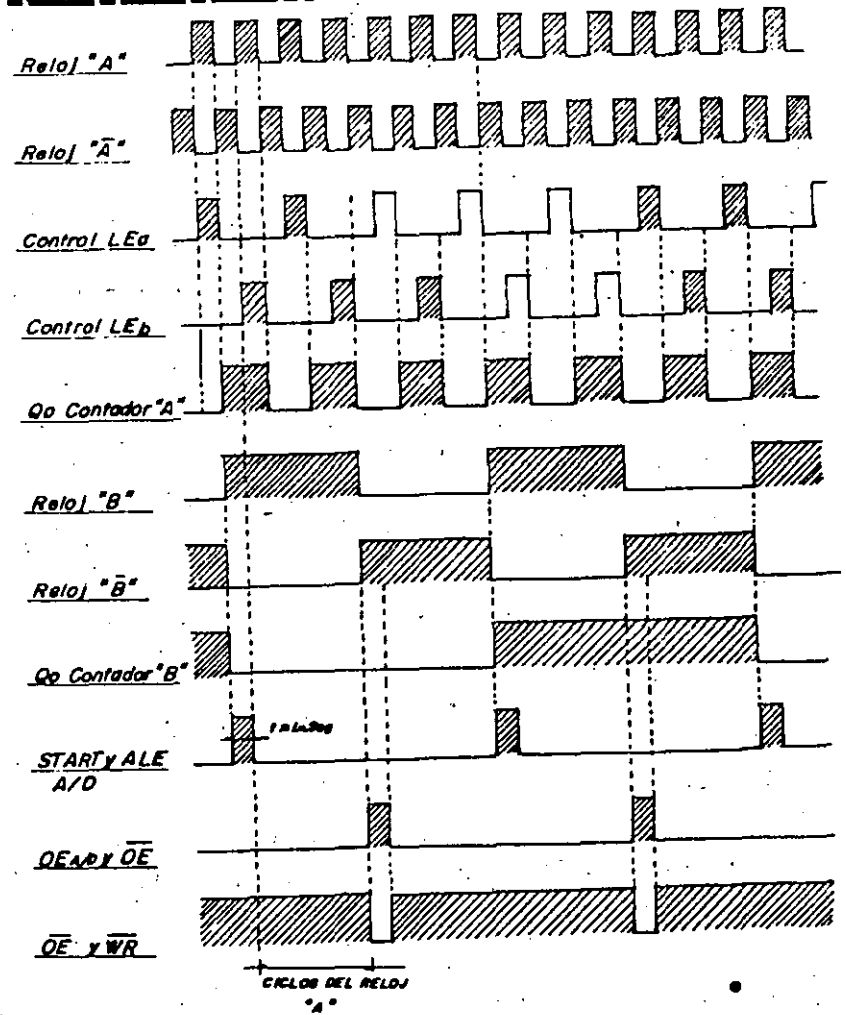


Fig. 5.4.2

QUE DEJA EL SISTEMA DE MUESTREAR LA SEÑAL DE ENTRADA LA TERMINAL $\bar{E}1$ SIEMPRE ESTARA ACTIVA, DANDO LA IMPRESION DE QUE LA SEÑAL DESPLEGADA SE CONGELA EN EL TIEMPO. PARA PODER REINICIAR EL MUESTREO SE LE TIENE QUE DAR AL CONTADOR B UN PULSO DE RESET.

EL MANEJO DE LA SEÑAL DE INICIO DE CONVERSION A/D SE REALIZA CON EL ONE-SHOT IC26A Y EL INVERSOR IC9E EL CUAL TAMBIEN ESTA CALIBRADO PARA UNA ANCHURA DE PULSO DE 1 MICROSEGUNDO EL MECANISMO DE FUNCIONAMIENTO ES EL SIGUIENTE:

A) LA SEÑAL DEL RELOJ B' QUE CORRESPONDE A LA FRECUENCIA DE MUESTREO ACTUA SOBRE IC9E NEGANDO LA SEÑAL DE RELOJ B'.

B) LA SEÑAL NEGADA (DEL RELOJ B') DISPARA A IC26 CUYA SALIDA Q VA A LA TERMINAL START Y ALE DEL CONVERTIDOR. ESTA LINEA TAMBIEN ESTA CONECTADA A LAS PATAS 2 Y 3 DEL CONTADOR IC8 LO CUAL LO PONE EN ESTADO DE RESET PARA INICIAR LA CUENTA DE 9 CICLOS DE RELOJ PARA CONVERSION.

C) LA FRECUENCIA DE RELOJ B' PUEDE SER VARIABLE CON LA FINALIDAD DE TENER FRECUENCIAS DIFERENTES DE MUESTREO.

D) EN EL MOMENTO EN QUE SE APLICA LA SEÑAL DE START, CON LA TERMINAL ALE SE MEMORIZA CUAL CANAL DE ENTRADA HA SIDO SELECCIONADO. LA SELECCION DEL CANAL A O B DEPENDE DE LA TERMINAL Y0' DEL CONTADOR B VER FIGURÁ 5.4.2.2.

TIENE NIVEL "0" LOGICO PERO EN EL MOMENTO EN QUE LA SALIDA IC9 TOMA NIVEL LOGICO "0" IC10 SE DISPARA TOMANDO Q ASI UN NIVEL LOGICO "1" EN ESE MOMENTO ES CUANDO SE REALIZA LA TRANSFERENCIA DE DATOS DE LA SALIDA DEL CONVERTIDOR A/D A LA MEMORIA RAM LA TERMINAL Q DE IC10A TIENE NORMALMENTE NIVEL "1" LOGICO Y ESTA TERMINAL ESTA CONECTADA AL CONTROL DE RD/ $\bar{W}R$ DE LA MEMORIA RAM Y A LA TERMINAL $\bar{E}2$ DE LOS CIRCUITOS IC4B, IC5B E IC5C. QUE SIRVEN PARA INDICAR EN QUE LOCALIDAD DE MEMORIA RAM SE ALMACENARA LA MUESTRA TOMADA POR EL CONVERTIDOR A/D.

EL CONTROL DE LAS TERMINALES $\bar{E}1$ Y $\bar{E}2$ SIRVEN PARA ARBITRAR EL MANEJO DE LAS LINEAS DE DIRECCION DE LA MEMORIA RAM. SE PUEDE DECIR QUE ESTAS LINEAS CONTROLADAS POR LOS CONTADORES DE 12 BITS IC1 E IC2. LA ACCION DE $\bar{E}1$ Y $\bar{E}2$ CORRESPONDEN A LO SIGUIENTE:

A) LA TERMINAL $\bar{E}1$ NORMALMENTE TIENE NIVEL "0" LOGICO LO CUAL PONE LOS BITS DEL CONTADOR A CONTROLANDO DIRECTAMENTE AL BUS DE DIRECCIONES PARA EL PROCESO DE DESPLEGADO DE MUESTRAS A LOS CONVERTIDORES D/A.

B) LA TERMINAL $\bar{E}2$ TIENE NORMALMENTE NIVEL "1" LOGICO. LO CUAL QUIERE DECIR QUE LA MAYOR PARTE DEL TIEMPO EL CONTADOR B VA A ESTAR SIN MANEJAR EL BUS DE DIRECCIONES DE LA MEMORIA RAM. CUANDO SE TIENE EL MODO DE FUNCIONAMIENTO DEL SISTEMA VA A ESTAR CONTINUAMENTE ALMACENANDO MUESTRA CADA VEZ QUE LA SALIDA DE IC9 TOMA NIVEL "0" LOGICO. CUANDO ESTA OPERANDO EN MODO MANUAL EL CONTADOR VA A DEJAR DE FUNCIONAR CUANDO LLEGUE A LA CUENTA DE 1024 MUESTRAS TOMADAS POR EL CONVERTIDOR A/D DE TAL MANERA QUE UNA VEZ

Buffers Tristate que Comportan el Bus de Direcciones de la RAM para realizar Adquisición y Transferencia de Datos.

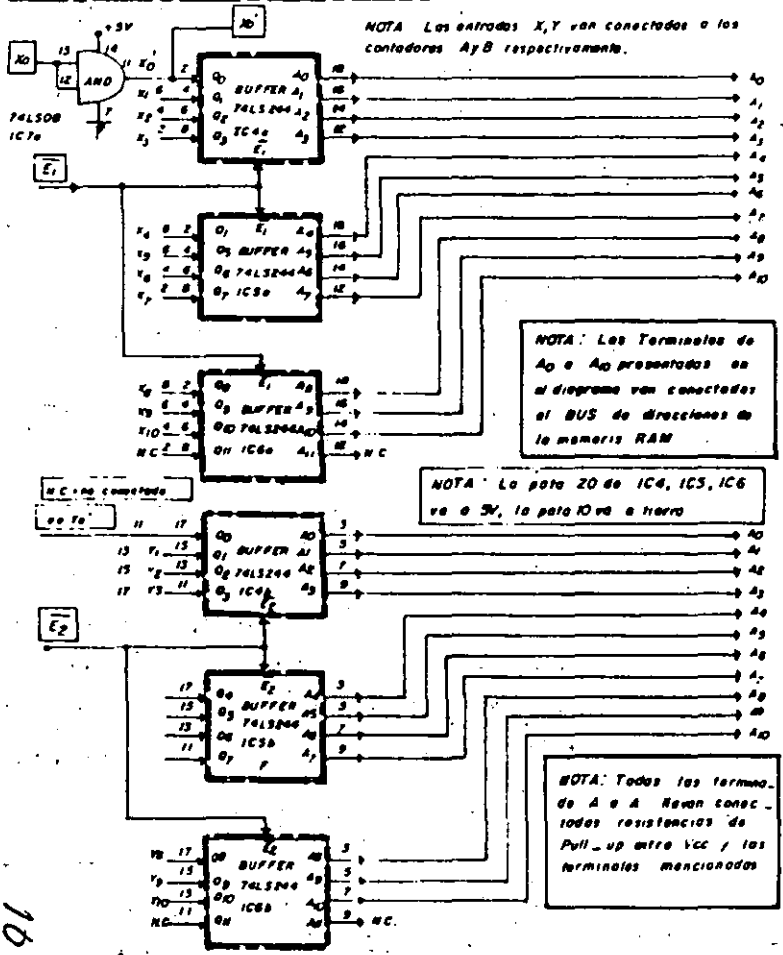


Fig.: 5.4.2.3

Sistema de Control principal de Acceso y Transferencia de Información. (e los D/A y el A/D).

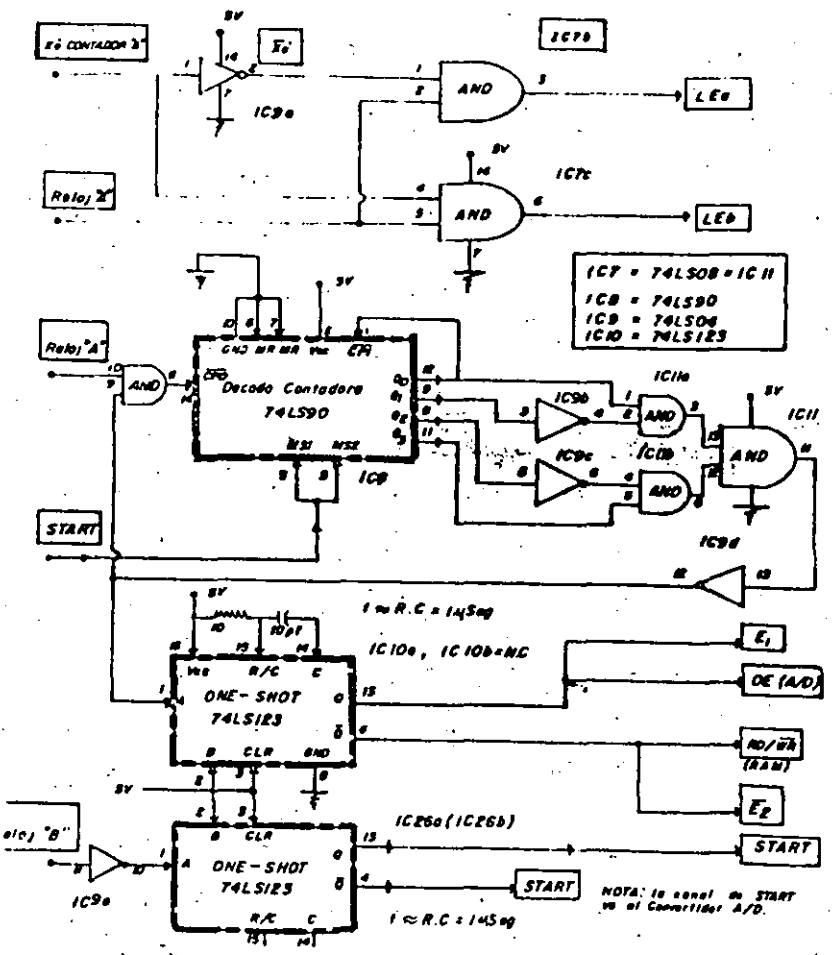


Fig.: 5.4.2.2

Etapa de Conversión de Digital Analógica y Generador de Rampa para el modo graficador.

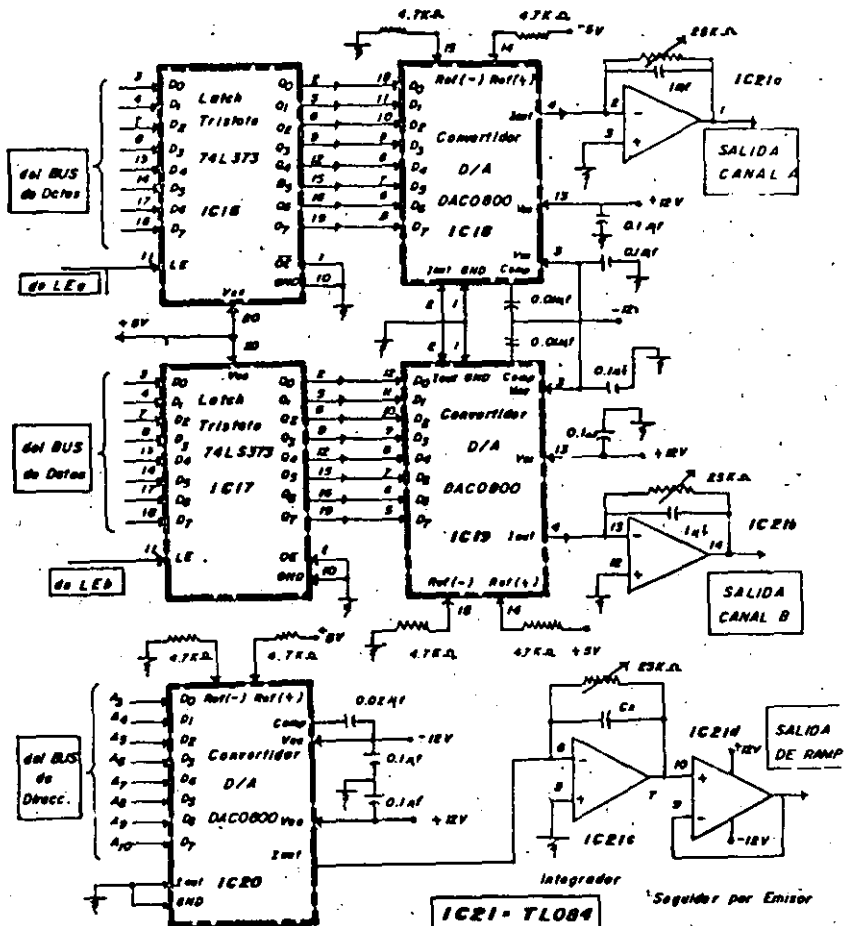


Fig. 5.4.3

5.4.3 BARRIDO DE MUESTRAS HACIA UN GRÁFICADOR EXTERNO "XY".

EN MUCHOS LABORATORIOS DE TIPO ESCOLAR O DE INVESTIGACIÓN SE REQUIERE DE GUARDAR UN REGISTRO DE GRÁFICAS OBTENIDAS DE UN EXPERIMENTO. Y POR ESA RAZÓN SE PENSÓ QUE EL SISTEMA PUDIERA DESPLEGAR EN PAPEL LAS GRÁFICAS QUE SE VEN EN LA PANTALLA DEL OSCILOSCOPIO. ESTO SE LOGRA CAMBIANDO LA BASE DE TIEMPO DEL RELOJ A.

SI EL RELOJ A RECICLA LAS MUESTRAS TOMADAS A TRAVÉS DE LOS CONVERTIDORES D/A MUY LENTAMENTE Y SE TIENE UNA RAMPA SINCRONIZADA CON EL DESPLEGADO DE MUESTRAS, ENTONCES NO EXISTE NINGUNA DIFICULTAD PARA PODER CONTROLAR UN GRÁFICADOR "XY" EXTERNO.

LA GENERACIÓN DE LA RAMPA SE LOGRA CONECTANDO UN CONVERTIDOR D/A AL BUS DE DIRECCIONES DE LA RAM. COMO EL CONVERTIDOR D/A ES DE 8 BITS, SE TUVO QUE HACER UN ARREGLO PARA LOGRAR SUSTITUIR LOS 12 BITS DE DIRECCIONES DE LA MEMORIA RAM. ESTO SE LOGRÓ CONECTANDO EL BIT MENOS SIGNIFICATIVO DEL CONVERTIDOR D/A A LA LÍNEA DE DIRECCIÓN A4 Y ASÍ SUCESIVAMENTE HASTA LLEGAR AL BIT MÁS SIGNIFICATIVO DEL CONVERTIDOR D/A QUE SE CONECTÓ A LA LÍNEA DE DIRECCIÓN A11 DE LA RAM. PARA EVITAR QUE SE PRESENTARAN MUCHAS DISCONTINUIDADES AL GENERAR LA RAMPA SE PUSO UN FILTRO PASA-BAJAS.

EL ESQUEMA DEL CIRCUITO DE CONTROL DE ADQUISICIÓN Y TRANSFERENCIA DE DATOS SE PRESENTA EN LA FIGURA 5.4.3.

(CONTADOR B) UNA VEZ INICIADO EL MUESTREO, ESTE CONTINUA HASTA QUE EL CONTADOR B ALCANZA LA CUENTA 2048 DE MUESTRAS TOMADAS, QUE EQUIVALE A LA SUMA DE LAS MUESTRAS DE AMBOS CANALES. ESTO SE PUEDE VER EN PANTALLA DE TAL MANERA QUE LA SEÑAL O GRAFICA OBTENIDAS SE QUEDA CONGELADA HASTA QUE SE VUELVA A OPRIMIR EL SWITCH DE INICIO DE MUESTREO. PARA ESTE MODO DE OPERACION EL BARRIDO DE MUESTRAS TAMBIEN ES CONTINUO Y SE PUEDE SELECCIONAR CON LA TECLA DE CONTROL DE MODO REPRESENTADA TAMBIEN EN EL PANEL DE CONTROL.

EL MODO GRAFICADOR SELECCIONADO MEDIANTE LA TECLA DE CONTROL "GRAFICAR" FUNCIONA EN FORMA DIFERENTE A LOS DOS MODOS ANTERIORES. EN ESTE MODO SE TIENE QUE LA BASE DE TIEMPO DEL RELOJ "A" QUE SE APLICA AL CONTADOR A ES MODIFICADA DE TAL MANERA QUE LA SEÑAL DE RELOJ SE CAMBIA PARA QUE LA CUENTA DE MUESTRAS BARRIDAS (POR EL CONTADOR A FUNCIONE MUY LENTAMENTE, DANDO OPORTUNIDAD ASI PARA CONTROLAR UN GRAFICADOR "XY" MEDIANTE LA GENERACION DE UNA RAMPA) AL RELOJ QUE INTERVIENE PARA REALIZAR ESTA FUNCION SE LE CONOCE COMO RELOJ "G". EN ESTE MODO DE OPERACION NO SE REALIZA LA OPERACION DE MUESTREO Y SIRVE COMO YA SE MENCIONO ANTERIORMENTE. PARA GRAFICAR LO QUE SE OBSERVO PREVIAENTE EN LA PANTALLA DEL OSCILOSCOPIO.

5.4.4. LOGICA DE CONTROL DEL MODO DE OPERACION.

EL MODO DE OPERACION PARA LA MEMORIA DE OSCILOSCOPIO BASICAMENTE ESTA MANEJADO POR 3 TECLAS DE CONTROL QUE REGULAN LA FUNCION A REALIZAR. ESTOS MODOS SON: EL AUTO, EL MANUAL Y EL GRAFICADOR.

EL MODO DE OPERACION AUTOMATICO DENOMINADO "AUTO" FUNCIONA EN CUANTO AL MUESTREO DE AMBOS CANALES EN FORMA CONTINUA. O SEA, EN OTRAS PALABRAS SE PUEDE DECIR QUE LA TOMA DE MUESTRAS ATRAVES DE LAS CONVERTIDOR A/D ES CONTINUA LO CUAL PERMITE ACTUALIZAR LAS GRAFICAS QUE SE ESTAN OBSERVANDO EN LA PANTALLA DEL OSCILOSCOPIO. PARA ESTE MODO DE OPERACION SE TIENE QUE EL BARRIDO DE MUESTRAS ES CONTINUO Y ESTA CONTROLADO POR EL RELOJ "A", PERO LA VELOCIDAD DE MUESTREO ESTA CONTROLADA POR LA BASE DE TIEMPO DEL SISTEMA, LA CUAL TIENE UNA PERILLA DE SELECCION DE VELOCIDAD CON CAPACIDAD DE 11 FRECUENCIAS DE MUESTREO. EL CAMBIO DE VELOCIDAD DE MUESTREO ES PERFECTAMENTE VISIBLE EN LAS GRAFICAS QUE SE VAN OBTENIENDO EN LA PANTALLA DEL OSCILOSCOPIO.

ESTE MODO DE SELECCION AUTOMATICO SE ACTIVA OPRIMIENDO UNA TECLA DEL PANEL DE OPERACION. EL DIAGRAMA DEL CIRCUITO UTILIZADO ESTA REPRESENTADO EN LA FIGURAS 5.4.4. Y 5.4.4.1.

EN CUANTO AL MODO DE OPERACION LLAMADO "MANUAL" FUNCIONA BASICAMENTE IGUAL QUE EL MODO "AUTO", PERO LA UNICA DIFERENCIA ES QUE EL MUESTREO COMIENZA A OPERAR CUANDO SE OPRIME UN SWITCH NORMALMENTE ABIERTO, EL CUAL PONE EN RESET AL CONTADOR DE MUESTRAS

13

Fig.: S.A.V.I.L

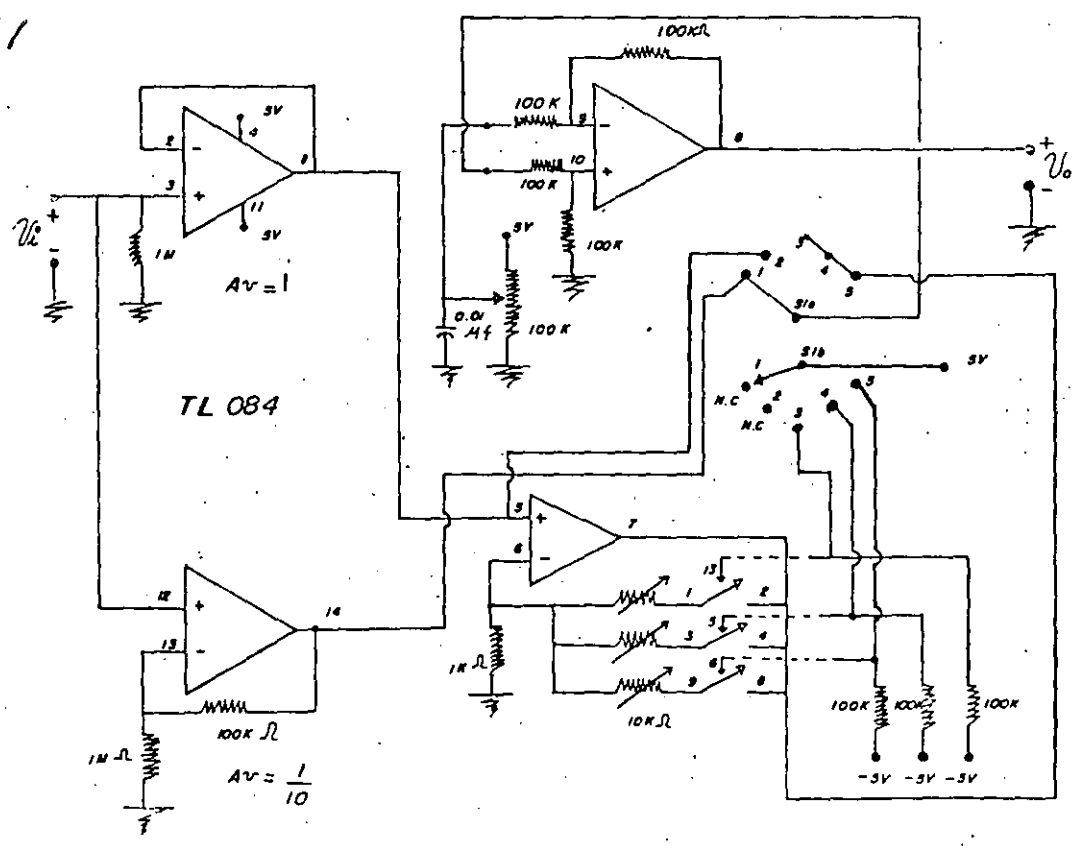
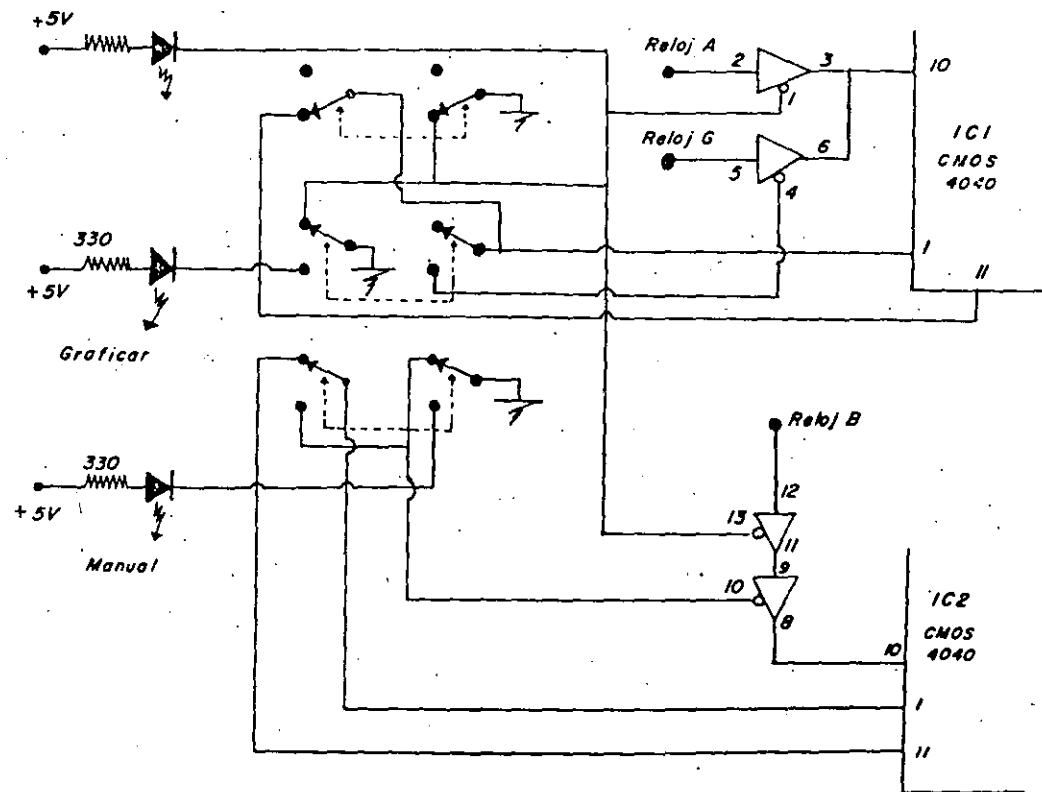


Fig.: S.A.V.I.



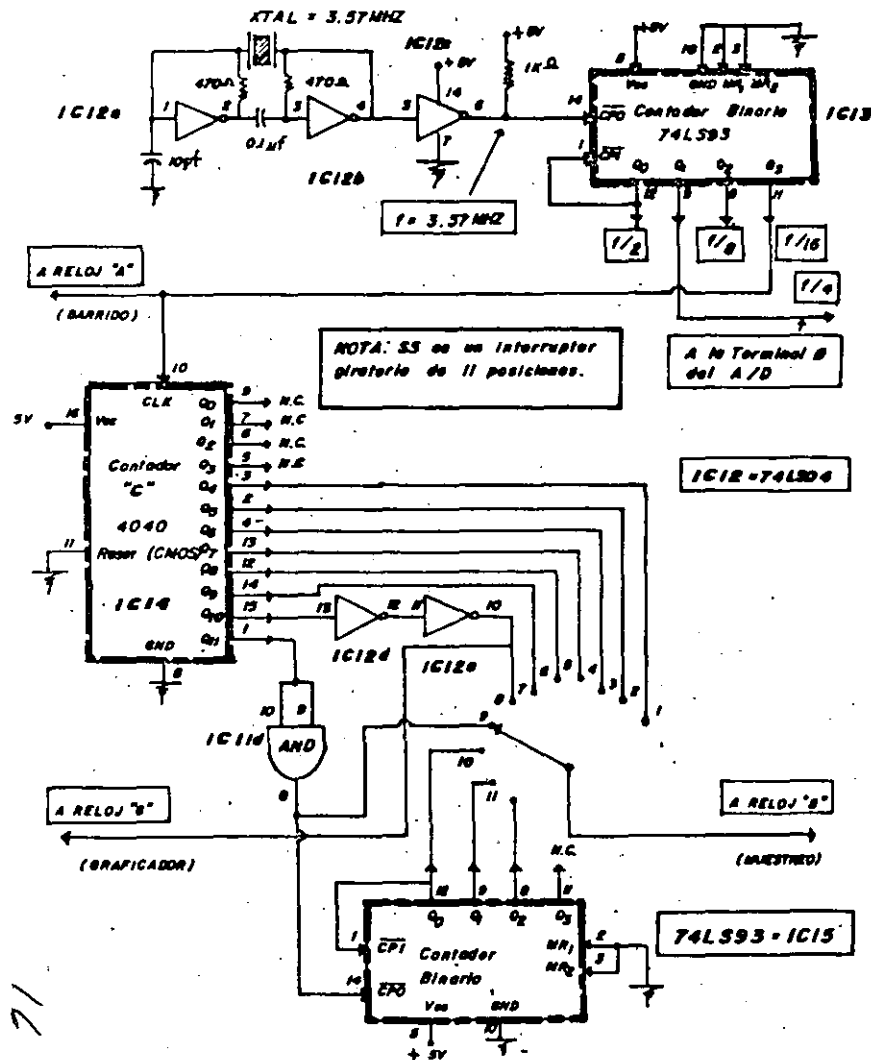
5.4.6. INDICADOR DE MUESTREO ACTIVO.

PARA PODER VISUALIZAR CUANDO EL SISTEMA ESTA MUESTREANDO SEÑALES SE TIENE UN CIRCUITO ONE-SHOT CON UNA CONSTANTE DE TIEMPO RC MUY GRANDE CON LA FINALIDAD DE PODER MANEJAR A LA SALIDA DE ESTE UN DIODO LED QUE NOS DA UNA LUZ INDICADORA DE MUESTREO ACTIVO. ESTE CIRCUITO ESTÁ CONSTITUIDO POR IC26B COMO SE MUESTRA EN LA FIGURA 5.4.6.

5.4.5. GENERACION DE LA SENAL TRIGGER EXTERIOR PARA CONTROL DEL OSCILOSCOPIO.

PARA QUE EL OSCILOSCOPIO SE SINCRONIZE CON LAS SEÑALES PROVENIENTES DE LOS CANALES A Y B DEL SISTEMA DE MEMORIA ES NECESARIO QUE EL OSCILOSCOPIO TENGA UN BARRIDO SINCRONIZADO. ESTE BARRIDO SINCRONIZADO SE LOGRA PONIENDO EL OSCILOSCOPIO EN MODO DE DISPARO EXTERNO. LA SEÑAL EXTERNA DE DISPARO SE GENERA CON EL BIT MAS SIGNIFICATIVO DEL CONTADOR A DE BARRIDO DE LA SIGUIENTE MANERA: SE NECESITA EN PRIMER LUGAR QUE ESTE BIT ALCANZE EL ESTADO DE "1" LÓGICO LUEGO, EN EL MOMENTO QUE ALCANZA EL ESTADO "0" LÓGICO, ESTE PROVOCA QUE UN CIRCUITO ONE-SHOT GENERE UN PEQUEÑO PULSO DE UNA ANCHURA DETERMINADA. DICHA ANCHURA ES CONTROLADA POR UN POTENCIOMETRO Y UN CAPACITOR. LA SALIDA QUE ESTE PULSO ES APLICADA A UN SEGUNDO ONE-SHOT QUE RECORTA EL PULSO A UNA ANCHURA DE UN MICROSEGUNDO. LA ACCIÓN QUE PROVOCA LA VARIACIÓN DEL POTENCIOMETRO "P", ES LA DE RETRAZAR EL DISPARO CON LA FINALIDAD DE PODER ANALIZAR LA SEÑAL MEMORIZADA EN UN PUNTO ESPECIFICO, AYUDÁNDOSE TAMBIEN CON LA BASE DE TIEMPO DEL OSCILOSCOPIO. EL CIRCUITO GENERADOR DE ESTA SEÑAL ESTÁ CONSTITUIDO POR IC27.

Base de Tiempo para el Sistema de Memoria para Osciloscopio



5.5. FUNCIONAMIENTO DEL SISTEMA DE MEMORIA PARA OSCILOSCOPIO.

ESTE SISTEMA DE MEMORIA TIENE LA FINALIDAD COMO YA SE MENCIONO ANTERIORMENTE DE CONVERTIR UN OSCILOSCOPIO CONVENCIONAL EN UN OSCILOSCOPIO CON MEMORIA, CAPAZ DE VISUALIZAR SEÑALES MUY LENTAS O DE VELOCIDAD MEDIA. PARA LOGRAR TAL FUNCION, EL OSCILOSCOPIO DEBE ADECUARSE PARA QUE SEA CAPAZ DE SER CONTROLADO POR EL DISPOSITIVO EXTERNO.

PARA QUE SEA CONVENIENTEMENTE CONTROLADO SE REQUIERE PONER A ESTE EN EL RANGO DE 1 MSEG. POR DIVISION EN CUANTO A BASE DE TIEMPO. POR LO QUE SE REFIERE A MODO DE CONTROL DE DISPARO ESTE DEBE DE ESTAR EN MODO DE DISPARO EXTERNO.

LAS ENTRADAS DE VOLTAJE DEL OSCILOSCOPIO DEBE DE ESTAR EN EL RANGO DE 1 VOLT/DIV. LAS ENTRADAS DE LOS CANALES A Y B DEL OSCILOSCOPIO DEBEN DE ESTAR CONECTADAS A LAS SALIDAS DE LOS CANALES A Y B DEL SISTEMA DE MEMORIA. POR ULTIMO, LA ENTRADA DE TRIGGER EXTERIOR DEL OSCILOSCOPIO DEBE DE ESTAR CONECTADA A LA SALIDA DE LA TERMINAL TRIGGER EXTERIOR DEL SISTEMA DE MEMORIA. EN CASO DE QUE NO SE SINCRONIZE LAS SEÑALES DEL SISTEMA, DEBE CALIBRARSE LA PERILLA DE AJUSTE DE SENSIBILIDAD DE TRIGGER DEL OSCILOSCOPIO.

UNA VEZ LOGRADO TODO LO ANTERIOR, EL SISTEMA QUEDA LISTO PARA OBSERVAR CUALQUIER EVENTO O EXPERIMENTO A GRAFICAR EN PANTALLA, COMO SE MUESTRA EN LA FIGURA 5.5.

EL SISTEMA TIENE UNA FRECUENCIA MÍNIMA DE MUESTREO DE APROXIMADAMENTE 2 MUESTRAS POR SEGUNDO POR CANAL Y LA MÁXIMA ES APROXIMADAMENTE DE 5000 MUESTRAS POR SEGUNDO EN CADA CANAL LO CUAL PERMITE MUESTREAR SEÑALES ELÉCTRICAS DIVERSAS QUE A SU VEZ PUEDEN GRAFICARSE EN PAPEL.

ESTA CARACTERÍSTICA ABRE LAS PUERTAS A OTRAS PERSONAS QUE DESEAN TRABAJAR EN RAMAS DE LA INGENIERÍA RELACIONADAS CON BIOINGENIERÍA U OTRAS ÁREAS.

EL SISTEMA DE MEMORIA PUEDE SER OPTIMIZADO PROBABLEMENTE UTILIZANDO UN HARDWARE ESPECIALIZADO ASOCIADO CON UN MICROPROCESADOR.

ESTE HARDWARE ESPECIALIZADO ACTUARÍA COMO UN DISPOSITIVO PSEUDO DMA (ACCESO DIRECTO A MEMORIA), PERO CON LA CARACTERÍSTICA DE SER UN DMA POR MEDIO DE HARDWARE SIN NECESIDAD DE UTILIZAR UNO COMERCIAL, PERO CON LA VENTAJA DE SER PSEUDO DMA DE BAJO COSTO, YA QUE NORMALMENTE ESTE ES MÁS CARO QUE UN CPU.

ESTE HARDWARE DMA ESTARÍA INTEGRADO POR UN CONTADOR DE 12-BITS, UN BUFFER TRISTATE, UN CONVERTIDOR ANALÓGICO-DIGITAL Y UNA LÓGICA DE CONTROL. ESTO SERÍA LA FUSIÓN DEL SISTEMA MICROPROCESADOR EN QUE SE PENSÓ ORIGINALMENTE Y EL SISTEMA VIA HARDWARE QUE SE DESCRIBIÓ ANTERIORMENTE. ESTE NUEVO SISTEMA SE UTILIZARÍA EN COMBINACIÓN CON UN MICROPROCESADOR Z80 Y UTILIZARÍA PARA FUNCIONAR ADECUADAMENTE TÉCNICAS HARDWARE-SOFTWARE. LA FUSIÓN DE LA IDEA INICIAL Y EL SISTEMA DESARROLLADO DEJA ABIERTAS LAS PUERTAS PARA UNA OPTIMIZACIÓN FUTURA.

6. CONCLUSIONES.

EL OBJETIVO PRINCIPAL DEL CIRCUITO ES FACILITAR AL ALUMNO PODER OBSERVAR SEÑALES LENTAS GRAFICADAS EN TIEMPO REAL EN UN OSCILOSCOPIO.

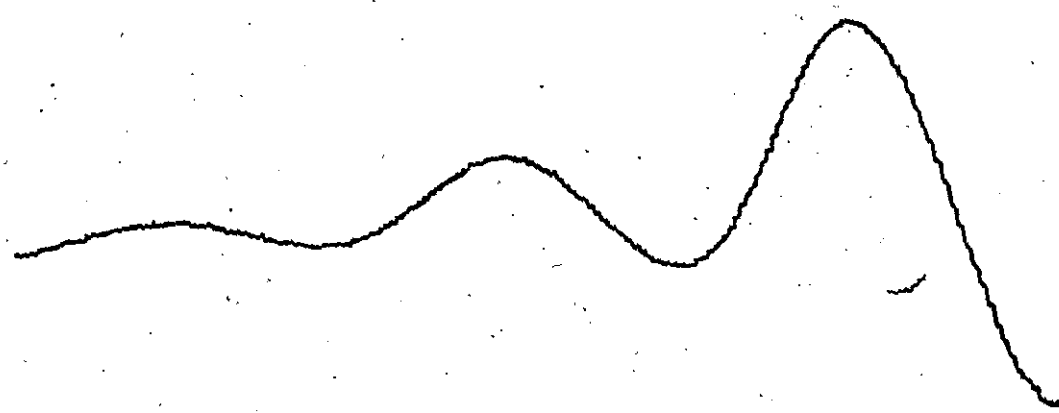
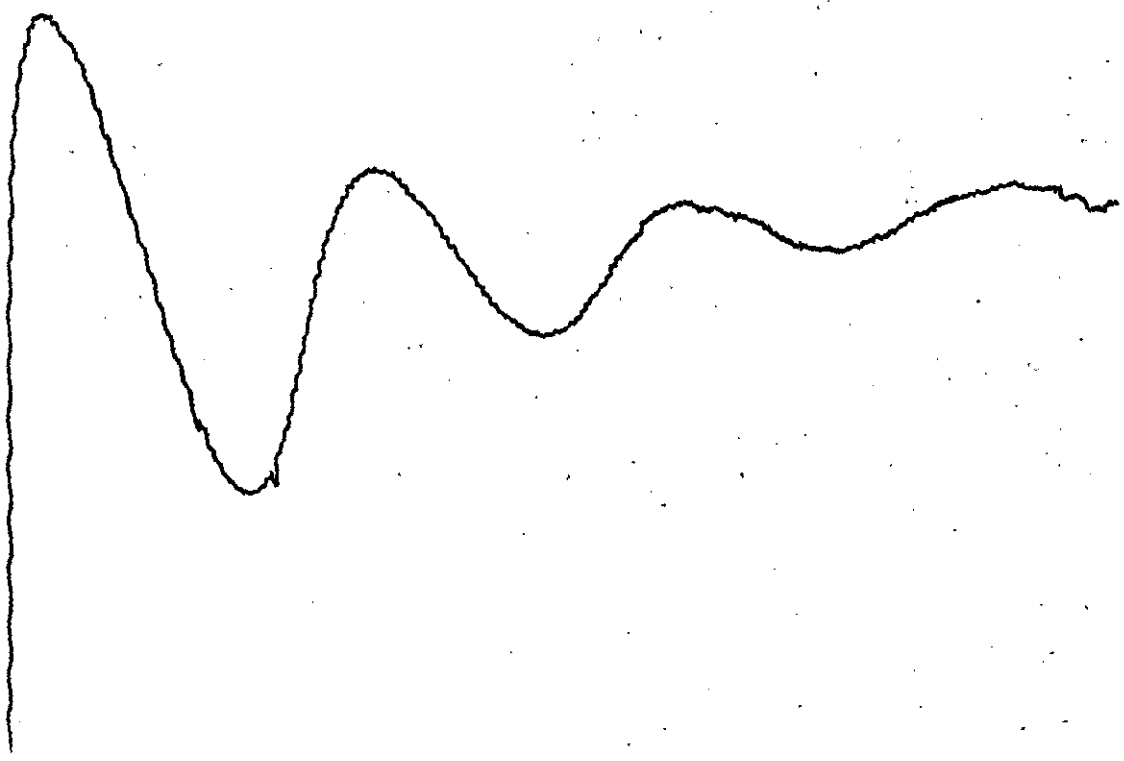
POR TAL MOTIVO, EL PROYECTO SE ENCAUSÓ A DISEÑAR UNA MEMORIA CONTROLADA POR UNA MICROCOMPUTADORA QUE VA A ALMACENAR A DICHAS SEÑALES. POR SU VERSATILIDAD AL USARSE CON UN OSCILOSCOPIO TRADICIONAL SE OBTIENE APROXIMADAMENTE LA MISMA RESPUESTA QUE UN OSCILOSCOPIO CON MEMORIA, TENIENDO COMO VENTAJA CON RESPECTO A ESTE EN EL COSTO MÍNIMO.

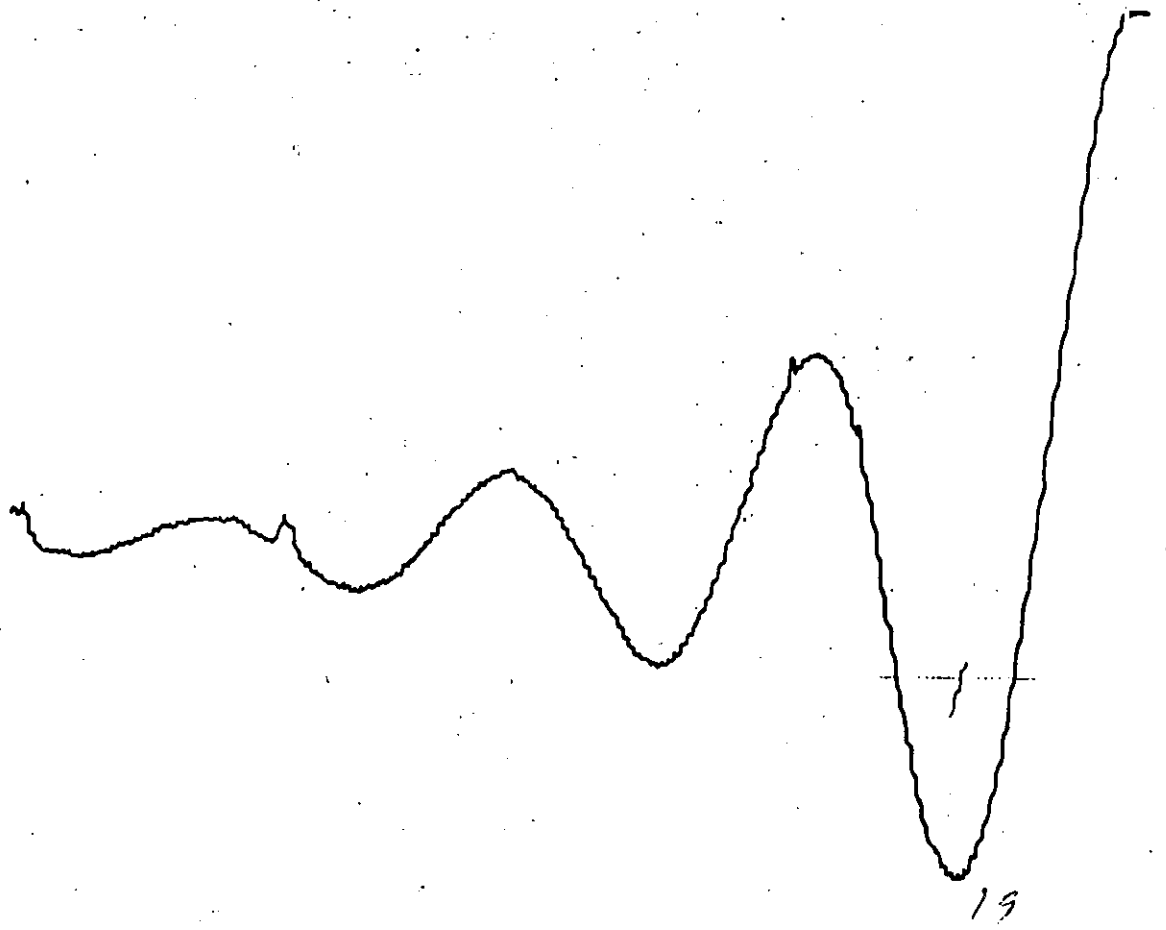
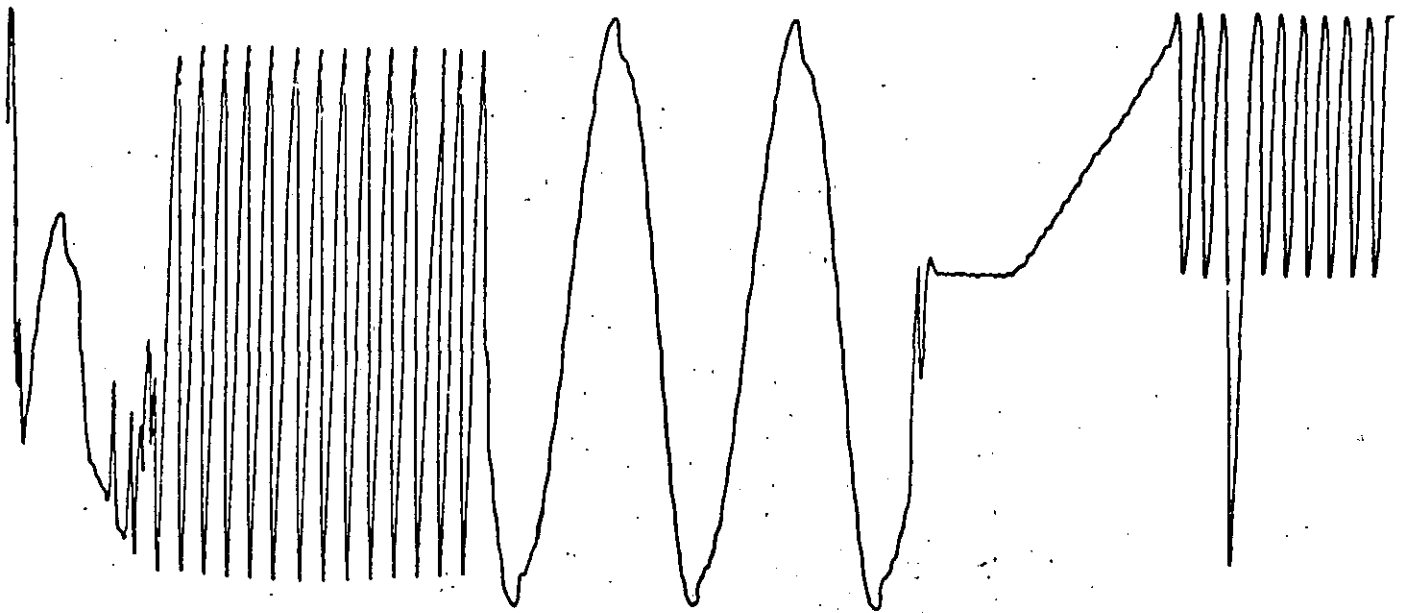
ESTE SISTEMA DE MEMORIA DA LA POSIBILIDAD DE OBSERVAR SEÑALES DE MUY BAJA FRECUENCIA Y MEDIA, DESPLEGANDO LA INFORMACIÓN DE DICHAS SEÑALES EN EL OSCILOSCOPIO EN TIEMPO REAL, LOGRÁNDOSE ASÍ ANALIZAR PROCESOS MUY LENTOS QUE PODRÍAN PASAR DESAPERCIBIDOS SIN LA UTILIZACIÓN DE UNA MEMORIA.

POR LO ANTES MENCIONADO SE HA VISTO QUE CON UN DISEÑO SENCILLO POR HARDWARE ES POSIBLE TOMAR SEÑALES LENTAS GRAFICADAS EN TIEMPO REAL EN UN OSCILOSCOPIO. CON BASE EN LAS PRIMERAS PRUEBAS REALIZADAS EN LAS PRÁCTICAS, SE OBSERVÓ QUE EL DISEÑO SE PUEDE UTILIZAR EN EL LABORATORIO DE CONTROL CON EL FIN QUE EL ALUMNO PUEDA REALIZAR SUS PRÁCTICAS CON UN GRADO DE CONFIABILIDAD BASTANTE ACEPTABLE.

LAS GRÁFICAS OBTENIDAS SON UNA APROXIMACIÓN EN FORMA DISCRETA DE UNA SEÑAL CONTINUA MUESTREADA. SIN EMBARGO LA GRÁFICA EN SÍ TIENE LA CALIDAD SUFICIENTE PARA SER UTILIZADA POR UN ALUMNO O ALUMNOS EN UN DETERMINADO LABORATORIO.

GRAFICAS





19

B I B L I O G R A F I A.

1. LINEAR APLICATION NATIONAL SEMICONDUCTORS.
2. MANUAL DE TTL DE MOTOROLA.
3. MANUAL DE CIRCUITOS CMOS NATIONAL SEMICONDUCTORS.
4. MEMORY COMPONENTS INTEL CORPORATION.
5. LINEAR COMPONENTS OF SIGNETICS.
6. AMPLIFICADORES OPERACIONALES AUTOR TOBEY.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

C U R S O S A B I E R T O S

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y MICROCOMPUTADORAS

V.- A P L I C A C I O N E S

CONTESTADOR AUTOMATICO DE TELEFONO CONTROLADO POR UN
MICROPROCESADOR Y UN SINTETIZADOR DIGITAL DE VOZ

ING. JOSE ANTONIO ARREDONDO GARZA

FEBRERO-MARZO, 1990.

INDICE

	PAGINA
CAPITULO I	
INTRODUCCION	1
1.1 Introducción	2
1.2 Antecedentes	2
1.3 Análisis del problema	3
CAPITULO II	
TEORIA BASICA DE REDES TELEFONICAS	7
2.1 Definiciones básicas	8
2.2 Conexiones de abonado	13
2.2.1 Sistemas sin conmutación	14
2.2.2 Sistemas de conmutación descentralizada	14
2.2.3 Sistemas de conmutación centralizada	15
CAPITULO III	
DISEÑO DEL SISTEMA DE CONTROL DEL CONTESTADOR TELEFONICO	17
3.1 Desarrollo del hardware	20
3.1.1 Sistema básico con el microprocesador Z80	20
3.1.1.1 Generación de relojes	25
3.1.1.2 Señales de control	26
3.1.1.3 Interconexión de memoria y puertos	29
3.1.2 Interfaz con la línea telefónica	33
3.1.2.1 Sensor de llamadas	33
3.1.2.2 Acción de descolgar y colgar teléfono	34
3.1.2.3 Interconexión de una oradora	35
3.1.3 Sintetizador digital de voz	37
3.1.3.1 Descripción del hardware	38
3.1.3.2 Funcionamiento básico del bloque sintetizador	41
CAPITULO IV	
DESARROLLO DEL SOFTWARE	54
4.1 Rutinas de espera	55
4.2 Rutina de servicio a la interrupción (NMI)	56
4.3 Programa en ensamblador Z80	56
4.4 Diagramas de flujo	60
CAPITULO V	
CONCLUSIONES	58
APENDICE	72
BIBLIOGRAFIA	153

CAPITULO I
INTRODUCCION

CAPITULO I

INTRODUCCION

1.1 INTRODUCCION.

Una de las ramas de la ingeniería que comprende a la automatización de sistemas es la ingeniería de control, la cual ha venido evolucionando de tal manera que en la actualidad la ingeniería de control a su vez abarca otras áreas de trabajo que corresponden a diferentes ramas de la misma. En la actualidad, en el control de algún proceso industrial o equipo de instrumentación involucra áreas interdisciplinarias como vienen siendo la electrónica, la computación, comunicaciones, etc. Debido a eso como se verá más adelante, esta tesis está involucrando a diversas áreas de trabajo y por lo tanto podemos decir que es una tesis interdisciplinaria. La automatización de sistemas en la actualidad no solamente ha abarcado a la industria sino que también está involucrando áreas en las que nunca se pensó que la tecnología desarrollada también se usara. Por ejemplo en el hogar podemos tener sistemas de control de temperatura ambiente, controles remotos de televisión, controles de encendido de luces, contestadores automáticos de teléfono, etc. Como se verá más adelante el objetivo principal de esta tesis es desarrollar un sistema contestador telefónico utilizando un sintetizador digital de voz y las tecnologías actuales que hay en cuanto a la utilización de microprocesadores.

1.2 ANTECEDENTES.

A lo largo de la historia, el hombre ha venido desarrollando herramientas que le han permitido satisfacer sus necesidades.

Desde el inicio de la evolución humana se ha visto que el hombre ha tenido una capacidad creadora innata, por ejemplo inventó la rueda, lo que trajo consigo un avance de los medios de transporte, desarrolló un calendario que le permitió generar los ciclos de siembra en la agricultura y un sinnúmero de herramientas para cazar, sembrar alimentos, la guerra, etc.

Todos los avances tecnológicos se desarrollaron lentamente, no es sino hasta el siglo XIX con el inicio de la Revolución Industrial en Inglaterra, que estos avances han tenido un crecimiento acelerado.

El primer sistema de control creado por el hombre, fue la máquina de vapor de doble efecto inventada por James Watt.

A este invento vinieron muchos otros hasta llegar a nuestros días en donde el desarrollo de nuevas tecnologías han hecho posible el cambio de los antiguos controladores automáticos hacia los microcontroladores basados principalmente en la electrónica digital los cuales tienen diversas áreas de aplicación tales como la computación, telefonía, telecomunicación, control electrónico de los automóviles, aeroespaciales (están en los transbordadores espaciales), medicina, seguridad, fotografía, juegos electrónicos, artículos electrodomésticos tales como las lavadoras automáticas; reguladores de temperatura, artículos de oficina como el telefax, el cual permite transmitir imágenes, gráficas y documentos a través de la línea telefónica, etc.

1.3 ANALISIS DEL PROBLEMA.

Hoy en día la gran mayoría de los desarrollos tecnológicos, están enfocados a satisfacer algunas necesidades de los seres

humanos, lo que ha traído consigo una reducción de trabajo, grandes comodidades, ahorrando dinero, tiempo y esfuerzo.

Debido a la historia económica, política y social, México no ha podido desarrollar nuevas tecnologías en el campo de la electrónica que lo colocarían entre los países que están a la vanguardia de los avances tecnológicos; por lo mismo, se ha visto en la necesidad de tener que importar muchas de estas tecnologías, con lo cual ha alcanzado un desarrollo industrial bastante limitado.

Casi todos los proyectos que se realizan en México, se han desarrollado únicamente en universidades e instituciones de educación superior, sin embargo, estos proyectos son poco difundidos y por lo mismo no han sido comercializados.

En lo referente a los contestadores de llamadas telefónicas que es el tema de la presente tesis, aparecieron éstos en los Estados Unidos hace ya varios años, pero en México es hasta estos momentos cuando han alcanzado un grado de popularidad bastante grande. Actualmente en el país no ha surgido una empresa nacional que se dedique a la fabricación de estos aparatos, sin embargo existen compañías transnacionales que están desarrollando aparatos similares que de alguna manera tienen relación con los contestadores telefónicos, tales como los teléfonos con memoria digital de números. Existen otras empresas extranjeras que se dedican únicamente al ensamble de estos aparatos, pero que no están destinados al mercado nacional; de ahí que los contestadores telefónicos que se tienen en México generalmente son de importación, lo que provoca que su precio sea bastante

alto.

Tomando en cuenta todo lo anterior se propuso construir un sistema contestador de llamadas telefónicas que contara con algunas de las características que tienen los contestadores de importación y modificar otras para obtener como resultado un proyecto diferente.

La característica principal de este proyecto, es que está basado en un sistema mínimo que emplea el microprocesador Z80 como controlador.

Una diferencia bastante importante del sistema con respecto a los contestadores telefónicos comerciales, es que el proyecto a desarrollar emplea un circuito sintetizador digital de voz cuya función es la de generar sonidos, que a su vez forman el mensaje para contestar el teléfono, mientras que los otros contestadores utilizan una cinta magnética previamente grabada con el mensaje por la persona interesada.

Existen dos formas de realizar la síntesis de voz; una es en forma analógica, en la cual los fonemas están almacenados en cinta magnética, y la otra manera es de una forma digital, en donde se utilizan memoria, filtros digitales, convertidores digitales/analógicos, etc. En esta última forma los fonemas se almacenan en la memoria y mediante el empleo de microprocesadores se concatenan éstos. Dado que el objetivo del presente proyecto es el de utilizar síntesis de voz en forma digital, se buscaron circuitos integrados que realizaran dicha función, entre los cuales se eligió el chip SP0256-AL2 de RADIO SHACK INC., el cual tiene la ventaja de contener todas las

características mencionadas de los sintetizadores digitales de voz.

De los circuitos integrados que se analizaron se encontró que existen dos formas de almacenar un mensaje; en el primero se tiene que todo el mensaje ya está diseñado y contenido dentro del circuito integrado, mientras que en el segundo, se tiene que utilizar una memoria externa donde se guarda el mensaje y mediante el direccionamiento de ésta se recuperan los fonemas que en conjunto forman el mensaje. De las dos opciones anteriores, se eligió la segunda dado que tiene la ventaja de que se puede diseñar cualquier mensaje o inclusive modificar el que ya existe únicamente cambiando el contenido de la memoria externa sin tener que cambiar el circuito sintetizador digital de voz.

CAPITULO II

TEORIA BASICA DE REDES TELEFONICAS

CAPITULO II

TEORIA BASICA DE REDES TELEFONICAS

Para el desarrollo del Sistema contestador de llamadas Telefónicas, es importante tener presente la teoría básica sobre telefonía, con el fin de entender mejor algunos conceptos o funciones que se realizan para llevar a cabo la comunicación por medio del teléfono.

En el presente capítulo, se explican en forma general los conceptos más comúnmente utilizados en la Telefonía.

2.1 DEFINICIONES BASICAS.

SONIDO: Es una oscilación mecánica que se propaga en un medio elástico, es decir, este medio se deforma rítmicamente o periódicamente. Pues bien, el número de veces que se deforma por segundo, es a lo que llamamos frecuencia de ese sonido y se expresa en Hz.

El oído normal humano puede captar ondas sonoras con frecuencias de 16 c/s a 20000 c/s. La intensidad de las ondas sonoras se denomina presión acústica.

Para el oído humano se ha alcanzado el límite superior de la intensidad acústica cuando el sonido se percibe como sensación dolorosa; entonces se habla del umbral de sensación dolorosa.

RECEPTOR TELEFONICO: La misión del receptor telefónico es convertir determinadas variaciones de corriente eléctrica que él recibe, en sonidos, es decir, el receptor convierte energía eléctrica en energía sonora, así las variaciones de sonido que produce corresponden fielmente a las variaciones de

corriente.

Cualquier dispositivo que convierte un tipo de energía en otro se llama transductor. Entonces, se puede decir que el receptor telefónico constituye un transductor electro-acústico.

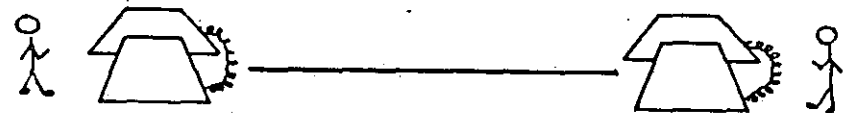
MICROFONO: El dispositivo capaz de realizar la formación contraria al receptor es el micrófono.

El micrófono convierte los sonidos en variaciones de corriente eléctrica de una manera fiel, es decir, los micrófonos deben convertir energía sonora en energía eléctrica. Existen micrófonos de cristal, de cinta magnética, de condensador y de carbón. Los micrófonos empleados en el servicio telefónico son de carbón.

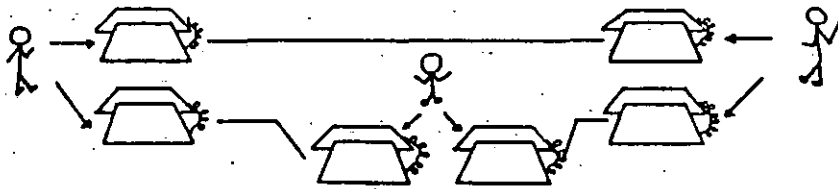
Cuando se inventó el teléfono, la primera aplicación que se le dio fue la de comunicación a distancia entre dos personas.

La generalización primaria de la telefonía entre varias personas, conduce a montar una serie de aparatos y líneas dependiendo del número de aquéllas.

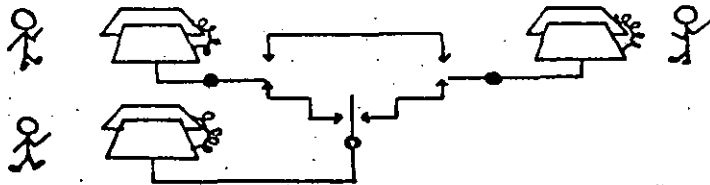
- a) Comunicación telefónica simple entre dos personas (2 aparatos y 1 línea)



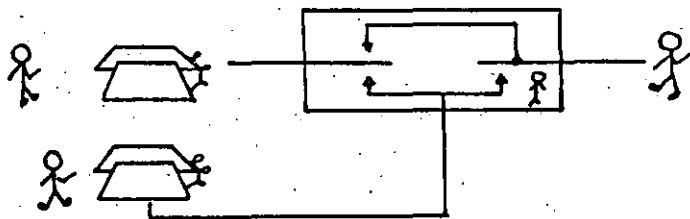
b) Comunicación telefónica elemental entre 3 personas (6 aparatos y 3 líneas)



Si se pretende ahora que, en el caso de la figura anterior, no exista nada más que un aparato de abonado por cada usuario, se tendrá que hacer algo semejante a lo indicado en la figura siguiente:



Pero también podemos hacer que la conmutación de los abonados se haga en otro lugar, tal como se indica en la figura siguiente:

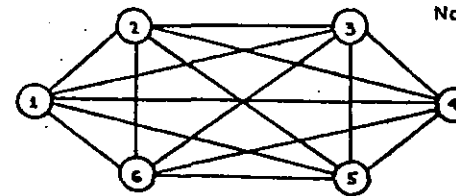


Ya tenemos aquí constituida una red telefónica y una oficina central, o simplemente central telefónica.

Una central telefónica es un lugar donde se realizan las operaciones de conmutación entre las diferentes líneas correspondientes a cada usuario telefónico.

Una red telefónica es el conjunto de líneas y órganos de conmutación que permiten la comunicación entre distintos usuarios telefónicos.

En un principio, la forma más rudimentaria de establecer comunicación entre (n) usuarios es tender, desde cada uno de ellos n-1 líneas telefónicas, de forma que pueda conectarse a todos los demás.

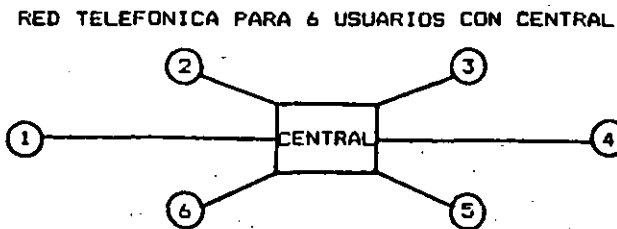


No. de líneas para 6 usuarios

$$\frac{n(n-1)}{2} = \frac{6 \times 5}{2} = 15$$

RED TELEFONICA ELEMENTAL PARA 6 USUARIOS

Deducimos fácilmente, que se puede disminuir el número de líneas telefónicas, uniendo los diferentes usuarios a través de una central que los conmute adecuadamente, tal como se muestra en la figura.



RED TELEFONICA PARA 6 USUARIOS CON CENTRAL

LÍNEA TELEFONICA : Se llama así al par de hilos conductores que une una estación telefónica, o aparato de abonado, con la central.

PAR TELEFONICO : También se le llama así a la línea, ya que siempre se compone de dos hilos conductores.

ABONADO : Se denomina así al usuario de un teléfono, ya que el servicio telefónico se da por medio de un abono, que se paga periódicamente.

APARATOS DE ABONADO : Se denomina así al conjunto de los distintos órganos que componen una estación telefónica.

Se denomina así, aunque a veces no corresponda a un abonado, como por ejemplo, el existente en una cabina pública.

TRONCALES TELEFONICAS : Son las diferentes líneas que unen entre sí las centrales. Esto se da por ejemplo en el caso de poblaciones en que tienen varias centrales.

TRONCALES URBANOS : Son los que unen a las centrales existentes dentro de una población.

TRONCAL INTERURBANA : Son los que unen dos centrales que se encuentran en poblaciones diferentes.

TRONCAL INTERNACIONAL : La que une dos centrales situadas en países diferentes.

SERVICIO PRIVADO : Se establece en aquellas entidades de importancia, que ocupan un local cuyas dimensiones justifican las comunicaciones telefónicas entre las diferentes dependencias.

RED PRIVADA : Se denomina así a la red existente para dar un servicio privado.

Puede también denominarse así, aunque el servicio privado corresponda a varios locales distantes entre sí, incluso en poblaciones y aún países diferentes.

SERVICIO PUBLICO : El que no es privado y al que pueden tener derecho todos los ciudadanos de un país.

INTERCOMUNICADORES : Son los aparatos de abonados pertenecientes a una red privada y en los que mediante un proceso de conmutación manual, en el propio aparato, es posible comunicarse con otros pertenecientes a dicha red.

EXTENSIONES : Son los aparatos telefónicos interiores conectados con la central privada.

Normalmente, las redes privadas están unidas a una red pública de tal forma que los usuarios privados tengan acceso al resto de los abonados de la red pública y viceversa.

Las líneas que unen ambas redes se llaman enlaces o troncales desde el punto de vista de la red privada, y líneas de central privada desde el punto de vista de la red pública.

Se dan a continuación las denominaciones internacionales correspondientes a las centrales privadas.

F.M.B.X. - Central privada manual conectada a la red pública

Los P.B.X

F.A.B.X. - Central privada automática.

Del inglés Private Branch Exchange. En una central privada conectada a la red pública.

2.2 CONEXIONES DE ABONADO.

Pero ahora, desde el punto de vista de la unión de los abonados y del método para enlazarlas entre sí podemos distinguir entre 3 sistemas de redes telefónicas:

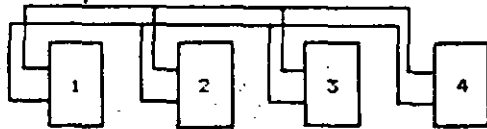
- a) Sistema sin conmutación.
- b) Sistemas con conmutación descentralizada.

c) Sistemas con conmutación centralizada.

2.2.1 SISTEMAS SIN CONMUTACION.

Dentro del sistema sin conmutación tenemos el sistema de línea colectiva, con llamada en clave.

Estos aparatos están conectados en paralelo, esta unión es el llamado sistema de línea colectiva.



El sistema de línea colectiva es el método más sencillo para formar una red de varios abonados.

En el sistema de línea colectiva, así como en muchas otras donde se usa un solo par de hilos conductores, cualquier conversación de un aparato a otro podrá escucharse en todos los demás aparatos conectados a la misma línea.

Debido al hecho de que una conversación entre dos abonados puede ser escuchada por cualesquiera de los demás, se dice que es un sistema "no secreto". Para tener acceso a los diferentes aparatos es necesario usar un sistema de llamada en clave asignando previamente a cada aparato una combinación de señales o claves.

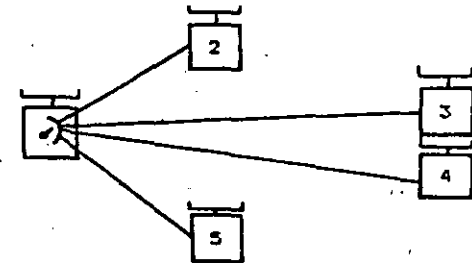
2.2.2 SISTEMAS CON CONMUTACION DESCENTRALIZADA.

Existen aparatos de intercomunicación o de conmutación descentralizada que sólo pueden comunicarse con otro aparato.

La figura, representa un aparato principal y 4 secundarios que es la unión de un abonado con varios de ellos (4).

Se ha representado la unión entre abonados por medio de líneas que a su vez representan 2 o más conductores por cada línea.

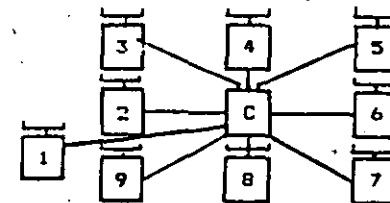
La figura que se indica a continuación representa la unión de todos los abonados entre sí. Esta red se ha obtenido en este caso ya que todos los aparatos pueden seleccionar la línea a la cual comunicarse, es decir, todos los aparatos poseen un selector de líneas.



2.2.3 SISTEMAS DE CONMUTACION CENTRALIZADA.

Una forma única de reducir al mínimo el número de líneas de un sistema será el de conectar toda la operación de llamada y enlace a un solo punto llamado común o central.

La figura muestra una red telefónica con conmutación centralizada:

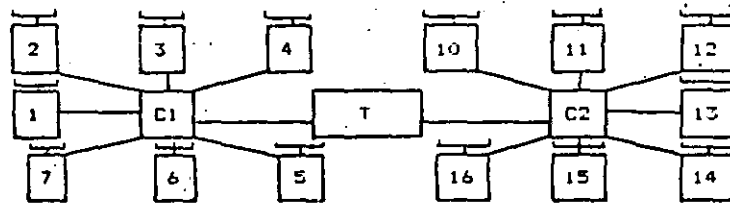


Las líneas en la figura anterior se extienden en forma radial, con un par de hilos por cada aparato. En el punto común o central existe un dispositivo que interconecta las líneas de los abonados y que lleva a cabo la conexión entre los aparatos. Este dispositivo recibe el nombre de " cuadro conmutador " o de una forma más sencilla y con una sola palabra: conmutador.

Este sistema de conmutación centralizada puede tener varios puntos centrales o comunes que se conectan entre sí por medio de líneas de enlace llamadas troncales.

Estos puntos comunes a los cuales se conectan todos los abonados de una red reciben el nombre de Centrales Telefónicas.

En la figura están representadas 2 redes telefónicas con conmutación centralizada.



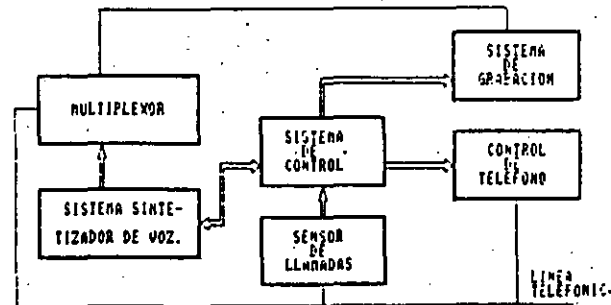
CAPITULO III

DISEÑO DEL SISTEMA DE CONTROL DEL CONTESTADOR TELEFONICO

CAPITULO III

DISEÑO DEL SISTEMA DE CONTROL DEL CONTESTADOR TELEFÓNICO

En este capítulo, se analizará en forma general la descripción y el desarrollo del sistema contestador telefónico. A continuación se presenta el diagrama de bloques del sistema contestador telefónico:



Como se observa en este diagrama, el sistema está compuesto por 6 bloques. Cada uno de los cuales cumple con una función específica. El bloque de Sistema de Control, tiene la tarea de supervisar el funcionamiento de los otros bloques. Dicho bloque, está basado en un sistema mínimo con el microprocesador Z80, el cual tiene la función de seleccionar un bloque siguiendo la siguiente secuencia:

Una vez que se detecta una llamada telefónica, el sensor de llamada envía una señal hacia el Z80 provocando una interrupción al sistema de control. Posteriormente el Z80 manda una señal al Sistema de Control de Teléfono para descolgar a este último. El siguiente paso es activar el Sintetizador Digital de Voz enviándole el código necesario para producir los sonidos que se desean. Una vez concluida esta tarea, se activa entonces la

grabadora para recibir el mensaje. Cabe hacer mención que esta grabadora permanecerá activada durante medio minuto. Al término de este tiempo, se desactiva la grabadora y se manda una señal al bloque de Control de Teléfono para realizar la acción de colgar. Por último, el microprocesador se coloca en un estado de espera hasta que no ocurra otra interrupción.

BLOQUE SENSOR DE LLAMADAS: Es básicamente un comparador y divisor de voltajes, es decir, se convierte de una señal de 80 volts que existen en la línea cuando hay una llamada, a una señal de salida de 5 volts que puede ser manejada por el sistema. Después de esto, se mete a un comparador de voltajes cuya salida es un pulso de aproximadamente 5 volts. Este pulso es mandado al bloque de Control.

BLOQUE DE CONTROL DE TELEFONO: Este bloque permite la interfaz con el aparato telefónico, es decir, cuando hay una llamada abre la línea telefónica y cuando se desactiva la grabadora coloca a la línea en su estado inicial.

BLOQUE SISTEMA DE GRABACION: Es una grabadora activada a control remoto. Básicamente, el microprocesador activa esta grabadora durante medio minuto como se mencionó anteriormente.

BLOQUE SISTEMA SINTETIZADOR DE VOZ: De este bloque se obtiene una serie de sonidos, los cuales son ordenados de tal manera que forman palabras, que en conjunto forman un mensaje. Junto con el microprocesador es la parte más importante del sistema. Este bloque cuenta con una etapa amplificador para obtener una salida cuya ganancia proporcione mayor fidelidad a la señal que se envía por la línea telefónica.

BLOQUE MULTIPLEXOR: Tiene la función básica de seleccionar si el sistema es de entrada o de salida, es decir, es de entrada si se activa la grabadora o es de salida si se activa el sintetizador de voz. La salida de este multiplexor está conectado a la línea telefónica, de tal forma que sólo uno de los bloques anteriores esté conectado a la línea y no los dos al mismo tiempo.

3.1 DESARROLLO DEL HARDWARE.

En esta sección, se explicará en forma detallada las principales características del hardware para el sistema contestador de llamadas telefónicas. Esta sección incluye el desarrollo del sistema mínimo basado en el microprocesador Z80, del cual se describen las características de operación, líneas de control, paginación de memoria y puertos del microprocesador; la interfaz con la línea telefónica, la cual consiste en sensar la llamada mediante un circuito comparador de voltajes.

También incluye la conexión de una grabadora de audio, que tiene la función de registrar la llamada telefónica en una cinta magnética. Un aspecto bastante importante en el desarrollo de este sistema, es la implementación del bloque que genera un mensaje mediante el empleo de un sintetizador digital de voz (SP0256). En este bloque se describen las características de operación del circuito y las líneas de control utilizadas para la interconexión del microprocesador.

3.1.1 SISTEMA BASICO CON EL MICROPROCESADOR Z80.

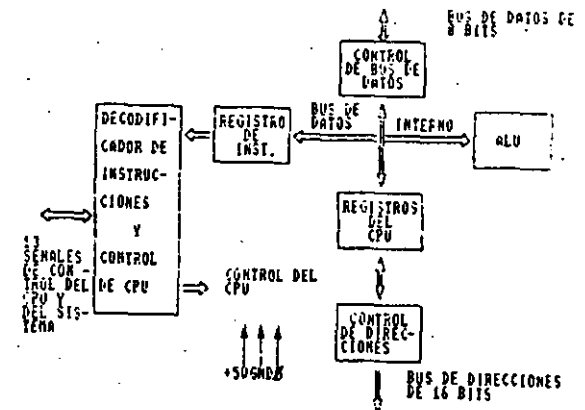
El sistema básico propuesto empleando Z80, en términos generales cuenta con 2 K de EPROM, 2 puertos de salida y sistema

de reloj de 4 MHz. El campo de acción de este sistema, está reducido a un sistema de control de llamadas telefónicas.

El circuito, por su simplicidad, no cuenta con memoria RAM. Lo que implica que no pueden usarse instrucciones de software que involucren el uso de stack (llamadas a subrutinas, pop, push, etc).

A continuación se dará una breve introducción a la arquitectura del Z80-CPU.

El diagrama de bloques del Z80-CPU se muestra a continuación:



En este diagrama se muestran los elementos que constituyen el Z80-CPU que serán explicados como sigue:

a) REGISTROS DEL CPU.

Existen 2 grupos de registros: los registros de propósito especial y los registros de propósito general.

Dentro del grupo de registros de propósito especial existen: PROGRAM COUNTER (PC). Es un registro de 16 bits que contiene la dirección de la siguiente instrucción a ser

ejecutada. El PC se incrementa automáticamente después que el contenido ha sido transferido a las líneas de dirección. Cuando ocurre un salto, el nuevo valor es automáticamente colocado en el PC.

STACK POINTER (SP). Es un registro de 16 bits que contiene la dirección del tope actual de un stack. El stack está organizado como una lista de tipo LIFO (Last Input First Output), es decir, los datos sacados del stack son siempre los últimos que entraron. Los datos pueden ser colocados en el stack desde los registros específicos del CPU o sacados del stack hacia los registros específicos mediante las instrucciones pop y push.

REGISTROS INDICES (IX E IV). Son registros de 16 bits que son utilizados para el modo de direccionamiento indexado. En este modo un registro indexado es utilizado como un apuntador base a una región en memoria.

REGISTRO VECTOR DE INTERRUPCIONES (I). Es un registro de 8 bits que es utilizado para almacenar el byte más significativo de la dirección indirecta, mientras que el dispositivo que interrumpe provee el byte menos significativo de la dirección.

REGISTRO REFRESCO DE MEMORIA (R). Registro de 8 bits que contiene un contador para refresco de memorias dinámicas. Este registro es incrementado automáticamente después del ciclo de Fetch. Este modo de refresco, es totalmente ajeno al programador, aunque éste puede cargar el registro R para algunos propósitos.

REGISTROS DE ACUMULADOR Y BANDERA.

El CPU incluye 2 acumuladores independientes entre sí de 8 bits y registros de bandera asociados de 8 bits. El acumulador

contiene el resultado de operaciones aritméticas o lógicas de 8 bits, mientras que el registro de bandera, indica condiciones específicas para operaciones de 8 o 16 bits, tal como indicar si el resultado de una operación es o no igual a cero.

REGISTROS DE PROPOSITO GENERAL.

Existen 2 grupos de registros de propósito general, cada conjunto contiene 6 registros de 8 bits que pueden ser utilizados individualmente o como registros pares de 16 bits por el programador.

Un grupo está formado por los registros BC, DE y HL, mientras que el complementario está formado por los registros BC', DE' y HL'. Las operaciones se realizan únicamente sobre los registros no complementarios; para hacer uso del otro grupo, es necesario hacer uso de instrucciones de intercambio entre registros (EXX, etc).

UNIDAD LOGICA Y ARITMETICA (ALU).

Las instrucciones lógicas y aritméticas de 8 bits, son ejecutadas en la ALU. Internamente, esta se comunica con los registros y el bus de datos.

El tipo de instrucciones que la ALU puede ejecutar incluyen:

- a) Suma
- b) Resta
- c) And lógica
- d) Or exclusiva
- e) Or lógica
- f) Comparación
- g) Corrimientos aritméticos y lógicos

- h) Incrementos
- i) Decrementos
- j) Operaciones sobre algún bit especial
- k) Prueba de bits

REGISTROS DE INSTRUCCIÓN Y CONTROL DEL CPU.

Cada instrucción que se obtiene de memoria es colocada en el registro de instrucción y decodificada. La sección de control ejecuta esta función, luego genera y suministra todas las señales de control necesarias para leer o escribir datos desde hacia los registros, controla la ALU y nos da todas las señales externas de control que se necesitan.

REGISTROS PRINCIPALES

ACUMULADOR	BANDERAS
A	F
B	C
D	E
H	L

REGISTROS ALTERNOS

ACUMULADOR	BANDERAS	
A'	F'	
B'	C'	REG. PROPOSITO GRAL.
D'	E'	
H'	L'	

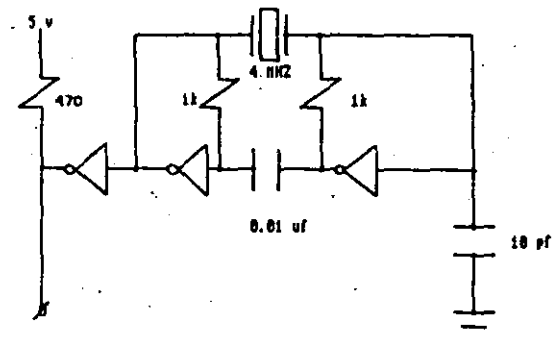
VECTOR	REFRESCO
INTERRUPCIONES	DE MEMORIA
I	R

REGISTRO INDICE IX	REGISTROS DE PROPOSITO ESPECIAL.
REGISTRO INDICE IY	
STACK POINTER SP	
PROGRAM COUNTER PC	

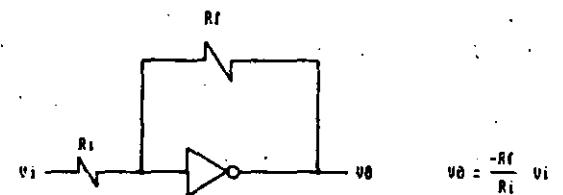
3.1.1.1 GENERACION DE RELOJ.

Uno de los principales aspectos dentro de un sistema digital que emplea microprocesadores, es la de la señal de reloj, fundamental para sincronizar todos los componentes del circuito básico. La señal de reloj es una serie regular de pulsos producidos por un oscilador; las características internas del procesador determinan la frecuencia y el ancho del pulso de esta señal.

Existen diferentes circuitos para generar señales de reloj, de los cuales se escogió el siguiente dadas sus características y su facilidad de construcción.



Este circuito tiene la función de generar una señal senoidal a la salida del segundo inversor. El arreglo de inversor con resistencia, tiene la función de trabajar como un amplificador con realimentación negativa, esto hace que el sistema sea estable.



$$V_0 = -\frac{R_f}{R_i} V_i$$

Este amplificador nos da además un corrimiento de 180° en la fase; pero, para que un sistema sea inestable, es decir, para que pueda oscilar, debe existir una realimentación positiva lo que implica que se utilice un segundo amplificador también con realimentación negativa para hacer que el defasamiento sea de 360°, esto es, que la entrada del primer inversor está en fase con la salida del segundo inversor. Se agrega entonces un cristal de cuarzo de 4 MHz para cerrar la malla, y entonces tener una retroalimentación positiva que produce oscilaciones a la frecuencia del cuarzo.

La función del capacitor de 0.01 uf, es el desacoplamiento de los 2 amplificadores para evitar problemas con la corriente directa.

El tercer inversor funciona como un buffer en la salida para hacer que el cristal trabaje en bajas impedancias y evitar problemas de acoplamiento con el microprocesador.

3.1.1.2 SEÑALES DE CONTROL.

Para el desarrollo del sistema mínimo basado en el Z80-CPU, es necesario emplear señales de control para funciones tales como: habilitación, sincronización y atención de dispositivos de entrada-salida.

Las señales de control que se emplean en este sistema, tienen la siguiente función:

MREQ (Memory Request).- Salida Tri-state, activa baja. Esta señal indica que el bus de direcciones mantiene una dirección válida para una operación de R/W a memoria. Dado que se emplea únicamente en el sistema una EPROM, esta señal está conectada al

CS de la memoria para su habilitación.

IORQ (Input/Output Request).- Salida Tri-state, activa baja. La señal **IORQ** indica que la parte media baja del bus de direcciones mantiene una dirección válida de entrada-salida para una operación de lectura o escritura a dispositivos periféricos.

WR (Write).- Salida Tri-state, activa baja. Esta señal indica que el bus de datos del CPU, mantiene datos válidos en la memoria direccionada o dispositivos de entrada-salida. La señal de **WR** se utiliza conjuntamente con la señal de **IORQ** para generar otra señal por medio de la cual se pueden habilitar los puertos de entrada-salida, es decir, que el microprocesador desea enviar datos hacia algún dispositivo periférico.

WAIT (Wait).- Señal de entrada, activa baja. Esta señal indica al CPU que la memoria o los dispositivos de entrada-salida, no están listos para la transferencia de datos. El CPU continúa realizando estados de espera, mientras esta señal esté activa. Esta señal permite a la memoria o dispositivos de entrada-salida de cualquier velocidad el ser sincronizados al CPU.

NMI (Non Maskable Interrupt).- Señal de entrada, activada con flanco de bajada. La línea de interrupción no mascarable tiene una prioridad más alta que la **INT**, y siempre se reconoce al final de la instrucción que se está ejecutando. Una interrupción **NMI**, automáticamente fuerza al CPU a comenzar en la localidad 0066H.

En esta localidad se encuentra una rutina de servicio que está involucrada con el cambio de datos o información de status y

control entre el CPU y el periférico.

El PC es automáticamente salvado en el stack externo hasta que el usuario pueda regresar al programa que fue interrumpido. es decir, una vez que la rutina de servicio es completada.

Esta señal la genera el dispositivo periférico y no puede ser deshabilitada por el programador. Esta interrupción, es generalmente reservada para funciones muy importantes, las cuales tienen que ser servidas cuando esta interrupción ocurra.

Existen 2 Flip Flops de habilitación llamados IFF1 e IFF2. IFF1 es usado para actualizar las inhibiciones de interrupción, mientras que IFF2 se emplea para salvar el status de IFF1 cuando ocurra una NMI. Cuando una interrupción es aceptada, IFF1 se resetea para prevenir interrupciones mascarables durante la interrupción no mascarable hasta que el programador rehabilite.

Al regresar de la rutina de servicio, IFF2 es copiada en IFF1 y automáticamente es restaurado el estado anterior.

RESET .- Señal de entrada, activa baja. Esta señal fuerza al PC a ser cero e inicializar al CPU. La inicialización del CPU incluye:

- 1) Deshabilitación de los flip flops de interrupciones.
- 2) Registro I= 00H.
- 3) Registro R= 00H.
- 4) Modo de interrupción 0.

Durante el tiempo de RESET, el bus de datos y el bus de direcciones van a un estado de alta impedancia y todas las señales de salida de control van a un estado inactivo. No ocurre refresco.

RELOJ.- Sistema de fase simple.

3.1.1.3 INTERCONEXION DE MEMORIA Y PUERTOS.

Para la elaboración de un sistema de control basado en microprocesador, es necesario contar con un dispositivo de almacenamiento ya sea temporal o permanente, es decir, que la información que se encuentre guardada en este circuito pueda modificarse durante la ejecución de un proceso o permanecer fija durante toda la ejecución del mismo. La información que se almacena dentro de la memoria fundamentalmente es un programa de control que interactuando con el microprocesador supervisa un proceso externo. Dentro del programa de control están incluidas las rutinas de servicio a interrupciones.

Otro aspecto importante dentro de un sistema de control, es la facilidad que presenta el sistema para realizar una transferencia de información entre el microprocesador y los dispositivos periféricos; lo anterior se realiza utilizando puertos que pueden ser de entrada o salida. Para la construcción de estos puertos se utilizan generalmente dispositivos de almacenamiento temporal como pueden ser flip flops, latches o cualquier otro circuito semejante que tenga la misma función.

CONEXION DE MEMORIA.

En este sistema basado en el Z80-CPU, es utilizada la memoria EPROM 2716, la cual tiene una organización de 2048 palabras de 8 bits cada una.

En esta memoria, se encuentra grabado el programa de control, la rutina de servicio a interrupciones y el código necesario para direccionar el sintetizador digital de voz para

que emita los sonidos adecuados y así formar el mensaje.

Para direccionar 2K bytes de memoria, se utilizan las once líneas menos significativas del bus de direcciones. Puesto que el programa de control no sobrepasa los 2K bytes, no es necesario hacer paginación de memoria.

Por lo tanto, la línea de requerimiento de memoria (\overline{MREQ}), es el habilitador de la EPROM 2716 (\overline{CS}). Dado que un requerimiento a memoria para este caso, siempre es una lectura a ésta, las líneas de \overline{RD} y \overline{WR} pueden ser no utilizadas.

CONEXION DE PUERTOS.

Existen dos puertos de salida. El puerto 00H se emplea para controlar:

- 1) Acción de colgar y descolgar teléfono.
- 2) Activar grabadora.
- 3) Deshabilitar sensor de llamadas.
- 4) Contador de llamadas.

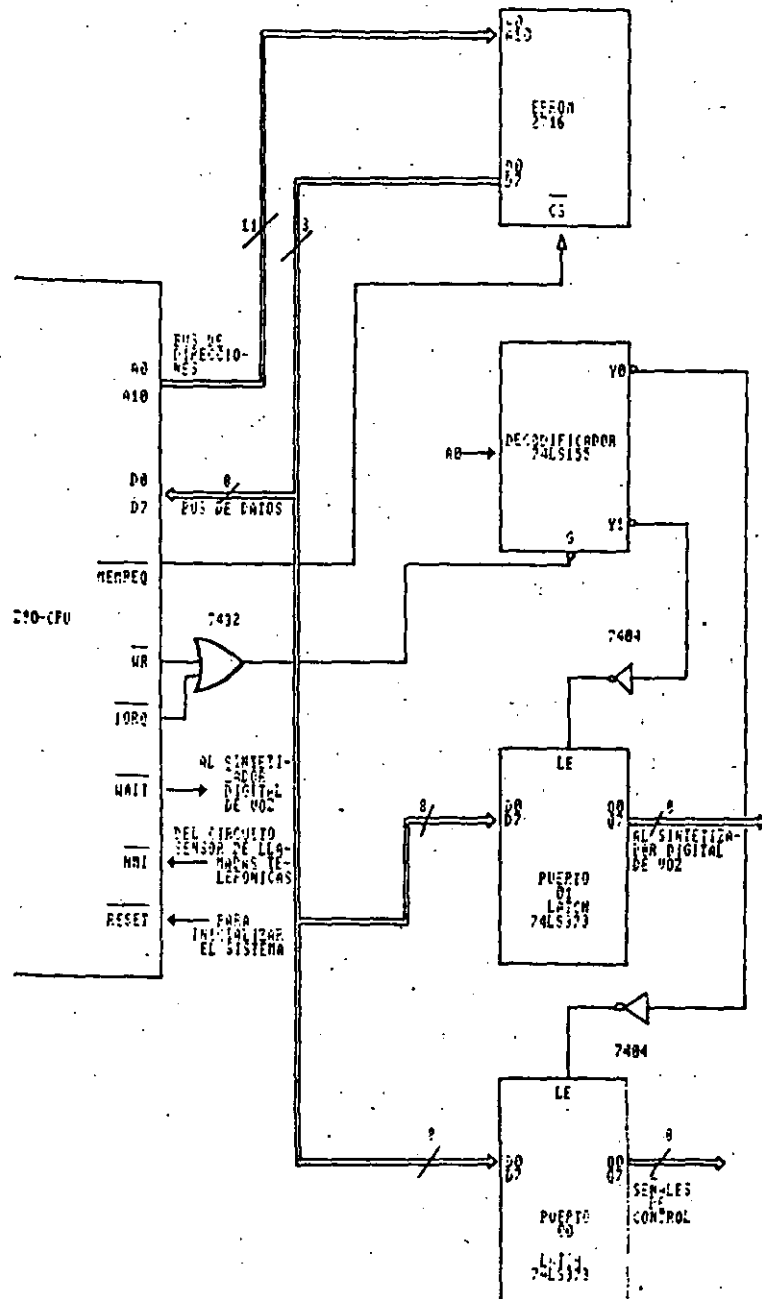
El puerto 01H, es utilizado para direccionar el sintetizador digital de voz. Para hacer diferencia entre el puerto 00H y el puerto 01H, se utiliza la línea A0 del bus de direcciones para hacer una decodificación de puertos.

Para habilitar el decodificador de puertos, se utilizan las líneas de control \overline{TORQ} y \overline{WR} conectadas a una compuerta OR, teniendo a la salida una señal de \overline{TORW} con la cual indicamos que queremos hacer referencia a un puerto de salida.

Puesto que la salida del decodificador es activa baja, es necesario utilizar un inversor en las salidas (2Y0 y 2Y1) de éste para poder elegir los puertos.

El decodificador empleado es el 74155 y los puertos se implementan con un latch 74L0873.

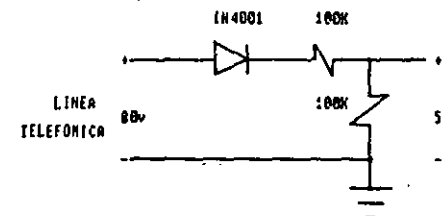
A continuación se muestra el diagrama eléctrico donde se indica la forma en que se conectaron la memoria y los puertos utilizados.



3.1.2 INTERFAZ CON LA LINEA TELEFONICA.

Tomando en cuenta las características de los voltajes que maneja la red telefónica dentro de la Ciudad de México, fue necesario hacer ajustes pertinentes de dichos voltajes para un buen funcionamiento del Sistema Controlador de Llamadas Telefónicas ya que éste trabaja con niveles TTL (5V), mientras que los voltajes en la línea telefónica no tienen esos niveles.

Para ello, fue necesario utilizar un divisor de voltajes, el cual convierte una señal de entrada de 80V de Corriente Alterna (que se presenta en la línea cuando existe una llamada) a una señal de salida de 5V Corriente Directa empleándose el siguiente arreglo:



Esta interfaz incluye también un circuito que es capaz de abrir y cerrar la línea telefónica, utilizando para ello la señal de control de descolgar teléfono la cual es proporcionada por el sistema de control basado en Z80.

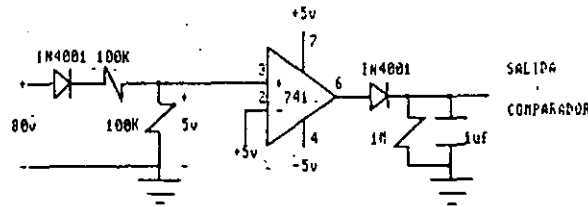
Para la interconexión de la grabadora fue necesario multiplexar la línea telefónica, primero hacia lo que es el sintetizador de voz y posteriormente hacia la grabadora, esto para evitar que se presentara un corto circuito lo que provocaría una señal distorsionada.

3.1.2.1 SENSOR DE LLAMADAS.

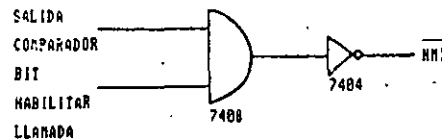
Este circuito está compuesto por dos bloques:

a) Divisor de voltajes: convierte una señal de entrada de 80V previamente rectificada utilizando un diodo IN4001, a una señal de salida de 5V Corriente Directa.

b) Comparador de Voltajes: la salida del divisor de voltajes es comparada con un voltaje de referencia de 5V, de tal forma que a la salida de este comparador se obtiene un pulso únicamente cuando existen 80V en la línea que indica una llamada, es decir, cuando no existe una llamada, se presentan en la línea 24 volts Corriente Alterna.



Debido a la inestabilidad eléctrica de la línea telefónica, fue necesario utilizar una señal de control (habilitación de llamada) de tal forma que la interrupción NMI se active cuando el bit de habilitar llamada se encienda y exista el pulso a la salida del comparador.

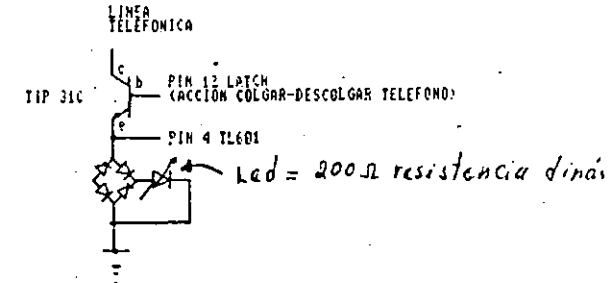


3.1.2.2 ACCION DE DESCOLGAR Y COLGAR TELEFONO.

Una vez que la interrupción ha sido activada, se habilita otra señal de control (bit "colgar-descolgar teléfono"). Dicha señal está conectada a la base de un transistor TIP31 de tal

forma que cuando se activa esta señal de control, el transistor va a su región de saturación provocando que este último funcione como un switch, es decir, conecta la línea telefónica a un puente de diodos que tienen la función de abrir o cerrar a ésta.

Una vez transcurrido el tiempo destinado a la grabación del mensaje, el bit de acción de colgar-descolgar teléfono, se apaga provocando que el transistor entre a su región de corte; esto hace que se abra la línea telefónica y esté en condiciones de recibir otra llamada.



3.1.2.3.- INTERCONEXION DE UNA GRABADORA.

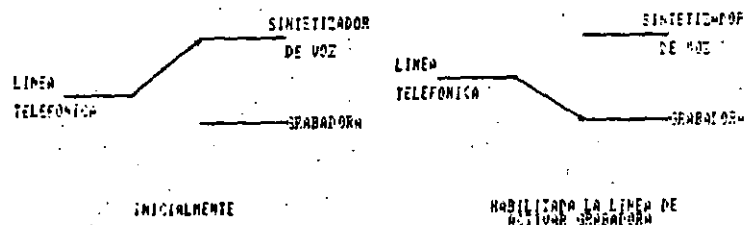
El sistema de grabación, está formado por elementos que permiten activar una grabadora de audio a control remoto y un circuito que permite multiplexar a la misma con el sintetizador digital de voz.

Fue necesario utilizar una grabadora que contara con una entrada para micrófono y otra para activarla (control remoto); estas entradas son MIC y REMOTE respectivamente.

La entrada al micrófono de la grabadora, está conectada a la línea telefónica en donde se recibirá el mensaje para grabarlo. Dado que no fue posible conectar directamente el micrófono a la línea telefónica, fue necesario emplear un circuito que fuera

capaz de multiplexar el sintetizador de voz y el micrófono con la línea telefónica para evitar problemas de acoplamiento entre los dos primeros.

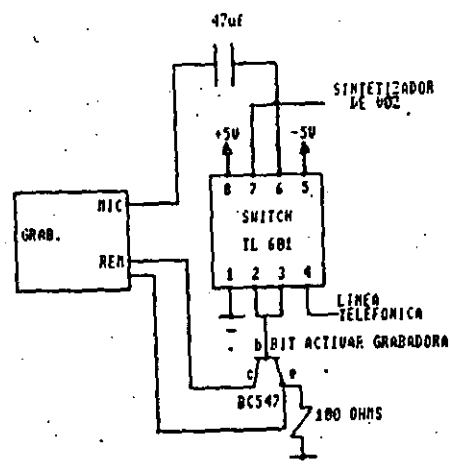
Para esto se empleó un circuito TL601 (switch analógico), que inicialmente está conectado al sintetizador digital de voz de tal forma que cuando existe una llamada, permite el paso del mensaje hacia la línea telefónica. Concluida esta tarea, se habilita la línea de control "activar grabadora", lo que provoca que el switch analógico cambie de posición permitiendo ahora que se pueda realizar la conexión del micrófono con la línea telefónica.



Para poder realizar una grabación de mejor calidad, fue necesario conectar un capacitor que permitiera eliminar la componente de directa, la cual provoca una señal distorsionada. Después de una serie de pruebas, se llegó a la conclusión de que el capacitor debería tener un valor de 47 uf.

El control remoto de la grabadora, es manejado utilizando un transistor BC547 con la función de trabajar como un switch. Se eligió éste, ya que presenta menos resistencia al paso de la corriente que si se empleara un switch analógico convencional. Entonces, cuando se habilita el bit de "activar grabadora", el

cual está conectado a la base del transistor, las dos líneas que forman la señal de REMOTE, quedan conectadas a un mismo punto activándose entonces la grabadora. Se conectó una resistencia de 100 ohms al emisor como referencia del bit de control con tierra.



3.1.3.- SINTEZIZADOR DIGITAL DE VOZ:

Uno de los aspectos más importantes en el desarrollo del sistema contestador de llamadas telefónicas, es la implementación de un circuito digital capaz de producir sonidos, de tal forma que la combinación de éstos produzcan palabras que tengan una secuencia coherente para quien las escucha.

En esta sección del desarrollo del hardware, se tratan principalmente los circuitos utilizados, como están interconectados entre sí, y el funcionamiento básico del sintetizador digital de voz, es decir, la forma en que se generan

los sonidos, que sonidos se producen y de que manera obtenerlos direccionando el circuito.

3.1.3.1.- DESCRIPCION DEL HARDWARE.

El sintetizador digital de voz SPO256-AL2, está conectado a un puerto paralelo (01H) del sistema básico del Z80. Dicho puerto tiene la función de direccionar al SPO256 para que éste genere el mensaje diseñado. Cuando se está ejecutando la transferencia de datos, es necesario una sincronización, pues el Z80 trabaja más rápido que el SPO256. Esta sincronización se realiza conectando la línea SBY del sintetizador con la línea WAIT del Z80, ya que cuando el buffer del SPO256 está lleno, no es posible realizar transferencia de datos desde el Z80, por lo que sería necesario realizar ciclos de espera hasta que el sintetizador esté en condiciones de aceptar otra dirección. Un "1" lógico en la línea SBY indica que el SPO256 está inactivo y el voltaje de alimentación al circuito puede bloquearse para ahorrar energía. Cuando el SPO256 se reactiva por la carga de una dirección, SBY va automáticamente a "0" lógico.

Cuando se desea hacer referencia a una localidad del SPO256, es necesario poner en el puerto de entrada del sintetizador la dirección del sonido que se quiera obtener y activar la señal de entrada ALD con un pulso negativo mediante la misma línea que activa el puerto 01H.

Como se mencionó anteriormente, dentro de las funciones de la señal de salida SBY, está la de ahorrar energía. Esto se realiza a través de los transistores T1 y T2. Como se puede observar, en el diagrama del bloque sintetizador de voz, al

activarse SBY con "1" lógico provoca que el transistor T1 entre a su región de saturación haciendo que todo el voltaje que se encuentra en el emisor vaya a tierra provocando que el transistor T2 se coloque en su región de corte. Al hacer esto, la línea de entrada RESET es activada y por lo tanto desactiva todas las partes que componen al SPO256 (excepto la interfaz lógica del microprocesador) que están alimentadas por el voltaje de entrada.

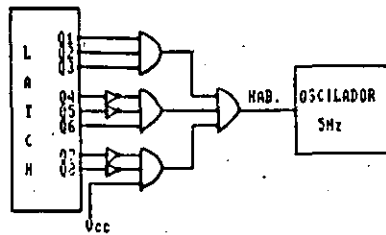
El SPO256 para su funcionamiento requiere de un cristal de cuarzo de 3.12 MHz. Debido a que el sintetizador posee un oscilador interno, no es necesario generar una señal de reloj con un circuito externo; por lo tanto el cristal se conecta a las terminales OSC1 y OSC2 del sintetizador.

El pin DIGITAL OUT, nos da como salida un tren de pulsos modulado, el cual es convertido a una señal analógica cuando es afectada por un filtro paso-bajas externo. Esta señal analógica es amplificada utilizando el circuito integrado LM741 configurado con una ganancia de 220 veces el voltaje de entrada.

Un problema que se presentó en el desarrollo del sistema contestador de llamadas telefónicas debido a las características fonéticas del circuito sintetizador de voz, fue principalmente el acento extranjero de la letra "R" dentro de una palabra, por lo que fue necesario implementar una lógica externa para que cuando se presentara la dirección que generara este sonido, se activara un circuito oscilador el cual tiene una frecuencia de 5 Hz que sumada al resto de la palabra, mejora bastante el sonido de la letra "R". Lo anterior se realiza de la siguiente manera:

Cuando llega al puerto 01H del sistema la dirección 27H,

con la cual se selecciona el sonido RR2 del conjunto de fonemas, se decodifica esta dirección por medio de un grupo de compuertas AND de tres entradas (circuito 7411) como muestra la figura:



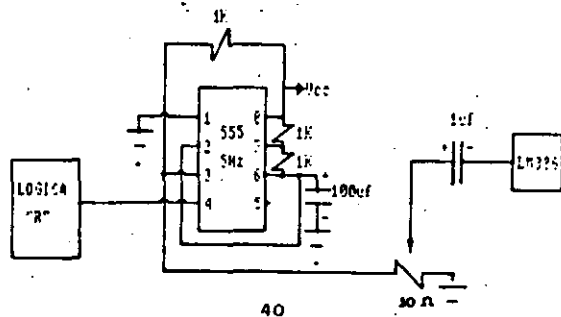
De esta forma cuando se presenta la dirección válida 27H, se tiene como salida en la última compuerta AND un "1" lógico que activa el timer LM555 que se encuentra configurado para oscilar a una frecuencia de 5 Hz. Esta frecuencia está determinada por los valores de las resistencias y el capacitor como se muestra a continuación:

$$TL = 0.06666$$

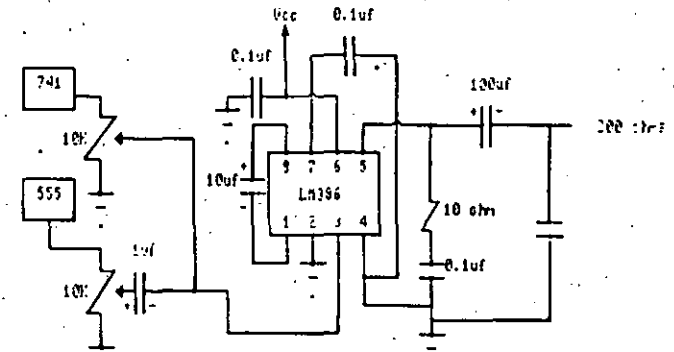
$$TH = 0.13333$$

$$RB = \frac{0.06666}{0.693(100 \times 10^{-6})} = 962 \text{ [ohms]}$$

$$RA = \frac{0.13333}{0.693(100 \times 10^{-6})} - 962 = 962 \text{ [ohms]}$$



La señal de salida de 5 Hz del oscilador, es sumada a la señal analógica que fue amplificada por el circuito LM741 (amplificador operacional) teniendo entonces el conjunto de sonidos para formar una palabra. Se emplea un capacitor de 1 uF para acoplar estas dos señales que se suman; posteriormente, esta señal se amplifica una vez más utilizando el circuito amplificador de potencia LM386 configurado para obtener una ganancia de 200 veces el voltaje de entrada como se muestra en la figura:



Por último, la salida del amplificador se conecta a una bocina de 200 ohms que se usa comúnmente en aparatos telefónicos. Se empleó una bocina de este valor, ya que la fidelidad del audio es mejor que si se empleara una bocina de 8 ohms que son las que comúnmente se encuentran en el mercado.

3.1.3.2.- FUNCIONAMIENTO BASICO DEL BLOQUE SINTETIZADOR.

El sintetizador digital de voz SPD256 es un dispositivo LSI con tecnología NMOS, que es capaz de formar palabras o sonidos complejos, usando un programa almacenado en memoria.

La salida de este circuito produce una respuesta en

frecuencia desde cero hasta 5 KHz, una atenuación de 42 dB y una relación de señal a ruido de aproximadamente 35 dB.

El SP0256 incorpora cuatro funciones básicas:

- Un filtro digital programable por software que puede modelar un sonido vocal.
- Una ROM de 16 KB la cual almacena datos e instrucciones.
- Un microcontrolador, el cual controla el flujo de datos de la ROM al filtro digital, el ensamble de los caracteres necesarios para ligar elementos de palabras, y la amplitud y tono de la información para excitar el filtro digital.
- Un modulador de pulsos que crea una salida digital la cual es convertida a una señal analógica cuando es afectada por un filtro paso bajas externo.

El SP0256-AL2, requiere del uso de un procesador para concatenar los sonidos y formar palabras. Este se controla usando los pines de direcciones (A1 a A8), $\overline{\text{ALD}}$ (Address Load) y SE (Strobe Enable). El objetivo de controlar el chip es el de cargar una dirección, la cual contiene los sonidos deseados. Los datos para el conjunto de sonidos, están contenidos en la ROM interna del sintetizador.

Se requieren únicamente seis pines de direcciones (A1 a A6) para direccionar los 59 sonidos más 5 pausas, que dan un total de 64 localidades. Entonces para referenciar el bus de direcciones sería utilizar A1 a A6 y conectar a tierra A7 y A8.

Existen dos formas para cargar una dirección en el chip. SE (Strobe Enable) controla el modo que se puede emplear.

MOD0 0 (SE=0): Accesa una dirección cuando uno o más pines

tienen una transición de bajo a alto; por ejemplo, para cargar la dirección 1, desde A2 y hasta A6 valen "0" lógico y A1 se activa en alto. Para cargar la dirección 12, A1, A3, A5 y A6 valen "0" lógico, y A2 y A4 se activan con "1" lógico. (Note que una dirección cero no puede ser accesada usando este modo).

MOD0 1 (SE=1): Accesa una dirección usando el pin $\overline{\text{ALD}}$. Primero, selecciona la dirección deseada en el bus de direcciones (A1 a A6) y entonces poner $\overline{\text{ALD}}$ en bajo. Cualquier dirección puede ser cargada usando este modo; pero requiere tiempos de acceso y estabilización (Referirse a los diagramas de tiempo para los tiempos específicos).

Existen dos pines para la interfaz con el microprocesador que provocan una carga rápida de direcciones; estas son $\overline{\text{LRQ}}$ y SBY. $\overline{\text{LRQ}}$ (Load Request) le dice al microprocesador cuando la entrada del buffer está llena. SBY (Stand By), le indica al microprocesador que el chip tiene la comunicación deshabilitada y que una nueva dirección no puede cargarse. Tampoco el pin de interfaz puede ser usado cuando concatenamos sonidos. $\overline{\text{LRQ}}$ es una señal activa baja; cuando $\overline{\text{LRQ}}$ va a nivel bajo, es tiempo de cargar una nueva dirección al chip. Si $\overline{\text{LRQ}}$ es alta, entonces simplemente espera a que baje el nivel antes de cargar la dirección; SBY permanece en nivel alto hasta que una dirección es cargada, y luego va a nivel bajo y permanece así hasta que todas las instrucciones internas (speech code) de una dirección se completan; hasta que esta señal va a alto es tiempo de cargar una nueva dirección. Es necesario usar SBY con la interfaz del procesador.

Para el dispositivo que se presenta, el número de sonidos se reduce a 59 y además se cuenta con 5 pausas. Estos sonidos se generan al obtener de una memoria ROM el código correspondiente, esta ROM está contenida en el circuito integrado y con sólo dar una dirección, el dispositivo genera el sonido a través de una bocina. Cualquier palabra o frase puede ser creada con una combinación apropiada de sonidos y pausas. Cada localidad de memoria requiere de 6 bits de direccionamiento.

Cada sonido en un lenguaje puede ser representado por más de una letra y viceversa, cada letra puede representarse por más de un sonido. Un punto de gran importancia en lo referente a los sonidos, es que pueden ser diferentes dependiendo de la posición en la palabra; por ejemplo, el sonido de la letra "M" en la palabra "MINUTO", es bastante parecido al sonido de la letra "N" dentro de la palabra "TIENE", esto depende de la posición dentro de la palabra y de las vocales que le anteceden o le siguen.

Un sonido en una palabra puede sonar diferente si se emplea en otra palabra dentro de una misma frase. No es sorpresa, por lo tanto, que un sonido en una palabra sea ligeramente diferente cuando se usa varias veces en una frase.

GENERACION DE FONEMAS.

Los sonidos de un lenguaje son llamados fonemas, y cada lenguaje tiene un conjunto el cual es ligeramente diferente de uno a otro lenguaje, es decir, los fonemas es el nombre dado a un grupo de sonidos en un lenguaje. Como se mencionó anteriormente, un fonema es acústicamente diferente dependiendo de su posición dentro de una palabra, se puede definir entonces a

"ALLOPHONE", como cada una de esas variantes de posición de los fonemas.

El conjunto de allophones, contiene dos o tres versiones de algunos fonemas; esto es necesario dadas las diferencias acústicas que dependen de la posición donde se encuentren los allophones en la palabra, esto es al principio, al final o entre la palabra.

Por ejemplo las palabras "TIENE" y "MINUTO" que están dentro del mensaje que se diseñó para contestar el teléfono, se componen de los siguientes allophones:

T	TT1	M	MM
I	IH IH	I	IH
E	EH PA1	N	NN1
N	MM	U	UH PA3
E	EH EH PAS PA1	T	TT2
		O	AO AO PAS PAS

Note que se utilizaron los allophones TT1 y TT2 para hacer referencia a un solo fonema, esto se debe a la posición que guardan dentro de la palabra, ya que es necesario muchas veces el tener en cuenta la duración de cada allophone.

Por ejemplo TT1 tiene una duración de 100 ms mientras que TT2 tiene una duración de 140 ms, lo que hace que un sonido sea más marcado que el otro.

Para terminar una palabra es necesario hacer una pausa. En el ejemplo anterior, al finalizar la palabra se utilizaron las pausas PAS y PA1; estas pausas no son un sonido, pero son

necesarias para separar palabras.

GENERACION DEL MENSAJE.

Para el desarrollo de esta parte del sistema, se tomaron en cuenta varias consideraciones importantes. Debido a las características del sintetizador digital de voz SPO256-AL2, en lo referente a la generación de allophones, éstos tienen un enfoque bastante marcado hacia la fonética del idioma inglés, por lo que se presentaron algunos problemas para formar un mensaje que no tuviera tan marcado este acento; por lo mismo, fue necesario implementar un circuito lógico combinacional para generar el fonema "R" de tal forma que tuviera una pronunciación cercana a la "R" del español.

Para los demás fonemas fue necesario hacer una serie de pruebas para buscar los allophones y formar palabras que estuvieran lo más cercano posible a la fonética del español; por ejemplo, fue necesario cambiar la letra NN1 en la palabra "TONO" y sustituirla por la letra MM1 la cual es más comprensible.

A continuación se presenta el mensaje desarrollado en base a la tabla 1 que se muestra después:

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
PAUSAS		
04	PAS	200
04	PAS	200
04	PAS	200
04	PAS	200
04	PAS	200
04	PAS	200
PALABRA: HOLA		
17	AO	100
17	AO	100
20	LL	110
18	AA	100
19	AA	100
04	PAS	200
04	PAS	200
PALABRA: NO		
38	NN2	190
17	AO	100
04	PAS	200
00	PA1	10
PALABRA: ESTAMOS		
07	EH	70
07	EH	70
37	SS	90
02	PA3	50
0D	TT2	140
18	AA	100
18	AA	100
10	MM	180
17	AO	100
17	AO	100
37	SS	90
04	PAS	200
00	PA1	10
PALABRA: EN		
07	EH	70
07	EH	70
0B	NN1	140
04	PAS	200
00	PA1	10

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
PALABRA: CASA		
08	KK3	120
18	AA	100
18	AA	100
00	PA1	10
37	SS	90
18	AA	100
18	AA	100
04	PAS	200
04	PAS	200
PALABRA: DEJE		
21	DD2	160
07	EH	70
07	EH	70
00	PA1	10
39	HH2	180
39	HH2	180
07	EH	70
07	EH	70
04	PAS	200
00	PA1	10
PALABRA: EL		
07	EH	70
07	EH	70
2D	LL	110
04	PAS	200
00	PA1	10
PALABRA: MENSAJE		
10	MM	180
07	EH	70
07	EH	70
0B	NN1	140
37	SS	90
18	AA	100
18	AA	100
1B	HH1	130
07	EH	70
07	EH	70
04	PAS	200
00	PA1	10

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
PALABRA: AL		
18	AA	100
18	AA	100
2D	LL	110
04	PAS	200
00	PA1	10
PALABRA: ESCUCHAR		
07	EH	70
07	EH	70
37	SS	90
00	PA1	10
0B	KK3	120
1E	UH	100
00	PA1	10
25	SH	160
18	AA	100
18	AA	100
27	RR2	120
04	PA4	200
00	PA1	10
PALABRA: EL		
07	EH	70
07	EH	70
2D	LL	110
04	PAS	200
00	PA1	10
PALABRA: TONO		
11	TT1	100
17	AD	100
10	MM	180
17	AD	100
17	AD	100
04	PAS	200
04	PAS	200
PALABRA: TIENE		
11	TT1	100
0C	IH	70
0C	IH	70
07	EH	70
00	PA1	10
10	MM	180

CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
07	EH	70
07	EH	70
04	PA5	200
00	FA1	10

PALABRA: MEDIO

10	MM	180
07	EH	70
07	EH	70
01	PA2	30
21	DD2	160
0C	IH	70
0C	IH	70
17	AO	100
17	AO	100
04	PA5	200

PALABRA: MINUTO

10	MM	180
0C	IH	70
08	NN1	140
1E	UH	100
02	PA3	50
0D	TT2	140
17	AO	100
17	AO	100
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200

TONO

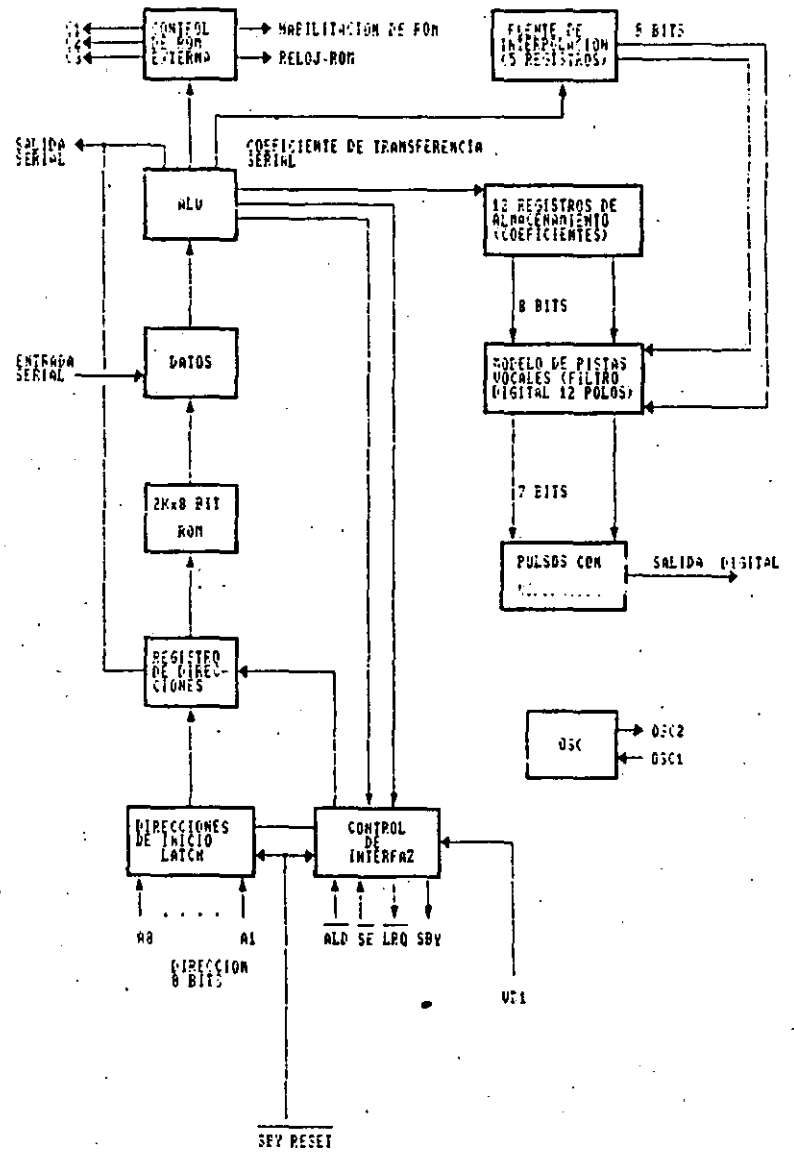
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
05	OY	420
04	PA5	200
04	PA5	200
04	PA5	200
04	PA5	200

TABLA 1

DIRECCION DECIMAL	CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
00	00	FA1	10
01	01	FA2	30
02	02	FA3	50
03	03	PA4	100
04	04	PA5	200
05	05	OY	420
06	06	AY	260
07	07	EH	70
08	08	KK3	120
09	09	PP	210
10	0A	JH	140
11	0B	NN1	140
12	0C	IH	70
13	0D	TT2	140
14	0E	RR1	170
15	0F	AX	70
16	10	MM	180
17	11	TT1	100
18	12	DH1	290
19	13	IY	250
20	14	EY	280
21	15	DD1	70
22	16	UW1	100
23	17	AO	100
24	18	AA	100
25	19	YY2	180
26	1A	AE	120
27	1B	HH1	130
28	1C	BB1	80
29	1D	TH	180
30	1E	UH	100
31	1F	UW2	260
32	20	AW	370
33	21	DD2	160
34	22	GG3	140
35	23	VV	190
36	24	GG1	80
37	25	SH	160
38	26	ZH	190
39	27	RR2	120
40	28	FF	150
41	29	KK2	190
42	2A	KK1	160
43	2B	ZZ	210
44	2C	NG	220
45	2D	LL	110
46	2E	WW	180
47	2F	XR	360
48	30	WH	200
49	31	YY1	130

TABLA1 (CONTINUACION)

DIRECCION HEXADECIMAL	CODIGO HEXADECIMAL	ALLOPHONE	DURACION (ms)
50	32	CH	190
51	33	ER1	150
52	34	ER2	300
53	35	OW	240
54	36	DH2	240
55	37	SS	90
56	38	NN2	190
57	39	HH2	180
58	3A	OR	330
59	3B	AR	290
60	3C	YR	350
61	3D	GG2	40
62	3E	EL	190
63	3F	BB2	50



CAPITULO IV
DESARROLLO DEL SOFTWARE

CAPITULO IV
DESARROLLO DEL SOFTWARE

Este capítulo se refiere al desarrollo del software del sistema contestador telefónico. En él se explicará la forma en que se desarrolló el programa de control y procesamiento de datos. Dicho programa se compone de 2 partes principalmente: la rutina de espera y la rutina de servicio a la interrupción.

Es importante señalar, dado que no se utiliza memoria RAM, que no es posible utilizar instrucciones que involucren stack.

4.1 RUTINAS DE ESPERA.

Esta rutina tiene como objetivo que el microprocesador esté en un estado de no operación mientras no ocurra una interrupción no mascarable NMI.

Cuando la señal de RESET se activa en el sistema, el PC toma automáticamente la dirección 0000H indicando que desde ahí se va a comenzar a ejecutar el programa; por lo que es necesario que a partir de la dirección 0000H se encuentren instrucciones de inicialización tales como poner en ceros el contador de llamadas telefónicas, habilitar el sensor de las mismas y deshabilitar las líneas de control restantes.

A continuación se presenta la rutina correspondiente a este estado:

LOCALIDAD	MNEMONICOS	COMENTARIOS
0000	LD A,80H	Inicialización de líneas de control.
0002	LD E,00H	Inicializa contador de llamadas.
0004	ADD A,E	Se forma una palabra de 8 bits de la cual el nibble superior corresponde a las líneas de control y el inferior al contador de llamadas.

LOCALIDAD	MNEMONICO	COMENTARIOS
0005	OUT(00H),A	Esta información se manda al puerto 00H.
0007	LOOP: NOP	Estado de espera para el microprocesador mientras no detecte una interrupción.
0008	JP LOOP	

4.2 RUTINA DE SERVICIO A LA INTERRUPCION (NMI).

Quando el sistema sensa que existe una llamada, se activa la señal NMI del Z80, lo que provoca que el PC tome automáticamente la dirección 0066H, por lo que es necesario colocar esta rutina de servicio a partir de esta localidad de memoria.

A continuación se describe el funcionamiento básico de esta rutina:

La primera función que se realiza dentro de esta rutina, es activar una señal que descuelgue el teléfono; inmediatamente después, el contador de llamadas se incrementa en uno. Esta información se manda al puerto 00H para su ejecución; posteriormente se aplica un retardo antes de la emisión del mensaje.

El mensaje de atención de llamadas, se encuentra a partir de la dirección 00CAH y tiene una longitud de 91H de localidades de memoria.

Se emplea un direccionamiento indirecto utilizando el registro HL como contador. Como se va leyendo la memoria, los datos van siendo enviados al puerto 01H, hasta que es completada la longitud del mensaje.

El siguiente paso, es la activación de una grabadora de audio en el momento en que se completa la lectura del mensaje. El

tiempo de duración durante el cual va a estar activada la grabadora, es aproximadamente medio minuto.

Inmediatamente después, se desactivan todas las señales de control y luego de aproximadamente un segundo, se activa nuevamente el sensor de llamadas. Fue necesario poner este retardo porque la línea telefónica presenta una inestabilidad en el momento en que el teléfono se cuelga.

Como se mencionó anteriormente, en este sistema de software no se pueden utilizar instrucciones que involucren el uso de stack y dado que la instrucción RETN (regreso de interrupción no enmascarable) si hace uso de este último, fue necesario sustituirla con una instrucción de salto a la dirección 0007H donde se encuentra la rutina de espera.

A continuación se presenta el software correspondiente a la rutina:

LOCALIDAD HEX	MNEMONICO	COMENTARIOS
0066	LD A,10H	Activa señal que descuelgue teléfono.
0068	INC E	Incrementa contador de llamadas telefónicas.
0069	ADD A,E	
006A	OUT(00H),A	Envía al puerto 00H.
006C	LD B,FFH	
006E	LOOP1: DEC B	Retardo.
006F	JR NZ,LOOP1	
0071	LD C,91H	Longitud del mensaje.
0073	LD HL,00CAH	Localidad donde se encuentra el mensaje.
0076	REP: LD A,(HL)	Lee los datos en forma secuencial y los manda al puerto 01H.
0077	OUT(01H),A	
0079	INC HL	
007A	DEC C	
007B	JR NZ,REP	
007D	LD D,03H	Retardo de aproximadamente 2 seg.
007F	LOOP4: LD B,FFH	
0081	LOOP2: LD C,FFH	
0083	LOOP3: DEC C	
0084	JR NZ,LOOP3	

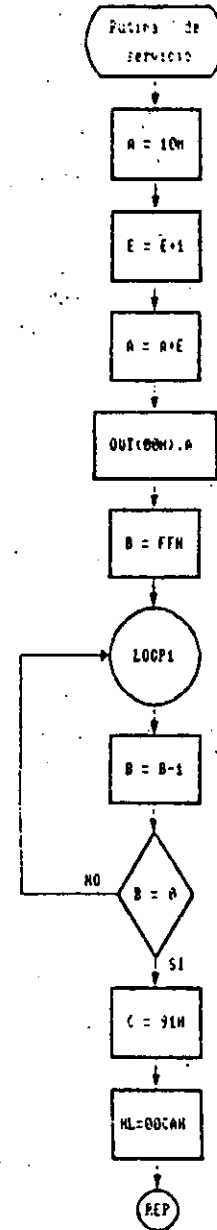
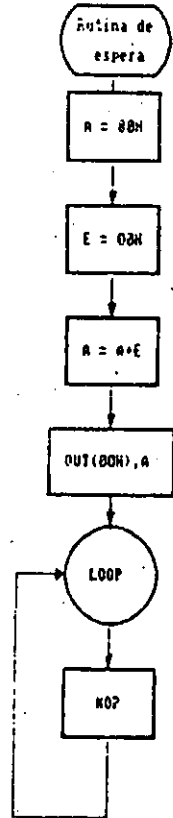
LOCALIDAD	MNEMONICO	COMENTARIOS	LOCALIDAD	CODIGO HEXADECIMAL
HEX			0069	83
0086	DEC B		006A	D3 00
0087	JR NZ,LOOP2		006C	06 FF
0089	DEC D		006E	05
008A	JR NZ,LOOP4		006F	20 FD
008C	LD A,50H	Activa grabadora.	0071	0E 91
008E	ADD A,E		0073	21 CA 00
008F	OUT(00H),A		0076	7E
0091	EXX	Uso de registros alternos para la rutina de retardo de medio minuto.	0077	D3 01
0092	LD H,7FH		0079	23
0094	LOP4: LD D,FFH		007A	0D
0096	LOP3: LD B,FFH		007B	20 F9
0098	LOP2: DEC B		007D	16 03
0099	JR NZ,LOP2		007F	06 FF
009B	DEC D		0081	0E FF
009C	JR NZ,LOP3		0083	0D
009E	DEC H		0084	20 FD
009F	JR NZ,LOP4		0086	05
00A1	EXX	Regresa a los registros no complementarios.	0087	20 FB
		Desactiva todas las señales de control.	0089	15
00A2	LD A,00H		008A	20 F3
			008C	3E 50
00A4	ADD A,E		008E	83
00A5	OUT(00H),A	Envia información al puerto 00H.	008F	D3 00
00A7	LD B,03H	Retardo de aproximadamente 2 seg.	0091	D9
00A9	LOOP6: LD C,FFH		0092	26 7F
00AB	LOOP7: LD D,FFH		0094	16 FF
00AD	LOOP8: DEC D		0096	06 FF
00AE	JR NZ,LOOP8		009D	05
00B0	DEC C		0099	20 FD
00B1	JR NZ,LOOP7		009B	15
00B3	DEC B		009C	20 FB
00B4	JR NZ,LOOP6		009E	25
00B5	LD A,80H	Activa sensor de llamadas.	009F	20 F3
00B8	ADD A,E		00A1	D9
00B9	OUT(00H),A		00A2	3E 00
00BA	JP 0007H	Regreso a la rutina de espera.	00A4	83

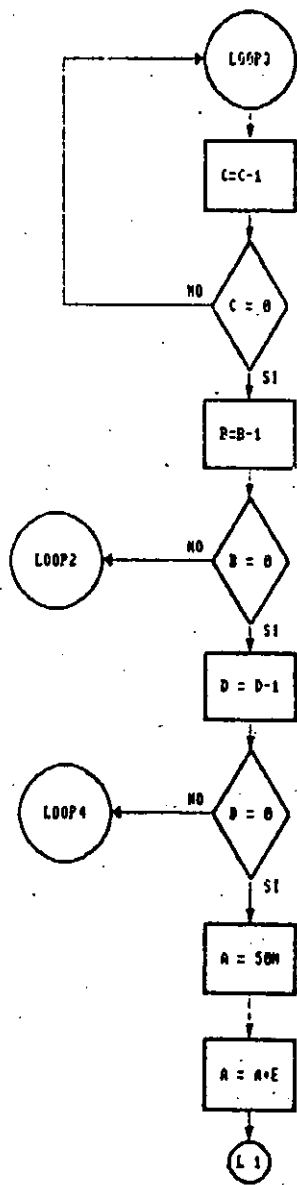
4.3 PROGRAMA EN ENSAMBLADOR Z80.

LOCALIDAD	CODIGO HEXADECIMAL
0000	3E 80
0002	1E 00
0004	83
0006	D3 00
0008	00
000A	C3 07 00
000C	3E 10
000E	1C

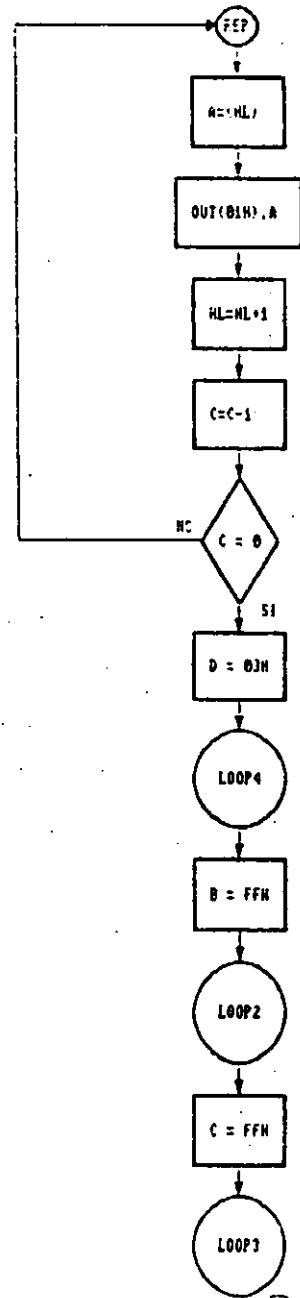
0069	83
006A	D3 00
006C	06 FF
006E	05
006F	20 FD
0071	0E 91
0073	21 CA 00
0076	7E
0077	D3 01
0079	23
007A	0D
007B	20 F9
007D	16 03
007F	06 FF
0081	0E FF
0083	0D
0084	20 FD
0086	05
0087	20 FB
0089	15
008A	20 F3
008C	3E 50
008E	83
008F	D3 00
0091	D9
0092	26 7F
0094	16 FF
0096	06 FF
009D	05
0099	20 FD
009B	15
009C	20 FB
009E	25
009F	20 F3
00A1	D9
00A2	3E 00
00A4	83
00A5	D3 00
00A7	06 03
00A9	0E FF
00AB	16 FF
00AD	15
00AE	20 FD
00B0	05
00B1	20 FB
00B3	05
00B4	20 F3
00B6	3E 80
00B8	83
00B9	D3 00
00BB	C3 07 00

4.4 DIAGRAMAS DE FLUJO.



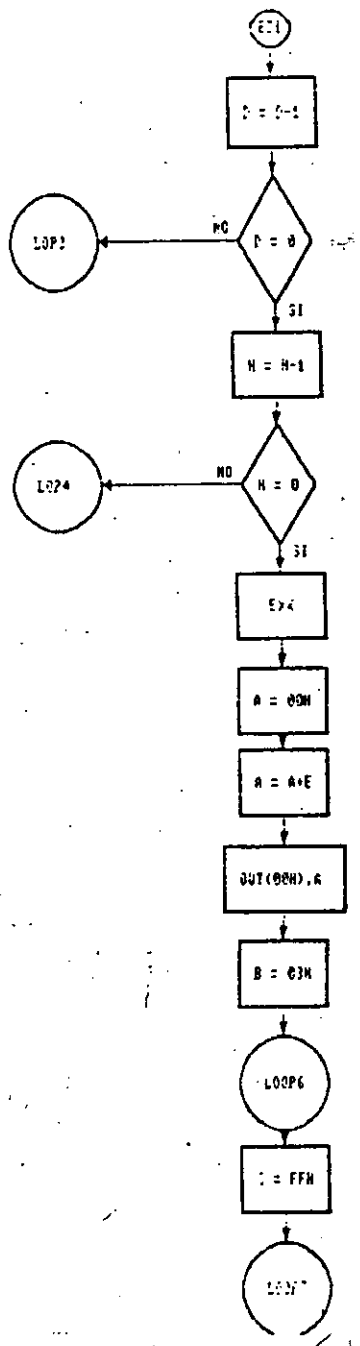


62

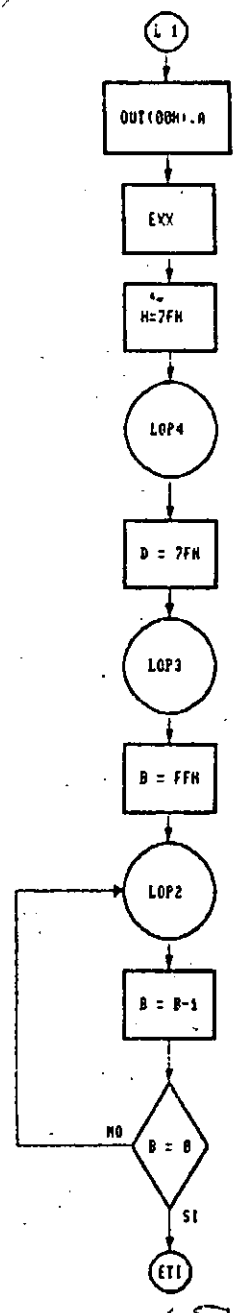


63

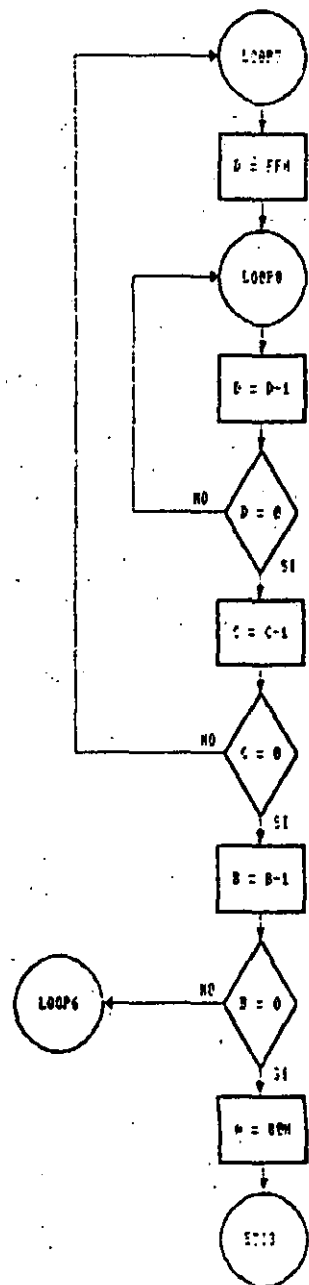
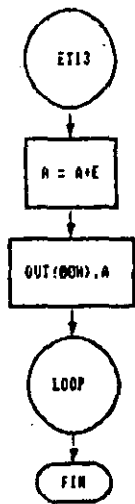
32



64



65



65

66

1/2

CAPÍTULO V

CONCLUSIONES

El desarrollo del sistema contestador de llamadas telefónicas, fue bastante provechoso dado que fue posible reafirmar y adquirir nuevos conocimientos enfocados a los sistemas de comunicación y a la aplicación de sistemas digitales que son áreas básicas en el desarrollo profesional de las personas dedicadas a la elaboración de proyectos de control.

Durante la elaboración del proyecto, se tuvieron algunas dificultades en las que algunas veces fue posible solucionarlas o adecuarse a ellas, en otros casos fue necesario limitar funciones del sistema.

El primer problema que se presentó durante el desarrollo de este sistema, fue el relacionado con la línea telefónica, ya que presenta irregularidades en los voltajes que utiliza para la comunicación. Entre estas irregularidades se presentan variaciones de voltaje de una medición a otra dependiendo de la zona dentro de la ciudad; la línea telefónica provoca que la fidelidad del sonido muchas veces se vea afectada por el ruido que ésta provoca.

Inicialmente se tenía pensado conectar un circuito que generara un sonido que indicara el momento de inicio de grabación, pero debido a los problemas de variaciones de voltaje mencionados anteriormente, no fue posible conectarlo por lo que se optó por generar este sonido a través del sintetizador digital de voz.

Generalmente una llamada telefónica no utiliza todo el

CAPITULO V
CONCLUSIONES

tiempo que se asigna para la grabación de un mensaje, teniendo en cuenta esto, se diseñó un circuito que sensará cuando la persona que llama haya colgado. Este circuito tampoco fue posible conectarlo debido a que la variación de voltaje es mínima y se necesitaba de un circuito que fuera bastante exacto. Por lo que se decidió disminuir el tiempo de grabación que originalmente era de un minuto a la mitad del tiempo, es decir, 30 segundos.

La grabadora a utilizar en este sistema, deberá ser operada a control remoto y tener una entrada de micrófono externo.

No obstante debido a lo limitado del sistema, se presentan en él algunas ventajas, tales como el cambio del mensaje así como la variación del tiempo de grabación. No necesita ningún aparato de comunicación externo, pues únicamente se conecta directamente a la línea telefónica.

Otro problema que se suscitó durante el desarrollo del presente proyecto, fue el relacionado con los fonemas que genera el sintetizador digital de voz; ya que como se mencionó anteriormente en el capítulo III de este documento, las características fonéticas del sintetizador digital de voz tienen un marcado acento extranjero, por lo que fue necesario realizar múltiples pruebas con el circuito a fin de encontrar los sonidos que fueran los más cercanos a la fonética del español.

Estas pruebas consistieron en una serie de experimentos en la cual se buscaba la combinación adecuada de allophones para formar una palabra, es decir, se trataba de que teniendo un conjunto de allophones se eligiera el adecuado dependiendo de la posición que ocupara dentro de la palabra.

Haciendo pruebas finales al sistema, se pudo observar que una gran mayoría de las personas a las que se les pidió su opinión acerca de la comprensión del mensaje, no entendían la totalidad del mismo; esto se debe a que estas personas trataban de asociar a la voz humana con la voz generada por el sintetizador digital de voz, siendo que existe una diferencia bien grande entre una y otra.

Los circuitos utilizados en el diseño son factibles de encontrarlos en el mercado nacional aunque el sintetizador digital de voz varía notablemente de precio por ser un producto de importación.

95

DARCHER

TECHNICAL DATA

AN EXCLUSIVE RADIO SHACK SERVICE TO THE EXPERIMENTER

SP0256 NARRATOR™ SPEECH PROCESSOR

Features

- Natural Speech
- Stand Alone Operation with Inexpensive Support Components
- Wide Operating Voltage
- Word, Phrase, or Sentence Library, ROM Expandable
- Expandable to 491K of ROM Directly
- Simple Interface to Most Microcomputers or Microprocessors
- Supports L.P.C. Synthesis: Formant Synthesis: Allophone Synthesis

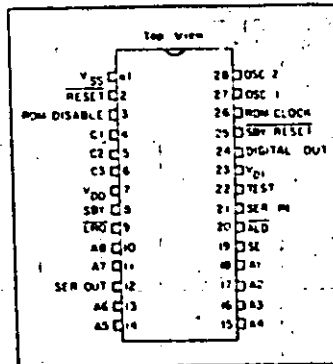
General Description

The SP0256 (Speech Processor) is a single chip N-Channel MOS LSI device that is able, using its stored program, to synthesize speech or computer speech.

The achievable output is equivalent to a flat frequency response ranging from 0 to 5 kHz, a dynamic range of 42dB, and a signal to noise ratio of approximately 35dB.

The SP0256 incorporates four basic functions:

- A software programmable digital filter that can be made to model a VOCAL TRACT.
- A 16K ROM which stores both data and instructions (THE PROGRAM).
- A MICROCONTROLLER which controls the data flow from the ROM to the digital filter, the assembly of the "word strings" necessary for linking speech elements together, and the amplitude and pitch information to excite the digital filter.
- A PULSE WIDTH MODULATOR that creates a digital output which is con-



PIN CONFIGURATION

verted to an analog signal when filtered by an external low pass filter.

Allophone Based Speech Processor - SP0256-AL2

One example of a preprogrammed SP0256 is the AL2 pattern.

Allophone Usage with a Microprocessor

The SP0256-AL2 requires the use of a processor to concatenate the speech sounds to form words.

The SP0256 is controlled using the address pins (A1-A8), ALD (Address Load), and SE (Strobe Enable). The object for controlling the chip is to load an address into it which contains the desired allophone. The speech data for the allophone set is contained within the internal 16K ROM of the SP0256-AL2.

CUSTOM PACKAGED IN U.S.A. BY RADIO SHACK A DIVISION OF TANDY CORPORATION

Panel 1

72

To end a word using allophones it is necessary to load a pause to complete the word. For example, the word "TWO"

can be implemented using the following allophones, TT2-VW2-PA1. PA1 is actually not an allophone but a pause which is needed to end the word.

ELECTRICAL CHARACTERISTICS

Maximum Ratings*

Average power dissipation: 0.3 to 8.0 W
Storage Temperature: -25°C to 125°C

Standard Conditions

Clock - Crystal Frequency: 3.125 MHz
Operating Temperature: 0°C to 70°C

DC CHARACTERISTICS/SPO 256

*Exceeding these ratings could cause permanent damage to the device. This is a stress rating only and functional operation at these conditions is not implied. Operating ranges are specified in Standard Conditions. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Data labeled "typical" is presented for design guidance only and is not guaranteed.

Characteristic	Sym	Min	Typ	Max	Units	Conditions
Supply Voltage	V _{DD}	4.6	—	7.0	V	
	V _{SS}	4.6	—	7.0	V	
I _{CC} (max)	I _{CC}	—	1	81	mA	V _{DD} = 25°C V _{SS} = V _{DD} / HV Reset & SBY Reset high
	I _{CC}	—	—	21	mA	All outputs floating Same as above
INPUTS						
A1 AS ALD SER IN TEST SE						
LOGIC 0	V _{OL}	0.0	—	0.6	V	
LOGIC 1	V _{OH}	2.4	—	V _{DD}	V	
CAPACITANCE	C _{in}	—	—	10	pF	0 Volts bias, f = 3.125 MHz
LEAKAGE	I _L	—	—	10	μA	V _{DD} = 7.0V Other Pins = 0.0V
RESET - SBY RESET						
LOGIC 0	V _{OL}	0.0	—	0.6	V	
LOGIC 1	V _{OH}	3.6	—	V _{DD}	V	
OUTPUTS						
SE-1 C1 C2 C3 C4						
LOGIC 0	V _{OL}	0.0	—	0.6	V	I _{OL} = 0.72mA (ZLS TTL Loads)
LOGIC 1	V _{OH}	2.5	—	V _{DD}	V	I _{OH} = -50 μA (ZLS TTL Loads)
TEST POINTS						
TEST POINT						When driven from external source
TEST POINT	V _{OL}	0.0	—	0.6	V	OSC 1 (input) 3.90 V MAX
TEST POINT	V _{OH}	2.5	—	V _{DD}	V	OSC 1 (input) 0.60 V MAX

Panel 3

73

BIBLIOGRAFIA

- Apuntes de Microprocesadores y Sistemas Digitales.

Martínez, Juan B.

Facultad de Ingeniería U.N.A.M.

México, D. F.

- Telefonía Elemental.

Teléfonos de México, S.A. de C.V.

Gerencia de Capacitación.

México, D. F.

- The TTL Data Book for Design Engineers

Texas Instruments Inc.

Segunda edición 1976.

Texas, U.S.A.

- Linear Data Book

National Semiconductor Corp.

1982.

U.S.A.

- Linear and Interface Integrated Circuits

Motorola Inc.

1988.

U.S.A.

BIBLIOGRAFIA

COPYSET *Tudo en 24 horas*

LIBROS, FOLLETOS Y MECANOGRAFIA EN IBM
MAQUILA EN OFFSET, MASTERS
CALIDAD CUMPLIMIENTO Y PRECIO

Agneta Quijano Pérez

Cuba 99 Desp. 21
México, D. F. 06010

Tel. 518 40-38

82

83

84

24



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

CURSOS ABIERTOS

INSTRUMENTACIÓN DIGITAL POR MEDIO DE MICROPROCESADORES Y

MICROCOMPUTADORAS

OTRAS APLICACIONES

GENERADOR DE TONOS MUSICALES CONTROLADO DIGITALMENTE

ING. JOSE ANTONIO GORDILLO AGUILAR

MARZO DE 1990.

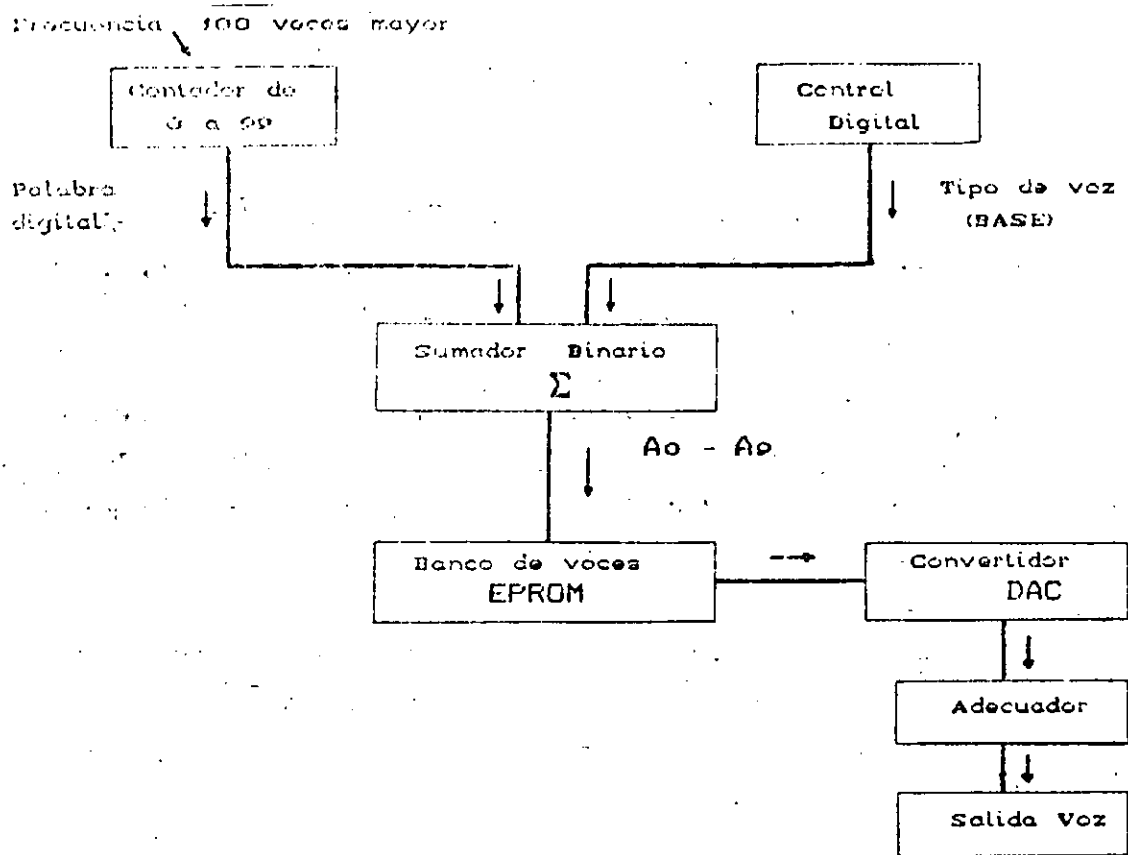


FIG 3 DIAGRAMA DE BLOQUES DEL SEGUNDO MODULO

El circuito principal de éste segundo módulo es la memoria EPROM 2716, cuyo objetivo es almacenar 12 formas de onda que han sido previamente seleccionadas, ya que la voz es la característica principal del sonido debido a su contenido armónico.

El proceso de reproducción de una voz, es muy sencillo; se basa en la digitalización en 100 puntos de un período de la forma de onda con la que se trabaja, se programa en la EPROM y por medio de unos contadores que recorran las 100 localidades de memoria a una frecuencia de 100 veces mayor que la que se desea obtener, se obtiene la voz digitalizada. Se ha utilizado como contador al circuito 74LS161 para efectuar el conteo ciclico de las 100 partes del periodo.

En la siguiente figura se muestran 5 de las 12 voces que han sido digitalizadas en 100 partes por periodo.

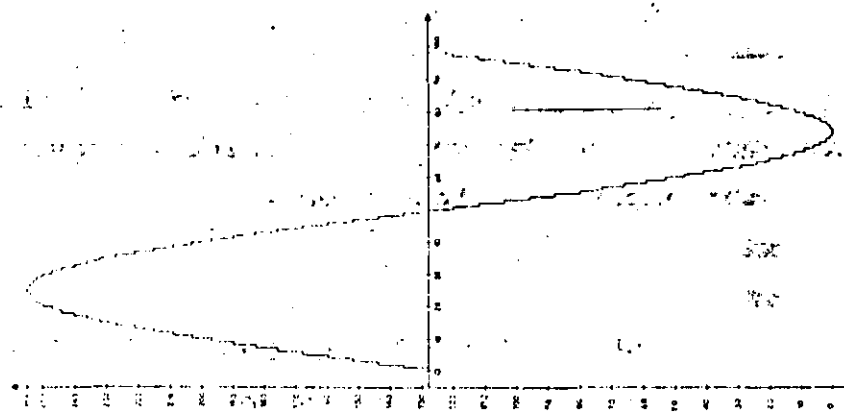
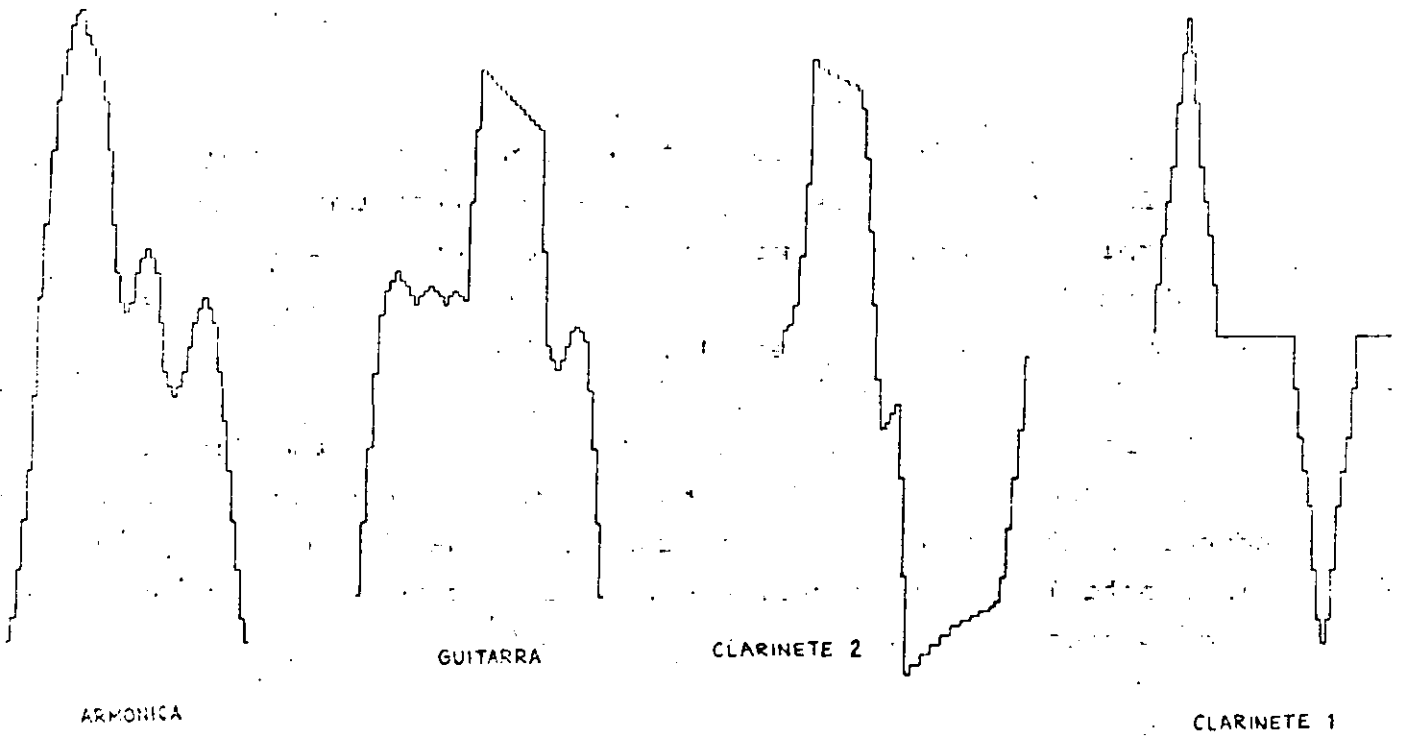


FIG 4 CINCO VOCES DIGITALIZADAS DEL OTMCD

Las voces en la memoria han sido digitalizadas sin dejar espacio de separación entre una voz y otra, y para su direccionamiento en particular de cada una de ellas, se ha empleado un sumador binario (C.I. 74LS83). Uno de los sumandos de este circuito, contiene la palabra BASE, la cual se modifica para cada voz seleccionada, y es controlada digitalmente desde un puerto del SIMMP. El otro sumando en la memoria, corresponden a los 7 bits del contador 0 a 99. El resultado final es efectuar la suma de ambas palabras para direccionar la zona de memoria que debe leerse al seleccionar la voz deseada.

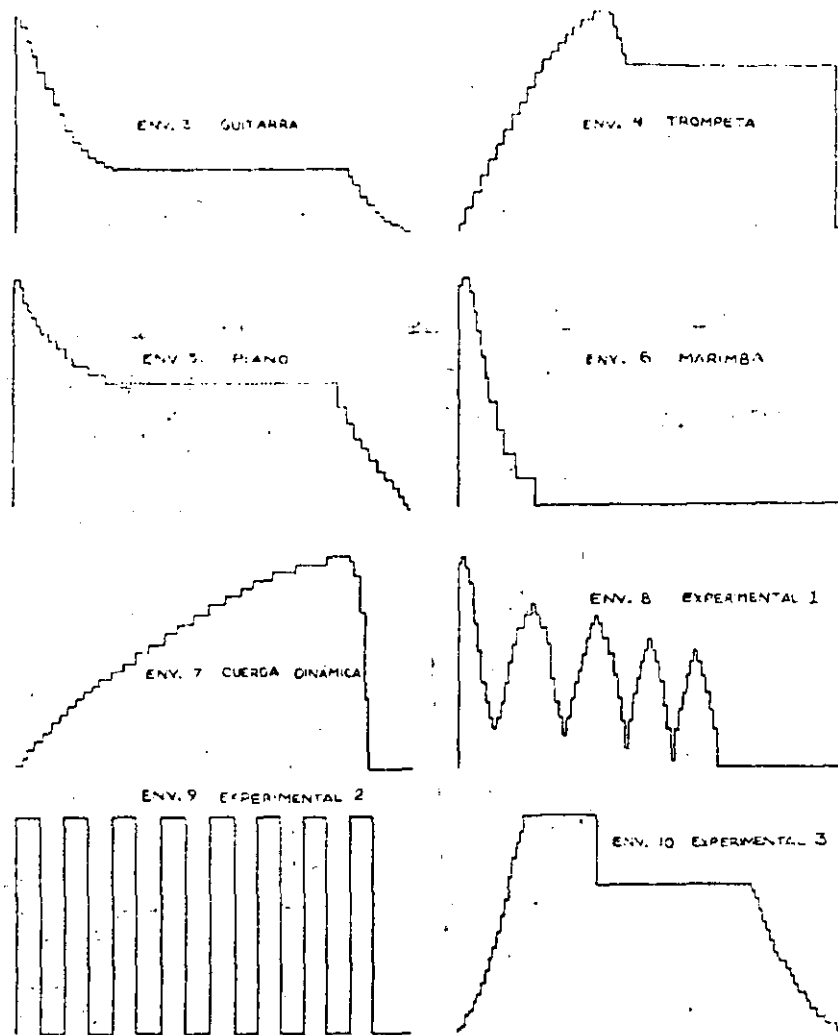


FIG 6 BANCO DE ENVOLVENTES

Para llevar a cabo la producción del sonido, el contenido de las 100 localidades pasan por un puerto del SIMMP hacia el convertidor Digital/Analógico (DAC 0800) el cual ha sido habilitado como un multiplicador de un cuadrante, y se encargará de modular en amplitud la señal procedente del Generador de voces con un patrón digital, el cual es el tipo de envolvente. El diagrama de conexiones de éste módulo se muestra en la FIG.7.

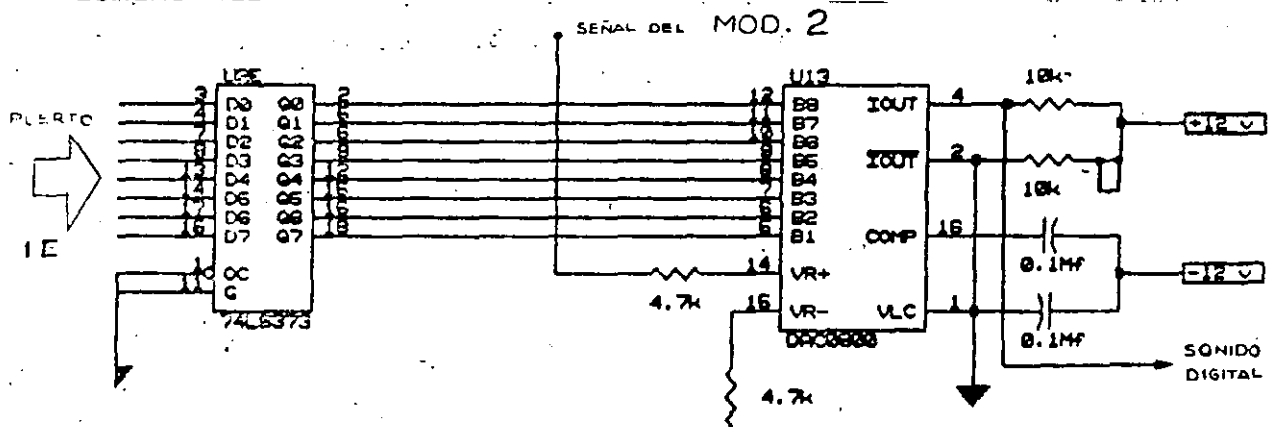


FIG 7 DIAGRAMA DEL MODULO GENERADOR DE ENVOLVENTES

CONTROL DIGITAL DEL GTMCD

A continuación se muestra en un diagrama que trata de esquematizar la programación del GTMCD. La información que alimenta al Generador de Tonos se encuentra almacenada en uno o varios discos flexibles de computadora, en donde se encuentran almacenadas las melodías, las envolventes y una tabla de duraciones. Toda esta información es manejada por un *PROGRAMA EJECUTOR* que ordena al SIMMP el control digital de cada uno de los tres módulos del GTMCD.

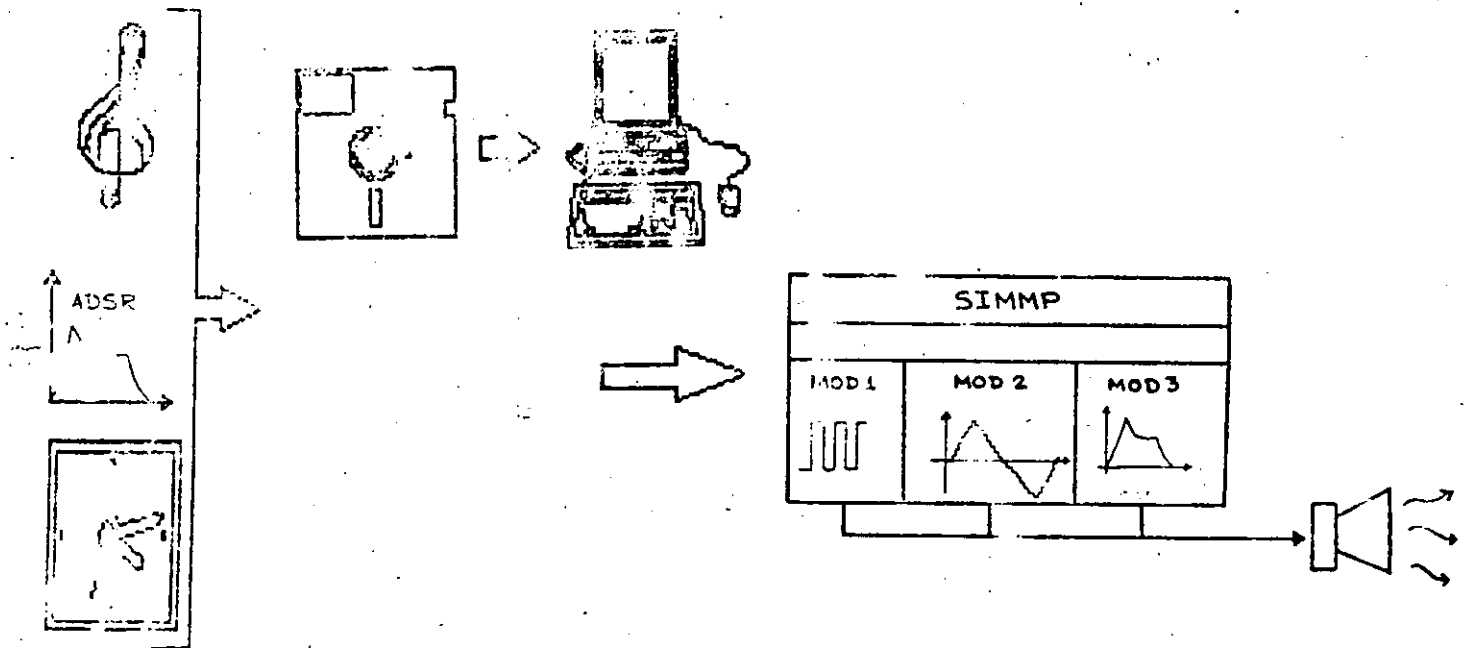


FIG 8 PROGRAMACION DEL GTMCD

El resultado de todo este proceso es el de escuchar la melodía que ha sido programada con su respectiva octava, voz, envolvente y velocidad de ejecución que el usuario haya elegido.

CONCLUSIONES

El Generador de Tonos es un instrumento que se caracteriza por su precisa y exacta generación de frecuencias musicales, además ofrece la posibilidad de manipular 6 octavas musicales. Las doce voces que genera el GTMCD demuestran la gama de sonidos que pueden ser reproducidos, éstas voces son señales digitalizadas. Estas voces pueden ser seleccionadas externamente. El tercer módulo ofrece la ventaja de manipular al sonido en amplitud,

con lo que se logró calidad sonora en el Generador de Tonos.

La inquietud por desarrollar este generador de tonos con control digital por sus autores tuvo su origen en el mundo de los sintetizadores electrónicos. Finalmente cabe mencionar que EL GTMCD debe ser considerado como un módulo experimental el cual puede ser usado para profundizar el conocimiento y la investigación en *MUSICA ELECTRONICA* en el futuro.

REFERENCIAS

PLIEGO ABRAHAM/GORDILLO AGUILAR GENERADOR DE TONOS MUSICALES CONTROLADO DIGITALMENTE (TESIS) MEXICO D.F. JULIO 1989.

SALVA ANTONIO/SANCHEZ VICTOR SISTEMA MINIMO DE MICROPROCESADOR CONTROLADO POR UNA MICROCOMPUTADORA Memoria del Congreso Nacional Pasado, Presente y Futuro de la Computacion. Realizado en 1988 en la UNAM con motivo de la Celebracion del 30 Aniversario de la Computacion en Mexico.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

C U R S O S A B I E R T O S

INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES

Y MICROCOMPUTADORAS

ANALIZADOR DE MAGNITUD Y FASE DE RESPUESTA EN FRECUENCIA,

EMPLEANDO UN MICROPROCESADOR Y UNA PC COMPATIBLE

ING. AGUSTIN EDUARDO ALVAREZ VACA

FEBRERO-MARZO

CAPITULO V (5.5)

EMPLEO DE LAS
MICROCOMPUTADORAS
Y SISTEMAS DIGITALES DE
DESARROLLO BASADOS EN
MICROPROCESADORES
EN LA CREACION DE
APLICACIONES DE CONTROL
E INSTRUMENTACION
DE PROPOSITO ESPECIFICO

APLICACION DEL SISTEMA DE DESARROLLO SDM88-PC
EN LA CREACION DE UN INSTRUMENTO PROTOTIPO
ANALIZADOR DIGITAL DE RESPUESTA EN FRECUENCIA
(MAGNITUD Y FASE)

INTRODUCCION

En este capítulo se hará una breve descripción del uso de las microcomputadoras y sistemas de desarrollo basados en microprocesador, para el control de procesos o para la creación de instrumentos-prototipo concebidos para dar solución a una necesidad específica.

Se hablará de las consideraciones básicas en el diseño de un sistema cualquiera, del balance *Hardware-Software*, y de algunos métodos o aproximaciones que pueden ayudar al desarrollo de un Prototipo, haciendo énfasis en la descripción de las características y ventajas que para ello ofrece el Sistema de Desarrollo que diseñamos, *SDM88-PC*.

Finalmente se mostrará, como uno de múltiples ejemplos de aplicación que pueden concebirse tomando como *Hardware* base o herramienta inicial de desarrollo al sistema *SDM88-PC*, la elaboración de un instrumento prototipo:

" Analizador Digital de Respuesta en Frecuencia "

que permite conocer el comportamiento en Magnitud y Angulo de Fase de la Función de Transferencia de un sistema (circuito analógico) cualquiera.

Se hará una breve descripción de los métodos de "Respuesta en Frecuencia" y de las representaciones comúnmente utilizadas de funciones de transferencia senoidales; se analizará la base teórica-matemática del algoritmo de funcionamiento del instrumento diseñado, así como el *Hardware* y *Software* de control requeridos.

5.5 . 1

CONTROL DE PROCESOS

5.5.1.1

APLICACION DE LAS MICROCOMPUTADORAS EN EL CONTROL DE PROCESOS

Las Ciencias de la Computación, en términos tanto de *Hardware* como de *Software*, han avanzado a una fase en donde ahora es factible usar esta tecnología en la operación de plantas piloto de pequeña escala así como en plantas de producción de gran escala.

Al emplear computadoras es posible extender el control del proceso más allá de las simples mallas cerradas de control de parámetros tales como temperatura, pH, presión, flujo, carga, voltaje, etc., a estrategias más sofisticadas de control interactivo. Eventualmente, será posible realizar procesos de optimización, en base a modelos dinámicos, al utilizar una estrategia de control interactiva. La combinación de la tecnología de la computadora y el modelado dinámico en las manos del ingeniero, está conduciendo a una gran eficiencia y alta productividad en los procesos. A fin de realizar la optimización del proceso, es necesario desarrollar un sistema que incluya tanto el *Hardware* como el *Software* requeridos para generar los datos iniciales, analizar la información resultante, determinar soluciones óptimas e implantar decisiones de control. Un sistema apoyado en una computadora es capaz de realizar estas tareas.

Existen diversas formas o aproximaciones en que las computadoras digitales son usadas en aplicaciones de control, destacando las siguientes:

Aproximaciones para Control auxiliado por Computadora Digital

1) : Control Digital Directo (DDC) :

La computadora digital reemplaza a los controladores analógicos del sistema de control convencional y ejecuta un programa que contiene a la ecuación controladora para dicho sistema. Así, al menos en teoría, muchos controladores analógicos pueden ser reemplazados por un programa de computadora apropiado.

Un ejemplo de esto se tiene con los Filtros Digitales, que pueden realizar las funciones de los Filtros Analógicos correspondientes (Paso-Bajas , Paso-Altas , Paso-Banda o Supresores de Banda de frecuencia) , pero efectuando el filtrado de una señal, mediante la toma de muestras de dicha señal con un convertidor A/D, realizando operaciones matemáticas sobre las muestras adquiridas, y entregando el resultado como salida a través de un convertidor D/A. Esta aproximación puede producir fácilmente una curva de respuesta que es difícil, si no imposible de producir, con circuitería analógica. Esta aproximación digital tiene además la ventaja de que la respuesta del filtro puede ser alterada o cambiada bajo control de programa (Software). (Lo mismo vale cuando se habla de la función de transferencia de cualquier otro sistema de control).

Los filtros digitales son usados en sintetizadores de voz, sistemas de mejoramiento y refuerzo de señal para imagen satélite, procesamiento de imágenes y muchas otras aplicaciones.

2) : Control Supervisor o de "Setpoint" (DSC) :

En esta acción, un programa de computador maestro constantemente calcula y actualiza los *Setpoints* de los controladores analógicos en base a una estrategia de operación predeterminada. El hardware de la computadora digital ajusta los *Setpoints* de los controladores

analógicos para mantener la operación de una planta en algún nivel óptimo.

Por ejemplo, monitoreo y supervisión de las distintas variables físicas que intervienen en los procesos de regulación y control de una planta Termoeléctrica, de una planta Termonuclear, de un Oleoducto, de una Refinería Petrolera, etc., con el fin de mantener un nivel óptimo de funcionamiento y eficiencia, alertar a los operadores de posibles fallas y ayudar a la toma de decisiones correctivas de manera automática o manual emergente.

5,5.1.2

LAS VARIABLES DE UN PROCESO

Al tratar el control de procesos, es útil distinguir las variables físicas de acuerdo a la siguiente clasificación:

1) : Salidas :

Son las variables clave del proceso que serán mantenidas a un valor deseado o conveniente, esto es, controladas.

2) : Entradas :

Son las variables que, cuando cambian, causan que una o más salidas cambien.

A su vez, las Entradas pueden clasificarse como :

a) : Entradas de Control :

Estas variables son cambiadas por el controlador para llevar y mantener las salidas en su valor *Setpoint*. También son conocidas como "Variables Manipuladas".

b) : Entradas de Perturbacion :

Son todas las otras variables del proceso que afectan las salidas en cualquier forma.

Generalmente causan cambios indeseados en las salidas del proceso. También son conocidas como "Cargas del proceso".

5.5.1.3

MODELADO DE PROCESOS

En la actualidad se emplean modelos matemáticos dinámicos para describir procesos. Algunos procesos son *lineales*, de modo que pueden ser descritos por ecuaciones algebraicas o diferenciales lineales, y por tanto, es aplicable el principio de *Superposición*: ("La respuesta de un sistema lineal producida por varias excitaciones actuando simultáneamente es igual a la suma de las respuestas que produce en el sistema cada excitación actuando por separado", {las condiciones iniciales deben considerarse también como excitaciones}). Muchos otros procesos son *NO lineales* y son descritos por ecuaciones diferenciales no lineales complejas. Sin embargo, el comportamiento de éstos últimos alrededor de algún nivel de operación normal, puede ser aproximado por ecuaciones diferenciales lineales. Esta aproximación es usualmente aplicable, pues en la práctica, en los procesos que están bajo control, el interés se centra en su comportamiento alrededor de algún nivel de operación de estado estable.

El conocimiento de la *FUNCIÓN DE TRANSFERENCIA* de un proceso, es también necesario para la implantación de estrategias de control avanzadas. La Función de Transferencia de un proceso puede ser desarrollada a partir de un análisis teórico o de pruebas experimentales en una planta.

Es importante considerar, que el estado de un proceso puede ser descrito por algunas de sus variables y que ellas frecuentemente interactúan unas con otras, es decir, las variables

que deben ser controladas no son independientes. Este tipo de control es llamado *Multivariable*, y aunque es mucho más complejo que el caso usual de variables independientes, es particularmente apropiado para Procesamiento Digital. El número de variables independientes tales como : temperatura, presión, concentración, etc., que pueden ser controladas independientemente en un proceso dado, no está limitado pero es una función del número total de variables posibles y de las ecuaciones que las relacionan. La diferencia entre el número de variables y las ecuaciones que las relacionan, es llamada *Grados de Libertad del Sistema*.

5.5.1.4

NIVELES DE CONTROL

Existen tres niveles de control de proceso que deben ser incorporados en un sistema. Cada nivel más alto involucra un grado más alto de sofisticación en la programación y requiere más conocimiento de la dinámica del proceso.

El Primer Nivel de Control involucra operaciones secuenciales, tales como manipulación de válvulas o arranque y paro de bombas asociadas con el sistema de encendido, procesos de alarma, secuencias automáticas o semiautomáticas, recalibración de instrumentos y procedimientos de "falla-salvamento" con la información obtenida y/o procesada. Los datos iniciales se analizan para realizar las conversiones necesarias que pueden incluir factores de escala, comparación con curvas de calibración, incorporación de factores de corrección o conversión de unidades. Se debe verificar el valor de los datos contra condiciones de alarma; si se presenta una situación de alarma, deben enviarse algunos mensajes al operador junto con instrucciones para tratar con el problema. El sistema también debe incluir procedimientos automáticos para el manejo de fallas de potencia. Una falla de

potencia de corto periodo puede deshabilitar el sistema de cómputo, mientras que una falla de largo periodo puede afectar el proceso. Con el fin de proteger la integridad del sistema de cómputo, una función de restablecimiento por falla de potencia permite al sistema suavizar la salida para fluctuaciones de potencia de corto periodo, sin ninguna pérdida aparente de servicio o de datos. En el caso de una falla de potencia de largo periodo, la computadora o el sistema de control digital (basado en microprocesador), debe iniciar un procedimiento para llevar al proceso a un estado de "falla-salvamento". Dicho procedimiento puede implementarse a partir del recurso de la Interrupción No Mascarable (NMI), (disponible en todos los microprocesadores), y que puede ser activada (disparada) mediante circuitos que monitoreen la continuidad, niveles, frecuencia, etc., del suministro de energía eléctrica (o de otro tipo), cuando se detecte una condición anormal de falla. El Microprocesador central derivará entonces el curso del programa a una rutina de Servicio a la Interrupción No Mascarable, en donde deberán indicarse las acciones a seguir para protección de la integridad del *Software* del sistema y los *Datos* del proceso (guardar en disco, en memoria no volátil EEPROM o en memoria tipo CMOS respaldada por batería la información importante para el proceso), así como del *Hardware* del sistema (aterrizar en zona segura las cabezas R/W de discos duros, aislar etapas de circuitería particularmente sensibles a daño durante transitorios, etc.). Cuando la potencia es restablecida la computadora lleva al proceso a su estado de trabajo y proporcionará instrucciones especiales para que el operador verifique el funcionamiento apropiado del sistema completo. Para la mayoría de estas operaciones, la base de tiempo está en el orden de minutos u horas, así que manipulaciones a alta velocidad no son críticas para el proceso, aunque existen excepciones, como en el caso de los sistemas de control que integran un Transbordador espacial, por citar algún ejemplo. La mayor ventaja que un sistema controlado por computadora digital

ofrece sobre un sistema tradicional de *timers* y relevadores, es la facilidad con la cual, la secuencia lógica, puede ser cambiada tanto en su formato como en su base de tiempo, para acomodar mejoras en sus procedimientos de operación.

El Segundo Nivel de Control involucra manipulación de los parámetros del proceso en mallas cerradas individuales. Existen dos conceptos básicos para el control de parámetros de procesos: *Control Digital Directo* (DDC) y *Control Digital de Setpoint* (DSC). Determinar una justificación económica de un método sobre el otro es un problema complicado pues no existe una respuesta general ya que la solución depende de circunstancias particulares. La comparación económica por costo del *Hardware* es simplemente el costo de N controladores-grabadores con sus correspondientes *Interfaces*, contra el costo de N unidades de mantenimiento de señal y la porción de la computadora destinada para DDC. Así el costo depende del número de mallas de control. En la mayoría de los casos, el costo de un sistema DDC respaldado por controladores, será mayor que el de un sistema DSC. Sin embargo, en muchas aplicaciones, el costo no es la única consideración. En general, DDC puede proporcionar mejor control de un proceso dado que los algoritmos de control son funciones matemáticamente almacenadas en vez de una representación eléctrica. Por lo tanto, para un proceso continuo de gran escala, lo que aparenta ser una pequeña mejora en el control del proceso, resulta en un mayor ahorro debido a la mejora en la operación de la planta y a la versatilidad y flexibilidad en la modificación de parámetros (por *Software*) según requerimientos dinámicos convenientes.

El Tercer Nivel de Control se refiere al incremento en la productividad y optimización del proceso. Es en este nivel, en el que el sistema controlado por computadora es más valioso, ya que ésta es usada para monitorear muchos parámetros de entrada y para implementar decisiones de control en base a la dinámica del

proceso. El primer paso es la Adquisición de datos, que incluye proceso de sensado, registro y almacenamiento de datos. El segundo paso involucra la interpretación de datos al utilizar la información generada para elaborar la dinámica del sistema. El tercer paso es la realización de tareas para análisis de datos con respecto a los procesos especificados que pueden involucrar la resolución de fórmulas, ecuaciones algebraicas relativamente simples o ecuaciones diferenciales más complejas. Un sistema de control apoyado en una computadora digital, reduce el tiempo requerido para determinar la dinámica de un proceso, probar estrategias de control y efectuar el modelado del proceso. Finalmente, desde que los sistemas con computadora son capaces de realizar simultáneamente tareas de adquisición de datos y ejecución de programas de simulación de procesos en base a modelos dinámicos, el ingeniero de desarrollo de procesos puede rápidamente refinar un modelo matemático e identificar los parámetros del modelo, de modo que puedan desarrollarse métodos para predecir las relaciones entre las variables del proceso.

5.5.2

DESARROLLO DEL PROTÓTIPO DE UN INSTRUMENTO DE PROPOSITO ESPECIFICO CONTROLADO DIGITALMENTE POR MICROCOMPUTADORA (MICROPROCESADOR)

El primer paso en el desarrollo de un nuevo instrumento es definir muy cuidadosa y exactamente la función que se desea realice el instrumento. El siguiente paso es decidir qué partes del instrumento se desea hacer en *Hardware* y qué partes se desea hacer en *Software*. Es entonces cuando el diseñador podrá decidir cómo quiere o cómo le conviene realizar cada una de estas partes.

Para el *Software*, conviene dividir el total de las Tareas de Programación en módulos que puedan ser probados y depurados (*debug*) individualmente.

Para el *Hardware*, existen diferentes aproximaciones entre las que el diseñador puede elegir :

- a) : Diseño Asistido por Computadora (CAD = *Computer-Aided Design*)
- b) : Diseño usando un *Emulador* para el Microprocesador deseado
- c) : Diseño usando un *Sistema Digital de Desarrollo* basado en algún microprocesador (*Microcomputer-Prototyping Board*) ... como el Sistema *SDM88-PC* .

5.5.2.1

DISEÑO ASISTIDO POR COMPUTADORA

Una aproximación para crear el *Hardware* necesario para el prototipo de un instrumento es con un Sistema CAD o de Diseño Asistido por Computadora. Este sistema puede ser desde una poderosa Estación de Trabajo (*Workstation*) para Ingeniería con microcomputadoras equipadas con el microprocesador intel 80386 conectadas en Red de Area Local (LAN) con minicomputadora VAX 11/780 en una configuración que soporta varios usuarios, como las construidas por Compañías como *Mentor Graphics Corp.*, *Valid Logic Systems Inc.*, *Daisy Systems Corp.*, *Metalogic Inc.*, *Lattice Logic Ltd.*, *Silicon Compilers Inc.*, *California Institute of Technology*, *Fujitsu Ltd.*, *AT&T Bell Laboratories*, etc., o bien una simple microcomputadora tipo IBM-PC o IBM-PS con programas tales como el *PCAD system* desarrollado por *Personal CAD Systems Inc.*, *Electronic Design Automation Division*. Los programas en estos sistemas permiten, primero que todo, diseñar y dibujar fácilmente un diagrama esquemático para el *Hardware*. Se puede seleccionar por número u otros medios, el símbolo esquemático de un circuito que se desee incluir en una determinada parte del diseño global, "trayéndolo" a la pantalla de la terminal o microcomputadora, de una extensa librería de dispositivos standard o comunes contenida en uno o varios archivos de disco. Se usa un Manejador Gráfico o *Mouse* para mover el símbolo a la posición deseada y para trazar líneas de señal que lo conecten con otros símbolos. Se puede mover según se requiera el dispositivo dibujado, y las líneas de conexión lo seguirán. Existen distintos módulos en una librería de dispositivos entre los que destacan : Módulo SSI (*inversores, buffers, registros, conectores, Flip-Flops, Transistores Pull Up&Down, Compuertas de 2 ó mas entradas, buffers 3-state, Data bus, PAL, std.PLA, etc.*) ; Módulo MSI (*Contadores Sincronos, Contadores en Anillo (ripple), Sumador, Registros de Corrimiento, MUXs, DECS, FLAIR (Folded PLA) para implementacion de cualquier*

funcion logica, etc.) ; Módulo LSI (*Memorias diversas ROM, RAM, registros FIFO, etc.*) ; Módulo VLSI (*Microprocesadores, Perifericos, etc.*).

Cuando se ha concluido el proceso de Edición Gráfica y el dibujo del esquemático, se genera un archivo llamado "Listado de Red" (*Net-List*), que contiene la información a cerca de qué terminales de los distintos componentes están unidas con qué otras. Es entonces cuando se puede usar otro programa en el sistema de CAD para "simular" la operación del circuito. Por simular se quiere decir "ejecutar o correr" el circuito en *Software*. Esta etapa del diseño ayuda a determinar si las señales están conectadas correctamente y si los parámetros de temporización y retardos son aceptables. El usuario del sistema puede definir y colocar puntos de prueba (*test points*) en cualquier parte del circuito para análisis de las formas de onda (como en un analizador lógico). En un simulador lógico interactivo como el TAD (*Themis Architectural Design*), cada corrida puede detenerse y reiniciarse, se puede asignar un número de retardos a cada salida de compuerta además de la definición arbitraria de puntos de prueba. En los Simuladores, la velocidad es un factor crítico por lo que se dispone de Aceleradores de Hardware o "Procesadores Aritméticos de Enteros" que pueden conectarse en cascada o bien de Computadoras de Propósito específico como *IBM's Logic Simulation Machine* o *HAL (Hardware Logic)* de NEC Corp.. Otro parámetro que debe considerarse en el Hardware-Software para Simulación es la gran cantidad de memoria requerida. Si el circuito es muy extenso y la memoria del sistema es poca, se efectúan *disk-swappings* en detrimento de la velocidad de simulación. Cuando por su reciente creación o gran complejidad no se dispone de modelos de determinados Circuitos Integrados, por ejemplo algunos microprocesadores o circuitos de aplicación muy específica, se han implementado sistemas con adaptadores para la inserción de dichos IC's, en los que el simulador alimenta con sus

señales a los dispositivos reales y transfiere las salidas de estos chips a la parte del circuito que está siendo simulada; ejemplos de estos sistemas son el *Realchip* (Valid Logic Systems Inc.) y el *PMX* (*Physical Modeling Extension*) (Daisy Systems Corp.). Para circuitos analógicos o híbridos existen simuladores analógicos, como *Spice* (University of California - Berkeley) o *Simon Simulator* (de Simon Software), con los que se puede simular Hardware de comunicaciones, capacitores de conmutación (switches), Transistores, etc., y cuentan con una librería de chips analógicos. • En estos simuladores los resultados pueden desplegarse en el dominio del tiempo o de la frecuencia y en Amplitud, Fase y Retardo de Grupo.

Si el circuito pasa satisfactoriamente las pruebas de Simulación, se puede generar una impresión del esquemático en una impresora (*printer*) o graficador (*plotter*).

El siguiente paso consiste en el diseño de la "tarjeta de Circuito Impreso" para el circuito en el que se ha trabajado. Otro programa en el sistema CAD, con algo de ayuda por parte del usuario, producirá el "trabajo de arte" (*Artwork*) o "ruteado de pistas de conexión", para la tarjeta de circuito impreso. Incluso, existen sistemas que generan la cinta (*tape*) de control para la máquina que automáticamente hace las perforaciones requeridas sobre la tarjeta de circuito impreso; esto es, los resultados previos del diseño, se convierten en las "entradas" directas de un Lenguaje de Programación de Control Numérico (que después genera las Instrucciones de Máquina para controlar el perforado de la tarjeta y en general la Manufactura del circuito impreso y la tarjeta electrónica terminada).

Próximamente se espera que la Estación de Trabajo en Ingeniería pueda conectarse directamente a la máquina generadora de la tarjeta de circuito impreso, a la máquina que obtiene las

partes del almacén, a la máquina que integra, posiciona y suelda los circuitos integrados en la tarjeta , y a la máquina que realiza las pruebas iniciales de funcionamiento en la tarjeta. Este concepto es llamado "Manufactura Integrada por Computadora" (*Computer Integrated Manufacturing*) o CIM y parece ser la tendencia actual de la industria.

Después de que se ha armado la tarjeta con las partes requeridas, puede ésta energizarse y realizarse un chequeo para detectar componentes anormalmente calientes o defectuosas. Si no existen problemas aparentes, se puede proceder a probar la tarjeta con ayuda de Osciloscopios, Analizadores Lógicos, Frecuencímetros, Multímetros, Generadores de Funciones, etc., pero probablemente la mejor herramienta para probar la tarjeta sea usando un Emulador.

Resumiendo:

El módulo de operador en una Estación de Trabajo (*Workstation*) tiene cuatro submódulos separados:

- 1) : EDITOR GRAFICO (base de datos para dibujar símbolos y construir módulos circuitales) que conducen al ESQUEMATICO (base de datos del diseño).
- 2) : SIMULADOR LOGICO (verificación del diseño lógico y diagrama de tiempos).
- 3) : Base de Impresión (*footprint*) (base de conexiones y ruteado para tarjeta de circuito impreso).
- 4) : Geometría Real del *Layout* (base de datos del circuito impreso en dimensiones físicas reales)

Estos cuatro submódulos son almacenados en una base de datos (depósito electrónico de datos o información), desde donde pueden ser accesados por otras utilerías de la Estación de Trabajo.

El proceso de diseño completo consta de los siguientes pasos:

- 1) : Usuario - Editor Gráfico - construcción de Esquemático
... < Pantalla de terminal CRT > + < Mouse >
- 2) : *WIRE Command* (interconexión de módulos y dispositivos traídos de librerías)
- 3) : Formación de Base de Datos del Diseño (*Net-List*):
 - * Validación del dibujo
 - * Generación del programa de prueba
 - * Prueba de las primeras partes
- 4) : Simulación Lógica
Para comprobación del funcionamiento, el programa provee los modelos para los módulos interconectados. Los dispositivos traídos de Librerías vienen con sus propios modelos (algoritmos) de software.
- 5) : Dispositivos complejos no incluidos en Librerías (ejem. algunos Microprocesadores), son simulados a través de una extensión basada en Hardware donde se conectan físicamente esos chips (*Realchip Hardware Extension*). *Workstation* puede combinar modelos basados en *Hardware* y *Software* en la misma simulación.
- 6) : Verificación interactiva del diseño : el usuario suministra el tipo de estímulo y el simulador lógico responde reportando la reacción del circuito.
Establecimiento de Tolerancias en diagramas de tiempo por simulación (pueden agregarse o eliminarse niveles de retardo).
- 7) : Si el circuito no responde como se espera, el usuario regresa al Editor Gráfico, Modifica, Recompila y Reestimula al circuito hasta que funcione como se desea.
- 8) : Posicionamiento de Módulos y otros circuitos (automáticamente por compilador).
- 9) : Ruteado de interconexiones entre módulos.

- 10) : Evaluación de efectos de capacitancia (parásita) y otros parámetros de las interconexiones (pistas).
- 11) : Creación automática del patrón de perforaciones en cinta (Control Numérico), para la futura tarjeta de circuito impreso.
- 12) : Producción de la Máscara de Circuito Impreso.
- 13) : Pruebas de *Hardware* y *Software*.

Finalmente conviene aclarar, que aunque aquí se ha hecho referencia al término CAD para designar a todo el proceso automatizado de Diseño con computadora, lo correcto es identificar a las distintas etapas de este proceso bajo distintos conceptos; así, se tiene que :

CAE (Computer-Aided Engineering)

- * Captura de Esquemático (Modelos físicos y lógicos)
- * Librerías de circuitos standard (archivos que soportan el símbolo y el funcionamiento de cada componente)
- * Generación de *Net-List* (Archivo que registra las interconexiones entre los distintos elementos) {Base de Datos fundamental}.
- * Simulación (generación de estímulos para obtener salidas susceptibles de ser analizadas).
{ Información tomada del *Net-List* }.

CAD (Computer-Aided Design)

- * Sólo soporta dibujo o graficación (no diseño lógico ni eléctrico) (ej.: circuitos impresos, piezas mecánicas, etc.).
- * Es el "puente de unión" entre CAE y CAM.

CAM (Computer-Aided Manufacturing)

- * Sistemas y Técnicas automatizadas de Manufactura : Control Numérico, Control de Procesos, Robótica, Planificación de Necesidades Materiales (MRP).
- * Fabricación, Procesos de Manufactura, posicionamiento y soldado de componentes dentro de tarjeta de circuito

impreso.

- * - Recepción de la información del *Net-List* para generar y realizar perforado para componetes (*drill*) físicamente sobre el Cobre de la tarjeta de circuito impreso.

5.5.2.2

DISEÑO USANDO UN EMULADOR PARA EL MICROPROCESADOR DESEADO (Emulator)

Una segunda aproximación para crear y probar el *Hardware* necesario para el prototipo de un instrumento es empleando un Emulador. Existen varias Compañías que hacen Emuladores para los distintos Microprocesadores que hay en el mercado; por ejemplo el Emulador de 16-bit *Applied Microsystems ES-1800* de *Applied Microsystems Corp.* que cuenta con conectores para insertar al microprocesador 8086-8088 y al microprocesador 80186-80188, y que trabaja con la microcomputadora IBM-PC o PS y otras compatibles.

El *Hardware* de un Emulador consta de: Circuitería de Control, Memoria para almacenar el estado (*status*) del sistema y los datos rastreados (*trace*), después de la ejecución de cada instrucción, y un cable "umbilical" (de interface) con un conector al final del mismo.

Para usar el Emulador, el usuario debe remover el microprocesador del instrumento o unidad prototipo bajo prueba, e insertar en su lugar, el conector del cable umbilical (interface). El Emulador contiene un microprocesador que realmente ejecutará (correrá) los programas de prueba creados por el usuario siempre bajo control del Emulador. Entonces, el Emulador da al usuario una "Ventana" para analizar el Estado y Operación de la circuitería del instrumento-prototipo bajo control de un sistema de Desarrollo o Microcomputadora (PC, PS).

manuales de operación y programación.

Una ventaja de esta aproximación es que estos sistemas dan al diseñador la arquitectura básica de CPU (Microprocesador), Memoria RAM y ROM, y Puertos I/O (Entrada/Salida), ya probada y funcionando. Entonces, a partir del conocimiento y empleo de esa arquitectura fundamental, el diseñador puede fácilmente añadir los periféricos requeridos por su diseño (timers, controladores jerárquicos de interrupción, controladores de comunicación avanzados, coprocesadores numéricos, sintetizadores digitales de voz o imagen, convertidores A/D y D/A, memoria dinámica o más memoria estática y/u otra circuitería de interface).

Algunos de los Sistemas de Desarrollo disponibles cuentan con Programas Monitor que permiten al usuario cargar y ejecutar sus programas, examinar contenido de Registros, establecer puntos de ruptura dentro de los programas, etc..

La mayor ventaja de esta aproximación, es que permite al diseñador obtener rápidamente un prototipo armado y funcionando para ver si el instrumento es "factible" de realizarse. Si el instrumento es factible, entonces puede diseñar una tarjeta (autónoma) con el *Hardware* específico (*custom*) que se ajuste exactamente a sus necesidades.

En el mercado, existen disponibles varios Sistemas de Desarrollo basados en algún microprocesador comercial: Z-80 (*Zilog*), serie 6800 o serie 68000 (*Motorola*) o serie 80XXX (*intel*). De *intel* destacan por ejemplo, los sistemas SDK-51 (microcontroladores 8031 y 8032), SDK-85 (microprocesador 8085A) y SDK-86 (microprocesador 8086), y recientemente otros basados en los microprocesadores 80286, 80386 y 80486 ! a nivel experimental.

5.5.2.4

DISEÑO USANDO EL SISTEMA DIGITAL DE DESARROLLO SDM88-PC

(Sistema de Desarrollo basado en el Microprocesador 8088 y en una Microcomputadora PC {o PS} IBM compatible)

(Microcomputer-Prototyping Board)

(Ventajas con respecto a Sistemas disponibles en el mercado).

Como Sistema de Desarrollo, el SDM88-PC , provee al diseñador de una arquitectura base (CPU {Microprocesador}, Memoria RAM y EPROM, y Puertos I/O (Entrada/Salida)), ya probada y funcionando, para que a partir de su conocimiento y empleo, pueda fácilmente añadir los periféricos requeridos por su diseño , y disponga de las herramientas necesarias para probar y depurar las secciones de *hardware* que vaya agregando al aprovechar las facilidades que el sistema ofrece para escribir y ejecutar módulos de *software* que manejen o actúen sobre los módulos de *hardware*.

Los sistemas de Desarrollo disponibles en el mercado, cuentan normalmente con un puerto de comunicación como el "RS-232C" o el "20 mA Current loop", sin embargo, dentro de su programa monitor o sistema operativo, no proveen al usuario de un protocolo de comunicación para que pueda conectarse, de una forma natural, a sistemas de cómputo mayores, (por ejemplo, una microcomputadora tipo PC o PS con unidades de disco para almacenamiento de programas, monitor que permita visualizar bloques de datos, teclado para transmitir comandos o iniciar una acción, más memoria disponible, un respaldo muy amplio de *Software*, etc., etc.) para un aprovechamiento directo de sus recursos, durante el proceso de construcción, pruebas, depuración y evaluación del circuito diseñado (armado inicialmente en el área de expansión del kit de desarrollo).

Por esta razón, los Sistemas de Desarrollo (no Emuladores) existentes (al menos los disponibles en el mercado), pueden

considerarse prácticamente autónomos y hasta cierto punto difíciles de enlazar con sistemas mayores (microcomputadoras) para la mayor parte de los usuarios, considerando que el fabricante no proporciona una información detallada (listado) del Software de control o Programa Monitor del sistema, de modo que se puedan implementar rutinas residentes en el ROM básico de control para enlazar de forma automática y natural al Hardware del Sistema de Desarrollo con una Microcomputadora.

En el Sistema de Desarrollo SDM88-PC , el enlace con la Microcomputadora para hacer uso de los recursos que ofrece, es parte fundamental en el funcionamiento y operación del sistema, y no una aplicación adicional (poco documentada) que establece un nexo "artificial" sólo factible, tal vez, a través de Software Emulador de Terminal para un tipo determinado de Microcomputadora (de dudoso desempeño para todos los casos posibles). Así, en el sistema SDM88-PC , la Microcomputadora no sólo funciona pasivamente como una terminal para despliegue de información, sino que interviene activamente como administradora del Hardware externo (interface), canalizando comandos para efectuar acciones específicas, manejando y organizando la información recibida (código, datos, programas {bytes} para el microprocesador externo), almacenándola / recuperándola en/de su memoria o dispositivos de almacenamiento masivo (unidades de diskette o de disco duro), o bien arbitrando la transferencia selectiva de bloques de información (bytes) desde o hacia la interface (memoria y/o puertos I/O externos), entre otras muchas actividades supervisadas y seleccionadas por el usuario a través de pantallas ordenadas en "Menús". La Microcomputadora es pues, a través de su teclado, el dispositivo por el cual el usuario, desencadena y sincroniza acciones en la interface (Hardware externo), organiza y transfiere información (bidireccionalmente) y visualiza resultados (status).

En el sistema de Desarrollo SDM88-PC , la Microcomputadora y la Interface (Hardware Externo), funcionan como una unidad integral.

Es en este aspecto donde el sistema de Desarrollo que diseñamos: SDM88-PC manifiesta una clara ventaja en *VERSATILIDAD* (almacenamiento, visualización, organización de comandos, etc.), *COMODIDAD* y *FACILIDAD* (de manejo y control) y *ALCANCES* tales como la posibilidad del empleo de *Software* relacionado, (constantemente desarrollado y actualizado para microcomputadora tipo IBM-PC,PS), para la creación de programas que a su vez puedan correrse directamente en el sistema SDM88-PC {Ensambladores}, o el empleo de programas auxiliares depuradores del *Software* del usuario (fuera de línea, a nivel del sistema operativo de la PC) {Debuggers} , o bien para la elaboración de programas que tomen control absoluto del *Hardware* externo del sistema durante la ejecución de una aplicación específica creada por el usuario {Lenguajes de Alto y Medio Nivel, o combinaciones de Lenguaje de Máquina con Lenguaje de Alto Nivel vía códigos objeto y con un Linker, etc.}, como se mostrará posteriormente con el "Analizador Digital de Respuesta en Frecuencia", donde la interface (Hardware externo) del SDM88-PC pasa a ser un satélite o una extensión del hardware de la microcomputadora para el control de procesos digitales y/o analógicos que mediante un enfoque modular, conforman un sistema de instrumentación dedicado a la solución de una necesidad particular.

El Sistema SDM88-PC puede ser basado en una Microcomputadora personal PC/XT, PC/AT o PS , IBM compatible (HP, Compaq, Wise, Printaform , Corona, Olivetti, etc.), con 640 kBytes de memoria RAM, sistema operativo DOS versión 2.0 ó superior, y por lo menos una unidad de diskette (doble densidad {360kB} 5 1/4"; alta densidad {720 kB} 5 1/4" o 3 1/2" ó {1.44 MB} 3 1/2") o bien una unidad de disco duro {Hard disk}. El microprocesador

central de la Microcomputadora puede ser : 8088, 8086, 80188, 80186, 80286 u 80386, ya que existe compatibilidad en código objeto entre todos los miembros de la familia de microprocesadores 8086/88 de *intel*, lo que da acceso a la base de software más amplia del mundo (por la simbiosis comercial *intel-IBM*).

La familia de microprocesadores *intel* 8086/88, inicia con los microprocesadores de 8/16 bits 8088 y el 80188, de alta integración. La línea de 16 bits incluye al 8086, (que junto con el 8088) es estándar en la industria, el altamente integrado 80186 y el poderoso microprocesador de alto rendimiento 80286, con capacidades de multiproceso y manejo de memoria. La más reciente adición disponible en el mercado, el 80386, es un microprocesador de 32 bits CHMOS de alta eficiencia, que ofrece soporte a multitareas, unidad de manejo de memoria integrada y paginación. Finalmente, está el 80486, con bus externo e interno de 64 bits, que a la fecha de este escrito, ya existe pero está en etapa experimental.

Para la Interface (Hardware externo) en el sistema *SDM88-PC*, se eligió a la familia *intel* por la amplia línea de periféricos, controladores y circuitos integrados avanzados, disponibles para sus microprocesadores y por ser una Compañía con bastante respaldo en constante desarrollo y evolución. A pesar de que la familia *Motorola* tiene también dispositivos muy avanzados y eficientes, *intel* es la familia seleccionada por *IBM* (tal vez por razones históricas eventuales), para sus arquitecturas en computadoras personales. *IBM* ha creado un estándar mundial para este tipo de equipos a nivel comercial por lo que, con vistas a la estandarización de un nuevo equipo desarrollado (*SDM88-PC*), es conveniente seguir la línea *intel-IBM*, al menos por el momento.

Entonces, debido a la selección de un microprocesador de *intel* para el diseño del sistema *SDM88-PC*, se garantiza la

compatibilidad en código con la familia de microcomputadoras IBM compatibles, fácilmente asequibles en el mercado.

Dentro de la familia de microprocesadores *intel*, se eligió al 8088 que es un microprocesador con una arquitectura externa (bus externo) de 8 bit pero una arquitectura interna (bus interno) de 16 bit. La razón de su existencia en el mercado con este canal de datos (8 bit), es establecer una continuidad entre el 8086 de 16 bit en su canal de datos (arquitectura externa), y los antiguos procesadores de 8 bit fabricados por *intel*, el 8080 y el 8085. Esta continuidad es especialmente importante para aquellos que han desarrollado sistemas basados en este tipo de productos. El 8088, teniendo el mismo tamaño de canal de datos, puede reemplazar a uno de esos primeros procesadores de 8 bit (incluso al Z-80 muy parecido al 8085), en un sistema ya existente, sin necesidad de hacerle grandes cambios en *Hardware*, aunque un poco más (no demasiados) en *Software*. De esta manera, se aumenta la capacidad del sistema en cuanto al número de operaciones que realiza y en cuanto al almacenamiento de datos, con un costo muy bajo.

Cabe mencionar también que, para la mayoría de las aplicaciones dedicadas de control industrial, es suficiente un microprocesador de 8 bit (cuando no un microcontrolador como el 8031/8032 o el 8051/8052), dada la alta especificidad de las tareas a supervisar.

Además, ya que la subfamilia 8086/8088 comprende bajo un mismo concepto a los microprocesadores 8086 (16 bit) y 8088 (8 bit), (y su conjunto completo de dispositivos de soporte {periféricos}), y debido a que el 8086 y el 8088 tienen la misma estructura interna, son totalmente compatibles en *Software* y pueden utilizar los mismos componentes de soporte. Esto permite un intercambio completo de programas entre sistemas de 8 y 16 bit. Esta subfamilia ha logrado aceptación generalizada y es compatible con la línea completa de coprocesadores de *intel* (XXX87).

La Interface (Hardware externo a la Microcomputadora en el Sistema de Desarrollo SDM88-PC , consta de:

- * Microprocesador 8088 (CPU)
- * Circuito Temporizador para el microprocesador y sus periféricos (generador-sincronizador de RESET, WAIT y CLOCK) : 8284
- * Circuito para introducción de Estados de Espera en el sistema
- * Sistema de Buffers para Bus de Datos, Direcciones y Control
- * Circuitos decodificadores para memoria y puertos de Entrada/Salida
- * Memoria EPROM que contiene sistema operativo para la interface, subrutinas definitivas para control de periféricos, rutinas de servicio a interrupción y datos (tablas de apuntadores) iniciales del sistema ; (8kB) : 2764
- * Memoria RAM (1kB) para uso del sistema y (5kB) para empleo del usuario (6kB RAM instalados pero expandible hasta 16 kB) : 2016
- * Circuito Temporizador-Contador (para generación de baudajes, reloj ADC, u otros usos) : 8254
- * USART 8251A para la comunicación serie entre interface y microcomputadora
- * Controlador de Interrupciones : 8259
- * Puertos Paralelos de Entrada/Salida 8255A-2 : uno para manejo de DAC y ADC y otro para empleo del usuario (3 puertos paralelos programables por chip)
- * Convertidor Digital/Analógico (MC1408) de 8 bits
- * Convertidor Analógico/Digital (ADC0809) de 8 bits (8 canales multiplexados)

La Interface (Hardware externo) del sistema es manejada por una microcomputadora a través del puerto serie de la misma, bajo las especificaciones de la norma RS-232C .

Al ser controlado por una microcomputadora, el sistema SDM88-PC está diseñado para aprovechar los recursos que ésta ofrece, entre los que destacan :

- * almacenamiento de programas creados por el usuario en disco para su posterior ejecución en el sistema de desarrollo
- * facilidades de edición y modificación de código (programas) a través de la interacción con un teclado y una pantalla que permite una visión global del trabajo realizado con dicho código, así como de contenido de memoria RAM (y EPROM) del sistema, lectura de puertos de Entrada/Salida, revisión del contenido de un disco (programas almacenados: directorio)
- * revisión del "status" presente del sistema y capacidad de cambiar la velocidad de Transmisión/Recepción entre interface y microcomputadora : (300,1200,2400,4800 y 9600 Bauds)
- * ejecución de comandos (para modificar el modo de operación de la interface, revisar contenidos de memoria y puertos I/O y ejecución de programas de control desarrollados por el usuario usando el hardware de la interface), desde el teclado de la microcomputadora y bajo una filosofía de "Menús", haciendo más amigable y autoexplicativa la interacción usuario-sistema
- * control absoluto del usuario sobre los recursos de la interface a través del teclado y con la retroalimentación visual que ofrece la pantalla, así como la existencia de mecanismos detectores de errores (por software) que impiden su introducción al sistema y mecanismos de "inicio de ejecución" y "cancelación" de comandos que dan al usuario

control sobre las decisiones y los tiempos de accionamiento para efectos de una eventual sincronización requerida

- * enlace con Ensambladores de Microprocesador 8088-8086 comerciales con la inherente facilidad de trabajar los programas en lenguaje de máquina a nivel de mnemónicos en vez de a nivel de códigos de operación hexadecimales, y, dado que dichos mnemónicos se introducen en un archivo creado por un programa editor, se pueden crear programas fuente documentados, con todos los títulos y comentarios que el usuario considere pertinentes para una fácil identificación posterior; todo esto permite también la creación de programas (o subrutinas) bajo una filosofía modular, pudiendo así posteriormente unir módulos para la creación de programas de control para una aplicación específica, sin tener que reescribir código desarrollado anteriormente

Para el proceso de diseño conviene dividir el *hardware* en módulos, armar y dar de alta dichos módulos de uno en uno a la vez, creando paralelamente, un *software* de prueba para el manejo y/o análisis de las secciones de *hardware* que se vayan añadiendo.

5.5.3

DEFINICION DE UN SISTEMA O INSTRUMENTO CONTROLADO DIGITALMENTE POR MICROCOMPUTADORA (MICROPROCESADOR)

5.5.3.1

DEFINICION DEL SISTEMA

La "interface" y configuración de los sistemas e instrumentos de control auxiliados por computadora, son muy dependientes del uso final del sistema. Por ejemplo, los requerimientos para una planta piloto son muy diferentes de los de una planta de producción o de los de un instrumento para Ciencia o Ingeniería.

En una planta piloto, el sistema es utilizado principalmente como una herramienta de investigación. En una planta de producción, la computadora es usada para monitorear el proceso, controlarlo y ayudar en la optimización al mantener el control en la calidad y la uniformidad del producto. Mientras que en un instrumento autónomo, el objetivo se centra en el análisis y/o medición de procesos o eventos puntuales, como auxiliar en la investigación y desarrollo tecnológico o bien en la docencia.

Es un error tratar de incorporar estas tres funciones en un mismo sistema de aplicación. Estas funciones deben ser claramente definidas desde el comienzo, con el fin de diseñar un sistema que funcione como una unidad integral.

5.5.3.2

CONSIDERACIONES EN EL DISEÑO DE UN SISTEMA

La utilización de las señales procedentes del mundo real (del proceso) a través de sensores, transductores, circuitos digitales y analógicos, etc., y su integración en el sistema controlado por computadora, involucra desarrollo tanto de *Hardware* como de *Software*.

La configuración del sistema en *Hardware* básicamente involucra la selección de módulos electrónicos compatibles. La selección y desarrollo del *Software* para análisis de datos y control de procesos, son mucho más complicados.

Durante la configuración de un sistema completo, *Hardware* y *Software* deben ser estructurados para operar como una unidad integral. Más aún, el diseño debe ser lo suficientemente flexible para incorporar crecimiento y expansión tanto en *Hardware* como en *Software*.

El *Hardware* del sistema consta de tres secciones principales :

- 1) Sensores e instrumentación :
(circuitaría digital y/o analógica de adquisición, transducción y acondicionamiento)
- 2) "Interface" de la computadora :
Interconexión entre elementos de *Hardware*, de *Software* y Seres Humanos.
 - a) Interface de *Hardware* : es la circuitaría y trayectorias físicas que deben conectar e intercambiar señales electrónicas en un orden preestablecido
 - b) Interface de *Software* : es el conjunto de programas.

de control y administración del *hardware* y los protocolos y mensajes específicos establecidos entre los distintos módulos de código (subrutinas) o programas

c) Interface *Hombre-Maquina*
(*People/Machine Interface*) :

es el método de interacción entre una persona y la computadora. Existen dos formas de estas interfaces : (1) la Forma Visual , que aparece en una pantalla de video o en un informe impreso (reportes de texto y cantidades numéricas, símbolos, imágenes, reportes gráficos, ventanas, colores o sombreados, flechas indicadoras, etc.), y (2) la Forma Interactiva , que es la conversación entre el usuario y la computadora desde una terminal ("Sistemas Amigables con el Usuario": empleo de "Menús" para muestra de alternativas o "Pantallas de Ayuda" que puedan exhibirse en cualquier momento, etc.)

Existen varios dispositivos de *Hardware* que pueden hacer más cómoda la interface *Hombre-Maquina* : (Pantallas fotosensitivas al tacto, Teclado con definición de teclas funcionales, *Mouse* (Ratón), *Light Pen* (Pluma de luz), mesa digitalizadora, *Joy stick* (mando de palanca), etc., como elementos de dirección y de entrada.

3) Sistema de Cómputo :

Sistema (Máquina) Programable para el Procesamiento de información .

El concepto engloba a :

la Computadora (CPU), todos los dispositivos periféricos unidos a ella (Terminales, Discos, Cintas, Impresoras, Plotters, etc.) y el Sistema

Operativo (programa de control principal que maneja y administra el medio ambiente de la computadora).
Microcomputadoras , *Minicomputadoras* , *Mainframes* ,
elegidas de acuerdo a la carga total de trabajo y
rendimiento requeridos.

La "Interface" de la computadora involucra una elección entre
flexibilidad en *Hardware* o incrementar los requerimientos de
Software :

Ningún sistema de cómputo puede operar sin *Software*, esto es,
sin el conjunto de instrucciones almacenadas en su memoria o
programas, necesarios para ejecutar tareas dentro del, y con el
sistema.

El *Software* puede ser clasificado en tres categorías,:

- * Programa Administrador (Sistema Operativo de la Computadora) : es el programa de control principal que supervisa y determina la operación del sistema de cómputo en todo momento, encargándose de la ejecución de comandos, control de tareas, métodos de acceso (I/O), canalización de información y administración de los recursos de *Hardware* del sistema.
- * Programas de Aplicación : son programas para realizar tareas de propósito específico (buscando satisfacer una necesidad con el manejo y procesamiento de la información), que hacen uso de los recursos y funciones principales del sistema.
- * Programas de Soporte del Sistema : son programas que auxilian al usuario en el desarrollo de programas de aplicación, éstos incluyen :

- a) Lenguaje del Procesador (Ensambladores) y *Linkers* (convierten programas en lenguaje de Alto Nivel a programas en Lenguaje de Máquina).
- b) Editores (facilitan la creación o modificación de programas escritos por el usuario).
- c) Depuradores {*Debuggers*} (ayudan a la localización de errores en la lógica de los programas del usuario con características como : ejecución de programas paso a paso, rastreo (*tracing*) de variables y datos, despliegue del estado (*status*) del procesador, establecimiento de puntos de ruptura (*breakpoints*) en el flujo del programa, modificación del valor de variables en línea, etc.).

Es conveniente recordar algunos puntos importantes cuando se consideran alternativas para el diseño de la "interface" de computadora y la configuración del sistema :

- * Es importante definir claramente los objetivos del sistema ya que los requerimientos para una planta piloto son muy diferentes de los de una planta de producción o de los de un instrumento autónomo de análisis y/o medición.
- * A continuación, es necesario seleccionar las funciones que son requeridas y especificar la computadora e "interface" que realizará estas tareas. Esto involucra comparar las alternativas "*Hardware-Software*" tanto desde el punto de vista económico como operacional.
- * Finalmente, la más importante consideración, es que *Hardware* y *Software* deben funcionar como una UNIDAD INTEGRAL. Así, el diseño tanto de *Hardware* como el de *Software*, deben ser evaluados juntos, con el fin de desarrollar un apropiado diseño global del sistema.

5.5.4

APLICACION DEL SISTEMA DE DESARROLLO SDM88-PC EN LA CREACION DE UN INSTRUMENTO PROTOTIPO : ANALIZADOR DIGITAL DE RESPUESTA EN FRECUENCIA

5.5.4.1

DEFINICION DEL INSTRUMENTO DE APLICACION : OBJETIVOS Y ESTRATEGIA DE DISEÑO HARDWARE-SOFTWARE

Para ilustrar la metodología en la elaboración de sistemas de control de procesos o instrumentos de aplicación específica, usando como herramienta de desarrollo al Sistema : SDM88-PC , (filosofía: *Microcomputer-Prototyping Board*), se pensó en el diseño de un :

"Analizador Digital de Respuesta en Frecuencia" , que permita el análisis gráfico y numérico (cualitativo y cuantitativo), de la Magnitud y el Angulo de Fase de la Función de Transferencia (a excitación senoidal) de un sistema (circuito analógico) cualquiera (filtros pasivos, filtros activos, arreglos de amplificadores operacionales, amplificadores de audio, etc.), para determinar sus características (p.ej. ancho de banda, frecuencia central, margen de ganancia y de fase, etc.).

Así, gracias a la facilidad para cambiar los parámetros de análisis, al despliegue de resultados de una manera gráfica y numérica y al manejo interactivo del aparato por parte del usuario sobre las curvas de respuesta (función de transferencia) del sistema analizado, se podrán generar conclusiones con respecto a la estabilidad de dicho sistema bajo prueba, a su linealidad y calidad de desempeño en algún rango (frecuencias) de interés, etc.. Además, a partir del análisis y resultados numéricos (en todos los puntos muestreados) de la Magnitud y Fase, entregados por este instrumento, se podrán aplicar otros criterios de control

como "Márgenes de Ganancia y de Fase", "Criterio de estabilidad de Nyquist", etc., de una manera experimental, y se podrán tabular los valores de Magnitud y Fase, proporcionados por el programa, en forma conveniente para obtener diagramas logarítmicos o lineales según las representaciones comúnmente utilizadas para funciones de transferencia senoidales : Diagrama logarítmico de Bode, Diagrama polar o Traza de Nyquist y Diagrama del logaritmo de la Amplitud en función de la Fase.

El conocimiento de la Función de Transferencia de un proceso o de un sistema, es requerido para la implementación de estrategias de control avanzadas. El Analizador Digital de Respuesta en Frecuencia, permite obtenerla de manera experimental (empleando parámetros reales y aplicándolos físicamente sobre el circuito diseñado). Esto permite comprobar (o aún obviar), el desarrollo de la función de Transferencia generado mediante un análisis teórico-matemático (a veces muy laborioso, incosteable o imposible de hacer por el número de variables que intervienen en el funcionamiento del sistema y que conforman su desempeño).

La finalidad más obvia de este instrumento, es que el diseñador disponga de un medio rápido y confiable para caracterizar, ajustar y comprobar el funcionamiento de sus sistemas (circuitos analógicos de filtrado y control), de acuerdo a una respuesta esperada y prevista según sus cálculos matemáticos y métodos de diseño. Si el sistema bajo análisis no entrega la respuesta esperada, entonces podrá ir haciendo los ajustes y añadiendo los factores de compensación necesarios (en el papel y sobre su hardware) para obtener la respuesta correcta. Todo este proceso de calibración sucesiva y evaluación del sistema bajo prueba, podrá hacerse con la retroalimentación física y real que ofrece el Analizador Digital de Respuesta en Frecuencia.

También, gracias a que se cuenta con varios rangos y subrangos

para el barrido de frecuencia, se podrá caracterizar el funcionamiento del circuito en una amplia gama de valores de frecuencia de interés práctico { desde 20 Hz hasta unos 600 kHz ... valor límite estable determinado por el generador de la señal de prueba (XR-2206) y la frecuencia de conmutación de Switches Analógicos para el muestreo (CD-4016) ; empleando Switches Analógicos LF11331 o LF13331 (*Quad SPST JFET Analog Switches, normally open & with disable*), fabricados por *National Semiconductor Corp.*, se podrían lograr frecuencias estables mayores para el barrido de análisis (valores cercanos a 1 MHz debido a la limitación impuesta por XR-2206) }.

Para realizar la prueba de Respuesta en frecuencia, se debe disponer de generadores de señal senoidal adecuados. Esta señal debe estar razonablemente libre de armónicas o distorsión. Ahora, para crear un instrumento autónomo, supervisado y sincronizado en sus funciones por microprocesador, el Generador de Funciones debe estar accesible en forma de Circuito Integrado a fin de tener un mayor control sobre él, cosa que sería más complicada con un generador de señal externo (aparato). Por esta razón se eligió un Generador de Funciones Monolítico Integrado XR-2206 que puede producir onda Senoidal (y Cuadrada) de buena calidad (Baja distorsión armónica senoidal, típicamente 0.5%) y susceptible de ajuste para lograr buena simetría y forma de onda y capaz, de operar en un rango que va desde 0.01 Hz hasta 1 MHz .

Hasta ahora se ha mencionado que el sistema bajo prueba debe ser electrónico, pero nada impide adecuar la señal senoidal electrónica de prueba para que adquiriera una forma mecánica o neumática, y así, poder analizar otro tipo de sistemas. Esto se lograría intercalando transductores de señal adecuados tanto a la entrada (conversión de señal eléctrica a mecánica o neumática), como a la salida (conversión de señal mecánica o neumática a eléctrica) del sistema a caracterizar.

El Sistema de Desarrollo SDM88-PC es tomado como soporte de *Software* y como *Hardware* base a partir del cual se irán añadiendo, probando y evaluando de una en una, las etapas que conforman el instrumento de aplicación, hasta obtener la versión final.

Tanto el *Hardware* como el *Software* se irán desarrollando en módulos, y de uno en uno a la vez, se irán incorporando (dando de alta) al circuito global; esto con el fin de facilitar la identificación de errores y su depuración así como la calibración de las distintas secciones del instrumento.

En el *Software*, tanto de la interface como de la microcomputadora, se dividirá el total de las Tareas de Programación en módulos, a fin de poder ser probados y depurados (*debug*) individualmente.

El *Hardware* constará de etapas que se encargarán del barrido de frecuencia sobre el circuito bajo prueba, muestreo, filtrado, amplificación y adecuación de señal, así como de la medición de frecuencia; la información digital será adquirida, almacenada secuencialmente y transmitida hacia la microcomputadora en forma serial, por la interface de *Hardware* del sistema SDM88-PC.

El *Software* se encargará de sincronizar y desencadenar acciones sobre el *Hardware* (circuitos programables controlados por el microprocesador) para efectuar los procesos de barrido de frecuencia, adquisición/almacenamiento-organizado-de-datos, y transferencia de datos desde interface a microcomputadora, y, ya residentes en la memoria de ésta última, realizará el procesamiento matemático de la información digital muestreada y su escalamiento para graficación, así como la lectura de parámetros suministrados por el usuario, el despliegue de "menús" para selección de alternativas y el desencadenamiento condicional de acciones de procesamiento para cada opción elegida, el despliegue

de resultados y ajuste/lectura de frecuencia de manera interactiva (mediante el desplazamiento de un cursor gráfico por parte del usuario). Además, ejecutará cuando se requiera, distintas rutinas, tales como : toma de opción de usuario, inicialización de puertos de comunicación y periféricos digitales I/O del instrumento de aplicación en general, manejo de errores, ajuste de baudaje, etc. .

Como se ha observado, el primer paso en el desarrollo de un nuevo instrumento consiste en la definición cuidadosa y exacta de la función que se desea realice. El siguiente paso es decidir las partes del instrumento que se harán en *Hardware* y las partes que se harán en *Software*. Es entonces cuando se podrá analizar cómo conviene realizar cada una de estas partes.

5.5.4.2

MÉTODOS DE RESPUESTA EN FRECUENCIA : CARACTERÍSTICAS, VENTAJAS, OBSERVACIONES Y CONCEPTOS AFINES

5.5.4.2.1

RESPUESTA EN FRECUENCIA : DEFINICION

Por el término "Respuesta en Frecuencia" se entiende la respuesta en estado de régimen permanente (respuesta estacionaria o de estado estable), de un sistema ante una entrada senoidal.

Los métodos de Respuesta en Frecuencia son los más convencionales y disponibles para que los ingenieros puedan efectuar el análisis y diseño de sistemas de control. En ellos, se varía la frecuencia de la señal de entrada en un cierto rango y se estudia la respuesta de frecuencia resultante.

El criterio de estabilidad de Nyquist, permite estudiar la estabilidad absoluta y la relativa de sistemas lineales de malla cerrada con el conocimiento de las características de Respuesta en Frecuencia de malla abierta, sin necesidad de determinar las raíces de la ecuación característica generadas de un análisis matemático. Esta es una ventaja del procedimiento de Respuesta en Frecuencia.

Otra ventaja de este método, es que las mediciones de Respuesta en Frecuencia, en general son simples y pueden efectuarse con exactitud usando generadores de señal senoidal fácilmente asequibles y equipos de medición precisos. Frecuentemente se puede determinar experimentalmente, la función de Transferencia de componentes complicados en pruebas de Respuesta en Frecuencia. Además, el método tiene las ventajas de que permite diseñar un sistema de manera que los efectos del ruido indeseable sean despreciables, y de que este análisis y diseño pueda extenderse a ciertos sistemas de control no lineales.

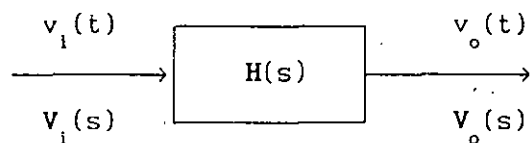
Aunque la Respuesta en Frecuencia de un sistema da una imagen cualitativa de la respuesta transitoria, la correlación entre frecuencia y respuestas transitorias, es indirecta (excepto en el caso de sistemas de segundo orden). Al proyectar un sistema en malla cerrada, se puede ajustar la característica de Respuesta en Frecuencia, usando varios criterios de diseño, para obtener características aceptables de respuesta transitoria. Cuando se comprende esta correlación indirecta entre mediciones de la respuesta transitoria y la Respuesta en Frecuencia, se puede utilizar ventajosamente este método para el diseño de un sistema, al interpretar las características dinámicas deseadas, en términos de las características de Respuesta en Frecuencia. Este análisis de un sistema, indica gráficamente qué modificaciones hay que hacer en la función de Transferencia de malla abierta, para obtener las características deseadas de respuesta transitoria.

5.5.4.2.2

FUNDAMENTO TEORICO DE LA OBTENCION DE RESPUESTAS ESTACIONARIAS ANTE ENTRADAS SENOIDALES

Se pueden obtener las características de Respuesta en Frecuencia de un sistema, directamente de la Función de Transferencia Senoidal; es decir, la función de Transferencia en la cual " s " es reemplazada por " $j\omega$ " siendo " ω " la frecuencia angular, { $\omega = 2\pi f$ [rad/s] }, { f [Hz] }.

Sea el siguiente, un sistema lineal e invariante en el tiempo:



La Entrada se designa como $v_i(t)$ y la Salida como $v_o(t)$, mientras que $H(s)$ es la Función de Transferencia del Sistema.

La Entrada es Senoidal y está dada por :

$$v_i(t) = A_m \text{ sen}(\omega t)$$

Se supone que la Función de Transferencia puede ser escrita como una relación de dos polinomios en " s ", es decir

$$H(s) = \frac{p(s)}{q(s)} = \frac{p(s)}{(s+s_1)(s+s_2)\dots(s+s_n)}$$

entonces, la Transformada de Laplace de la Salida $V_o(s)$ es

$$V_o(s) = H(s) V_i(s) = \frac{p(s)}{q(s)} V_i(s) \quad (1)$$

donde $V_i(s)$ es la Transformada de Laplace de la Entrada $v_i(t)$...

$$V_i(s) = L\{v_i(t)\} = L\{A_m \text{sen}(\omega t)\} = \frac{A_m \omega}{s^2 + \omega^2}$$

El estudio se limitará exclusivamente a sistemas estables. Para esos sistemas, las partes reales de las $-s_1$ son negativas. La respuesta estacionaria (permanente) de un sistema estable, lineal e invariante en el tiempo ante una entrada senoidal, no depende de las condiciones iniciales. (Por tanto, se pueden suponer condiciones iniciales cero).

Si $V_o(s)$ tiene únicamente polos distintos, el desarrollo en fracciones parciales de la Ec.(1) da

$$V_o(s) = \frac{p(s)}{q(s)} = \frac{A_m \omega}{s^2 + \omega^2} \quad (2)$$

$$= \frac{a}{s + j\omega} + \frac{\bar{a}}{s - j\omega} + \frac{b_1}{s + s_1} + \frac{b_2}{s + s_2} + \dots + \frac{b_n}{s + s_n}$$

donde a y las b_i ($i = 1, 2, \dots, n$) son constantes y \bar{a} es el complejo conjugado de a .

La Transformada inversa de Laplace de la Ec.(2) da

$$v_o(t) = a e^{-j\omega t} + \bar{a} e^{+j\omega t} + b_1 e^{-s_1 t} + b_2 e^{-s_2 t} + \dots + b_n e^{-s_n t}$$

($t \geq 0$) (3)

Para un sistema estable, $-s_1, -s_2, \dots, -s_n$ tienen partes reales negativas. Por tanto, a medida que t tiende a infinito, los términos $e^{-s_1 t}, e^{-s_2 t}, \dots, e^{-s_n t}$ tienden a

cero. Así, todos los miembros de la Ec.(3), con excepción de los dos primeros, desaparecen en el estado estacionario.

Si $V_o(s)$ involucra polos múltiples s_j de multiplicidad m_j , entonces $v_o(t)$ contendrá términos como

$$t^{h_j} e^{-s_j t} \quad (h_j = 0, 1, 2, \dots, m_j - 1)$$

Como las partes reales de los $-s_j$ son negativas para un sistema estable, los términos $t^{h_j} e^{-s_j t}$ tienden a cero cuando t tiende a infinito.

Entonces, independientemente de que el sistema sea o no del tipo de polos distintos, la respuesta permanente es

$$v_o(t) = a e^{-j\omega t} + \bar{a} e^{+j\omega t} \quad (4)$$

donde se puede calcular la constante a de la Ec.(2) del siguiente modo: [notar que: $s^2 + \omega^2 = (s+j\omega)(s-j\omega)$]

$$a = H(s) \frac{A_m \omega}{s^2 + \omega^2} (s+j\omega) \Big|_{s=-j\omega} = - \frac{A_m H(-j\omega)}{j 2}$$

y su complejo conjugado

$$\bar{a} = H(s) \frac{A_m \omega}{s^2 + \omega^2} (s-j\omega) \Big|_{s=+j\omega} = + \frac{A_m H(+j\omega)}{j 2}$$

como $H(j\omega)$ es una cantidad compleja, se la puede escribir en forma Fasorial del siguiente modo:

$$H(j\omega) = |H(j\omega)| e^{j\phi}$$

donde $|H(j\omega)|$ representa la magnitud, amplitud, módulo o valor absoluto, y ϕ representa el ángulo de $H(j\omega)$ (ángulo de fase), es decir,

$$\phi = \angle H(j\omega) = \tan^{-1} \left[\frac{\text{parte Imaginaria de } H(j\omega)}{\text{parte Real de } H(j\omega)} \right]$$

El ángulo ϕ puede ser negativo, positivo o cero. En forma similar se obtiene la siguiente expresión para $H(-j\omega)$ (forma Fasorial) :

$$H(-j\omega) = |H(-j\omega)| e^{-j\phi} = |H(j\omega)| e^{-j\phi}$$

Entonces, la Ec. (4) se puede escribir como

$$v_o(t) = A_m |H(j\omega)| \frac{e^{j(\omega t + \phi)} - e^{-j(\omega t + \phi)}}{j 2}$$

por la identidad de Euler se obtiene que : $\text{sen } \alpha = \frac{e^{j\alpha} - e^{-j\alpha}}{j 2}$

$$\begin{aligned} v_o(t) &= A_m |H(j\omega)| \text{sen}(\omega t + \phi) \\ &= |V_o(j\omega)| \text{sen}(\omega t + \phi) \end{aligned} \quad (5)$$

donde $|V_o(j\omega)| = A_m |H(j\omega)|$

Se ve que un Sistema estable, lineal e invariante en el tiempo, sometido a una entrada Senoidal, y llegado al estado de régimen permanente, presenta una salida senoidal de la misma frecuencia que la entrada. Pero en general, la Amplitud y la Fase de la salida, son diferentes a las de la entrada. De hecho, la Amplitud de la salida está dada por el producto de la Amplitud de la Entrada $\{ A_m \}$ y la magnitud de la Función de Transferencia $\{ |H(j\omega)| \}$, mientras que el Angulo de Fase

difiere del de la Entrada en el valor $\left\{ \phi = \angle H(j\omega) \right\}$

En la { figura 5-1 } se muestra un ejemplo de señales senoidales de Entrada y Salida.

Sobre esta base, se obtiene el siguiente importante resultado: para Entradas SENOIDALES :

$$|H(j\omega)| = \left| \frac{V_o(j\omega)}{V_i(j\omega)} \right| = \left\{ \begin{array}{l} \text{RELACION DE AMPLITUD DE LA} \\ \text{SENOIDE DE SALIDA A LA} \\ \text{SENOIDE DE ENTRADA} \end{array} \right\}$$

$$\angle H(j\omega) = \frac{\angle V_o(j\omega)}{\angle V_i(j\omega)} = \left\{ \begin{array}{l} \text{ANGULO DE FASE DE LA} \\ \text{SENOIDE DE SALIDA} \\ \text{CON RESPECTO A LA} \\ \text{SENOIDE DE ENTRADA} \end{array} \right\}$$

Por tanto, se pueden obtener las características de Respuesta de un sistema ante una Entrada Senoidal, directamente de :

$$\frac{V_o(j\omega)}{V_i(j\omega)} = H(j\omega)$$

La Función de Transferencia Senoidal $H(j\omega)$, relación entre $V_o(j\omega)$ y $V_i(j\omega)$, es una cantidad compleja que puede ser representada por la Magnitud (Amplitud) y el Angulo de Fase con la Frecuencia como parámetro.

Angulo de Fase Negativo = Retardo de Fase

Angulo de Fase Positivo = Adelanto de Fase

La Función de Transferencia Senoidal de cualquier Sistema lineal, puede obtenerse reemplazando " $j\omega$ " en lugar de " s " en la Función de Transferencia del Sistema.

{ figura 5-1 }

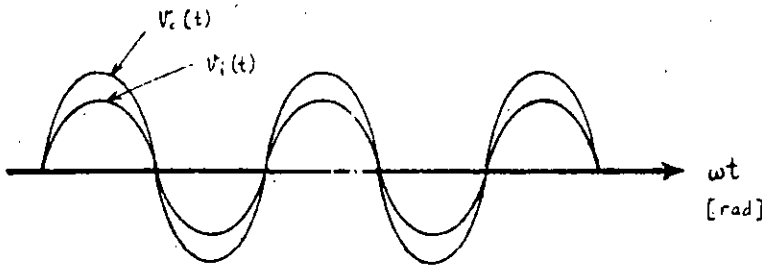
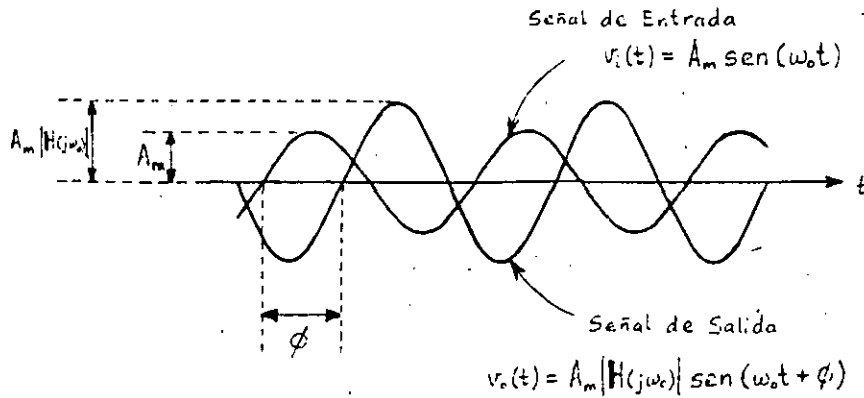
Señales Senoidales de Entrada $v_i(t)$ y de Salida $v_o(t)$
(Sistema Analógico), y posibilidades en cuanto al Angulo de Fase ϕ .

$v_i(t)$ y $v_o(t)$
a una misma
frecuencia angular
 ω_0 de operación

$$\omega_0 = 2\pi F_0 \quad \left[\frac{\text{rad}}{\text{s}} \right]$$

$$F_0 = \frac{1}{T_0} \quad [\text{Hz}]$$

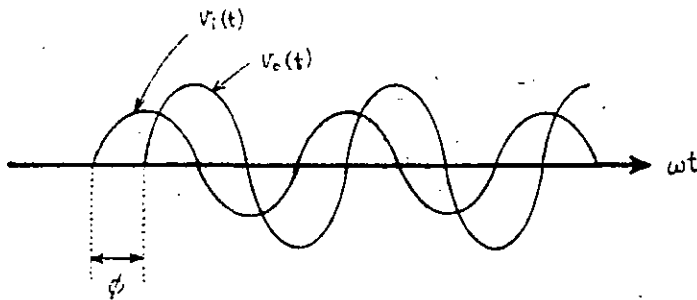
T_0 [s] = Periodo



v_o en fase con v_i : $\angle H(j\omega_0) = \phi = 0^\circ$

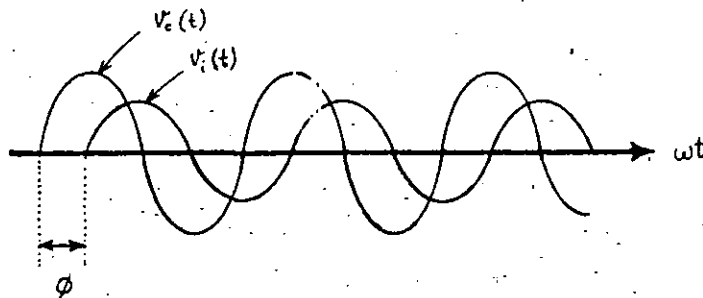
Angulo de Fase de la Senoidal
de Salida con respecto a la
Senoidal de Entrada.

$$\begin{aligned} \angle H(j\omega_0) &= \angle \frac{V_o(j\omega_0)}{V_i(j\omega_0)} \\ &= \angle V_o(j\omega_0) - \angle V_i(j\omega_0) \\ &= \phi_o - \phi_i \\ &= \phi \quad [\text{rad}] \end{aligned}$$



$$\begin{aligned} \angle H(j\omega_0) &= \phi < 0^\circ \\ \phi & \text{ (negativo)} \end{aligned}$$

v_o Atrasado con respecto a v_i (Retardo de Fase)



$$\begin{aligned} \angle H(j\omega_0) &= \phi > 0^\circ \\ \phi & \text{ (positivo)} \end{aligned}$$

v_o Adelantado con respecto a v_i (Adelanto de Fase)

Para caracterizar totalmente un Sistema lineal en el dominio de la frecuencia, se deben especificar tanto la relación de Magnitud (Amplitud) como el Angulo de Fase, como funciones de la frecuencia ω .

5.4.2.3

REPRESENTACION DE LAS CARACTERISTICAS DE RESPUESTA EN FRECUENCIA DE SISTEMAS LINEALES

La Función de Transferencia Senoidal, es una función compleja de la frecuencia ω , y es caracterizada por su Módulo y su Angulo de Fase, (con la frecuencia como parámetro).

Existen tres representaciones comúnmente utilizadas de Funciones de Transferencia Senoidales :

- 1) Diagrama Logarítmico o Diagrama de Bode
- 2) Diagrama Polar o Traza de Nyquist
- 3) Diagrama del logaritmo de la Amplitud (Magnitud) en función de la Fase (Diagrama de Nichols)

5.5.4.2.3_A

DIAGRAMA LOGARITMICO O DIAGRAMA DE BODE

Se puede representar una Función de Transferencia Senoidal, por dos diagramas distintos : uno que da la Amplitud (Magnitud) en función de la frecuencia, y el otro el ángulo de Fase en función de la frecuencia.

Un Diagrama Logarítmico o Diagrama de Bode de una Función de Transferencia Senoidal, consta de dos trazados:

- a) diagrama del logaritmo del Módulo (Magnitud) [dB]
- b) diagrama del Angulo de Fase [grados sexagesimales]

Ambos son representados en función de la frecuencia en escala logarítmica. (En el Analizador Digital de Respuesta en Frecuencia, la frecuencia aparece en escala lineal {en eje horizontal}, por las razones que se darán después).

La representación normal de la Magnitud Logarítmica de $H(j\omega)$ es :

$$|H(j\omega)|_{dB} = 20 \log|H(j\omega)| \quad [\text{deciBeles} = \text{dB}] \quad \{ \log \text{ base } 10 \}$$

(Unidad de amplitud usada en esta representación = deciBel [dB])

(Base de logaritmos = 10 \log_{10}) .

En la representación logarítmica se dibujan las curvas en papel semilogarítmico, utilizando la escala logarítmica para frecuencias {eje horizontal} y la escala lineal ya sea para Magnitud (pero en dB) o para Angulo de Fase (en grados sexagesimales) {eje vertical}. El campo de frecuencias de interés determina la cantidad de ciclos logarítmicos necesarios en la abscisa.

La ventaja principal de usar un diagrama logarítmico, es que se puede convertir la multiplicación de amplitudes en adición. Además, se dispone de un método simple para trazar una curva aproximada del logaritmo de la Amplitud.

El método está basado en la aproximación asintótica (por líneas rectas asintotas), misma que es suficiente si sólo se necesita una información global sobre las características de Respuesta en Frecuencia. En caso de requerirse curvas exactas, se pueden efectuar fácilmente correcciones a esas determinaciones asintóticas básicas. Se pueden dibujar rápidamente las curvas de Angulo de Fase, si se tiene una plantilla para la curva de ángulo de fase de $1+j\omega$.

Cabe señalar también, que se puede realizar muy simplemente la determinación experimental de una Función de Transferencia, si se representan los datos de Respuesta en Frecuencia, en forma de un diagrama logaritmico.

La representación logarítmica es útil, porque presenta las características de alta y baja frecuencia de la Función de Transferencia en un solo diagrama. Es muy ventajoso el poder expandir el rango de bajas frecuencias utilizando una escala logarítmica de frecuencias, ya que a dichas frecuencias son muy importantes las características en los sistemas utilizados (sobre todo en aplicaciones de control no electrónico). Notar que debido a la escala de frecuencia logarítmica, es imposible trazar curvas hasta la frecuencia cero (DC); sin embargo, esto no crea un problema importante.

5.5.4.2.3_B

DIAGRAMA POLAR O TRAZA DE NYQUIST

El Diagrama Polar o de Nyquist de una Función de Transferencia Senoidal $H(j\omega)$, es un diagrama de la Magnitud de $H(j\omega)$ en función del ángulo de Fase de $H(j\omega)$ en coordenadas polares al variar ω desde cero hasta "infinito". Entonces, el Diagrama

Polar es el lugar geométrico de los vectores $|H(j\omega)| \angle H(j\omega)$ al variar ω desde cero a infinito. Debe tenerse en cuenta que en los Diagramas polares, se mide un ángulo de Fase positivo (negativo) en sentido antihorario (en sentido horario) a partir del eje Real positivo.

En la { figura 5-2 } , se muestra un ejemplo de este tipo de diagramas.

abajo (para ganancia decreciente), pero la forma de la curva se mantiene constante. La distancia vertical entre los puntos $\omega = 0$ y $\omega = \omega_r$ (frecuencia de resonancia), es el valor pico de $H(j\omega)$ en decibelios (M_r).

Las ventajas del Diagrama de Nichols son que se puede determinar rápida y fácilmente la estabilidad relativa del sistema de malla cerrada, así como la compensación requerida.

En la { figura 5-3 } (página siguiente), se comparan las curvas de Respuesta en Frecuencia de la Función de Transferencia :

$$G(j\omega) = H(j\omega) = \frac{1}{1 + 2\zeta \left[j \frac{\omega}{\omega_n} \right] + \left[j \frac{\omega}{\omega_n} \right]^2} \quad (\zeta > 0)$$

en las tres distintas representaciones gráficas analizadas anteriormente :

- * Diagrama Logarítmico (Bode)
- * Diagrama Polar (Nyquist)
- * Diagrama del Logaritmo de la Magnitud en función del Angulo de Fase (Nichols)

ω = Frecuencia Angular [rad/s] (variable independiente)
(parámetro para todas las representaciones)

ω_n = Frecuencia Natural No Amortiguada [rad/s]

ω_r = Frecuencia de Resonancia [rad/s]

$M_p = M_r$ = Sobrepaso, Sobreimpulso Máximo o Magnitud Pico

ζ = Factor de Amortiguamiento del sistema (*damping factor*)

{ $\zeta=0$ Sistema Oscilatorio }, { $0 < \zeta < 1$ Sistema Subamortiguado },

{ $\zeta=1$ S. Críticamente Amortiguado }, { $\zeta > 1$ S. Sobreamortiguado }

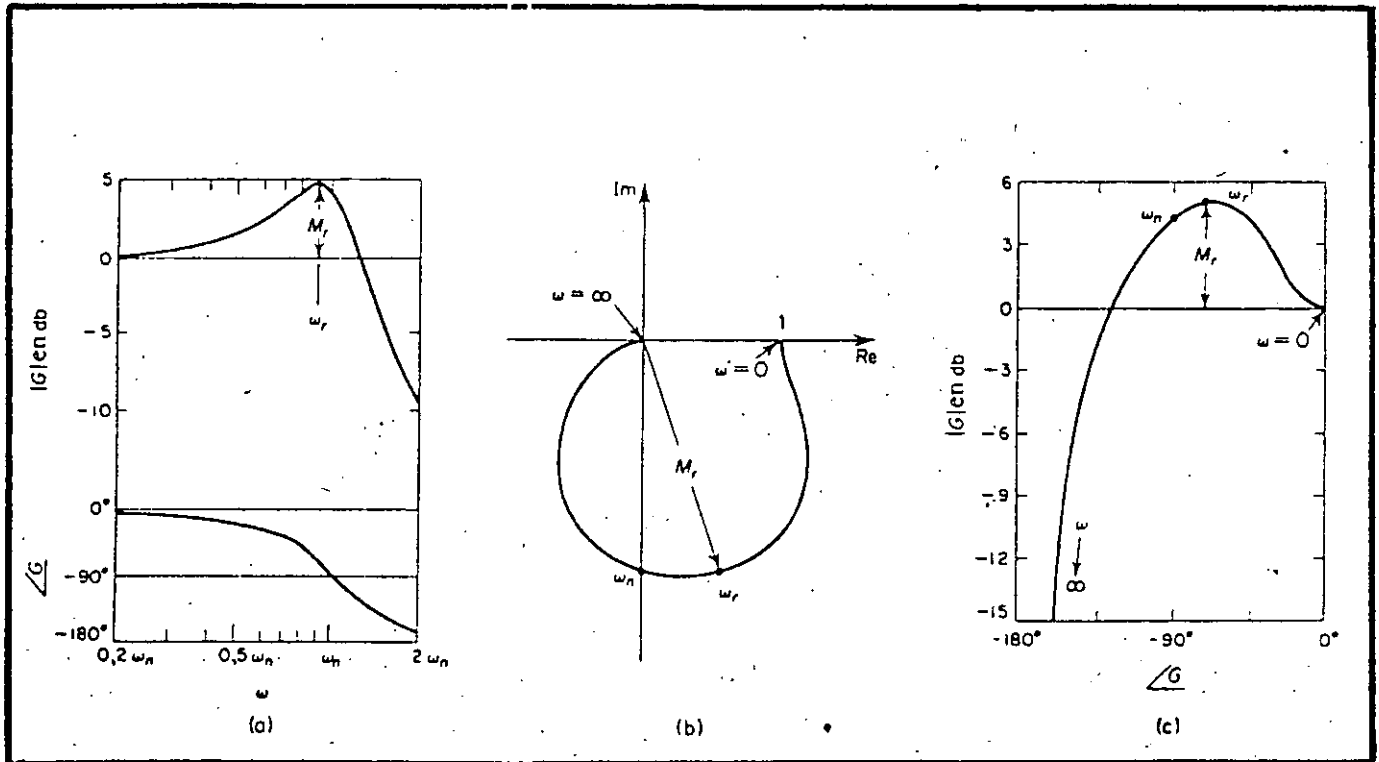
{ figura 5-3 }

Representaciones Gráficas de la Respuesta en Frecuencia de para la Función de Transferencia $G(j\omega)=H(j\omega)$:

$$G(j\omega) = H(j\omega) = \frac{1}{1 + 2\zeta \left[j \frac{\omega}{\omega_n} \right] + \left[j \frac{\omega}{\omega_n} \right]^2}$$

($\zeta > 0$)

- a) Diagrama Logaritmico (Bode)
- b) Diagrama Polar (Nyquist)
- c) Diagrama del Logaritmo de la Magnitud en función del Angulo de Fase (Nichols)



5.5.4.2.4

MARGENES DE FASE Y DE GANANCIA

Supóngase que para un sistema se han representado en el plano complejo $\{ \text{Re vs. Im} \}$ (Diagrama polar o Traza de Nyquist) las curvas de Respuesta en Frecuencia para diferentes valores de ganancia de malla abierta K . Generalmente, para un valor muy grande de ganancia K , el sistema se vuelve inestable. Al disminuir la ganancia hacia determinado valor, el lugar geométrico de $G(j\omega)$ (ó $H(j\omega)$) pasa por el punto $\{ -1+j0 \}$. Esto significa que con este valor de ganancia el sistema está al borde de la inestabilidad, y que presentará oscilaciones mantenidas. Para un valor pequeño de ganancia K , el sistema es estable. En general, cuanto más cerca pasa el lugar geométrico de $G(j\omega)$ del punto $\{ -1+j0 \}$, más oscilatorio se vuelve el sistema. Se puede utilizar la proximidad de $G(j\omega)$ a este punto como una medida del margen de estabilidad. Normalmente esta cercanía se representa en términos de margen de fase y margen de ganancia.

a) **Margen de Fase :**

Es la cantidad de retardo de fase adicional necesaria a la frecuencia de cruce o de transición de ganancia para que el sistema quede al borde de la inestabilidad. La frecuencia de cruce de ganancia es aquella para la cual el valor absoluto $|G(j\omega)|$ (ó $|H(j\omega)|$) de la Función de Transferencia de malla abierta, es la unidad. El Margen de Fase (γ) es 180° más el Angulo de Fase ϕ de la Función de Transferencia de malla abierta a la frecuencia de cruce de ganancia, es decir :

$$\gamma = 180^\circ + \phi$$

En el diagrama de Nyquist se puede trazar una línea desde el origen al punto en el cual la circunferencia de radio unitario cruza al lugar geométrico de $G(j\omega)$. El ángulo desde el eje Real negativo a esta línea es el Margen de

Fase. El Margen de Fase es positivo para $\{ \gamma > 0 \}$ y negativo para $\{ \gamma < 0 \}$. Para que un sistema de fase mínima sea estable, el Margen de Fase debe ser positivo.

b) Margen de Ganancia :

Esta cantidad es el recíproco de la magnitud de la Función de Transferencia $|G(j\omega)|$ a la frecuencia a la cual el Angulo de fase es -180° .

Definiendo la frecuencia de cruce o de transición de fase ω_1 como la frecuencia a la cual el Angulo de Fase de la Función de Transferencia de malla abierta es igual a -180° , se tiene que el Margen de Ganancia K_g es :

$$K_g = \frac{1}{|G(j\omega_1)|}$$

y expresado en deciBeles :

$$K_g \text{ [dB]} = 20 \log_{10}(K_g) = -20 \log_{10}(|G(j\omega_1)|)$$

El Margen de Ganancia expresado en [dB] es positivo si K_g es mayor que la unidad, negativo si es menor que la unidad y cero si es igual a 1.

Un Margen de Ganancia Positivo (en [dB]), significa que el sistema es estable, y un Margen de Ganancia Negativo (en [dB]), implica que el sistema es inestable.

Para un sistema de fase mínima estable, el Margen de Ganancia indica cuánto se puede incrementar la ganancia antes de que el sistema se haga inestable. Para un sistema inestable, el Margen de Ganancia indica en cuánto hay que reducir la ganancia para que el sistema se haga estable.

El Margen de Ganancia de un sistema de primer orden o de segundo orden es infinito, pues los diagramas polares de esos sistemas no cruzan el eje Real negativo. Por tanto, teóricamente esos sistemas no pueden ser inestables.

Para un sistema de fase no mínima, no se satisface la condición de estabilidad a menos que el diagrama de $G(j\omega)$ rodee al punto $\{-1+j0\}$. Por tanto, un sistema estable de fase no mínima ha de tener Márgenes de Fase y Ganancia negativos.

.....
En la { figura 5-4 }, se muestran los Márgenes de Ganancia y de Fase tanto para un sistema Estable como para un Inestable en :

- a) Diagramas Polares (Nyquist)
- b) Diagramas Logarítmicos (Bode)
- c) Diagramas del logartimo de la Magnitud en función del Angulo de Fase (Nichols)

Función de Transferencia del sistema : $G(j\omega)$

Notar que en los diagramas logarítmicos, el punto crítico en el plano complejo corresponde a las líneas $\{0 \text{ dB}\}$ y $\{-180^\circ\}$

.....

Comentarios sobre los MARGENES de GANANCIA y de FASE .

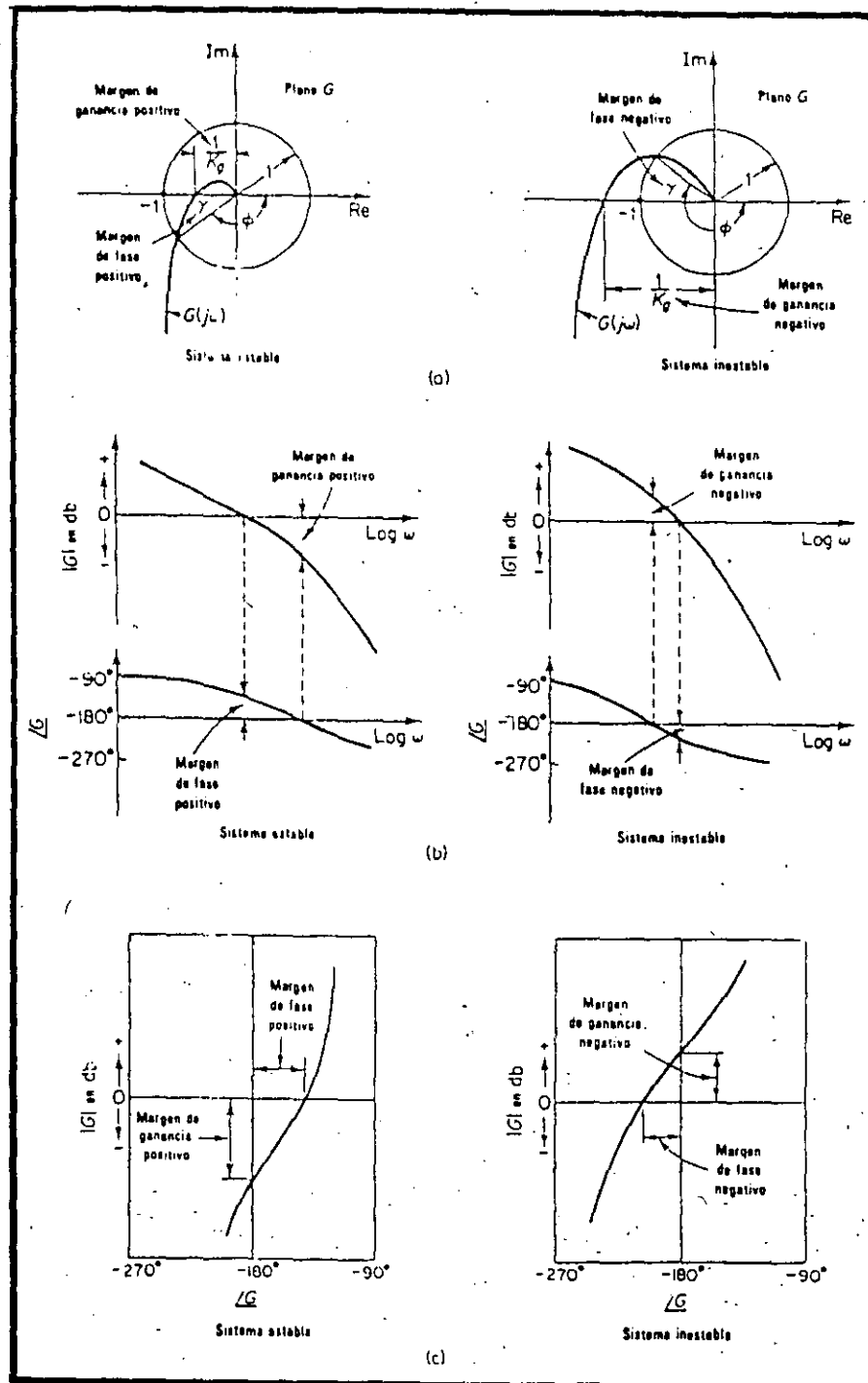
Los Márgenes de Ganancia y de Fase de un sistema de control son una medida de la cercanía del diagrama polar al punto $\{-1+j0\}$. Por tanto, se pueden usar como criterio de proyecto.

Notar que ni el Margen de Ganancia solo, ni el Margen de Fase solo, dan información suficiente para la determinación de la estabilidad relativa, por lo que deben proporcionarse ambos.

Para un sistema de fase mínima, tanto el Margen de Ganancia como el de Fase han de ser positivos para que el sistema sea estable. Los márgenes negativos indican inestabilidad.

{ figura 5-4 }

Márgenes de Ganancia y de Fase en sistema Estables e Inestables



Márgenes adecuados de Ganancia y de Fase dan seguridad contra variaciones en los componentes del sistema y se los especifica para valores definidos de frecuencia. Ambos valores acotan el comportamiento del sistema de malla cerrada en la vecindad de la frecuencia de resonancia. Para lograr un funcionamiento satisfactorio, el Margen de Fase debe estar entre 30° y 60° y el Margen de Ganancia debe ser superior a los 6 dB. Con estos valores, un sistema de fase mínima tiene garantizada la estabilidad, aún si la ganancia de malla abierta y las constantes de tiempo de los componentes varían dentro de ciertos límites. Aunque los Márgenes de Ganancia y de Fase dan sólo estimaciones burdas de la relación de amortiguamiento efectiva (ζ) del sistema de malla cerrada, brindan un medio conveniente para proyectar sistemas de control o ajustar las ganancias de constantes de los sistemas.

Para sistemas de fase mínima, las características de Magnitud y de Fase de la Función de Transferencia de malla abierta están definitivamente relacionadas. El requisito de que el Margen de Fase esté entre 30° y 60° significa que en un diagrama logarítmico, la pendiente de la curva del logaritmo de la magnitud a la frecuencia de cruce de ganancia es más gradual que -40 dB/década. En la mayor parte de los casos prácticos, es deseable una pendiente de -20 dB/década (1 polo) a la frecuencia de cruce de Ganancia para tener estabilidad. Si es de -40 dB/década (2 polos), el sistema puede ser tanto estable como inestable. (Sin embargo, aún si el sistema es estable, el Margen de Fase es pequeño). Si la pendiente a la frecuencia de cruce de ganancia es de -60 dB/década o mayor (3 ó más polos), el sistema es inestable.

5.5.4.2.5

CONCEPTO DE FASOR : Representación de un ONDA SENOIDAL en el dominio del tiempo por un FASOR en el dominio de la frecuencia

Una onda senoidal de frecuencia angular ω es cualquier función del tiempo t definida en $(-\infty, \infty)$ y de la forma :

$$A_m \cos(\omega t + \phi) \quad \text{o} \quad A_m \sin(\omega t + \phi)$$

donde : A_m : Amplitud [V, A, etc.]

ω : Frecuencia Angular [rad/s] ($\omega = 2\pi f$) f [Hz]

ϕ : Ángulo de Fase [rad ó °]

A_m , ω , ϕ : son constantes Reales

Además, se cumple el siguiente Teorema Fundamental :

"La suma algebraica de cualquier número de ondas senoidales de la misma frecuencia angular ω , y de cualquier número de sus derivadas de cualquier orden, es también una senoidal de la misma frecuencia angular ω ".

La implicación de este Teorema fundamental sugiere que se puede tratar a las sinusoides por métodos algebraicos.

Una Sinusoide con frecuencia angular ω queda completamente especificada por su Amplitud A_m y su Fase ϕ . Este hecho conduce a la idea de representar a una Sinusoide por el número

complejo : $A \equiv A_m e^{j\phi}$

donde : $A_m = |A|$ = Magnitud del número complejo A

$\phi = \angle A$ = Fase del número complejo A

Es decir, la sinusoide $x(t) \equiv A_m \cos(\omega t + \phi)$, está representada por el número complejo $A \equiv A_m e^{j\phi}$ y,

recíprocamente, dado el número complejo $A = A_m e^{j\phi}$ y la frecuencia angular ω , se puede recobrar la senoide como sigue :

$$\begin{aligned} x(t) &= \operatorname{Re}\left[A e^{j\omega t}\right] = \operatorname{Re}\left[A_m e^{j(\omega t + \phi)}\right] \\ &= \operatorname{Re}\left[A_m \cos(\omega t + \phi) + jA_m \operatorname{sen}(\omega t + \phi)\right] \\ &= A_m \cos(\omega t + \phi) = x(t) \end{aligned}$$

$$\{A_m, \phi, \omega, t\} \in \mathbb{R} \quad ; \quad j = \sqrt{-1}$$

El número complejo A , que representa a la senoide $A_m \cos(\omega t + \phi)$, se denomina por conveniencia, el FASOR que representa a la senoide.

Por definición, el Fasor A está dado por $A \equiv A_m e^{j\phi}$

Por ejemplo :

$$\text{Si } v(t) = 110 \cos\left(2\pi 60t + \frac{\pi}{3}\right) \quad [\text{Volt}]$$

entonces el Fasor que representa a la senoide es :

$$A = 110 e^{j\left(\frac{\pi}{3}\right)}$$

esto es :

$$v(t) = \operatorname{Re}\left[A e^{j2\pi 60t}\right]$$

Observaciones :

- 1) El conocimiento del Fasor que representa una senoide determina su Amplitud y su Fase, pero no su frecuencia. Por tanto, es importante, que cuando se hacen cálculos con Fasores, se tenga en consideración la frecuencia de dichos Fasores.

- 2) Se puede especificar una senoide por una función SENO en vez de por una función COSENO, teniéndose entonces :

$$y(t) = A_m \text{sen}(\omega t + \phi)$$

En este caso, la representación fasorial $A \equiv A_m e^{j\phi}$ también es válida. Sin embargo, la recuperación de la senoide estaría dada por :

$$y(t) = \text{Im} \left[A e^{j\omega t} \right] = \text{Im} \left[A_m e^{j(\omega t + \phi)} \right]$$

que es la representación-fasorial-por-Parte-Imaginaria (Im) en vez de :

$$x(t) = \text{Re} \left[A e^{j\omega t} \right] = \text{Re} \left[A_m e^{j(\omega t + \phi)} \right]$$

que es la representación-fasorial-por-Parte-Real (Re) cuando la senoide se define como :

$$x(t) = A_m \text{cos}(\omega t + \phi)$$

- 3) Si se grafica en el plano complejo la función (número complejo) $A e^{j\omega t}$, sus coordenadas estarían dadas por :

$$x(t) = \text{Re} \left[A e^{j\omega t} \right] \qquad y(t) = \text{Im} \left[A e^{j\omega t} \right]$$

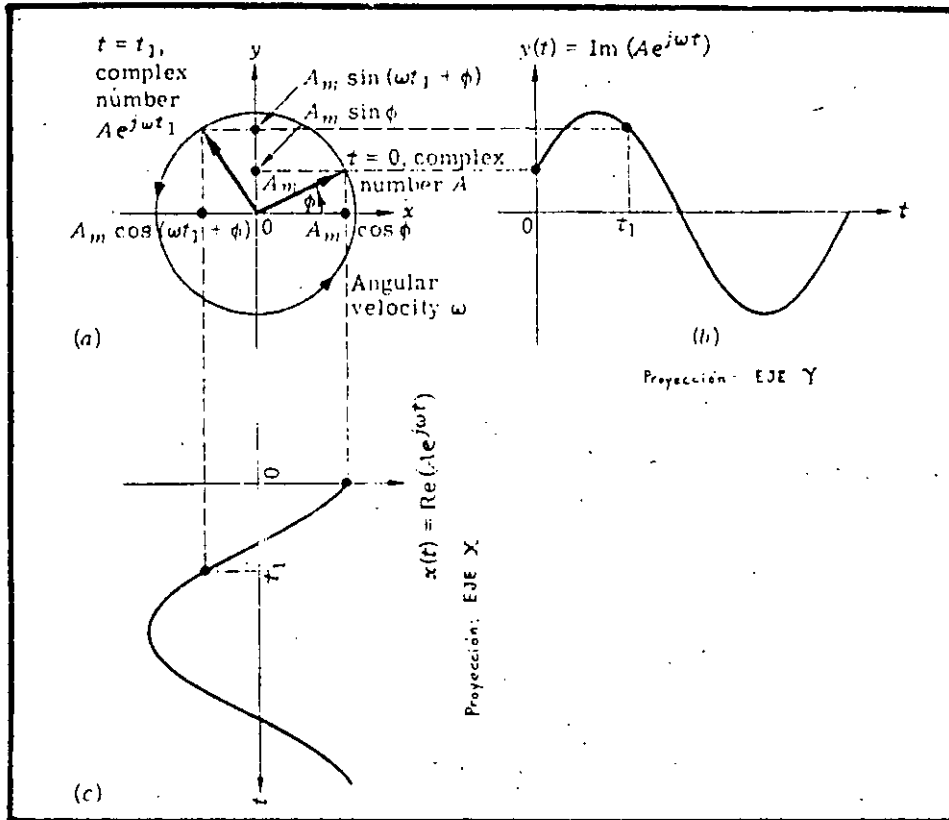
Se puede pensar en $x(t)$ como la proyección sobre el eje X del punto $A e^{j\omega t}$, que rota sobre una circunferencia de radio A_m a la velocidad angular de ω [rad/s] en sentido contrario a las manecillas del reloj.

De manera análoga, la proyección sobre el eje Y del punto $A e^{j\omega t}$ da $y(t)$.

En la { figura 5-5 } se muestra la representación del Fasor rotante $A e^{j\omega t}$.

{ figura 5-5 }

Representación del Fasor rotante $A e^{j\omega t}$



La respuesta completa de un circuito lineal ante una excitación senoidal consta de dos partes :

1) Respuesta Transitoria :

Se desvanece a medida que el tiempo aumenta y depende de las características naturales de los elementos y de las condiciones iniciales del circuito, por lo que se conoce también como "Respuesta Natural" de un circuito.

2) Respuesta Permanente :

Esta respuesta no desaparece a medida que $t \rightarrow \infty$ y es forzada u originada por la fuente de excitación, conservando las características de ella.

Se conoce también como "Respuesta (Senoidal) de Estado Estable (*Steady-State response*).

Una de las formas para encontrar la Respuesta Total de un circuito es resolviendo la ecuación diferencial que lo representa. La Respuesta Transitoria se obtiene mediante la solución homogénea de la ecuación diferencial (igualación a cero), mientras que la Respuesta Permanente se obtiene encontrando la solución particular (que por ser la excitación senoidal, será del tipo : $A \sin\theta + B \cos\theta$). Sin embargo, este método es poco práctico para calcular la respuesta más importante de un circuito : la permanente.

El empleo de Fasores (cantidades complejas) facilita el cálculo de Respuestas Permanentes (no Transitorias ni Totales), a funciones excitatrices senoidales.

Una corriente o voltaje senoidal está caracterizado por tres parámetros :

$$\begin{aligned} V_m \text{ o } I_m &= \text{Amplitud} && [V \text{ o } A] \\ \phi &= \text{Angulo de Fase} && [\text{rad}, ^\circ \text{ o grados eléctricos}] \\ \omega &= \text{Frecuencia Angular} && [\text{rad/s}] \end{aligned}$$

Si se considera un voltaje senoidal, puede representarse como:

$$v(t) = V_m \cos(\omega t + \phi) \quad (R)$$

ó

$$v(t) = V_m \sin(\omega t + \phi) \quad (I)$$

Ahora bien, como se vió antes en forma genérica, usando la identidad de Euler : $\{ e^{j\theta} = \cos\theta + j\sin\theta \}$, se puede

descomponer al número complejo $V_m e^{j(\omega t + \phi)}$ en dos partes, una real y otra imaginaria :

$$V_m e^{j(\omega t + \phi)} = V_m \cos(\omega t + \phi) + j V_m \sin(\omega t + \phi)$$

Si de $V_m e^{j(\omega t + \phi)} = V_m e^{j\omega t} e^{j\phi}$, se llama Fasor V a la cantidad compleja $V_m e^{j\phi}$, o sea : $V \equiv V_m e^{j\phi}$,

entonces se tiene que la expresión del voltaje senoidal en el dominio del tiempo, puede recuperarse de :

$$v(t) = \operatorname{Re} \left[V e^{j\omega t} \right] \quad \text{si se emplea la forma COSENO } \{ \text{Ec. (R)} \}$$

como convención para representar sinusoides
{ representación-fasorial-por-Parte-Real (Re) }

o de :

$$v(t) = \operatorname{Im} \left[V e^{j\omega t} \right] \quad \text{si se emplea la forma SENO } \{ \text{Ec. (I)} \}$$

como convención para representar sinusoides
{ representación-fasorial-por-Parte-Imaginaria (Im) }

Se puede observar que el número complejo V contiene toda la información referida a la Amplitud (V_m) y al Angulo de Fase (ϕ) de la senoide (a una frecuencia ω dada).

Ahora bien, como la respuesta senoidal se debe a la fuente de excitación, la frecuencia (o velocidad) angular ω de ambas es la misma. Así, se puede afirmar que ω no variará y todos los términos que contengan esta variable resultarán redundantes en los cálculos de las soluciones de las ecuaciones que representan al circuito; se puede decir que conociendo la Amplitud y la Fase de la señal, ésta podrá ser representada fielmente; en otras palabras, conociendo el FASOR de la señal, se conocerán las características de la misma.

Dado que un Fasor $V \equiv V_m e^{j\phi}$ es la representación en números complejos de una señal senoidal que originalmente se encuentra en el dominio del tiempo, puede escribirse en forma

polar como : $V = V_m \angle \phi$

Por ser el Fasor un número complejo se denota con letras mayúsculas remarcadas o negritas.

En la práctica se prefiere considerar a la Magnitud del Fasor igual al valor "rms" (root-mean-square = raíz cuadrada de la media de los cuadrados) de la función original en el dominio del tiempo. Los valores "rms" se usan en la transformación en vez de los valores pico de las funciones de tiempo, porque el valor "rms" es un número más significativo para describir el efecto de un voltaje o de una corriente periódica (efecto de efectividad relativa de un voltaje o corriente alterna en la transferencia de potencia y energía). El Angulo del Fasor es igual al argumento de la función coseno (o seno) cuando $t=0$ (Angulo de Fase ϕ).

El METODO FASORIAL se utiliza para resolver problemas de Redes o Circuitos Eléctricos cuando las excitaciones de Voltaje y de Corriente que se aplican a las redes son todas sinusoides de la MISMA FRECUENCIA (Frecuencia Angular $\omega = 2\pi f$ [rad/s] ; f [Hz])

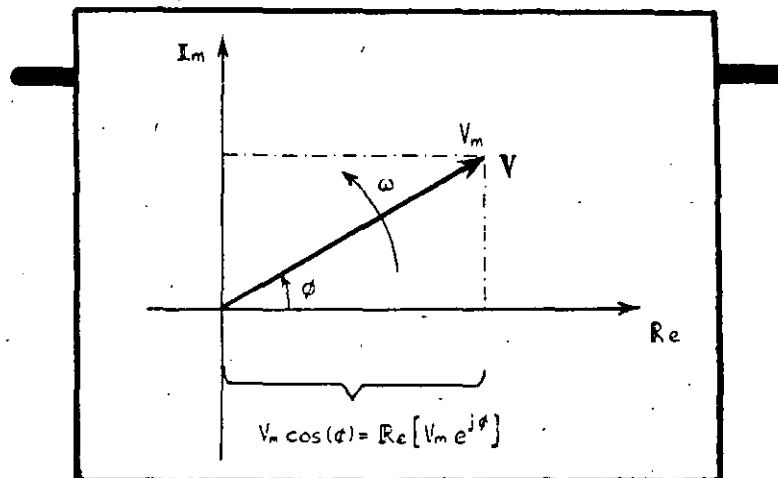
El término FASOR se aplica sólo a VOLTAJES o CORRIENTES sinusoidales de la misma frecuencia. La Impedancia (Z) y la Admitancia (Y), no son Fasores, sino operadores fasoriales, ya que son números complejos que actúan para cambiar la Magnitud y el Angulo de los Fasores asociados de Voltaje y Corriente.

Ecuaciones Fasoriales Voltaje-Corriente : $V = Z I$; $I = Y V$:

La representación gráfica de cualquier Fasor en el Plano Complejo, consiste en una Recta dirigida (flecha), dibujada a escala, que se mueve con una velocidad (frecuencia) angular ω en sentido antihorario, y que parte del origen de dicho plano.

{ figura 5-6 }

Representación de un Fasor en el Plano Complejo



Ejemplos:

1. TRANSFORMACION DE ONDA SENOIDAL EN EL DOMINIO DEL TIEMPO A FASOR

$$v(t) = 50 \sin(300t - 60^\circ) \quad [V]$$

$$\text{Como } \sin(\omega t + \phi) = \cos(\omega t + \phi - 90^\circ) \quad , \Rightarrow v(t) = 50 \cos(300t - 150^\circ)$$

$$V = V_m e^{j\phi} = 50 e^{-j150^\circ} = 50 \angle -150^\circ \quad [V]$$

2. TRANSFORMACION DE FASOR A ONDA SENOIDAL EN EL DOMINIO DEL TIEMPO

$$I = 5 \angle -15^\circ \quad [A]$$

$$i(t) = I_m \cos(\omega t + \phi) = 5 \cos(\omega t - 15^\circ)$$

$$\text{Como } \cos(\omega t + \phi) = \sin(\omega t + \phi + 90^\circ) \quad , \Rightarrow i(t) = 5 \sin(\omega t + 75^\circ) \quad [A]$$

5.5.4.3

BASE TEORICO-MATEMATICA DEL PRINCIPIO DE FUNCIONAMIENTO DEL INSTRUMENTO

Como se ha establecido antes, en el análisis de los sistemas estables, lineales e invariantes con el tiempo, es de gran importancia la "Respuesta Senoidal Permanente". Este análisis se puede realizar por distintos métodos : Diagrama de Bode, de Nyquist, de Nichols y el análisis Fasorial.

Según se demostró en la sección { 5.4.2.2 } , si a un sistema estable, lineal e invariante con el tiempo se le aplica una excitación senoidal de frecuencia angular ω_0 :

$$v_1(t) = A_m \text{sen}(\omega_0 t) \quad ; \quad A_m = \text{Amplitud pico [Volt]} \in \mathbb{R}$$

$$\omega_0 = 2\pi f_0 \text{ [rad/s]} \quad ; \quad f_0 \text{ [Hz]}$$

entonces, su Respuesta Permanente será :

$$v_0(t) = B_m \text{sen}[\omega_0 t + \phi] \tag{1a}$$

donde : $B_m = A_m |H(j\omega_0)|$; $\phi = \angle H(j\omega_0)$

MAGNITUD DE LA RESPUESTA ANGULO DE FASE

es decir :

$$v_0(t) = A_m |H(j\omega_0)| \text{sen}\left[\omega_0 t + \angle H(j\omega_0)\right] \tag{1b}$$

que también puede escribirse como :

$$v_0(t) = \text{Im} \left[A_m H(j\omega_0) e^{j\omega_0 t} \right] \tag{2}$$

donde :

$$H(j\omega_0) = |H(j\omega_0)| e^{j\phi} = |H(j\omega_0)| \angle \phi = |H(j\omega_0)| \angle H(j\omega_0) \quad (3)$$

es el FASOR asociado a la FUNCION DE TRANSFERENCIA (senoidal) del sistema, que tiene a la frecuencia angular ω como parámetro.

$$|H(j\omega_0)| = \text{Magnitud (Módulo) de la Función de Transferencia}$$

$$\angle H(j\omega_0) = \phi \quad \text{:: Angulo de Fase}$$

Nótese que ϕ es función de $\omega_0 \Rightarrow \phi = f(\omega_0) = \phi(\omega_0)$

Si se desea representar en el plano complejo dicho Fasor, es necesario conocer sus componentes Real e Imaginaria :

$$|H(j\omega_0)| \cos(\phi) \quad \text{y} \quad |H(j\omega_0)| \sin(\phi)$$

Esto puede hacerse a partir del Fasor asociado a la Respuesta (Salida) obtenida del sistema :

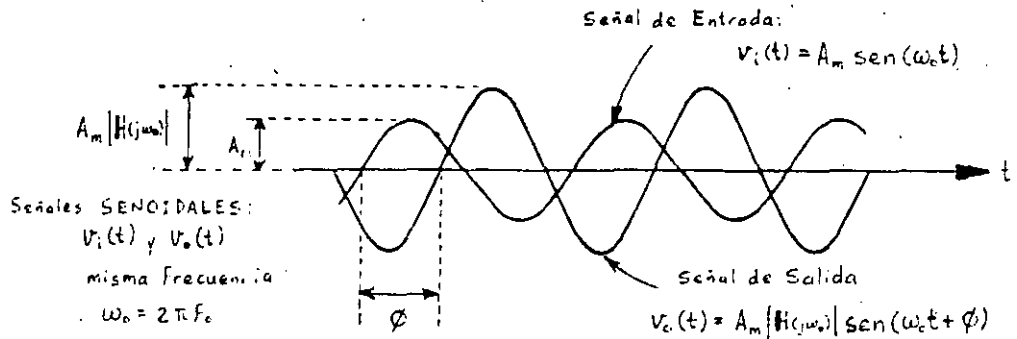
$$\begin{aligned} V_0(j\omega_0) &= |V_0(j\omega_0)| \angle V_0(j\omega_0) \\ &= B_m e^{j\phi} = A_m |H(j\omega_0)| e^{j\phi} \\ &= A_m |H(j\omega_0)| \angle \phi \\ &= A_m H(j\omega_0)' \end{aligned}$$

$$V_0(j\omega_0) = A_m |H(j\omega_0)| \cos(\phi) + j A_m |H(j\omega_0)| \sin(\phi)$$

COMPONENTE REAL COMPONENTE IMAGINARIA

Efectuando la división del Fasor de la señal de Salida entre el Fasor de la señal de Entrada: $V_i(j\omega_0) = A_m \angle 0^\circ$, se obtiene el Fasor de la Función de Transferencia: $H(j\omega_0) = V_0(j\omega_0) / V_i(j\omega_0)$. El proceso y representación-fasor se muestra en la { figura 5-7 }.

Representación Fasorial:
 $\frac{\text{SALIDA}}{\text{ENTRADA}} = \text{TRANSFERENCIA}$



Análisis a una determinada frecuencia angular ω_0 :

RESPUESTA (SALIDA) DEL SISTEMA

Magnitud: $M_o = A_m |H(j\omega_0)|$
 Ang. Fase: $\phi_o = \phi$; $\phi = f(\omega_0)$

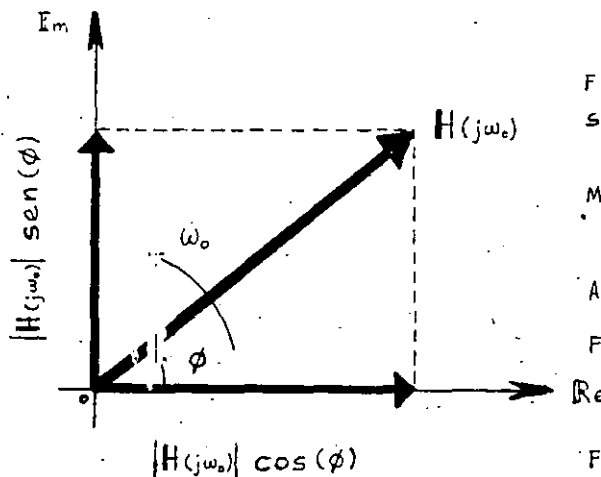
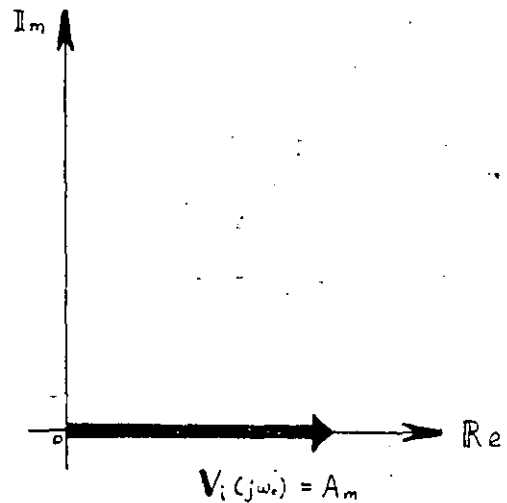
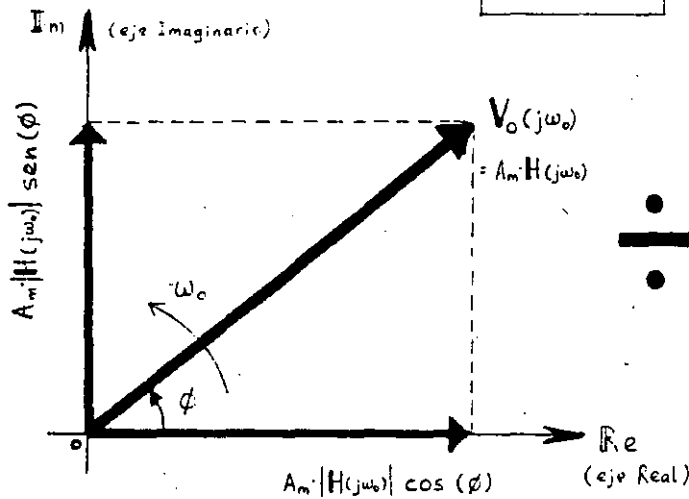
Fasor: $V_o(j\omega_0) = A_m |H(j\omega_0)| e^{j\phi}$
 $= M_o e^{j\phi_o} = M_o \angle \phi_o$

$s = j\omega$
 $\omega = 2\pi f$
 $f = \frac{j}{T}$
 $\omega = \omega_0 \left[\frac{\text{rad}}{\text{s}} \right]$
 $\phi \in f_0 \left[\text{Hz} \right]$

EXCITACION (ENTRADA) AL SISTEMA

Magnitud: $M_i = A_m$
 Ang. Fase: $\phi_i = 0^\circ$ (Cero) \rightarrow Referencia

Fasor: $V_i(j\omega_0) = A_m \cdot e^{j0}$
 $= M_i e^{j\phi_i} = M_i \angle \phi_i$



FUNCION DE TRANSFERENCIA SENOIDAL:

Magnitud: $|H(j\omega_0)| = \frac{|V_o|}{|V_i|} = \frac{M_o}{M_i}$

Angulo de Fase: $\angle H(j\omega_0) = \frac{\phi_o}{\phi_i} = \phi_o - \phi_i = \phi$

Fasor: $H(j\omega_0) = |H(j\omega_0)| e^{j\phi}$

$H(j\omega_0) = \frac{V_o(j\omega_0)}{V_i(j\omega_0)}$	$ H(j\omega_0) = \frac{ V_o(j\omega_0) }{ V_i(j\omega_0) }$ Relación de Amplitud de la Sinusoide de Salida a la Sinusoide de Entrada.	$\angle H(j\omega_0) = \frac{\phi_o(j\omega_0)}{\phi_i(j\omega_0)}$ Relación de la Fase de la Sinusoide de Salida con respecto a la Sinusoide de Entrada.
--	---	--

Para obtener físicamente las componentes de $H(j\omega_0)$, es necesario multiplicar la Ec.(1) por $\{\sin(\omega_0 t)\}$ y $\{\cos(\omega_0 t)\}$ y posteriormente filtrar los productos resultantes.

Así se tiene :

a) Empleando la identidad trigonométrica :

$$\sin(\alpha) \sin(\beta) = \frac{1}{2} \cos(\alpha-\beta) - \frac{1}{2} \cos(\alpha+\beta)$$

$$\begin{aligned} \sin(\omega_0 t) \left[A_m |H(j\omega_0)| \sin(\omega_0 t + \phi) \right] & ; \phi = \angle H(j\omega_0) \\ & = \frac{1}{2} A_m |H(j\omega_0)| \left[\cos(\omega_0 t + \phi - \omega_0 t) - \cos(\omega_0 t + \phi + \omega_0 t) \right] \\ & = \frac{1}{2} A_m |H(j\omega_0)| \left[\cos(\phi) - \cos(2\omega_0 t + \phi) \right] = \{S_1(t)\} \quad (4) \end{aligned}$$

b) Empleando la identidad trigonométrica :

$$\sin(\alpha) \cos(\beta) = \frac{1}{2} \sin(\alpha+\beta) + \frac{1}{2} \sin(\alpha-\beta)$$

$$\begin{aligned} \cos(\omega_0 t) \left[A_m |H(j\omega_0)| \sin(\omega_0 t + \phi) \right] & ; \phi = \angle H(j\omega_0) \\ & = \frac{1}{2} A_m |H(j\omega_0)| \left[\sin(\omega_0 t + \phi - \omega_0 t) + \sin(\omega_0 t + \phi + \omega_0 t) \right] \\ & = \frac{1}{2} A_m |H(j\omega_0)| \left[\sin(\phi) + \sin(2\omega_0 t + \phi) \right] = \{S_2(t)\} \quad (5) \end{aligned}$$

Las ecuaciones (4) y (5) constan de dos componentes : una de valor promedio y otra de alta frecuencia. Las componentes que interesan son las que representan el valor promedio de cada producto, por lo que es necesario utilizar un filtro Pasa-Bajas para eliminar las componentes no deseadas.

De esta manera, a la salida de los filtros Pasa-Bajas resultan términos proporcionales a las componentes Real e Imaginaria de la Función de Transferencia del sistema $H(j\omega_0)$:

Del producto $S_1(t)$ [Ec.(4)] queda :

$$\frac{1}{2} A_m |H(j\omega_0)| \cos(\phi) \quad \dots \quad \text{Componente Real}$$

Del producto $S_2(t)$ [Ec.(5)] queda :

$$\frac{1}{2} A_m |H(j\omega_0)| \sin(\phi) \quad \dots \quad \text{Componente Imaginaria}$$

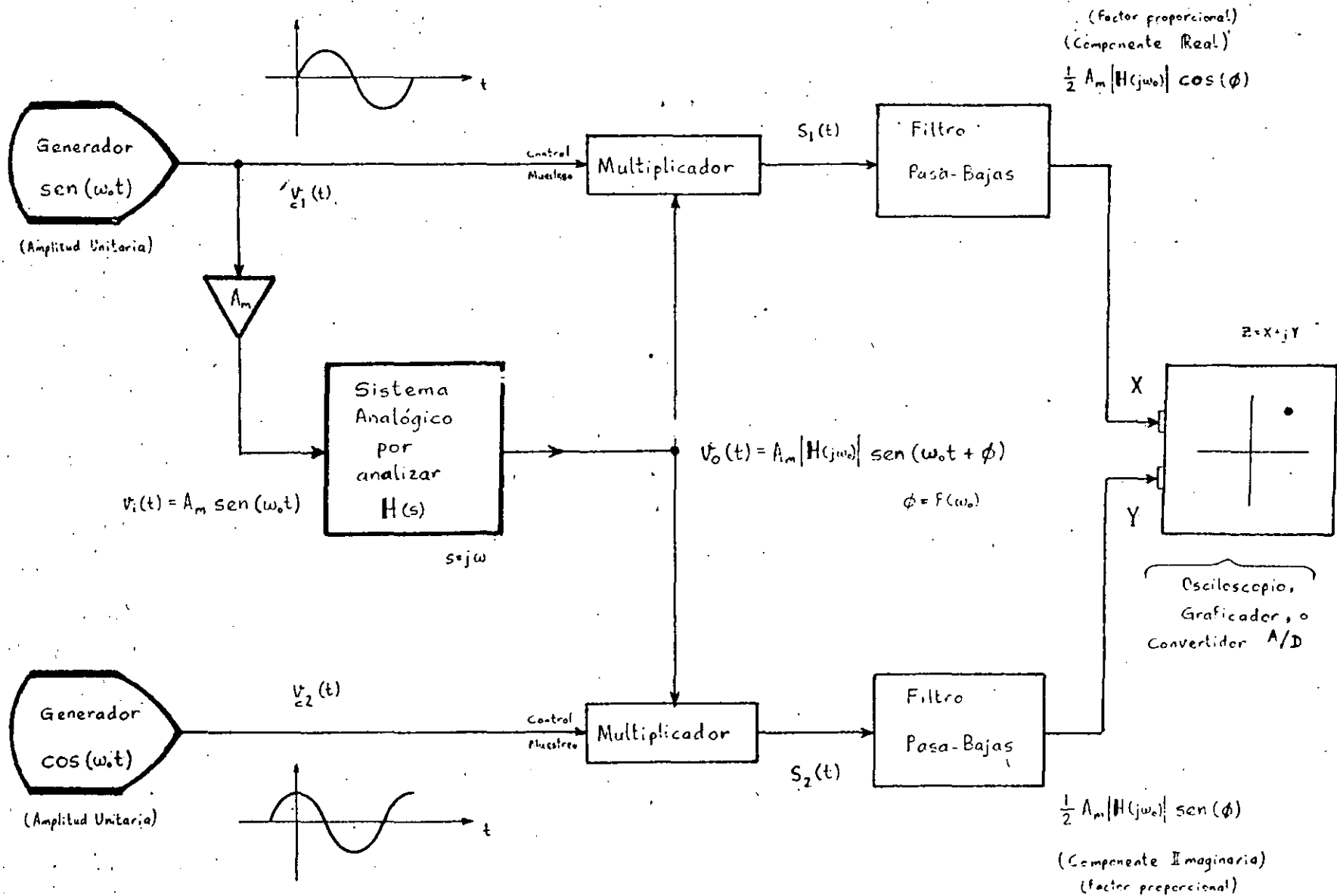
Si se conectan las salidas de los filtros Pasa-Bajas a los canales X (Re) y Y (Im) de un graficador u osciloscopio, en la pantalla aparecerá el extremo del Fasor de interés (una cantidad proporcional).

.....

En la { figura 5-8 } se muestra el diagrama del procedimiento para realizar lo anterior .

Diagrama de bloques conceptual del instrumento.

.....



{ figura 5-8 }

Diagrama de bloques conceptual del dispositivo

5.5.4.4

BASE TEORICO-MATEMATICA PARA LA IMPLEMENTACION FISICA DEL INSTRUMENTO Y SELECCION DE LA FUENTE DE SEÑAL

Para llevar a cabo la multiplicación de la Ecuación (í) por $\{ \sin(\omega_0 t) \}$ y por $\{ \cos(\omega_0 t) \}$ es necesario generar dos señales senoidales de la misma amplitud defasadas $\frac{\pi}{2}$ [radianes] (90°) para toda frecuencia ω_0 .

Nótese que si las señales que aparecen en la { figura 5-8 } no fuesen SENOIDALES sino CUADRADAS, defasadas $\frac{\pi}{2}$ [rad], las señales que aparecerían a la salida de los Filtros Pasa-Bajas, no sufrirían ningún cambio importante, ya que tan solo diferirían en el factor de proporcionalidad incorporado, que, como en el caso de las señales senoidales, se puede determinar fácilmente a partir de un análisis matemático : (Multiplicación con señales Cuadradas aproximadas por su serie de Fourier). Más adelante se demostrará esto con más detalle.

En el desarrollo del prototipo se optó por trabajar con señales cuadradas para las funciones $v_{c1}(t)$ y $v_{c2}(t)$ (ver figura 5-8), debido a que los circuitos necesarios para generar un defasaje de $\frac{\pi}{2}$ [rad] en la gama de frecuencias en las que opera el dispositivo, resultaron ser más económicos, sencillos y de comportamiento más estable, que los necesarios para generar dos señales senoidales defasadas el mismo ángulo.

THE LINEAR CONTROL CIRCUITS DATA BOOK FOR ENGINEERS

TEXAS INSTRUMENTS, 2ND. ED., PP. 145 , 387-391

FUNCTION GENERATOR SYSTEMS DATA BOOK

EXAR INTEGRATED SYSTEMS (MAY 1980)

INTERSIL DATA BOOK (PP. 5-232 , 5-240)

OPERATIONAL AMPLIFIERS , DESIGN AND APPLICATIONS

TOBEY-GRAEME-HUELSMAN (MC.GRAW HILL) , 1981

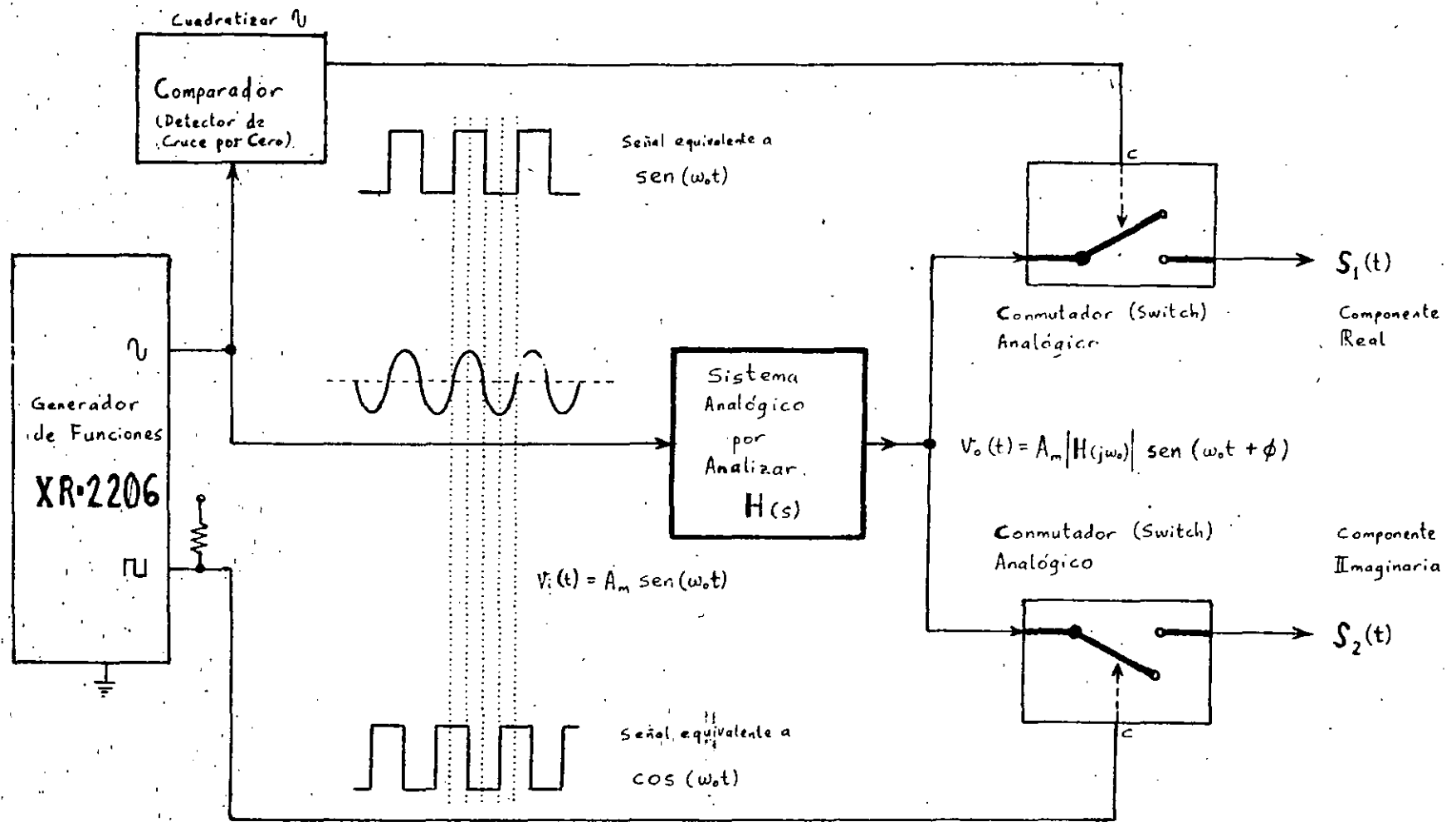
Con el fin de generar las dos señales cuadradas con el defasamiento deseado, se utilizó el Generador de Funciones monolítico (IC) " XR-2206 ".

- > MONOLITHIC FUNCTION GENERATOR XR-2206
- * EXAR'S DATA BOOK
- * EXAR'S OSCILLATOR PRODUCTS (HANDBOOK)

El circuito integrado XR-2206 , puede producir simultáneamente dos señales de la misma frecuencia pero de forma diferente : { Senoidal y Cuadrada } ó { Triangular y Cuadrada }. Para el instrumento se empleó la opción para generación de ondas { Senoidal y Cuadrada }, que como puede apreciarse en la { figura 5-9 } , son proporcionadas directamente (por el XR-2206) con el defasamiento requerido de $\frac{\pi}{2}$ [rad] = 90° .

Así, del XR-2206 se obtiene directamente una de las señales cuadradas { la que representa a $\cos(\omega t)$ } . La otra señal cuadrada necesaria { la que representa a $\sin(\omega t)$ } , se obtiene a la salida de un Comparador con umbral ó V_{REF} de cero Volt y cuya entrada es la señal senoidal proporcionada por el XR-2206 (Comparador en configuración : Detector de Cruce por Cero). La señal senoidal debe proveerse al comparador, sin componente de DC, es decir, como una señal pura de AC (0 Volt de offset).

Para multiplicar las señales cuadradas por la salida del "Sistema Analógico bajo análisis" , se empleó la configuración mostrada en la { figura 5-9 } , que consiste en la utilización de conmutadores analógicos (switches) controlados por las mismas señales cuadradas generadas, (acondionadas para entregar a las



{ figura 5-9 }

Diagrama de bloques del circuito para realizar la multiplicación de $v_o(t)$ por dos señales cuadradas defasadas :

$\frac{\pi}{2}$ [rad] = 90° entre sí

$$\{ v_o(t) = A_m |H(j\omega_0)| \sin(\omega_0 t + \phi) \}$$

entradas de control de los switches, niveles adecuados de voltaje : "1-lógico (+5V) : SW.closed" y "0-lógico (-5V) : SW.open").
 { CD-4016 Analog Switches [National Semiconductor Corp.] }.

De esta manera, los Switches analógicos muestrean a la señal de salida del "Sistema bajo análisis" :

$$v_o(t) = A_m |H(j\omega_o)| \text{ sen}(\omega_o t + \phi)$$

producida por la señal aplicada a la entrada del sistema :

$$v_i(t) = A_m \text{ sen}(\omega_o t)$$

que proviene del generador de funciones XR-2206 (pero acondicionada para entregarla sin componente de DC), y que se encuentra en fase con una de las dos señales cuadradas.

El resultado de las multiplicaciones se muestra a continuación :

- a) $S_1(t) =$ [Respuesta Senoidal del Sistema bajo análisis]
 * [Desarrollo en Serie Trigonométrica de Fourier de la ONDA CUADRADA que representa al SENO :
 " $\text{sen}(\omega_o t)$ "]

$$S_1(t) = \left[A_m |H(j\omega_o)| \text{ sen}(\omega_o t + \phi) \right] * \left[\frac{M}{2} + \frac{2M}{\pi} \left(\text{sen}(\omega_o t) + \frac{1}{3} \text{sen}(3\omega_o t) + \frac{1}{5} \text{sen}(5\omega_o t) + \frac{1}{7} \text{sen}(7\omega_o t) + \dots \right) \right]$$

$M =$ MAGNITUD DE LA ONDA CUADRADA

$\frac{M}{2} =$ COMPONENTE DE DC = VALOR PROMEDIO DE $f(t)$ (O.CUADRADA) DURANTE UN PERIODO

Considerar que $M = 1$ para la onda Cuadrada ya que es usada como una señal para conmutación (control lógico) de circuitos

{Muestreo = Dejar o No-Dejar pasar la señal} = Multiplicar por "1" ó por "0" la señal senoidal muestreada.

Empleando la identidad trigonométrica :

$$\text{sen}(\alpha) \text{sen}(\beta) = (1/2) \cos(\alpha-\beta) - (1/2) \cos(\alpha+\beta)$$

y tomando $\alpha = (\omega_0 t + \phi)$, se tiene :

$$\begin{aligned} S_1(t) = A_m |H(j\omega_0)| & \left\{ \frac{1}{2} \text{sen}(\omega_0 t + \phi) + \frac{1}{\pi} \left[\cos(\phi) - \cos(2\omega_0 t + \phi) \right] \right. \\ & + \frac{1}{3\pi} \left[\cos(-2\omega_0 t + \phi) - \cos(4\omega_0 t + \phi) \right] \\ & + \frac{1}{5\pi} \left[\cos(-4\omega_0 t + \phi) - \cos(6\omega_0 t + \phi) \right] \\ & \left. + \frac{1}{7\pi} \left[\cos(-6\omega_0 t + \phi) - \cos(8\omega_0 t + \phi) \right] + \dots \right\} \end{aligned}$$

Considerando que : $\cos(-\theta) = +\cos(\theta)$

se tiene para los términos :

$$\cos(-a+b) = \cos(-(a-b)) = \cos(a-b)$$

entonces $S_1(t)$ queda finalmente :

$$\begin{aligned} S_1(t) = A_m |H(j\omega_0)| & \left\{ \frac{1}{2} \text{sen}(\omega_0 t + \phi) + \frac{1}{\pi} \left[\cos(\phi) - \cos(2\omega_0 t + \phi) \right] \right. \\ & + \frac{1}{3\pi} \left[\cos(2\omega_0 t - \phi) - \cos(4\omega_0 t + \phi) \right] \\ & + \frac{1}{5\pi} \left[\cos(4\omega_0 t - \phi) - \cos(6\omega_0 t + \phi) \right] \\ & \left. + \frac{1}{7\pi} \left[\cos(6\omega_0 t - \phi) - \cos(8\omega_0 t + \phi) \right] + \dots \right\} \end{aligned}$$

De esta expresión el único término que no varía con el tiempo " t " (término constante de DC para una frecuencia angular ω_0) es :

$$\frac{1}{\pi} A_m |H(j\omega_0)| \cos(\phi)$$

Recordar que el Angulo de Fase ϕ es función de la frecuencia ω_0 , es decir : $\phi = f(\omega_0) = \phi(\omega_0)$

b) $S_2(t) =$ [Respuesta Senoidal del Sistema bajo análisis]
 * [Desarrollo en Serie Trigonométrica de Fourier de la ONDA CUADRADA que representa al COSENO :
 " $\cos(\omega_0 t)$ "]

$$S_2(t) = \left[A_m |H(j\omega_0)| \sin(\omega_0 t + \phi) \right] * \left[\frac{M}{2} + \frac{2M}{\pi} \left(\cos(\omega_0 t) - \frac{1}{3} \cos(3\omega_0 t) + \frac{1}{5} \cos(5\omega_0 t) - \frac{1}{7} \cos(7\omega_0 t) + \dots \right) \right]$$

$M =$ MAGNITUD DE LA ONDA CUADRADA

$\frac{M}{2} =$ COMPONENTE DE DC = VALOR PROMEDIO DE $f(t)$ (O.CUADRADA) DURANTE UN PERIODO

Considerar que $M = 1$ para la onda Cuadrada ya que es usada como una señal para conmutación (control lógico) de circuitos {Muestreo = Dejar o No-Dejar pasar la señal} = Multiplicar por "1" ó por "0" la señal senoidal muestreada.

Empleando la identidad trigonométrica :

$$\sin(\alpha) \cos(\beta) = (1/2) \sin(\alpha + \beta) + (1/2) \sin(\alpha - \beta)$$

y tomando $\alpha = (\omega_0 t + \phi)$, se tiene :

$$S_2(t) = A_m |H(j\omega_0)| \left\{ \frac{1}{2} \text{sen}(\omega_0 t + \phi) + \frac{1}{\pi} \left[\text{sen}(\phi) + \text{sen}(2\omega_0 t + \phi) \right] \right. \\
- \frac{1}{3\pi} \left[\text{sen}(-2\omega_0 t + \phi) + \text{sen}(4\omega_0 t + \phi) \right] \\
+ \frac{1}{5\pi} \left[\text{sen}(-4\omega_0 t + \phi) + \text{sen}(6\omega_0 t + \phi) \right] \\
\left. - \frac{1}{7\pi} \left[\text{sen}(-6\omega_0 t + \phi) + \text{sen}(8\omega_0 t + \phi) \right] + \dots \right\}$$

Considerando que : $\text{sen}(-\theta) = -\text{sen}(\theta)$

y factorizando, se tiene para los términos :

$$\begin{aligned} [\text{sen}(-a+b) + \text{sen}(c+d)] &= [\text{sen}(-(a-b)) + \text{sen}(c+d)] \\ &= [-\text{sen}(a-b) + \text{sen}(c+d)] \\ &= - [\text{sen}(a-b) - \text{sen}(c+d)] \end{aligned}$$

entonces $S_2(t)$ queda finalmente :

$$S_2(t) = A_m |H(j\omega_0)| \left\{ \frac{1}{2} \text{sen}(\omega_0 t + \phi) + \frac{1}{\pi} \left[\text{sen}(\phi) + \text{sen}(2\omega_0 t + \phi) \right] \right. \\
+ \frac{1}{3\pi} \left[\text{sen}(2\omega_0 t - \phi) - \text{sen}(4\omega_0 t + \phi) \right] \\
- \frac{1}{5\pi} \left[\text{sen}(4\omega_0 t - \phi) - \text{sen}(6\omega_0 t + \phi) \right] \\
\left. + \frac{1}{7\pi} \left[\text{sen}(6\omega_0 t - \phi) - \text{sen}(8\omega_0 t + \phi) \right] - \dots \right\}$$

De esta expresión el único término que no varía con el tiempo " t " (término constante de DC para una frecuencia angular ω_0) es :

$$\frac{1}{\pi} A_m |H(j\omega_0)| \text{sen}(\phi)$$

Recordar que el Angulo de Fase ϕ es función de la frecuencia ω_0 , es decir: $\phi = f(\omega_0) = \phi(\omega_0)$.

Resumiendo :

De las expresiones anteriores, los únicos términos que interesan son :

$$\frac{1}{\pi} A_m |H(j\omega_0)| \cos(\phi) \quad \text{y} \quad \frac{1}{\pi} A_m |H(j\omega_0)| \text{sen}(\phi)$$

por lo que es necesario eliminar los términos restantes (de alta frecuencia), mediante filtros Pasa-Bajas.

Las salidas de los filtros Pasa-Bajas serán proporcionales a :

$$|H(j\omega_0)| \cos(\phi) \quad \text{y} \quad |H(j\omega_0)| \text{sen}(\phi)$$

COMPONENTE REAL
CANAL X

COMPONENTE IMAGINARIA
CANAL Y

que al aplicarse respectivamente a los canales X e Y de un graficador u osciloscopio, originarán un punto cuyas coordenadas son proporcionales a las que tiene el extremo del Fasor correspondiente a :

$$|H(j\omega_0)| \angle H(j\omega_0)$$

{ Función de Transferencia del Sistema bajo análisis }

En el instrumento diseñado, los valores de las componentes, procedentes de los filtros Pasa-Bajas (voltajes DC), serán leídos

por dos entradas analógicas contiguas del Convertidor Analógico/Digital del sistema SDM88-PC (ADC-0809), para posteriormente procesar digitalmente esa información (en la microcomputadora), compensando factores de proporcionalidad y haciendo los escalamientos pertinentes para mostrar al usuario, en forma gráfica y numérica, las curvas de Respuesta en frecuencia (Magnitud y Angulo de Fase \Rightarrow Función de Transferencia), del sistema bajo análisis.

5.5.4.5

ANALIZADOR DIGITAL DE RESPUESTA EN FRECUENCIA : DESCRIPCION DEL " HARDWARE " DE CONTROL

La manera más rápida de obtener un prototipo depurado y operando es " una pequeña parte a la vez ". Debido a que los problemas tienden a interactuar, tratar de depurar una sección muy grande de una sola vez, puede ser frustrante y consumir demasiado tiempo.

Por tanto, a fin de proceder de una manera sistemática en el diseño e implementación del prototipo, se tomó como soporte de *Software* y como *Hardware* base, al Sistema de Desarrollo SDM88-PC, (que es una arquitectura, ya probada y depurada, controlada por microprocesador que cuenta con todos los periféricos (memoria y puertos I/O) necesarios para interactuar con, y en su caso controlar a, otros sistemas "satélite", según especificaciones dadas (programadas) por el usuario). A partir de este *Hardware* "base", se fueron añadiendo, probando y evaluando "de una en una", las etapas que conforman el instrumento de aplicación, hasta obtener la versión final completa; esto, con el fin de facilitar la identificación de errores y su corrección, así como la calibración de las distintas secciones del instrumento.

Conforme se iba obteniendo una sección de *Hardware* funcionando, se escribía y depuraba un módulo de *Software* que usase o manejase ese módulo de *Hardware*, si éste podía ser controlado digitalmente; si, en cambio, dicho módulo era puramente analógico, se probaba por separado aislándolo de las secciones ya depuradas, y, una vez caracterizada y calibraba su respuesta (con ayuda de osciloscopio, generador de funciones, voltímetro, etc.), se integraba al circuito base ya implementado y probado, para inmediatamente volver a examinar la operación de todo el circuito después de la inclusión de la nueva sección dada de alta.

.....

El *Hardware* consta de varias etapas que se encargarán fundamentalmente :

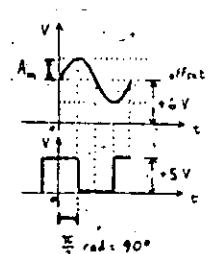
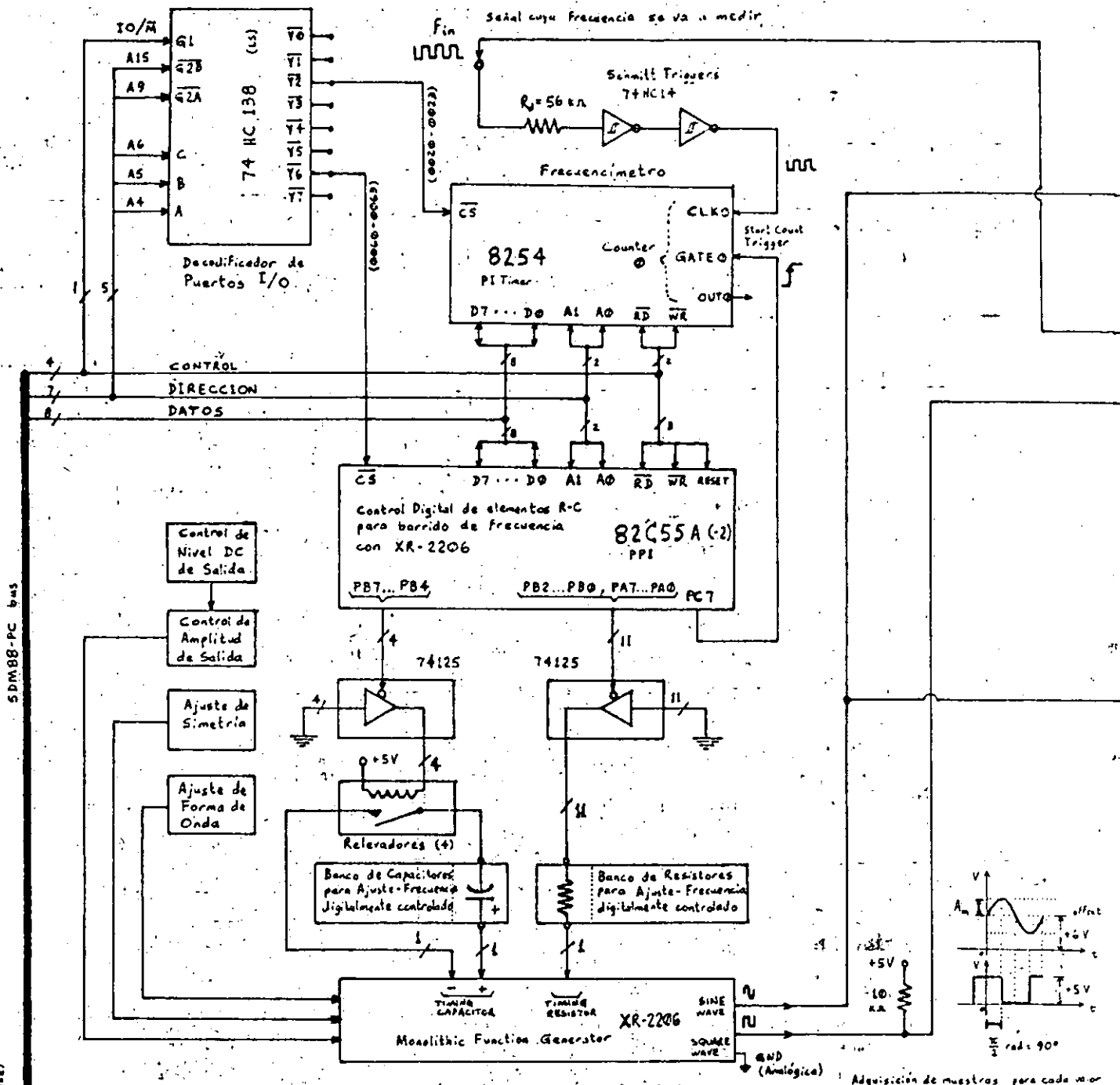
- 1) del suministro y acondicionamiento de la señal senoidal de prueba aplicada a la entrada del circuito o sistema bajo análisis
- 2) de la realización de un barrido de frecuencia con esa señal sobre el circuito (sistema) por analizar
- 3) del muestreo, filtrado, amplificación y adecuación de la señal de salida del sistema probado, a fin de poder digitalizarla con el convertidor A/D del SDM88-PC
- 4) de la medición de frecuencia de la señal de prueba aplicada, durante el proceso de análisis interactivo del usuario sobre las curvas de respuesta graficadas en la microcomputadora

La información digital será adquirida, almacenada secuencialmente y transmitida hacia la microcomputadora en forma serial, por la interface de *Hardware* del sistema SDM88-PC , para su posterior procesamiento, escalamiento y despliegue en la microcomputadora.

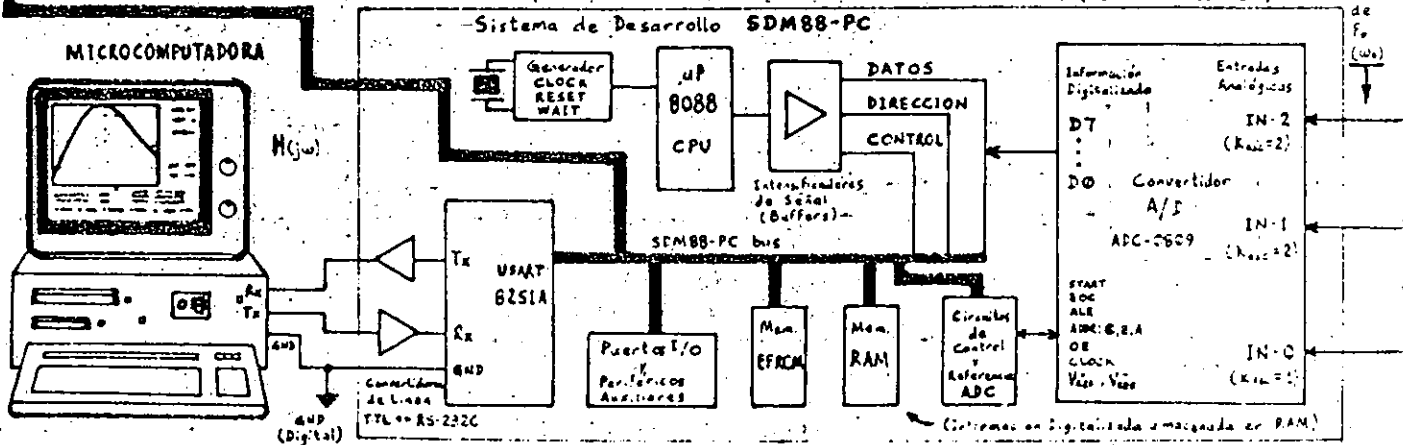
A continuación se muestra un diagrama modular funcional completo del instrumento : "Analizador Digital de Respuesta en Frecuencia" { figura 5-10 } (Aplicación para el sistema SDM88-PC)

ANALIZADOR DIGITAL DE RESPUESTA EN FRECUENCIA
Magnitud y Angulo de Fase (Bode → Nyquist)

Aplicación para el Sistema Digital de Desarrollo: **SDM88-PC**
Agustín Eduardo Álvarez Vaca (1989)



Gráficos Interactivos: (Magnitud y Angulo de Fase)



Para que un graficador u osciloscopio (canales X,Y) dibuje la traza polar o bien para que se puedan dibujar las trazas de Magnitud y Fase en la pantalla de la microcomputadora, se requiere llevar a cabo un "Barrido de Frecuencia", partiendo de un valor inicial " $f_1 \cdot (\omega_1)$ " a otro valor final " $f_2 \cdot (\omega_f)$ ".

Para realizar la prueba de Respuesta en frecuencia, se debe disponer de generadores de señal senoidal adecuados. Esta señal debe estar razonablemente libre de armónicas o distorsión. Ahora, para crear un instrumento autónomo, supervisado y sincronizado en sus funciones por microprocesador, el Generador de Funciones debe estar accesible en forma de Circuito Integrado a fin de tener un mayor control sobre él, cosa que sería más complicada con un generador de señal externo (aparato).

Con estas consideraciones en mente, se escogió para el diseño al Generador de Funciones Monolítico " XR-2206 " , como fuente de señal (senoidal) para realizar el barrido de frecuencia sobre el sistema (circuito) bajo análisis, agregándole la circuitería analógica y digital necesaria para que el SDM88-PC pueda controlarlo digitalmente.

El Generador de Funciones Monolítico (en circuito integrado) XR-2206, puede producir onda Senoidal (y Cuadrada) de buena calidad (Baja distorsión armónica senoidal, típicamente 0.5%) y susceptible de ajuste para lograr buena simetría y forma de onda, además de poder controlarse la amplitud de la señal (senoidal) de salida y hacerse un ajuste fino del nivel de offset (DC) alrededor del punto medio de los niveles de voltaje aplicados a las terminales de fuente de alimentación para el circuito ($\{0, +12V, \dots, 26V_{max}\}$ configuración fuente unipolar ó $\{+12, -12V\}$ fuente bipolar). En el caso del ADRF , se usó la configuración de fuente unipolar con un voltaje de polarización de +12 V , por lo que la señal entregada por el XR-2206 tiene un offset DC de 6 V .

La amplitud de la señal senoidal de salida puede ajustarse en un rango de hasta 3 V pico (swing de 6 V pico a pico), (aprox. 60 mV pico por cada k Ω aumentado al resistor de control de amplitud {hasta 50 k Ω }). La amplitud de la onda cuadrada depende de la fuente de alimentación a que se conecte su terminal de salida a través de un resistor de *pull-up*; el swing típico de salida es de 12 V pico a pico, pero en el caso del ADRF fue de 0 a +5 V pues la salida de onda cuadrada se conectó a la fuente de +5 V mediante un resistor de 10 k Ω .

La Frecuencia de operación para el XR-2206, puede ser seleccionada-ajustada externamente, en un rango de 0.01 Hz a 1 MHz :- { Máx.frec. 1MHz con C=1nF y R1=1k Ω }, { Min.frec. 0.01Hz con C= 50 μ F y R1=2M Ω } ... (frecuencia de señal de salida =

$$f_o = \frac{1}{R_1 C} \text{ [Hz] con un factor de precisión de } \pm 2\% \text{) .}$$

En el ADRF, la frecuencia de operación para el XR-2206 es seleccionada bajo programación por el SDM88-PC. Esto se logra a través de una circuitería digital intermedia de control (8255, 74125, relevadores disparados por niveles TTL), que se encarga de conectar y/o aislar Resistores y Capacitores con valores ponderados en forma de múltiplos, que, concentrados como "Bancos de elementos", determinan la frecuencia de oscilación (operación) del XR-2206. De esta manera, la frecuencia del generador, es controlada digitalmente (por Software).

Para realizar un barrido de frecuencia, basta mandar a través de los puertos paralelos de salida del 8255, la información de control (bytes para ajuste de frecuencia en XR-2206) para conmutar (switchear) Resistores y Capacitores de sendos bancos de dichos elementos conectados al IC XR-2206 para así, fijar su frecuencia de oscilación (operación). El proceso de conmutación o *switcheo* se efectúa en forma escalonada (por rangos); de este modo se

tienen 2047 posibilidades de conexión factibles para los Resistores : (00000000001 a 11111111111) (2047 > 11 bits) para cada uno de los 4 rangos fijados por los capacitores de temporización : (puede haber 2 a 11 resistores de temporización conectados en paralelo y a GND).

Se usa un PPI 82C55A como puerto paralelo de control para suministrar la "palabra (Word) de Frecuencia" al XR-2206, ya que es un circuito de operación muy estable que mantiene (latcheados) en sus puertos de salida los niveles de voltaje suministrados a través del Bus de Datos por escritura direccionada { WRite _ OUT } y aísla esos niveles de toda perturbación debida a la actividad (cambios de nivel) existente en dicho Bus (canal) ; así, la estabilidad en los niveles de voltaje y el aislamiento al ruido de conmutación digital, se refleja en la calidad (estabilidad en frecuencia y limpieza) de la señal analógica de salida entregada por el XR-2206.

En la { figura 5-11 } se muestra un diagrama detallado del circuito utilizado para el control digital de la frecuencia de la señal de salida (senoidal y cuadrada) en el XR-2206.

En la figura se observa que existen 4 capacitores de temporización, cada uno de los cuales, (o varios en paralelo), puede(n) ser conectado(s) al XR-2206 (pin 5,6 = timing capacitor) para definir un nuevo rango de frecuencia de operación :

De manera aproximada y (+/- cuantitativa) :

1	[microFarad]	=>	0.5	→	500	[Hz]
0.1	[microFarad]	=>	5	→	5000	[Hz]
0.01	[microFarad]	=>	50	→	50000	[Hz]
0.001	[microFarad]	=>	500	→	500000	[Hz]

Por esta razón los resistores de mayor valor se asocian a los bits menos significativos de un byte (igual que los capacitores de mayor valor), porque son, los que, con su variación, determinan menores frecuencias de operación.

De esta manera, un barrido de frecuencia podrá hacerse de bajas a altas frecuencias, con la variación progresiva (incremental) desde los bits menos significativos a los más significativos.

Los capacitores se conectan entre el pin 5 y el 6 del XR-2206 (mediante relevadores controlados digitalmente con buffer 74125); los resistores se conectan entre el pin 7 y GND (usando el buffer 74125 como trayectoria a GND: conexión establecida o flotada ↑ Z).

La información digital para el control de los bancos de elementos de temporización, es proporcionada a través de puertos paralelos de salida :

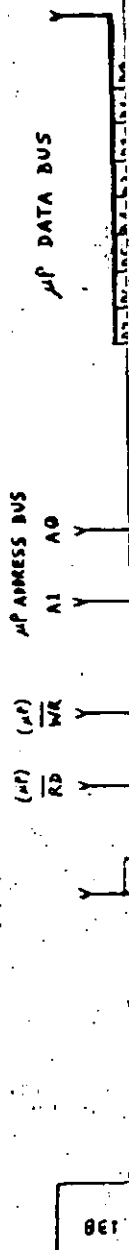
I/O Address	Data Bus							
	D7	D6	D5	D4	D3	D2	D1	D0
0060 h → LSByte	R7	R6	R5	R4	R3	R2	R1	R0
0061 h → MSByte	C3	C2	C1	C0	--	R10	R9	R8

* Nivel en bits : {High}=activa elemento R ó C ; {Low}=desactiva

El puerto paralelo de salida utilizado fue :

* Un "Programmable Peripheral Interface" 82C55A(-2) programando sus 3 puertos paralelos de 8 bits, como OUTPUT. Estas salidas se conectan a las entradas de control de los 74125 (considerando que en éstos últimos: "Output is OFF (disabled) when <control> is high" (por eso en programa de control, debe efectuarse un { not AL } antes de { out DX, AL }).

Aquí se usaron 2 puertos paralelos (PB_MSByte) y (PA_LSByte), uno para cada byte de la Word de control que fija una frecuencia de oscilación para el XR-2206 .



PALABRA DE CONTROL QUE ESTABLECE FRECUENCIA DE OPERACION EN XR-2206 :

|Data Bus||Output Port 82C55A||Control 74125||Elem. temporización controlado|

MSByte:

D7	PB7	pin	(1)	C3 = 0.001 μ F
D6	PB6	pin	(4)	C2 = 0.01 μ F
D5	PB5	pin	(10)	C1 = 0.1 μ F
D4	PB4	pin	(13)	C0 = 1.0 μ F
D3	PB3	pin	(1)	-- ---
D2	PB2	pin	(4)	R10 = 1.953 k Ω
D1	PB1	pin	(10)	R9 = 3.906 k Ω
D0	PB0	pin	(13)	R8 = 7.812 k Ω

LSByte:

D7	PA7	pin	(1)	R7 = 15.625 k Ω
D6	PA6	pin	(4)	R6 = 31.25 k Ω
D5	PA5	pin	(10)	R5 = 62.5 k Ω
D4	PA4	pin	(13)	R4 = 125 k Ω
D3	PA3	pin	(1)	R3 = 250 k Ω
D2	PA2	pin	(4)	R2 = 500 k Ω
D1	PA1	pin	(10)	R1 = 1 M Ω
D0	PA0	pin	(13)	R0 = 2 M Ω

CAPACITORES: Tantalio y Mylar. RESISTORES: Pr.1% Película Metálica
Capacitores conectados de menor a mayor valor (ya que $f=k(1/C)$),
y aumentando en múltiplos de 10 a partir de 0.001 μ F .

Resistores conectados de menor a mayor => de mayor a menor
Conductancia $\{G=1/R\}$ (ya que $f=k(1/R)=kG$), y aumentando en
múltiplos de 2 a partir de 1.9531 k Ω .

De esta manera, se podrá generar a la salida del XR-2206 una
onda senoidal y otra cuadrada, de frecuencia variable: "Barrido de
Frecuencia" de bajas a altas frecuencias.

pin (2) : onda senoidal (o triangular)

pin (11) : onda cuadrada (defasada 90° con respecto a la senoidal)

La señal senoidal entregada por el XR-2206 , (con un offset DC de 6 V), es entonces acondicionada haciéndola pasar por un *Buffer* de Alta impedancia de entrada (Amplificador Operacional en configuración "*seguidor de voltaje*") y un circuito supresor de componente de DC ("especie" de Filtro Pasa-Altas Activo {con Amp.Op.}), para obtener una senoidal AC pura.

Esta senoidal AC , es alimentada al circuito o sistema analógico bajo análisis, como señal de Entrada (señal de prueba).

De esta señal senoidal (AC) de Entrada se obtiene el valor máximo [Volt pico] mediante un circuito "Detector de Valor Pico Positivo" , que es un arreglo a base de Amplificadores Operacionales, diodos, Capacitor y Resistencia de Descarga (cte. de tiempo elevada), con el cual se mantiene, a su salida, el nivel máximo de voltaje pico de una señal alterna (no necesariamente periódica o regular) que se conecte a su entrada. El capacitor queda cargado al valor más positivo de la Entrada y gracias a una resistencia de descarga convenientemente seleccionada y conectada en paralelo al capacitor, el circuito Detector de Pico puede efectivamente "seguir a la señal de entrada", manteniendo al capacitor cargado al valor pico sólo el tiempo necesario para que, en el caso del ADRF, este valor de DC pueda ser leído por una de las entradas analógicas de un Convertidor A/D { ADC-0809...canal IN0 }. El valor de R_d y C_p , debe calcularse para obtener una constante de tiempo lo suficientemente larga [seg.] para satisfacer los requerimientos de captura del nivel DC máximo detectado en un momento determinado.

Por otra parte, la señal senoidal AC , es también cuadratizada, empleando un Comparador en configuración "Detector de Cruce por Cero". Dicho comparador debe ser de alta velocidad (respuesta rápida) a fin de evitar errores de defasamiento adicional con respecto a la señal cuadrada obtenida directamente

del XR-2206, (el defasamiento entre ambas señales debe ser lo más próximo posible a 90°). Por ello se usa un Comparador diferencial de alta velocidad "LM 361" con tiempos de retardo típicos de de 3 [ns] a 20 [ns] max.; cuenta además con salidas TTL complementarias de máximo sesgo (*slew rate*) y puede ser operado a partir de fuentes para Amplificadores Operacionales (± 12 V en el caso del ADRF). Aunque las salidas del comparador son niveles TTL, se conectan a la fuente digital (+5V) mediante resistores de *pull-up*, a fin de que su rango de variación esté entre 0 y 5 V.

Así, se cuenta con 2 señales cuadradas, defasadas 90° entre sí: una, proveniente del comparador (senoidal cuadratizada), que representa a $\{\sin(\omega_0 t)\}$, y otra, proveniente directamente del Generador de Funciones XR-2206, que representa a $\{\cos(\omega_0 t)\}$. Estas señales varían entre 0 y +5 Volt, por lo que se hacen pasar a través de un arreglo de Amplificadores Operacionales de Bajo Ruido (TL-074), a fin de multiplicarlas por +2 y agregarles un offset de -5V, esto es, $V_o = 2V_i - 5$, para que así el rango de variación esté entre -5V y +5V, que son los valores de voltaje que harán conmutar a los Switches Analógicos CD-4016, al aplicarlos a sus entradas de control: (-5V=switch abierto \rightarrow señal NO PASA), (+5V=switch cerrado \rightarrow señal PASA).

Para el muestreo de la señal analógica de salida del sistema bajo análisis, se emplearon Conmutadores Analógicos (*Analog Bilateral Switch*) CD-4016; el circuito integrado cuenta con 4 switches que pueden ser usados combinados o por separado. En cada switch, cuando el voltaje de control iguala al voltaje del pin 7 (V_{SS}), el switch permanece apagado (OFF) y se comporta como una impedancia muy alta ($10^{12} \Omega$); en cambio, cuando el voltaje de control iguala el voltaje del pin 14 (V_{DD}), el switch se enciende (ON) y se comporta casi como un resistor lineal bilateral de 300Ω . La resistencia de encendido (R_{ON}) depende ligeramente de la

polaridad y magnitud de los voltajes que están siendo muestreados (switcheados). Las señales que pasen a través del switch, pueden ser analógicas o digitales, pero nunca deben exceder el voltaje V_{DD} aplicado al IC, ni valer menos del voltaje V_{SS} ; dicho de otro modo, el switch puede manejar señales digitales o analógicas de cualquier valor o polaridad, siempre y cuando sus voltajes permanezcan dentro de los límites fijados por las fuentes de alimentación aplicadas al IC. A ± 5 V, la frecuencia máxima de señal que puede aplicarse al switch es de 5 MHz. Los niveles de referencia o voltajes de alimentación del CD-4016 deben ser muy estables y simétricos (no menores a 5 V), por lo que se usaron reguladores variables de voltaje: LM317T (positivo) y LM337T (negativo), para tener mayor control sobre el ajuste de los voltajes de polarización del IC.

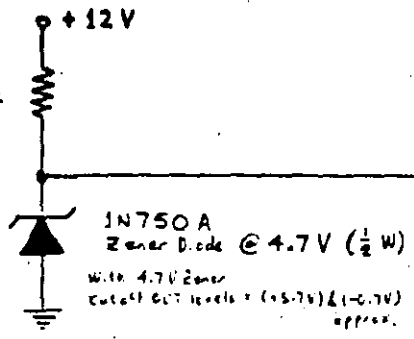
Aunque el CD-4066 es una versión mejorada del CD-4016, pues tiene una menor R_{ON} (90Ω), el CD-4016 sigue siendo la mejor opción cuando se tienen aplicaciones que requieran mayor impedancia de aislamiento en estado OFF (*ultralow-leakage*) (menor fuga de corriente), como en circuitos de *Sample-Hold* o en Muestreo de señales, como en el caso del ADRF.

Cabe señalar que, gracias a que se cuenta con varios rangos y subrangos para el barrido de frecuencia, se podrá caracterizar el funcionamiento del circuito bajo prueba en una amplia gama de valores de frecuencia de interés práctico { desde 20 Hz hasta unos 600 kHz ... valor límite estable determinado por el generador de la señal de prueba (XR-2206) y la frecuencia de conmutación de Switches Analógicos para el muestreo (CD-4016 operando a ± 5 V); sin embargo, empleando Switches Analógicos LF11331 o LF13331 (*Quad SPST JFET Analog Switches, normally open & with disable*), fabricados por *National Semiconductor Corp.*, se podrían lograr frecuencias estables mayores para el barrido de análisis (valores cercanos a 1 MHz debido a la limitación impuesta por XR-2206) }.

All R's Ω @ $\frac{1}{4}$ W
 All \perp refer to Analog GND

$$I_z = \frac{V - V_z}{R} = \frac{12 - 4.7}{1.2k} = 6.1 \text{ mA}$$

Zener to set Voltage Cutoff Output levels



do not connect this point to +5V DC Digital Power Supply
 $\approx 4.8V - 4.6V$

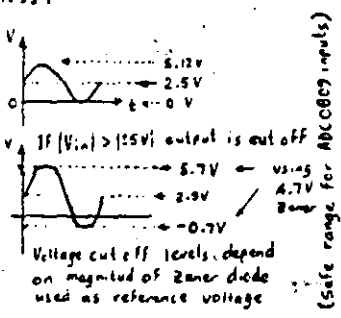
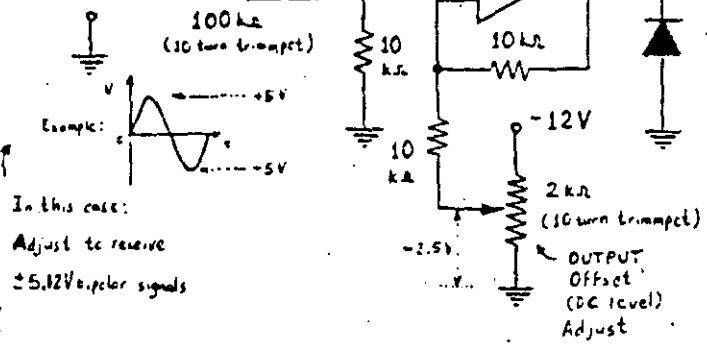
Analog Input Adjustable Bipolar Range

OUTPUT Amplitude Adjust

$\frac{1}{2}$ LF353

IN914

To ADC0809 Analog Input

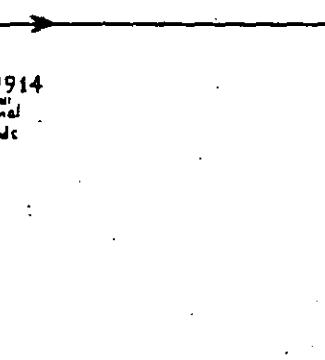
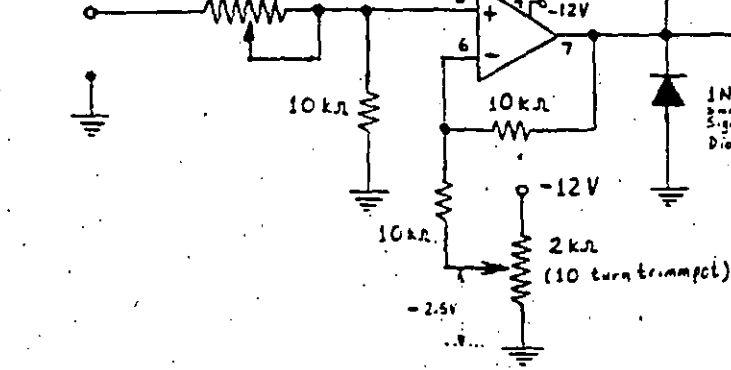


Analog Input Adjustable Bipolar Range

$\frac{1}{2}$ LF353

IN914

To ADC0809 Analog Input



Así, se tiene para el Adecuador de Señal :

Voltaje de Entrada	Voltaje de Salida
+5.12 V	+5.12 V
0.00 V	+2.56 V
-5.12 V	0.00 V

Si por alguna razón se excede este rango de niveles de voltaje a la entrada, el circuito Adecuador de Señal deberá truncar la señal (a su salida), para, de esa manera, evitar daño a las entradas analógicas del convertidor A/D .

En caso de que se requiera que el rango de las señales de entrada sea diferente, se pueden emplear circuitos de atenuación o amplificación antes del Adecuador de Señal correspondiente, o bien calibrar este circuito para que acepte un rango diferente de señales de entrada y las escale entre 0 y +5.12 V . Esto se logra mediante los potenciómetros de precisión (*trimmpots*) que pueden apreciarse en el diagrama. El procedimiento de calibración es el siguiente :

- 1) Aislar del sistema al circuito Adecuador de Señal
- 2) Polarizar al circuito Adecuador y aplicar a su entrada una señal bipolar que abarque la totalidad del rango que se desea dejar pasar (p.ej. voltaje pico a pico de una señal senoidal AC proporcionada por un generador de funciones externo)
- 3) Manipular el *trimmpot* (100 k Ω) para ajustar la Amplitud Pico a Pico de la señal a la salida del circuito Adecuador, al rango permisible deseado ([± 5.12 V] en este caso)
- 4) Centrar la señal bipolar (alterna) adicionándole un offset DC igual a la mitad del rango total permisible (*trimmpot* de 2 k Ω) ... { p.ej. si se conecta la entrada del circuito Adecuador a GND, se verá a su salida un voltaje de DC (línea en osciloscopio), que deberá desplazarse mediante ajuste con el *trimmpot*, hasta un valor de $5.12/2 = +2.56$ V }
- 5) Repetir pasos 3 y 4 hasta obtener el resultado deseado

- 6) Aumentar la amplitud de la señal de prueba a la entrada del circuito Adecuador para verificar que efectivamente todo exceso resulte truncado a la salida, a niveles seguros que no lleguen a dañar las entradas del circuito que se intenta proteger (ADC después del Adecuador, en este caso)
- 7) Variar la frecuencia de la señal de entrada y observar el desempeño del circuito Adecuador con la frecuencia (observar el efecto sobre la señal original a la salida del circuito para determinar si se satisfacen los requerimientos esperados); en el caso del ADRF este factor no es crítico pues prácticamente se está trabajando con niveles DC a la salida de los filtros Pasa-Bajas
- 8) Una vez calibrado el circuito Adecuador de Señal, integrarlo al sistema electrónico dentro del cual operará y observar el funcionamiento global de dicho sistema después de la adición

Cab: mencionar que, para la gran mayoría de las etapas del ADRF que requieren de Amplificadores Operacionales, se empleó el circuito integrado " LF353 " (*Wide Bandwidth Dual JFET Input Operational Amplifier*) fabricado por *National Semiconductor Corp.* Estos Amp.Op. de tecnología BI-FET IITM, son de entradas JFET por lo que tienen alta impedancia de entrada ($10^{12}\Omega$) y no cargan a los circuitos que los preceden; son de respuesta rápida, bajo costo y vienen dos dentro de cada IC (8-pin); requieren baja corriente de polarización (3.6mA) y aún así mantienen gran ancho de banda (4 MHz) y rápido sesgo (*Slew Rate*) ($13\text{ V}/\mu\text{s}$); además, las entradas JFET hacen que las corrientes de entrada de polarización (bias) y offset sean muy bajas (Low Input bias current = 50 pA), (Low Input noise voltage = $16\text{ nV}/\sqrt{\text{Hz}}$, & current = $0.01\text{ pA}/\sqrt{\text{Hz}}$) y se tengan bajas fugas o corrimientos indeseados (drift) en offset de voltaje. Este Amp.Op. es de "Bajo ruido" y tiene baja distorsión armónica ($< 0.02\%$ @ ganancia 10 y BW 20Hz-20kHz).

El Contador { Counter 0 } del 8254 es programado en modo 1 :
"Hardware Retriggerable one-shot".

En Modo 1 : (Min.Count=1 ; Max.Count=0=2¹⁶=65536)

* El control del pulso de disparo (Start-count trigger), lo realiza el microprocesador con 1 bit, a través de un puerto paralelo (82C55A-2 en este caso).

* Se genera una ventana de tiempo muy precisa con duración de 1.0 [s] , para sensar el # de pulsos que alimentan al reloj del contador en un segundo :

$$\text{Frecuencia} = (\#\text{pulsos}) / (1 \text{ seg.}) = [\text{Hz}]$$

* Para la temporización por ventanas, se emplea la rutina "NMIhandler" residente en EPROM, que actualiza cada 1/100[s] una localidad de memoria etiquetada como TIME y que conserva la cuenta periódicamente actualizada, para efectos de término-de-conteo por comparación mediante poleo ("polling"). Esta rutina se ejecuta cada centésima de segundo ya que el pin 17 del microprocesador 8088 { NMI = Non-Maskable Interrupt = Interrupción NO MASCARABLE } es disparado por una señal de CK con frecuencia = 100 [Hz], generada por el {Counter 2} del Timer 8254. La duración de la ventana de tiempo se mide en centésimas de segundo (1/100[s]), y en este caso es de 1[s]=100/100[s] , para la medición de frecuencia de la señal de entrada (cuenta ≤ 65535), y de 0.1[s]=10/100[s] , para la ventana que determina el número de ciclos completos de 65535 cuentas que dió el contador.

* Cálculo del factor de entrada para la rutina "NMIhandler":

|- Duración -| - # de {1/100[s]} -| - Cálculo -| - Factor (cte)

			Duración
0.1 [s]	10 = 000Ah	0000h-000Ah =	FFF6h
1.0 [s]	100 = 0064h	0000h-0064h =	FF9Ch

Finalmente, el control se regresa a la rutina principal de control del SDM88-PC : "Manager Routine" , dejando al sistema preparado para recibir alguna nueva orden a través del puerto

serie de la microcomputadora.

Es entonces cuando el resultado puede leerse de memoria :

Segment: 0030h Offset:

Lect. Ventana 1s ... 0400h ... Counter0Freq (LSByte Counter0) {b0}

 0401h ... Counter0Freq (MSByte Counter0) {b1}

Lect. Ventana 0.1s . 0402h ... Counter0Freq (LSByte Counter0) {b2}

 0403h ... Counter0Freq (MSByte Counter0) {b3}

Para convertir la cuenta de frecuencia de hexadecimal a decimal :
deben encontrarse los equivalentes decimales de los bytes leídos
(para obtener el valor decimal de la lectura del contador) y
restar dicho valor de FFFFh (65535), ya que los contadores del
8254 son descendentes.

Lect.V(1s) = 65535 - Lectura decimal del Contador

 = 65535 - ((b1d)*256+(b0d))

 b1d y b0d son equivalentes decimales de bytes leídos

Lect.V(0.1s) = 65535 - Lectura decimal del Contador

 = 65535 - ((b3d)*256+(b2d))

 b3d y b2d son equivalentes decimales de bytes leídos

Frecuencia =

int [((Lect.V(0.1s))*10) / 65535] * 65535 + {Lect.V(1s)}

Ejemplo : Si la frecuencia a medir es 100000 [Hz] resultará :

Lectura contador : para Ventana de 1.0 [s] : 795Eh

 para Ventana de 0.1 [s] : D8EFh

b0=5Eh ; b1=79h ; b2=EFh ; b3=D8h

b0d=94 ; b1d=121 ; b2d=239 ; b3d=216 (equiv. decimales)

Lect.V(1s) = 65535 - (121*256+94) = 65535 - (31070) = 34465 pulsos
(nótese que la Lectura con la ventana de 1 [s] representa lo que
se pase de un múltiplo entero de 65535 , en este ejemplo sería :
100000 - 65535 = 34465 .)

$$\text{Lect. V}(0.1\text{s}) = 65535 - (216 \cdot 256 + 239) = 65535 - (55535) = 10000$$

pulsos

(nótese que esta lectura es la frecuencia real dividida entre 10 , por tanto, la máxima frecuencia posible a medir sin reciclamiento será : $65535 \cdot 10 = 655350 \text{ Hz}$)

Entonces, el cómputo de la frecuencia real será :

$$\begin{aligned} \text{Frecuencia} &= \text{int} [((10000) \cdot 10) / 65535] \cdot 65535 + \{34465\} \\ &= \text{int} [100000 / 65535] \cdot 65535 + 34465 \\ &= \text{int} [1.5259] \cdot 65535 + 34465 = 1 \cdot 65535 + 34465 \\ &= 65535 + 34465 \\ &= 100000 \text{ [Hz]} \end{aligned}$$

Otra forma de obtener el resultado (frecuencia decimal) es :

restando en hex y convirtiendo el resultado a decimal :

$$\text{Lect. V}(1\text{s}) = \text{FFFFh} - \{b1, b0\} = \text{XXXXh} \rightarrow \text{convertir a decimal}$$

$$\text{Lect. V}(0.1\text{s}) = \text{FFFFh} - \{b3, b2\} = \text{YYYYh} \rightarrow \text{convertir a decimal}$$

y aplicar la fórmula anterior para el cómputo de frecuencia.

+

Finalmente es importante señalar que los sistemas físicos (sistemas bajo análisis con el ADRF), tienen algún tipo de alinealidades. Por tanto, es necesario considerar cuidadosamente la amplitud de la señal senoidal de entrada (señal de prueba).

Si la amplitud de la señal de entrada es excesivamente grande, el sistema analizado tiende a saturarse y la prueba de Respuesta en Frecuencia da resultados inexactos. Por otro lado, una señal pequeña puede producir errores debidos a zona muerta. Por esta razón, hay que realizar una cuidadosa elección de la amplitud de la señal senoidal de entrada. Esto se logra con el Generador XR-2206, al manipular el potenciómetro de precisión (*trimmpot*) en el subcircuito de control de la Amplitud de salida, pudiéndose

ajustar ésta en un rango que va desde 60[mV] hasta 3[V] de voltaje pico (en la onda senoidal).

Es necesario muestrear la forma de onda de la salida del sistema bajo análisis para asegurarse de que su forma es sinusoidal y que el sistema está funcionando durante el periodo de prueba en la región lineal. La forma de onda a la salida del sistema no es sinusoidal (o aparece deformada) si éste está funcionando en una región no lineal.

+

El Mapa de Puertos I/O para el ADRF es :

SALIDA	DIRECCION	REGISTRO ACCESADO DEL PUERTO I/O
DECODIFICADOR	PUERTO I/O {hex}	
8254 {Programmable Interval Timer} :		
$\overline{Y2}$	0020	Counter0Freq {Contador de pulsos} (Frecuencímetro)
	0021	Counter 1 {disponible}
	0022	Counter 2 {disponible}
	0023	PITFreqCtrlW {Registro de Control}
8255 {Programmable Peripheral Interface} : (82C55A[-2])		
$\overline{Y6}$	0060	PPortXRL {LOW Timing Byte}
	PA (out)	[R0-R7]
	0061	PPortXRHI {HIGH Timing Byte}
	PB (out)	[R8-R10], [C0-C3]
PA y PB :	CONTROL DIGITAL XR-2206 (BARRIDO DE FRECUENCIA)	
	0062	PPortFreqCtrl { PC7 : Start-count trigger (Frecuencímetro) }
	PC (out)	
	0063	PPI_Nyq_CtrlW {Registro de Control}

5.5.4.6

ANALIZADOR DIGITAL DE RESPUESTA EN FRECUENCIA : DESCRIPCION DEL " SOFTWARE " DE CONTROL

El Software de control para la administración de los recursos de la microcomputadora, del sistema SDM88-PC y del Hardware específico del instrumento de aplicación "ADRF", consistirá en un programa maestro (principal) ejecutándose en la microcomputadora, que se encargará de transmitir selectiva y sincronizadamente, el código de microprocesador 8088 apropiado al SDM88-PC, para que éste, a su vez, efectúe en paralelo determinadas tareas de control sobre el hardware del ADRF.

De esta manera, en ciertos momentos, se estarán ejecutando en realidad, dos programas en paralelo e interactuando entre sí : uno residente en la memoria de la microcomputadora y el otro en la memoria del SDM88-PC. La comunicación entre ambos dispositivos se realizará como siempre, a través de sus respectivos puertos serie.

El Software se encargará de sincronizar y desencadenar acciones sobre el Hardware (circuitos programables controlados por el microprocesador) para efectuar los procesos de barrido de frecuencia, adquisición/almacenamiento-organizado-de-datos, y transferencia de datos desde la interface SDM88-PC a la microcomputadora, y, ya residentes en la memoria de ésta última, realizará el procesamiento matemático de la información digital muestreada y su escalamiento para graficación, así como la lectura de parámetros proporcionados por el usuario, el despliegue de "menús" para selección de alternativas y el desencadenamiento condicional de acciones de procesamiento para cada opción elegida, el despliegue de resultados y ajuste/lectura de frecuencia de manera interactiva (mediante el desplazamiento de un cursor gráfico por parte del usuario). Además, mediante el Software, se

ejecutarán cuando se requiera, distintas rutinas, tales como : toma de opción de usuario, inicialización de puertos de comunicación en microcomputadora e interface SDM88-PC , transmisión de comandos (código de microprocesador 8088) desde microcomputadora a SDM88-PC , inicialización de periféricos digitales I/O del "ADRF", manejo de errores, ajuste de baudaje, etc.

Las rutinas de control para la interface { SDM88-PC }, se componen de código de microprocesador 8088 que está "embebido" dentro del programa de control principal que se ejecuta en la microcomputadora (en variables reservadas para su almacenamiento). Estas rutinas, que normalmente tienen código relocizable, son cargadas en áreas determinadas dentro de memoria RAM del SDM88-PC, e invocan como "FAR calls" (a través de dirección absoluta), a subrutinas residentes en EPROM para la realización de tareas específicas usando los periféricos del sistema (subrutinas como : "f_AD_Read" para el ADC, "fTransmit_Char" y "fReceive_Char" para el USART 8251A, "fDelay" para generación de retardos de duración programable, etc.).

Parte del código que se ejecuta desde RAM del SDM88-PC, efectúa un ciclo (loop) que posiciona sucesivamente en localidades adyacentes dentro de un buffer en memoria RAM, la información digitalizada de tres señales analógicas (una leída por el Canal-0 {INO}, otra por el Canal-1 {IN1} y otra más por el Canal-2 {IN2}), suministrada por un convertidor Analógico/Digital ADC0809 :

{ IN 0 } : Magnitud pico (A_m) de la señal de Entrada :

$$v_1(t) = A_m \text{ sen}(\omega_0 t) \dots \text{(Excitación) al circuito bajo prueba}$$

{ IN 1 } : (Respuesta) Componente Real (cantidad proporcional)

$$X = A_m |H(j\omega_0)| \text{ cos}(\phi(\omega_0))$$

{ IN 2 } : (Respuesta) Componente Imaginaria (cant. proporcional):

$$Y = A_m |H(j\omega_0)| \text{ sen}(\phi(\omega_0))$$

{ Componentes del Fasor Respuesta : { $V_0(j\omega_0) = X + jY$ }

aproximadamente 40 [ms], para leer valores de estado estable después de que pase el transitorio en la señal de Salida por cada cambio de frecuencia en la señal de Entrada al circuito bajo análisis.

La rutina (Software) administradora-controladora del SDM88-PC durante los procesos de "Barrido de Frecuencia" y "Adquisición Analógica (de los valores de voltaje correspondientes a las componentes Real e Imaginaria de la Respuesta del sistema analizado y de la magnitud pico de la señal de Entrada)", es ejecutada bajo supervisión del microprocesador 8088 del SDM88-PC, mientras el programa ejecutado simultáneamente en la microcomputadora, la hace entrar en un ciclo de espera de duración variable, que depende del número de muestras (de la señal de salida entregada por el sistema bajo análisis), que se están adquiriendo (número fijado indirectamente por el usuario al seleccionar uno de 5 posibles subrangos dentro de uno de los 4 rangos posibles para el barrido de frecuencia). Así el número de muestras leídas con el convertidor A/D es :

512 muestras (subrangos "1")

256 muestras (subrangos "2")

170 muestras (subrangos "3")

128 muestras (subrangos "4")

102 muestras (subrangos "5")

los subrangos "1", corresponden a una mayor frecuencia final de barrido y los subrangos "5", a una menor frecuencia final, dentro del rango seleccionado para el análisis. Los valores de frecuencia son calculados matemáticamente de acuerdo a una ecuación obtenida a partir de pruebas experimentales para caracterización de la relación "Frecuencia generada VS. valor de elementos R-C del circuito de temporización para el XR-2206" ; los resultados de dichas pruebas experimentales fueron ajustados con el método de Mínimos Cuadrados. De esta manera, los valores reales de frecuencia final asignados para el barrido por

el software de control en la microcomputadora, nunca quedarán fuera de los límites físicos de frecuencia que puede generar el IC XR-2206.

Después del proceso de Barrido de Frecuencia y Adquisición de Datos, la microcomputadora sale del estado de espera (controlado por software) y empieza la ejecución de un protocolo de comunicación establecido entre el puerto serie del SDM88-PC (8251A) y el puerto serie de la microcomputadora, para la transferencia de la información digitalizada (por el ADC) desde la memoria RAM del SDM88-PC a la RAM de la microcomputadora. Dicho de otro modo, una vez llenado el Buffer en RAM de la interface, se efectúa un nuevo ciclo (*loop*), leyendo estos valores de RAM y transmitiéndolos por el puerto serie (8251A), a RAM de la microcomputadora, donde son cargados y clasificados en Arreglos de Variables, para su ajuste y procesamiento matemático y gráfico.

Nota:

Para dosificar la transmisión de bytes, (compatibilizar temporización entre interface y PC), antes de transmitir cada byte-dato de alguno de los 3 canales, la interface espera recibir de PC un caracter de identificación-canal para sincronización, verificando que sea distinto a un caracter (flag) de identificación para "fin de Transferencia".

Este programa administrador en RAM de interface, debe terminar regresando el control (mediante un FAR jump), a la rutina principal de control del SDM88-PC : "Manager Routine" residente en EPROM; quedando el sistema preparado para recibir alguna nueva orden (a través del puerto serie de la PC). La velocidad de Tx/Rx serie entre interface SDM88-PC y microcomputadora PC, sigue siendo compatible.

... ..
... ..
... ..
... ..
... ..
... ..
... ..
... ..

... ..
... ..
... ..
... ..
... ..
... ..
... ..
... ..

... ..
... ..
... ..
... ..
... ..
... ..
... ..
... ..

... ..
... ..
... ..
... ..
... ..
... ..
... ..
... ..

Sin embargo, si para alguna aplicación se requieren gráficas con escala logarítmica en la frecuencia, éstas, podrán obtenerse manualmente, haciendo una tabulación previa, a partir de la información numérica (Magnitud, Fase y frecuencia) proporcionada en pantalla para cada punto muestreado durante el barrido de frecuencia (dentro de las limitaciones impuestas por el hardware del ADRF).

A continuación se describirá en forma modular, la estructura del programa (software) de control en la microcomputadora (Rutinas para la realización-coordinación de tareas) para la operación del " Analizador Digital de Respuesta en Frecuencia "

Este programa puede ser desarrollado en cualquier lenguaje de alto nivel (BASIC, Pascal, Fortran) o medio nivel (C) (de preferencia un lenguaje compilado). En este caso, fue creado en BASIC-{ editado con GWBASIC (ver. 3.22) y posteriormente compilado con QuickBASIC (ver. 4.0) , ambos de Microsoft }, debido a las facilidades que este lenguaje ofrece para manejo y establecimiento de comunicación a través del puerto serie.

" Analizador Digital de Respuesta en Frecuencia "
{ Software de Control en Microcomputadora } → Módulos :

- A) RUTINAS AUXILIARES DE PROPOSITO GENERAL :
- 1) Verificación de conexión correcta :
{ Microcomputadora ↔ SDM88-PC }
- 2) Transmisión de caracter (byte) por microcomputadora.
- 3) Recepción de caracter (byte) por microcomputadora.

generación de arreglos :

VHMAG(i) = Magnitud Lineal de función de Transferencia
[] adimensional

VHDB(i) = Magnitud Logarítmica de función de Transferencia
[dB] decibeles

VHPHASE(i) = Angulo de Fase de función de Transferencia
[°] grados sexagesimales

a) Ajuste de datos digitalizados en un rango entre 0 y V_{REF}^+ de ADC (+5.12V) ... ADC-0809. (Para IN0, IN1, IN2).

b) Ajuste de datos digitalizados en (IN1, IN2) en un rango entre +5.12V y -5.12V (Voltajes reales antes del circuito acondicionador de señal para ADC) y multiplicación por

factor de ajuste mat. (compensación) : $FADJV = \frac{1}{GA} \pi \frac{1}{Kesc}$

(ver diagrama de procesamiento { figura 5-13i })

c) Cálculo de Magnitud Lineal, Magnitud Logarítmica y Angulo de Fase de la función de Transferencia para cada punto muestral.

AT(i) = Componente Real de $V_o(j\omega_o)$ (Respuesta)

BT(i) = Componente Imaginaria de $V_o(j\omega_o)$ (Respuesta)

VI(i) = Magnitud Valor Pico de $V_i(j\omega_o)$ (Excitación)

* Magnitud Lineal :

$$VHMAG(i) = \frac{\sqrt{AT(i)^2 + BT(i)^2}}{VI(i)} ; VHMAG(i) \geq 0 \vee 1$$

* Magnitud Logarítmica :

$$VHDB(i) = 20 \log_{10} \{VHMAG(i)\}$$

$$VHDB(i) > 0 \quad \text{si} \quad VHMAG(i) > 1$$

$$= 0 \quad \text{si} \quad VHMAG(i) = 1$$

$$< 0 \quad \text{si} \quad 0 < VHMAG(i) < 1$$

• Angulo de Fase (en grados sexagesimales)

$$\text{rango : } -180^\circ < \text{VHPHASE} \leq +180^\circ$$

Cálculo en Radianes :

Si { AT(i) > 0 }

$$\Rightarrow \text{ANGRAD} = \text{angtan} \left[\frac{\text{BT}(i)}{\text{AT}(i)} \right] \quad [\text{rad}]$$

Si { AT(i) = 0 }

⇒ si { BT(i) = 0 }

⇒ ANGRAD = indeterminado

⇒ si { BT(i) > 0 }

$$\Rightarrow \text{ANGRAD} = + \frac{\pi}{2} \quad [\text{rad}]$$

⇒ si { BT(i) < 0 }

$$\Rightarrow \text{ANGRAD} = - \frac{\pi}{2} \quad [\text{rad}]$$

Si { AT(i) < 0 }

⇒ si { BT(i) ≥ 0 }

$$\Rightarrow \text{ANGRAD} = \text{angtan} \left[\frac{\text{BT}(i)}{\text{AT}(i)} \right] + \pi \quad [\text{rad}]$$

⇒ si { BT(i) < 0 }

$$\Rightarrow \text{ANGRAD} = \text{angtan} \left[\frac{\text{BT}(i)}{\text{AT}(i)} \right] - \pi \quad [\text{rad}]$$

Conversión de radianes a grados sexagesimales :

$$\text{VHPHASE}(i) = \text{ANGRAD} * \frac{180^\circ}{\pi}$$

16) Menú recurrente de selección de

variable a graficar vs. Frecuencia [Hz]

Después de la graficación y análisis, al seleccionar opciones <1>, <2> y <3>, siempre se vuelve a este menú, a menos que se presione la opción <Q> para salir del programa.

Las opciones del menú son :

- 1 > Magnitud Lineal de la función de Transferencia $VH = \frac{V_o}{V_i}$
- 2 > Magnitud Logarítmica de la función de Transferencia [dB]
- 3 > Angulo de Fase de la función de Transferencia [°=grados]
- 4 > Asignación de Nuevos Parámetros de Análisis : {f1},{f2}
- Q > Terminar la Sesión ... Regresar a * DOS *

17) Rutina de Derivación de control de acuerdo a opción elegida.

Opción seleccionada :

- 4 > : Regresar al punto "5" : Reset...
- Q > : Pasar a Rutina de "Término de Sesión" y abandonar programa de control.
- 1 > , 2 > , 3 > : Asignación de la variable asociada a la opción elegida a un Arreglo variable (vector) único de ordenadas (cotas) para graficación : "YORDG(i)" e inicialización de variables tipo "string" con mensajes distintivos para el despliegue de dicha opción en pantalla.

18) Rutina de Graficación de Datos tomados por la Interface aprovechando la resolución gráfica disponible EGA ó CGA .

- a) Despliegue de información para el usuario, sobre parámetros que se van a graficar :

```
+.....+
INFORMACION SOBRE PARAMETROS GRAFICADOS
PARAMETROS DE GRAFICACION: Función de Transferencia {Vo/Vi}
Eje Horizontal : Frecuencia [Hz]
Eje Vertical   : Magnitud Lineal [ ] ... Ganancia = Vo/Vi
                 ó Magnitud Logarítmica [dB]
                 ó Angulo de Fase [grados(°)]
Frecuencias de Barrido para la caracterización del circuito
bajo análisis :
```


f1 = Frecuencia Inicial aproximada

f2 = Frecuencia Final aproximada

Para cada punto muestreado se desplegará el valor numérico correspondiente de :

[Mag. Lin. $\{V_o/V_i\}$] , [Mag. Log. $\{V_o/V_i\}$] y [Ang. Fase $\{V_o/V_i\}$]

Ganancia [dB] = $20 \log (V_o/V_i)$

Atenuación [dB] = $20 \log (V_i/V_o)$

Presionar < F > => cómputo de Frecuencia [Hz] en algún punto de interés

Se traza cuadrícula de referencia y divisiones principales escaladas para el Eje Vertical (líneas horizontales), así como Eje Horizontal cuando exista cruce por cero.

Los valores procesados provienen del muestreo (digitalización) mediante un Convertidor Analógico/Digital, de las señales de Entrada $\{V_i\}$ y Salida $\{V_o\}$

-+
- b) Cálculo de cotas extremas (Mínima y Máxima) en intervalo de graficación.
 - c) Cálculo de Parámetros de graficación (Escala, coordenadas del origen para la gráfica escalada en términos de "pixels" en pantalla).
 - d) Inicialización gráfica y Sistema de ejes de Referencia y trazo de escalamiento en eje vertical.
 - e) Graficación de la Curva de Respuesta en Frecuencia de la variable seleccionada (Magnitud o Angulo de Fase).

19) Rutina de Manejo (posicionamiento) de Cursor Gráfico y variación automática de frecuencia de operación para el punto de análisis.

El Número de "Punto Muestreado" para posicionamiento de Cursor se monitorea con la variable entera "ICRS%" : $\{0 \leq \text{ICRS}\% \leq (\text{NMP}\% - 1)\}$
ICRS% = 0 es el índice correspondiente al primer punto muestreado



CONCLUSIONES

Como se ha apreciado en el presente trabajo, la situación del SDM88-PC, dentro del contexto de los Sistemas de Desarrollo disponibles comercialmente, es ventajosa, y sus posibles aplicaciones son muy diversas, por ejemplo :

- 1) Adquisición de datos y capacidad de procesarlos fuera de línea en una microcomputadora empleando algún lenguaje de alto nivel
- 2) Procesamiento en tiempo real de señales (en cierto rango de frecuencia)
- 3) Control lógico de secuencias
- 4) Instrumentación electrónica empleando microcomputadoras y microprocesadores
- 5) Auxiliar en el diseño, construcción y evaluación de prototipos de instrumentos controlados digitalmente
- 6) Enseñanza de la teoría y práctica de los microprocesadores

... entre otras muchas aplicaciones de campo, en la industria, en el laboratorio, etc.

Si bien este proyecto se desarrolló alrededor del microprocesador 8088 de Intel Corp., es claro que la misma idea básica puede realizarse empleando otros procesadores como el Z-80, 8085, 6809, 8086 (con la memoria {EPROM y RAM} organizada en dos

"bancos" de hasta 524288 bytes c/u : direcciones pares e impares, en vez de un solo "banco" como con el 8088) o incluso otros más evolucionados como el 80188/86, 80286, 80386 de Intel, los de la serie 68000 de Motorola, o los de la serie TMS de Texas Instruments, etc.); también pueden usarse Microcontroladores como el 8031/8032 (ROM externa), el 8051/8052 (ROM interna) de 8 bits o los de la familia 80188/80186 de 16 bits de alta integración.

Se planea desarrollar a futuro, nuevas versiones de SDMxxx-PC (PS) basadas en otro Microprocesador y en algún Microcontrolador.

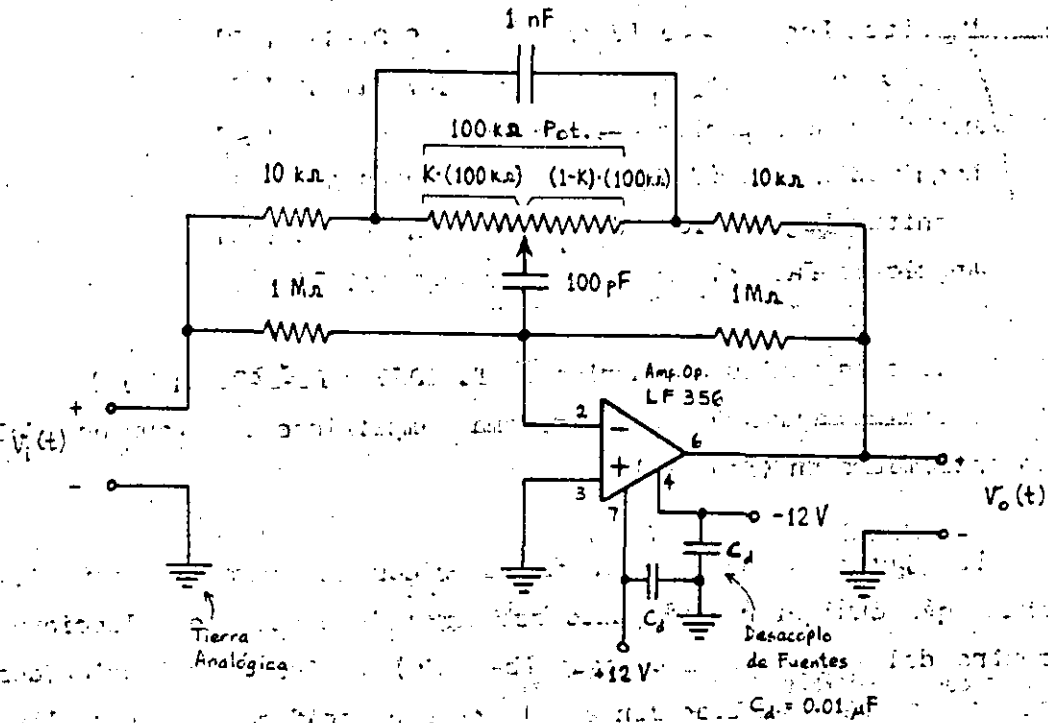
APENDICE ■ 5.5

EJEMPLO DE LA CARACTERIZACION DE UN SISTEMA CON EL ANALIZADOR DIGITAL DE RESPUESTA EN FRECUENCIA

(ADRF)

(CIRCUITO ANALOGICO en este caso)

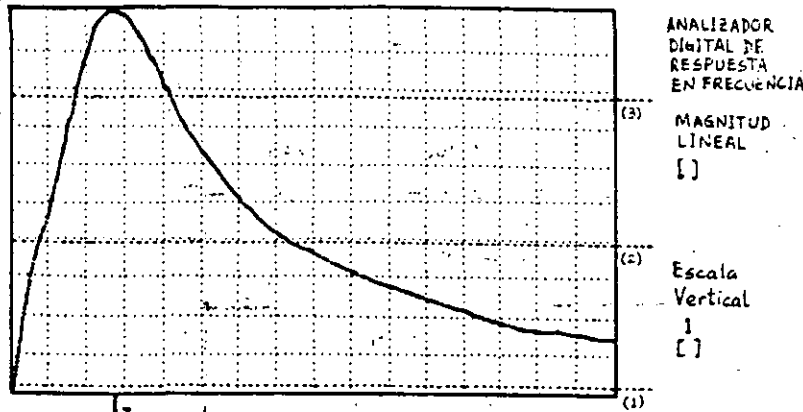
Circuito analizado con el ADRF.



Circuito que puede emplearse como una de las bandas elementales de un ecualizador gráfico de audio.

Despliegues, en pantalla de Microcomputadora PC (PS), de Respuesta en Frecuencia del circuito bajo análisis.

Despliegue: MAGNITUD · LINEAL [] razón: $\frac{V_o}{V_i}$



F1 = 971.00 [Hz] Mag. Lin. {Vo/Vi} = + 3.579068 []
 F2 = 23204.66 [Hz] Mag. Log. {Vo/Vi} = + 11.075399 [dB]
 F = 4976 [Hz] Ang. Fase {Vo/Vi} = -173.829819 [°]
 <F>

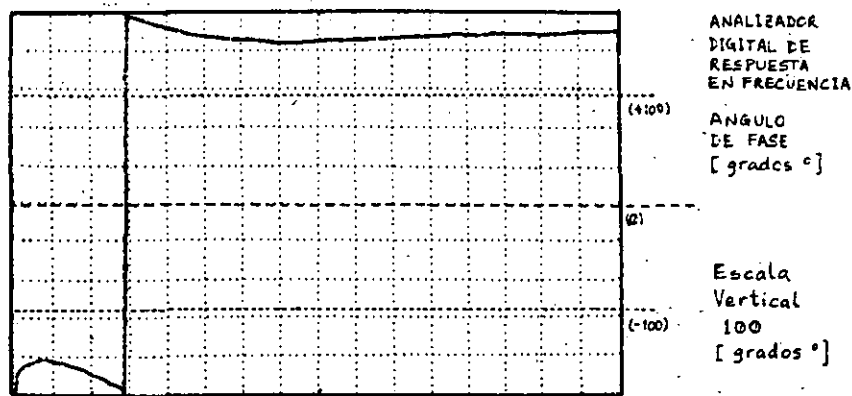
POSICION CURSOR: {1}:F1, {2}:F2, {>}:+10, {<}: -10, {+}:+1, {-}: -1, {Q}: ↓

F1 = Frec. Inicial aprox.
 F2 = Frec. Final aprox.
 Ordenada Máx.: +3.579068
 Ordenada Mín.: +0.761145

Una división principal en el eje vertical = 1 []

Muestras ADC = 512

Despliegue: ANGULO · DE · FASE [°] (grados sexagesimales)



F1 = 971.00 [Hz] Mag. Lin. {Vo/Vi} = + 3.526278
 F2 = 23204.66 [Hz] Mag. Log. {Vo/Vi} = + 10.946330
 F = 5367 [Hz] Ang. Fase {Vo/Vi} = + 180.000000

F1 = Frec. Inicial aprox.
 F2 = Frec. Final aprox.
 Ordenada Máx.: +180.000000
 Ordenada Mín.: -179.483841

Una división principal en el eje vertical = 100 [°]

1943

1943

1943

1943

1943

1943

1943

1943

DIRECTORIO DE ALUMNOS

CURSO: INSTRUMENTACION DIGITAL POR MEDIO DE MICROPROCESADORES Y MICROCOMPUTADORAS

DEL 21 DE FEBRERO AL 20 DE MARZO DE 1992.

- 1.- ANGELES AGUILAR FERNANDO
AVENA # 427
GRANJAS MEXICO
IZTACALCO
C.P. 08400
TEL: 657-11-43
- 2.- ALVARADO LIMON LAURO
GERENTE DE MANTENIMIENTO
PERFILES DE PLASTICO FLEXIBLES, S.A. DE C.V.
CALLE 3 # 14
FRACC. ALCE BLANCO
NAUCALPAN
COMONFORT No. 20, EDIF. 7 DEPTO. 102,
ATIZAPAN, CD. LOPEZ MATEOS,
C.P. 54500
TEL: 576-93-00
822-99-77
- 3.- BAÑUELOS SAUCEDO MIGUEL ANGEL
AYUDANTE DE PROFESOR "B" TIEMPO COMPLETO
UNAM
CIUDAD UNIVERSITARIA
PERIFERICO SUR # 7666 CASA 345
RINCONADA COAPA, TLALPAN,
C.P. 14330
TEL: 594-92-81
- 4.- CABALLERO ESCORCIA JORGE FRANCISCO
INGENIERO DE SOPORTE
MANTENIMIENTO A EQUIPOS DE COMPUTO, SA.CV
MEXICALI 77
CONDESA
CUAUHTEMOC
C.P. 06140
ANDRES MOLINA ENRIQUEZ # 4364
VIADUCTO PIEDAD, IZTACALCO,
C.P. 08200
TEL: 563-41-68
530-29-11
- 5.- CASTRO PERALTA MIGUEL
ING. SOPORTE TECNICO
MANTENIMIENTO A EQUIPOS DE COMPUTO, SA.CV
PATRIOTISMO 889-1er PISO Y
MEXICALI 77
COL. CONDESA
C.P. 06140 y C.P. 06140
CALLE CORDOBANES # 277, COL. EVOLUCION,
CD. NEZAHUALCOYOTL, EDO. DE MEXICO
C.P. 57700
TEL: 611-63-32, 553-42-95,
793-39-23
- 6.- CERON MALDONADO LAURA
INGENIERO DE DISEÑO AREA DE MICROS
INSTITUTO MEXICANO DE COMUNICACIONES
AV. DE LAS TELECOMUNICACIONES S/N
LEYES DE REFORMA, IZTAPALAPA
NARCISO MENDOZA 541-49
EJIDOS STA. MARIA AZTAHUACAN,
IZTAPALAPA
TEL: 692-00-77 EXT. 429 y 443
- 7.- CONTRERAS MORENO JESUS IGNACIO
INGENIERO DE PROYECTO ELECTRICO
ORGANIZACION BIMBO,
DIRECCION CORPORATIVA IMPULSORA
AV. EJERCITO NACIONAL 539-4° PISO
GRANADA, MIGUEL HIDALGO,
C.P. 11520
GABRIEL MANCERA 1809
DEL VALLE, BENITO JUAREZ,
C.P. 03100
TEL: 531-55-00
524-12-77
- 8.- CARRASCO ORTIZ GONZALO
INGENIERO EN ELECTRONICA
EMBOTELLADORA METROPOLITANA, S.A.
CALZADA LA VIGA 891,
IZTACALCO
GUANAJUATO 116, PROVIDENCIA,
G.A. MADERO,
C.P. 07550
TEL: 579-10-11 EXT. 167
710-82-33
- 9.- CRUZ SANCHEZ HUGO
PRIVA. ACACIAS 127,
BOSQUES DEL CAMPESTRE,
LEON, GTO.
TEL: 18-84-70
- 10.- GALLEGOS LOZANO JOSE LUIS
SUBGERENTE
KIMEX, S.A. DE C.V.
- 11.- GARCIA BERNAL CARLOS
INFORMATICA INTEGRAL Y CONSULTORIA ADMVA.JOT,SA
RIO NILO No. 11-DESP. 104
CUAUHTEMOC,
C.P. 06500
RIO NILO No. 11-4
CUAUHTEMOC.
C.P. 06500
TEL: 514-00-05
511-56-62
- 12.- GUTIERREZ JACINTO ABEL
ING. DE PROYECTOS
INSTITUTO MEXICANO DEL PETROLEO
AV. EJE CENTRAL # 152
SAN BARTOLO A.
GUSTAVO A. MADERO
AV. PROLONGACION FRESNOS # 63
ARCOS DEL ALBA, CUAUTITLAN, IZCALLI,
C.P. 07730, 54750
TEL: 368-59-11.

37.- TLALOLINI ROSAS PEDRO

DOCENTE

CENTRO DE ESTUDIOS TECNOLÓGICOS # 104

DIAGONAL ALVARO OBREGON ESQ.

CON TECNICO ESTUDIANTE,

PINO SUAREZ,

PUEBLA, PUE.

C.P. 72032

CUAUHTEMOC PTE. # 516

SAN FELIPE HUEYOTLIPAN,

PUEBLA, PUE.

C.P. 72030

TEL: 49-25-02

38.- VILLASANA BENITEZ VICTOR PEDRO

ING. ELECTRONICO

INSTITUTO NACIONAL DE INVESTIGACIONES NUCLEARES

SIERRA MOJADA # 447-2° PISO

C.P. 11010

RUFINO BLANCO FOMBONA # 2620

IZTACCIHUATL

BENITO JUAREZ

C.P. 03520

TEL: 518-23-60 EXT. 264

696-35-06

39.- VAZQUEZ FUENTES JULIO CESAR

REALIZACION DE PRACTICAS PROFESIONALES

INSTITUTO MEXICANO DEL PETROLEO

VIOLETA # 126

BUENA VISTA,

CUAUHTEMOC

C.P. 06350

TEL: 592-10-60

40.- ZAMORA JUAREZ HECTOR

PROFESOR

S.E.P.

CALLE 647 S/N.

U.S.S.A.

V. CARRANZA

MANUEL DOBLADO 97-3,

CENTRO,

CUAUHTEMOC,

C.P. 06020

TEL: 789-23-82

*emg.