

ÍNDICE GENERAL

DEDICATORIA.....	iii
AGRADECIMIENTOS.....	iv
ÍNDICE DE FIGURAS.....	vii
ÍNDICE DE TABLAS.....	xi
INTRODUCCIÓN.....	xii

CAPÍTULO 1.- MARCO TEÓRICO

1.1 ESTRUCTURA GENERAL DE UNA COMPUTADORA.....	1
1.2 SECUENCIADORES Y CARTAS ASM.....	6
1.3 DATA PATH.....	11
1.4 UNIDAD DE CONTROL.....	14
1.5 PIPELINE.....	15
1.6 PARALELISMO.....	17
1.7 CPLD'S, FPGA'S Y VHDL.....	23

CAPÍTULO 2.- ARQUITECTURAS COMERCIALES ABIERTAS Y CERRADAS

2.1 INTRODUCCIÓN.....	48
2.2 ARQUITECTURAS UN SPARC.....	49
2.3 ARQUITECTURA INTEL.....	72
2.4 ARQUITECTURA MOTOROLA.....	92

CAPÍTULO 3.- PROPUESTA DE ARQUITECTURA ABIERTA PARA LA ASIGNATURA DE ARQUITECTURA DE COMPUTADORAS

3.1 INTRODUCCIÓN.....	106
3.2 UNIDAD DE EJECUCIÓN.....	112
3.3 UNIDAD DE INTERFAZ DE PUNTO FLOTANTE.....	115

3.4 UNIDAD MULTIPLICADORA.....	116
3.5 UNIDAD DE PROCESAMIENTO DE FLUJO.....	117
3.6 UNIDAD DE MANEJO DE LA MEMORIA.....	121
3.7 UNIDAD DE TRAMPA LÓGICA (TRAP).....	122
3.8 CPU BARRA CACHE.....	130
3.9 CACHE NIVEL 2.....	135
3.10 PUENTE DE ENTRADA/SALIDA.....	136
3.11 UNIDAD DE PUNTO FLOTANTE.....	139
CAPÍTULO 4.- RESULTADOS Y CONCLUSIONES.....	144
BIBLIOGRAFÍA.....	146

ÍNDICE DE FIGURAS

	Pág
Figura 1.1 Estructura general de una computadora.....	1
Figura 1.1.5 Modelo Von Neumann.....	5
Figura 1.2-1 Modelo general de una máquina de estados.....	6
Figura 1.2-2 Representación de un Estado.....	6
Figura 1.2-5 Cajas de Estado.....	8
Figura 1.2-6 Caja de Decisión.....	8
Figura 1.2-7 Caja de acción condicional.....	9
Figura 1.2-8 Diagrama de bloques de un secuenciador básico.....	10
Figura 1.2-9 El secuenciador básico.....	11
Figura 1.3 Conjunto de instrucciones para ARC.....	12
Figura 1.3-1 Datapath de ARC.....	13
Figura 1.4 Unidad de control de la computadora.....	14
Figura 1.5 Etapas de una instrucción por tubería.....	15
Figura 1.6-1 Clasificación de Arquitecturas de acuerdo a la Taxonomía de Fynn.....	16
Figura 1.6-2 Topología de redes.....	22
Figura 1.6-3 Función C en computadoras.....	22
Figura 1.6-4 Control de secuencia para el programa C.....	23
Figura 1.7.1-1 Estructura de un CPLD.....	24
Figura 1.7.1-2 Expansores Compartidos.....	27
Figura 1.7.1-3 Arquitectura de la Familia MAX7000.....	28
Figura 1.7.1-4 Programación y empaquetado de un CPLD.....	29
Figura 1.7.2-1 Estructura general de un FPGA.....	32

Figura 1.7.2-2 Arquitectura de la Familia Spartan-3.....	33
Figura 1.7.2-3 Elemento Lógico.....	33
Figura 1.7.2-4 Cadena de cascadas.....	34
Figura 1.7.2-5 Cadena de cascada AND y OR.....	35
Figura 1.7.2-6 Modos de operación de Elementos Lógicos.....	36
Figura 1.7.2-7 Características de Salida de los dispositivos Flex 10K.....	37
Figura 1.7.3 Esquema del ejemplo básico en VHDL.....	40
Figura 2.2 Arquitectura Sparc de procesamiento en serie.....	50
Figura 2.2-2 Diagrama de un procesador SPARC.....	52
Figura 2.2-4 Formato de instrucción SPARC.....	55
Figura 2.2-6 Descripción Técnica de la Arquitectura SPARC.....	60
Figura 2.2-9 Diferencias entre TLP e ILP.....	64
Figura 2.2.9-1 Diagrama de bloques del Chip OpenSPARC T1.....	66
Figura 2.2.9-2 Diagrama de bloques del núcleo OpenSPARC T1.....	67
Figura 2.2.9-3 Diagrama de bloques del OpenSPARC T2.....	69
Figura 2.2.9-4 Plataformas de simulación.....	70
Figura 2.3.1 Arquitectura global del Pentium 4.....	73
Figura 2.3.1-1 Etapas del Pipeline del Pentium 4.....	73
Figura 2.3.3 Microarquitectura del Pentium 4.....	75
Figura 2.3.4 Ejemplo de Funcionamiento de la Trace Cache.....	76
Figura 2.3.6 Situación tras nombrar la instrucción.....	80
Figura 2.3.6-1 Renombramiento de registros en el Pentium III y en el Pentium 4.....	81
Figura 2.3.7 Puertos de ejecución y unidades funcionales.....	82
Figura 2.3.7-1 ALU de doble velocidad.....	83

Figura 2.3.7-2 Suma SIMD.....	84
Figura 2.4-1 Estructura de Registros de la Familia 68000.....	93
Figura 3.1-1 Diagrama de bloques del Procesador OpenSPARC T1.....	107
Figura 3.1-2 Tubería del Núcleo SPARC.....	108
Figura 3.1-3 Diagrama de bloques de la barra transversal CCX.....	109
Figura 3.1-4 Tubería de la LSU.....	110
Figura 3.1-5 Concepto de Flujo de datos de la LSU.....	111
Figura 3.2-1 Diagrama de la Unidad de Ejecución.....	113
Figura 3.2-2 Diagrama de bloques de la ALU.....	114
Figura 3.2-3 Diagrama de bloques de Shifter.....	114
Figura 3.3-1 Diagrama de bloques de la FFU.....	115
Figura 3.4-1 Diagrama de bloques de Multiplexor.....	117
Figura 3.5-1 Registro de Campos de Bits.....	118
Figura 3.5-2 Diagrama de bloques del flujo de datos de las operaciones modulares.....	118
Figura 3.5-3 Diagrama de estados de Transición de operaciones MA.....	119
Figura 3.6-1 Relación entre MMU y los TLB's.....	120
Figura 3.6-2 Estructura del TLB.....	121
Figura 3.7-1 Diagrama de la Función TLU.....	123
Figura 3.7-2 Secuencia del flujo de Trampas.....	126
Figura 3.7-3 Diagrama de flujo de trampas.....	127
Figura 3.7-4 Flujo de Hardware y Vectores de interrupción.....	128
Figura 3.7-5 Modos de transición de Trampas.....	129
Figura 3.8-1 Interfaz del CCX.....	130

Figura 3.8-2 Interfaz del PCX.....	131
Figura 3.8-3 Interfaz del CPX.....	131
Figura 3.8-4 Bloque Interno de PCX y CPX.....	133
Figura 3.8-5 Flujo de Datos dentro de un arbiter.....	134
Figura 3.8-6 Flujo de Control del arbiter.....	135
Figura 3.10-1 Interfaz IOB.....	137
Figura 3.10-2 Diagrama de bloques IOB.....	138
Figura 3.10-3 Diagrama de bloques de JBI.....	139
Figura 3.11-1 Diagrama de bloques de la función de la FPU.....	140
Figura 3.11-2 Diagrama de bloques del controlador DDR-II DRAM.....	141
Figura 3.11-3 Diagrama de nivel superior del Controlador DDR-II DRAM.....	142

ÍNDICE DE TABLAS

	Pág
Tabla 1.5-1 Frecuencia de aparición de tipos de instrucciones para una variedad de idiomas.....	16
Tabla 1.5-2 Comportamiento de la tubería durante una transferencia de memoria.....	17
Tabla 1.7 .1 Características de la Familia MAX 7000S.....	24
Tabla 1.7.2 Grado de velocidades de la Familia MAX 7000S.....	25
Tabla 1.7.3 Valores máximos absolutos del dispositivo MAX 7000.....	29
Tabla-Gráfica 1 Características típicas de salida de los dispositivos MAX 7000.....	30
Tabla 1.8 Características del Modelo Spartan-3.....	31
Tabla 1.9 Valores absolutos de la Familia FLEX 10K.....	37
Tabla 2.2 Especificaciones del Sun Ultra Sparc II.....	49
Tabla 2.3 Parámetros de los distintos niveles de Cache.....	86
Tabla 3.7 Tipos de Trampas en el OpenSPARC T1.....	126
Tabla 3.8 Campo de datos.....	132