

DIRECTORIO DE PROFESORES DEL CURSO: DISPOSITIVOS
Y CIRCUITOS ELECTRONICOS 1984.

1. M. EN I. HUGO CALLEJA GJUMLICH
INVESTIGADOR
SECCION DE ELECTRONICA
DEPFI
UNAM
550 52 15 Ext. 4477
2. M. EN I. ROBERTO DAZA GOMEZ TORRES
PROFESOR DEPFI
UNAM
MEXICO, D.F.
550 52 15 Ext. 4477
3. ING. ROBERTO MACIAS PEREZ (COORDINADOR).
COORDINADOR DEL AREA DE INGENIERIA EN ELECTRONICA
DIVISION DE INGENIERIA MECANICA Y ELECTRICA
FACULTAD DE INGENIERIA
UNAM
MEXICO, D.F.
550 52 15 EXT. 3755
4. ING. JORGE EUGENIO LAVIN MARTINEZ
PROFESOR
DIVISION DE INGENIERIA MECANICA Y ELECTRICA
FACULTAD DE INGENIERIA
UNAM
MEXICO, D.F.
550 52 15 EXT. 3755
5. M EN C. ANASTASIO MONTIEL MAYORGA
SUBDIRECTOR DE OPERACION
DIRECCION GENERAL DE DESARROLLO TECNOLOGICO
S. C. T.
XOLA Y AV. UNIVERSIDAD
MEXICO, D.F.
6. ING. EDUARDO RAMIREZ SANCHEZ
PROFESOR
COORDINADOR DEL LABORATORIO DE ELECTRONICA
DIVISION DE INGENIERIA MECANICA Y ELECTRICA
FACULTAD DE INGENIERIA
UNAM
DEPTO. DE COMUNICACIONES Y ELECTRONICA
MEXICO, D.F.
550 52 15 EXT. 3761

SS DE DÉPARTEMENT DE 1884
DE DÉPARTEMENT DE 1884

A

1884

1884

1884

1884

1884

ELECTRONICA: DISPOSITIVOS Y CIRCUITOS

10 AL 22 DE SEPTIEMBRE DE 1984

FECHA	HORARIO	T E M A S	P R O F E S O R E S
10 de septiembre	17 a 21 Hrs.	1. INTRODUCCION Señal: Analógica y Digital. Términos de uso común. Sistemas analógicos, digitales e híbridos.	M. en C. Anastasio Montiel Mayorga
11 de septiembre	17 a 21 Hrs.	2. EL DIODO Funcionamiento, características y especificaciones del fabrican te. Modelos. Aplicaciones: Rectificadores mo nofásicos y polifásicos, recor tadores y multiplicadores de vol taje. El diodo Zener como regulador de voltaje.	M. en C. Anastasio Montiel Mayorga
12 de septiembre	17 a 21 Hrs.	3. EL TRANSISTOR Funcionamiento, características y especificaciones. Polarización. Amplificadores de baja y alta po tencia.	M. en C. Anastasio Montiel Mayorga
13 de septiembre	17 a 21 Hrs.	4. TIRISTORES Funcionamiento, características y especificaciones. Dispositivos de disparo. Técnicas de apagado. Aplicaciones.	M. en C. Hugo Calleja Gjumlich
14,17 de septiembre	17 a 21 Hrs.	5. EL AMPLIFICADOR OPERACIONAL Características y especificaciones. Modelos. Aplicaciones lineales y no lineales.	Ing. Roberto Macías Pérez

FECHA	HORARIO	T E M A S	P R O F E S O R E S
18 de septiembre	17 a 19 Hrs.	6. GENERADORES DE ONDAS.	Ing. Roberto Macías Pérez
18 de septiembre	19 a 21 Hrs.	7. CIRCUITOS DIGITALES. Compuertas. Multiplexores. Decodificadores. ROM's y PLA's.	Ing. Eduardo Ramírez Sánchez
19,20 de septiembre	17 a 21 Hrs.	Flip-Flop. Contadores. Registros. Memorias. Aplicaciones.	
21 de septiembre	17 a 19 Hrs.	8. CONVERTIDORES A/D Y D/A Cuantización, Velocidad de Muestreo. Tipos. Aplicaciones.	M. en I. Roberto Daza-Gómez Torres
21 de septiembre	19 a 21 Hrs.	9. MICROPROCESADORES. Arquitectura. Ciclo de operación. Instrucciones. Interrupciones. Operaciones de Entrada/Salida.	M. en I. Roberto Daza-Gómez Torres
15 de septiembre	9 a 14 Hrs.	10. PRACTICA DE LABORATORIO.	Ing. Roberto Macías Pérez Ing. Eduardo Ramírez Sánchez
22 de septiembre	9 a 14 Hrs.	11. PRACTICA DE LABORATORIO.	Ing. Roberto Macías Pérez Ing. Eduardo Ramírez Sánchez

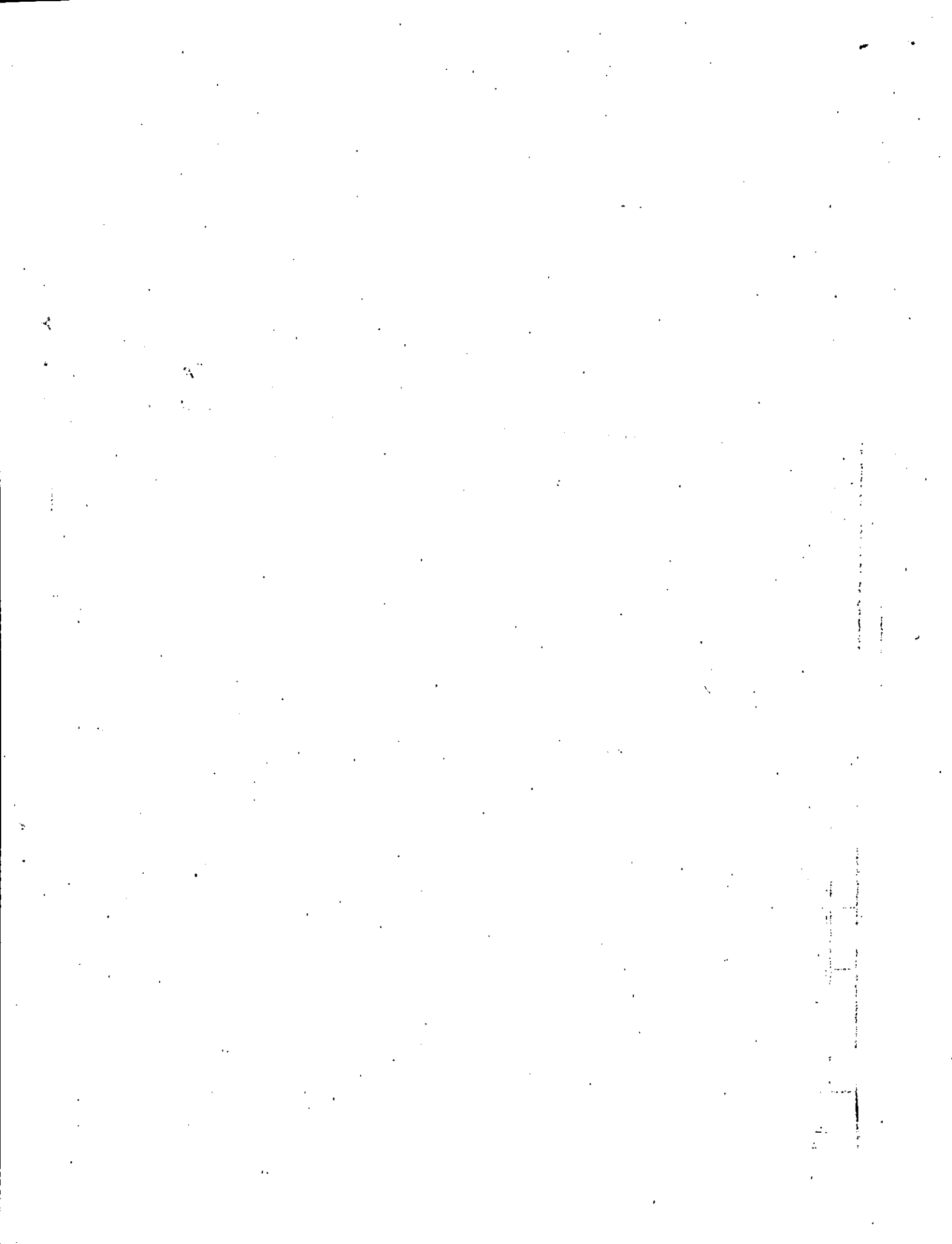
EVALUACION DEL PERSONAL DOCENTE

①

CURSO: ELECTRONICA: DISPOSITIVOS Y CIRCUITOS

FECHA: Del 10 al 22 de Septiembre de 1984.

	DOMINIO DEL TEMA	EFICIENCIA EN EL USO DE AYUDAS AUDIOVISUALES	MANTENIMIENTO DEL INTERES. (COMUNICACION CON LOS ASISTENTES, AMENIDAD, FACILIDAD DE EXPRESION).	PUNTUALIDAD	
CONFERENCISTA					
1. M. EN C. ANASTASIO MONTIEL MAYORCA					
2. M. EN C. HUGO CALLEJA GJUMLICH					
3. ING. ROBERTO MACIAS PEREZ					
4. ING. EDUARDO RAMIREZ SANCHEZ					
5. M. EN I. ROBERTO DAZA - GOMEZ TORRES					
6.					
7.					
8.					
9.					
ESCALA DE EVALUACION : 1 a 10					



EVALUACION DE LA ENSEÑANZA

2

SU EVALUACION SINCERA NOS AYUDARA A MEJORAR LOS PROGRAMAS POSTERIORES QUE DISEÑAREMOS PARA USTED.

TEMA		ORGANIZACION Y DESARROLLO DEL TEMA	GRADO DE PROFUNDIDAD LOGRADO EN EL TEMA	GRADO DE ACTUALIZACION LOGRADO EN EL TEMA	UTILIDAD PRACTICA DEL TEMA
	INTRODUCCION				
	EL DIODO				
	EL TRANSISTOR				
	TIRISTORES				
	EL AMPLIFICADOR OPERACIONAL				
	GENERADORES DE ONDAS				
	CIRCUITOS DIGITALES				
	CONVERTIDORES A/D Y D/A				
	MICROPROCESADORES				
	PRACTICA DE LABORATORIO				

edcs.

FSCAI A DE EVALUACION: 1 o 10

EVALUACION DEL CURSO

3

	CONCEPTO	EVALUACION
1.	APLICACION INMEDIATA DE LOS CONCEPTOS EXPUESTOS	
2.	CLARIDAD CON QUE SE EXPUSIERON LOS TEMAS	
3.	GRADO DE ACTUALIZACION LOGRADO CON EL CURSO	
4.	CUMPLIMIENTO DE LOS OBJETIVOS DEL CURSO	
5.	CONTINUIDAD EN LOS TEMAS DEL CURSO	
6.	CALIDAD DE LAS NOTAS DEL CURSO	
7.	GRADO DE MOTIVACION LOGRADO CON EL CURSO	

ESCALA DE EVALUACION DE 1 A 10

1. ¿Qué le pareció el ambiente en la División de Educación Continua?

MUY AGRADABLE	AGRADABLE	DESAGRADABLE

2. Medio de comunicación por el que se enteró del curso:

PERIODICO EXCELSIOR ANUNCIO TITULADO DI VISION DE EDUCACION CONTINUA	PERIODICO NOVEDADES ANUNCIO TITULADO DI VISION DE EDUCACION CONTINUA	FOLLETO DEL CURSO

CARTEL MENSUAL	RADIO UNIVERSIDAD	COMUNICACION CARTA, TELEFONO, VERBAL, ETC.

REVISTAS TECNICAS	FOLLETO ANUAL	CARTELERA UNAM "LOS UNIVERSITARIOS HOY"	GACETA UNAM

3. Medio de transporte utilizado para venir al Palacio de Minería:

AUTOMOVIL PARTICULAR	METRO	OTRO MEDIO

4. ¿Qué cambios haría usted en el programa para tratar de perfeccionar el curso?

5. ¿Recomendaría el curso a otras personas?

SI	NO

6. ¿Qué cursos le gustaría que ofreciera la División de Educación Continua?

7. La coordinación académica fue:

EXCELENTE	BUENA	REGULAR	MALA

8. Si está interesado en tomar algún curso intensivo ¿Cuál es el horario más conveniente para usted?

LUNES A VIERNES DE 9 A 13 H. Y DE 14 A 18 H. (CON COMIDAS)	LUNES A VIERNES DE 17 A 21 H.	LUNES, MIÉRCOLES Y VIERNES DE 18 A 21 H.	MARTES Y JUEVES DE 18 A 21 H.

VIERNES DE 17 A 21 H. SABADOS DE 9 A 14 H.	VIERNES DE 17 A 21 H. SABADOS DE 9 A 13 Y DE 14 a 18 H.	O T R O

9. ¿Qué servicios adicionales desearía que tuviese la División de Educación Continua, para los asistentes?

10. Otras sugerencias:



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

ING. ANASTASIO MONTIEL MAYORGA
ING. HUGO CALLEJA GJUMLICH
ING. ROBERTO MACIAS PEREZ
ING. EDUARDO RAMIREZ S.

SEPTIEMBRE, 1984.

1.0 INTRODUCCION

Como los equipos y sistemas electrónicos están integrados por la interconexión de una gran variedad de elementos, algunos de ellos familiares y otros simplemente desconocidos, resulta obvio que el conocimiento más o menos claro de la operación de dichos dispositivos, y el de las leyes que regulan tanto su funcionamiento como la interacción entre ellos, constituyen las herramientas fundamentales de trabajo en esta área.

Por esta razón, en este curso básico se presentan en forma simple y simplificada, tanto los aspectos del funcionamiento de los dispositivos electrónicos más comunes, como las técnicas de análisis y diseño de los circuitos más representativos de sus aplicaciones.

También a fin de hacer este curso autosuficiente, se abordan desde los conceptos básicos antecedentes hasta algunos más avanzados, aplicados tanto a la electrónica analógica como a la digital.

1.1 SEÑAL

Desde el punto de vista del área de estudio y de otras áreas afines, una señal es cualquier variable física que contiene información en alguna de sus características, por ejemplo, en su magnitud o en alguna variación con el tiempo. La información puede ser cualquiera: voz, música, imágenes, datos numéricos, etc. En cambio,

las variables físicas que pueden contener la información en un sistema eléctrico son la corriente y el voltaje. Sin embargo, en otros sistemas las variables portadoras de información pueden ser diferentes; en el caso de un sistema mecánico, por ejemplo, la fuerza y la velocidad; en un sistema hidráulico, la presión y el gasto; etc. Con mucha frecuencia estos últimos sistemas y otros más, se modelan con un sistema eléctrico equivalente, de tal forma, que un entendimiento claro de los sistemas eléctricos permite comprender una gran variedad de fenómenos.

La información puede ser llevada en dos formas diferentes: en forma analógica o digital. En una Señal Analógica la información está contenida en alguna característica continua del voltaje o la corriente, tal como la amplitud o la frecuencia. Por ejemplo, en la Fig. 1.1, el voltaje es producido por los termopares cuando están a diferentes temperaturas. Cuando la diferencia de temperaturas varía, el voltaje también varía, de tal forma que el voltaje es una representación "análoga" de la diferencia de temperaturas.

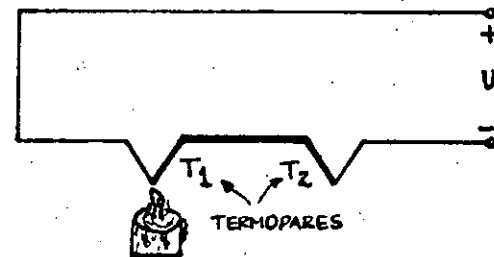


Figura 1.1 Ejemplo de Señal Analógica

Una Señal Digital, en su forma más simple, es aquella que puede tomar uno de dos valores discretos a la vez. Se utiliza para representar información del tipo "ON-OFF" ó "SI-NO", o bién, números o la ocurrencia de eventos. Un ejemplo sencillo es lo que ocurre en un horno automático. Cuando la temperatura del horno baja de cierto nivel, el interruptor del termostato se cierra, encendiéndose el horno; y cuando la temperatura ha alcanzado cierto nivel adecuado, el interruptor se abre, apagándose el horno. Es decir, el termostato provee una señal digital que controla al horno, si el interruptor se cierra significa que la temperatura es muy fría y el horno pasa al estado "ON" o encendido, mientras que si se abre, el horno pasa al estado "OFF" o apagado, indicándose que la temperatura es adecuada.

Las señales digitales pueden estar representadas por niveles de CD, pulsos, trenes de pulsos, pulsos codificados y algunas otras variantes.

1.2 EL SISTEMA DE PROCESAMIENTO DE SEÑALES

Un sistema de procesamiento de señales es la interconexión de componentes y dispositivos que pueden aceptar una o varias señales de entrada, operar sobre ellas para extraer o corregir la información, y presentarla como una o varias salidas en un tiempo y en una forma adecuada.

La Fig. 1.2 ilustra las componentes de un sistema generalizado. Los círculos representan los dos tipos de procesamiento que se pueden tener -analógico y digital - mientras el bloque central, representa la conversión de señales analógicas a digitales (A/D) y viceversa

sa (D/A), que es necesario efectuar para que las señales analógicas y digitales puedan interactuar.

Para obtener las señales de interés a partir de los sistemas físicos, se usan transductores. Estos son dispositivos que convierten las variables físicas a una señal de corriente o voltaje. Un ejemplo es el termopar utilizado anteriormente, el cual convierte la temperatura a un voltaje.

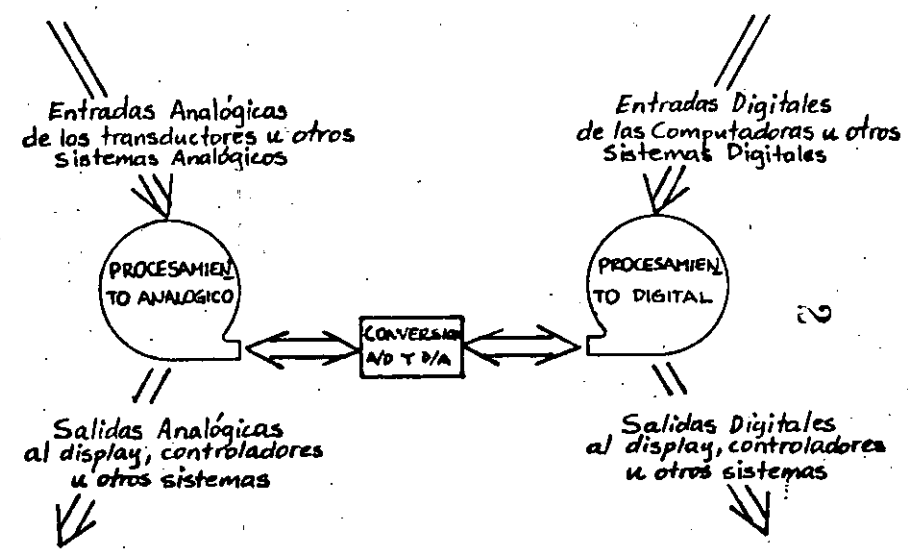


Figura 1.2 Componentes de un Sistema de Procesamiento de Señales.

Por último, las salidas pueden darse en varias formas, dependiendo de qué se desee hacer con ellas. Por ejemplo, algunas pueden ir a un dispositivo de despliegue o "display", que puede ser analógico o digital; otras pueden convertirse en señales audibles, etc.

1.3 SISTEMAS ANALOGICOS, DIGITALES E HIBRIDOS

Se dice que un sistema es analógico o digital, cuando las señales que procesa tienen esa característica. En los sistemas híbridos, una parte del procesamiento se efectúa sobre las señales en estado analógico y la otra, en estado digital.

Un ejemplo muy simple de sistema analógico es el amplificador de audio, cuyo diagrama de bloques se muestra en la Fig. 1.3a. El micrófono de carbón realiza la función de transductor, ya que convierte las variaciones de la presión del aire que llegan a su superficie, en variaciones de su resistencia eléctrica interna. Para obtener una señal eléctrica, estas variaciones en la resistencia del micrófono se convierten a voltaje, haciendo circular una corriente constante a través del micrófono. Con una corriente constante de unos 11 mA, un micrófono de carbón típicamente entrega un voltaje de pico de unos 220 mV a circuito abierto, y presenta una resistencia promedio de CA de unos 250 Ω.

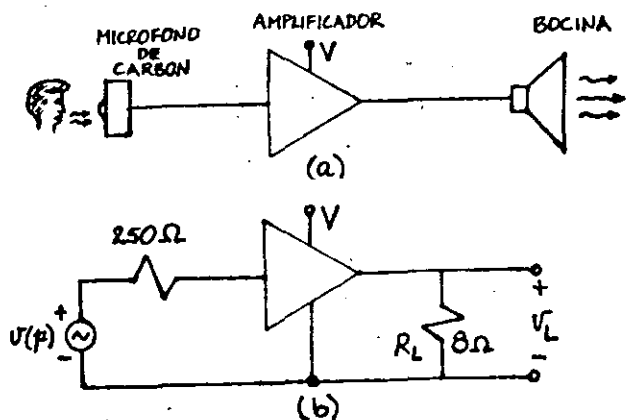


Figura 1.3 Ejemplo de Sistema Analógico; El amplificador de audio.

Para fines de análisis o diseño, el micrófono puede modelarse con una fuente de voltaje dependiente de la presión del aire $v(p)$, en serie con su resistencia interna de $250\ \Omega$; y la bocina con una resistencia de carga R_L , por ejemplo, $8\ \Omega$, como se muestra en la Fig. 1.3b.

La función del amplificador es incrementar el nivel de potencia para que al ser aplicado a la bocina, el sonido sea tan audible como se desee. Si por ejemplo, se requieren 5W de pico en la bocina de $8\ \Omega$, se necesita un amplificador que entregue un voltaje de salida de $V_1 = (5W \times 8\ \Omega)^{1/2} = 6.3V$ de pico; y si la amplitud de pico del voltaje de entrada se considera 220 mV, la ganancia de dicho amplificador deberá ser $A_V = 6.3/0.22 = 28.7$.

Para la realización física de este pequeño amplificador de audio, es necesario adicionar algunos otros elementos, como se muestra en la Fig. 1.4. La fuente de corriente constante está constituida por la batería y la resistencia en serie R_1 ; se han agregado un control de volumen R_3 y un control de tono C_2 y R_4 , así como los capacitores C_1 y C_3 que bloquean la componente de CD para que no pase al amplificador ni a la carga, respectivamente. Como en este caso la potencia que se desea en la carga es baja, se puede utilizar como elemento amplificador un solo circuito integrado.

Sin embargo, cuando los niveles de potencia son altos, es necesario diseñar o disponer de etapas amplificadoras de potencia, las cuales generalmente están constituidas por elementos discretos de potencia. En este último caso, los circuitos integrados pueden utilizarse como etapas preamplificadoras de baja y mediana potencia.

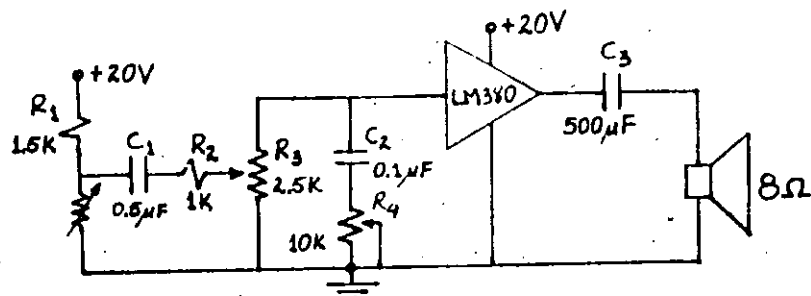


Figura 1.4 Amplificador de Audio

Algunos otros aspectos que deben considerarse en el diseño de este simple amplificador son, por ejemplo, la respuesta en frecuencia, la distorsión, la estabilidad de operación y otros.

Para contrastar la operación de un sistema digital con el analógico que acabamos de tratar, considérese el caso, también muy simple, de un reloj digital cuyo diagrama de bloques se muestra en la Fig. 1.5. Consiste en una base de tiempo, contadores de pulsos y dispositivos de display.

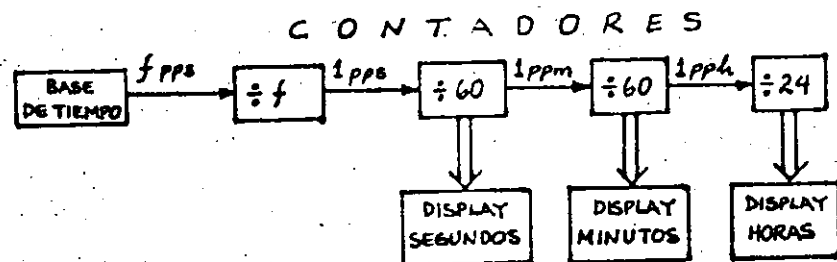


Figura 1.5 Ejemplo de Sistema Digital: El Reloj Digital.

La base de tiempo es un oscilador electrónico, el cual entrega f pulsos por segundo. Si la salida de este os-

ciador se conecta a la entrada de un contador que cuando la cuenta llega a los f pulsos, entrega un pulso a su salida, se tendrá un pulso por segundo. Un segundo contador en cascada contará hasta sesenta y dará un pulso a su salida, el cual ocurre cada minuto y así sucesivamente. Como los contadores disponen de terminales de salida en las que aparece la cantidad de pulsos contados, éstas se conectan a los dispositivos de despliegue que son los indicadores del tiempo del reloj.

Cabe señalar que la exactitud del reloj está determinada por la exactitud con que la base de tiempo entrega los f pulsos por segundo.

Como ejemplo de sistema híbrido, considérese el diagrama de bloques de la Fig. 1.6 que representa los elementos básicos de un termómetro digital.

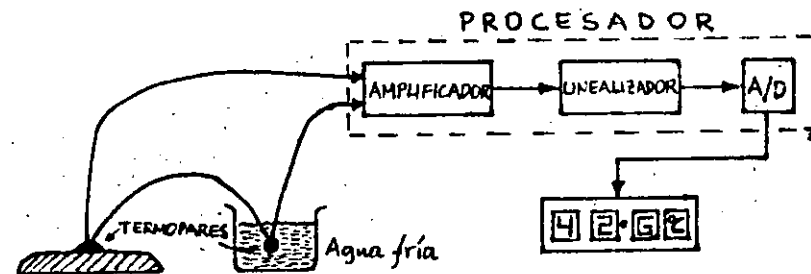


Figura 1.6 Ejemplo de Sistema Híbrido: Termómetro Digital.

La pareja de termopares, uno de ellos unido al objeto del que se desea medir la temperatura, y el otro sumergido en agua fría para tener un punto estable de referencia, entregan al procesador un voltaje que depende

de la diferencia de temperaturas entre ellos, como se vió anteriormente. Debido a que el voltaje que entre gan los termopares es muy pequeño, se requiere de una etapa inicial de amplificación. Además, como la respuesta de estos elementos no es lineal, es necesario efectuar una corrección a través del linealizador. Finalmente, el A/D convierte la señal analógica en digital y es enviada al dispositivo de despliegue.

Como la función primordial de los sistemas electrónicos es el procesamiento de señales, y éste presenta una amplia gama de variantes, durante el desarrollo del curso se continuarán analizando otros sistemas, con el fin de reforzar las ideas iniciales presentadas en los ejemplos anteriores.

2.0 EL DIODO

Existen en el mercado una gran variedad de diodos, desde bulbos al vacío o de gas, hasta los diodos de juntura P-N, tales como los diodos rectificadores de potencia, diodos Zener, diodo Túnel, varactores, diodos emisores de luz, etc., y los de juntura metal-semiconductor, entre los que se pueden señalar: el rectificador de selenio, el de cobre-óxido cuproso, el de magnesio-sulfuro cúprico, el de punta de contacto y el de barrera Schottky. Puede decirse que de estos últimos, los tres primeros prácticamente han desaparecido por sus fuertes limitaciones en cuanto a costo, tamaño y capacidad de potencia. Lo anterior también es válido para los bulbos, los cuales han sido desplazados totalmente por los de juntura P-N.

La importancia de los dispositivos semiconductores es fácilmente explicable, si se considera que en la actualidad predominan en la gran mayoría de las aplicaciones debido a su bajo costo, reducidas dimensiones, alto rendimiento, larga vida, aceptables niveles de potencia y temperaturas de operación, fácil manejo y otras características adicionales.

Como el diodo semiconductor o juntura P-N, es la base de casi todos los dispositivos de estado sólido, en esta sección, aunque sea a nivel cualitativo, se presentan algunos aspectos sobresalientes de su funcionamiento y construcción, lo cual permitirá comprender la operación de estructuras más complejas, así como el modelado de las mismas considerando las restricciones impuestas por la aplicación.

2.1 METALES Y SEMICONDUCTORES

Si se preguntara ¿qué es un material semiconductor?, una de las posibles respuestas sería: es un material medio buen conductor eléctrico, o bien, un semiconductor no es ni un buen conductor ni un buen aislador. Desgraciadamente ambas definiciones, que se derivan del significado del prefijo "semi", resultan imprecisas y poco útil cuando se trata de comprender porqué los dispositivos de estado sólido están fabricados de estos materiales. En realidad son varias las características que hacen diferente a un material semiconductor de un conductor, como se establecerá en esta sección.

La mayoría de los conductores sólidos de electricidad pueden clasificarse en metales y semiconductores. Ambos presentan una estructura atómica cristalina, es decir, sus átomos están ordenados en una forma regular constituyendo la red estructural del material. Por ejemplo, en la Figura 2.1 se muestra la estructura cristalina cúbica que presentan algunos buenos conductores, tales como el cobre, la plata y el aluminio. Las fuerzas atractivas interatómicas que mantienen casi inmóviles a los iones que integran la estructura, son de origen electrostático, y el tipo de enlace es metálico, en el cual los electrones de valencia no están fijos en los enlaces, sino más bien, pueden moverse libremente en todo el cristal.

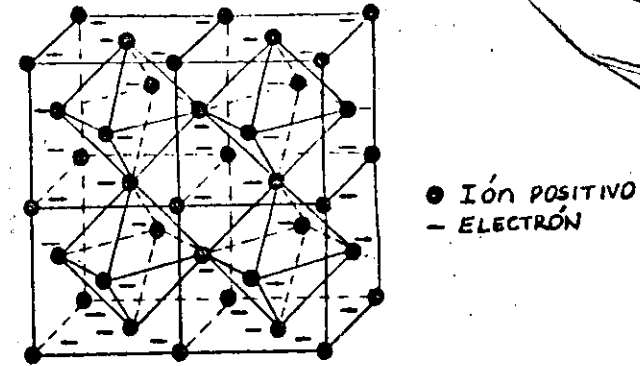


Figura 2.1 Estructura cristalina que presentan algunos metales.

Una representación más común de la estructura atómica que presentan los metales, es la indicada en la Fig. 2.2, conocida como "modelo electrón-gas" de un metal, en donde los iones positivos aparecen sumergidos en un "gas" o "mar" de electrones libres.

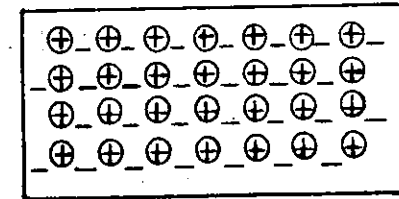


Figura 2.2 Modelo electrón-gas de un metal.

En este esquema se ha considerado que cada átomo metálico contribuye solamente con un electrón, el de valencia.

... y los iones positivos están formados por el núcleo y los electrones internos restantes.

Como los átomos de cualquier sólido tienen una concentración volumétrica del orden del número de Avogadro, aproximadamente 6×10^{23} átomos/cm³, consecuentemente, si cada átomo contribuye con un electrón libre, se tendrán también 6×10^{23} electrones libres/cm³.

Esta es la razón de que los metales sean buenos conductores eléctricos, disponen de grandes concentraciones de electrones libres o móviles, que pueden moverse muy fácilmente bajo el influjo de un campo eléctrico externo aplicado.

De esta descripción cualitativa pueden deducirse algunas conclusiones importantes:

- El metal continúa siendo eléctricamente neutro en su conjunto, porque la carga negativa que representan los electrones libres, es exactamente igual a la carga positiva de los iones.
- En un metal, la corriente es conducida por un solo tipo de carga móvil: los electrones libres. Los iones no se mueven porque permanecen fijos constituyendo la estructura cristalina del material.
- La densidad de los portadores de carga o electrones libres que participan en el proceso de conducción, depende principalmente del número de electrones de valencia que tengan los átomos que forman el material. Es decir, para un metal dado, la densidad de portadores es fija.

Como se señaló anteriormente, también los materiales semiconductores presentan una estructura cristalina. En la siguiente figura se muestra la estructura que presentan el silicio y el germanio, que son los dos semiconductores más utilizados en la fabricación de dispositivos.

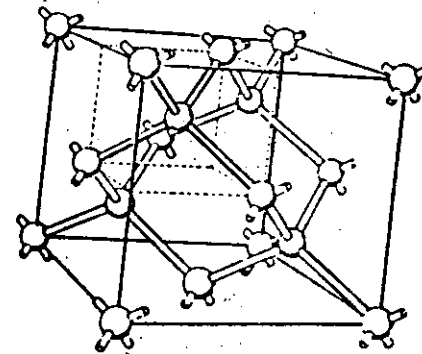


Figura 2.3 Estructura cristalina del silicio y del germanio.

En este caso, las fuerzas atractivas también son de origen electrostático pero el enlace es del tipo covalente, en el cual dos átomos comparten dos electrones. En este caso, cada átomo está en el centro de un tetraedro regular y comparte sus cuatro electrones de valencia con cua

tro átomos vecinos y equidistantes. Las características esenciales de esta estructura, pueden representarse en un diagrama bidimensional como se muestra en la Figura 2.4a, la cual corresponde a la situación que prevalece a muy baja temperatura, aproximadamente 0°K . Como los electrones de valencia están ocupando sus respectivos lugares en los enlaces covalentes, no hay electrones libres dispuestos a conducir la corriente y por este motivo, los semiconductores se comportan como buenos aisladores a muy bajas temperaturas.

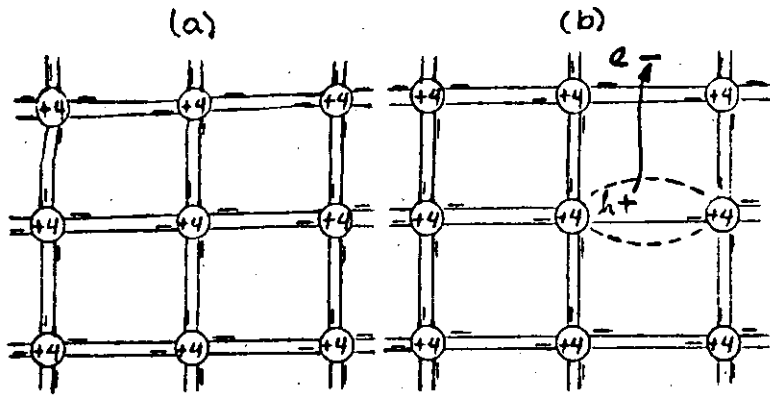


Figura 2.4 Diagrama bidimensional que muestra los enlaces covalentes de los materiales semiconductores. (a) $T = 0^{\circ}\text{K}$, (b) $T = 300^{\circ}\text{K}$.

A temperatura ambiente, aproximadamente unos 300°K , la energía suministrada a los electrones de valencia por el incremento en la temperatura, es lo suficientemente grande como para que algunos enlaces covalentes se rompan, provocando que algunos átomos se ionicen y se creen electrones libres. Esta situación se muestra en la Fig. 2.4b. La cantidad de electrones libres generados de esta forma, en realidad es muy pequeña, por ejemplo, en el germanio a temperatura ambiente se rompen unos 10^{13} enlaces por centímetro cúbico y como hay unos 10^{23} átomos por centímetro cúbico solamente se tiene un electrón libre por cada

10^{10} átomos. A pesar de lo anterior, el efecto que se tiene en las características eléctricas del material es enorme, ya que se hace posible la conducción donde no la había, el material es considerado un semiconductor porque no dispone de la gran concentración de electrones libres presentes en un metal, ni tampoco esta concentración es tan pequeña como en los aisladores, en donde, por ejemplo en el caso del diamante, se tiene un enlace covalente roto por cada 10^{15} átomos.

Al romperse un enlace covalente, el electrón deja un lugar vacío conocido como hueco, que puede ser ocupado por otro electrón vecino. Este último hecho se muestra en la Fig. 2.5, y constituye un movimiento de carga en el que no intervienen los electrones libres. De hecho, esta es otra característica fundamental que hace diferente a un semiconductor de un metal; en el primero, la corriente es debida al flujo de electrones libres y al de los electrones de enlaces que ocupan sucesivamente los lugares de los huecos, y en el último, como se concluyó anteriormente, la corriente es debida exclusivamente al flujo de electrones libres.

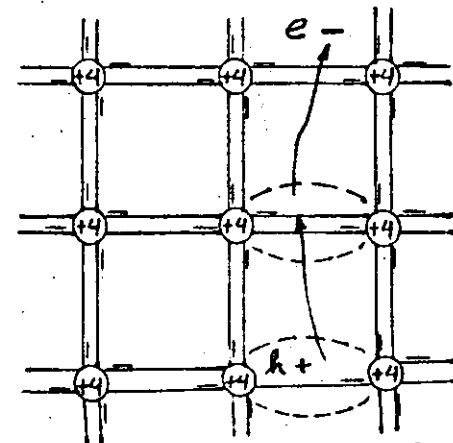


Figura 2.5 El electrón del enlace covalente vecino puede ocupar la posición de un hueco.

2.1.3 DENSIDAD DE CORRIENTE

Considérese un conductor de longitud L y sección transversal de área A , conteniendo N electrones libres, como se muestra en la siguiente figura.

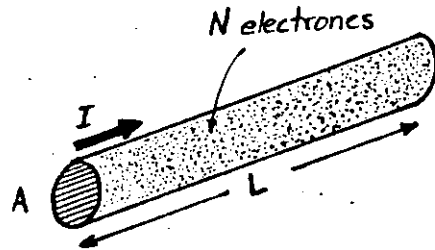


Figura 2.7 Segmento de conductor.

Si un electrón recorre la distancia L metros en un tiempo de T segundos, la corriente que es la carga total que atraviesa cualquier sección transversal del conductor por unidad de tiempo, será:

$$I = \frac{Nq}{T} \quad (2.8)$$

y como $T = L/v$, donde v es la velocidad promedio o velocidad de arrastre que experimentan los electrones al aplicar un campo eléctrico, se tiene

$$I = \frac{Nqv}{L} \quad (2.9)$$

Ahora bien, por definición la densidad de corriente J es la corriente por unidad de área, es decir:

$$J = \frac{Nqv}{LA} \quad (2.10)$$

como LA es el volumen, N/LA es la concentración de electrones n :

$$J = nqv \quad (2.11)$$

y como v puede representarse por $v = \mu_n E$, donde μ_n es la movilidad de los electrones que está dada en $\left\{ \frac{m^2}{V \cdot s} \right\}$, sustituyendo en (2.11), se obtiene

$$J = qn\mu_n E = \sigma E \quad (2.12)$$

donde:

$$\sigma = nq\mu_n \quad (2.13)$$

es la conductividad del metal en $(\Omega \cdot m)^{-1}$

Para el caso de un semiconductor, la expresión (2.12) no es aplicable directamente porque como se recordará, el mecanismo de conducción en un semiconductor es bipolar, involucra el movimiento de electrones negativos y huecos positivos. Aunque estas partículas se mueven en direcciones opuestas bajo la acción de un mismo campo eléctrico, como tienen signos opuestos, las corrientes tienen la misma dirección. Por ello, la densidad de corriente de arrastre para los huecos, electrones y la total, será:

$$J_p = p\mu_p qE \quad (2.14)$$

$$J_n = n\mu_n qE \quad (2.15)$$

$$J = (n\mu_n + p\mu_p) qE = \sigma E \quad (2.16)$$

donde:

- n = concentración de electrones libres
- μ_n = movilidad de los electrones
- p = concentración de huecos
- μ_p = movilidad de los huecos
- $\sigma = (n\mu_n + p\mu_p)q$ = conductividad del material.

Adicionalmente a esta corriente, en los materiales semiconductores se presenta otra componente no encontrada en los metales, la componente de difusión. Como es posible tener una concentración no uniforme de partículas en un semiconductor, puede haber un transporte de carga de zonas de mayor concentración a zonas de menor concentración. En la Figura 2.8 se muestra el corte longitudinal de un material semiconductor tipo p que presenta una concentración de huecos variable, disminuyendo conforme aumenta x.

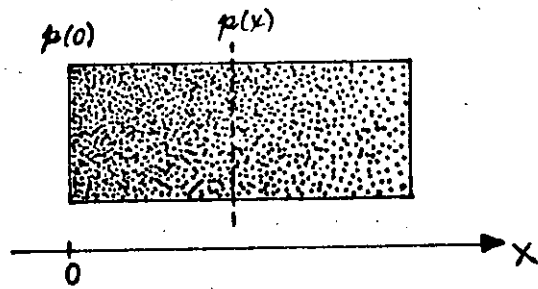


Figura 2.8 Gradiente de concentración.

Si se considera cualquier plano transversal, líneas punteadas en la figura, es lógico pensar que en un momento dado hayan más huecos pasando de izquierda a derecha que de derecha a izquierda, porque a la izquierda la concentración es mayor, es decir, existe un gradiente de concentración dp/dx y la densidad de corriente de huecos por difusión es proporcional a dicho gradiente:

$$J_p = -qD_p \frac{dp}{dx} \quad (2.17)$$

donde D_p es la constante de difusión de los huecos expresada en (m^2/s) .

Como la movilidad y la difusión son fenómenos termodinámicos estadísticos, no son independientes y están relacionados a través de la relación de Einstein:

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = V_T = \frac{KT}{q} \quad (2.18)$$

donde:

K = constante de Boltzmann ($1.381 \times 10^{-23} J/^\circ K$)

T = temperatura en $^\circ K$

q = carga del electrón ($1.602 \times 10^{-19} C$)

como V_T tiene unidades de volts, es llamado "voltaje térmico" y es aproximadamente igual a 26 mV a temperatura ambiente.

En el caso de que se tenga simultáneamente un gradiente de potencial y un gradiente de concentración, la corriente total de huecos será, sumando la expresión (2.14) y la (2.17):

$$J_p = p\mu_p qE - qD_p \frac{dp}{dx} \quad (2.19)$$

y para los electrones:

$$J_n = n\mu_n qE + qD_n \frac{dn}{dx} \quad (2.20)$$

Supóngase que se tiene un semiconductor tipo p cuya concentración varía linealmente como se muestra en la siguiente figura.

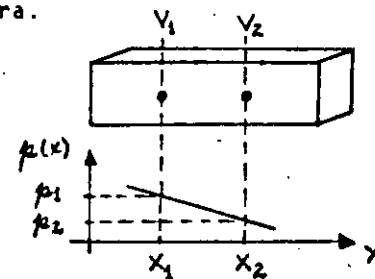


Figura 2.9 Semiconductor tipo p con un gradiente de concentración lineal.

Debido a que no se tiene ninguna excitación externa y considerando una situación de estado estable, la corriente de huecos y de electrones en el material debe ser cero. Pero como la concentración de huecos no es uniforme, es lógico pensar en una componente de difusión diferente de cero. Entonces, para que la corriente total de huecos sea cero, debe existir una corriente de arrastre igual y de signo opuesto a la corriente de difusión. Sin embargo, como una corriente de arrastre requiere de un campo eléctrico, se concluye que como resultado de la concentración no uniforme de huecos, se genera un campo eléctrico interno en el semiconductor. Se puede determinar este campo eléctrico y su potencial asociado de la siguiente forma:

Haciendo $J_p = 0$ en la expresión (2.19), se tiene:

$$0 = p\mu_p q \epsilon - qD_p \frac{dp}{dx}$$

$$\epsilon = \frac{D_p}{\mu_p} \frac{1}{p} \frac{dp}{dx}$$

y de la relación de Einstein:

$$\epsilon = \frac{V_T}{p} \frac{dp}{dx} \quad (2.21)$$

Si se conoce $p(x)$, puede calcularse $\epsilon(x)$. Como $\epsilon = -dV/dx$, se tiene:

$$- \frac{dV}{dx} = \frac{V_T}{p} \frac{dp}{dx}$$

es decir:

$$dV = - V_T \frac{dp}{p}$$

integrando entre x_2 y x_1 :

$$V_{21} = V_2 - V_1 = V_T \ln \frac{p_1}{p_2} \quad (2.22)$$

que puede expresarse:

$$p_1 = p_2 e^{V_{21}/V_T} \quad (2.23)$$

que es la relación de Boltzmann de la teoría cinética de los gases.

Haciendo también $J_n = 0$ en la expresión (2.20), se obtiene similarmente:

$$n_1 = n_2 e^{-V_{21}/V_T} \quad (2.24)$$

y multiplicando (2.23) y (2.24) se obtiene:

$$n_1 p_1 = n_2 p_2 \quad (2.25)$$

que indica que el producto de n y p es constante, como se había establecido antes.

Resumiendo, la existencia de un gradiente de concentración en los materiales semiconductores, genera necesariamente un campo eléctrico y un voltaje electrostático interno.

2.2 JUNTURA P-N

Si a una barra de semiconductor tipo N se le difunden impurezas aceptadoras en un extremo, con una concentración N_A mayor que la N_D que tenía originalmente, el resultado es una juntura o unión P-N, como la indicada en la Fig. 2.10a.

Debido al alto gradiente de concentración a través de la juntura, se recombinan los portadores de corriente cercanos a ella. En otras palabras, los electrones del mate-

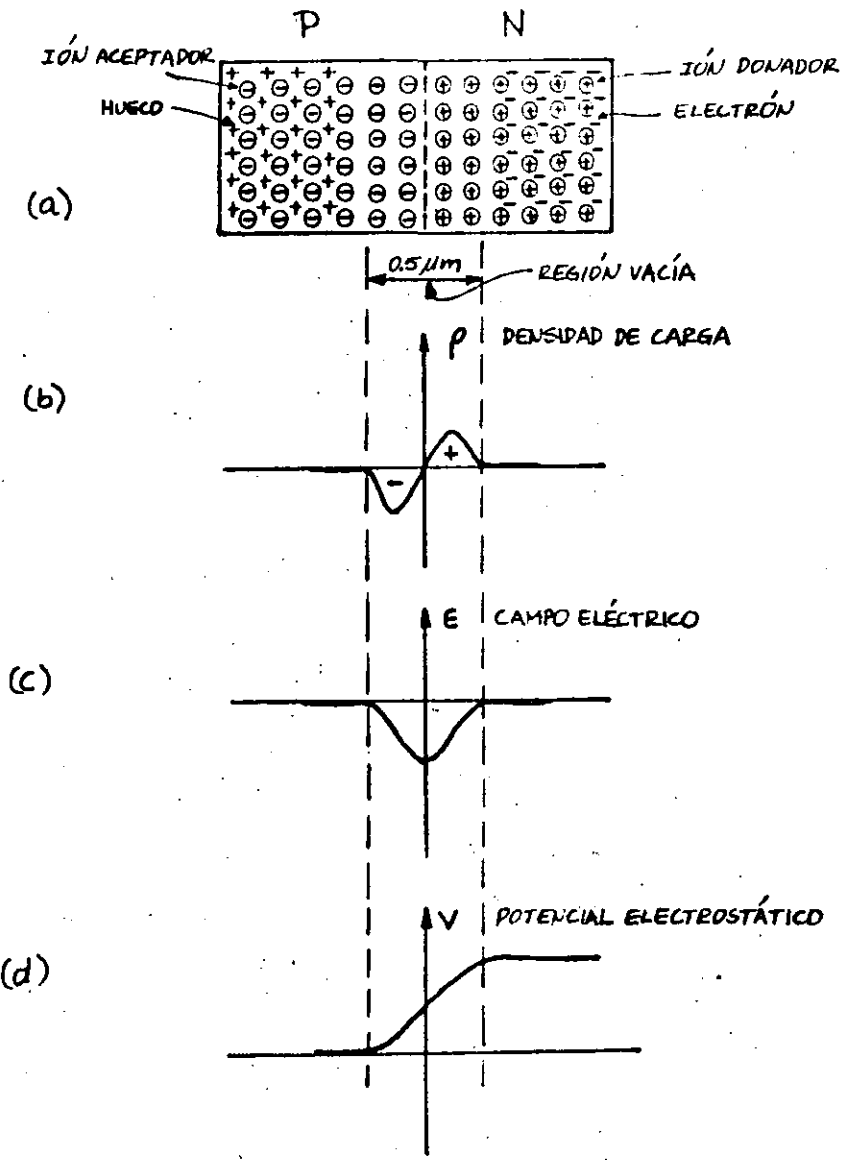


Figura 2.10 (a) Juntura P-N; (b) Densidad de carga, (c) Campo eléctrico y (d) Potencial electrostático asociados.

rial tipo N se difunden hacia el material tipo P, y los huecos de este último, se difunden hacia el material tipo N. El resultado es que se recombinan o neutralizan los electrones y huecos vecinos a la unión, desapareciendo como portadores de carga y originando iones positivos en la región N y negativos en la región P.

Conforme avanza el proceso de recombinación, se incrementa la carga producida por la creación de iones a ambos lados de la juntura. Este mecanismo continuaría indefinidamente si no fuera porque asociada a la carga, se tiene también la existencia de un campo eléctrico interno, cuyo sentido, de N a P, se opone a la difusión de huecos y electrones. El equilibrio se alcanza cuando este campo eléctrico es lo suficientemente intenso, como para mantener a huecos y electrones en su respectiva región.

Al llegar al estado estable, se tiene una zona libre de portadores porque se neutralizaron en la recombinación. A esta zona se le denomina "región de carga espacial" o "región de transición" ó "región vacfa".

La densidad de carga asociada a la región vacfa, está determinada por la ecuación de Poisson,

$$\frac{d^2V}{dx^2} = - \frac{\rho}{\epsilon} \tag{2.26}$$

- donde: V = potencial electrostático a través de la juntura
- ρ = densidad de carga
- ϵ = permitividad

14

En la Fig. 2.10a se ha dibujado arbitrariamente la densidad de carga, su forma realmente depende de cómo estén contaminados los materiales P y N.

Como el campo eléctrico está dado por:

$$e = -\frac{dV}{dx} \quad (2.27)$$

sustituyendo en la ecuación (2.26), se obtiene:

$$e = \int \frac{P}{\epsilon} dx \quad (2.28)$$

y conocido e , puede determinarse el potencial electrostático con la misma ecuación (2.27):

$$V = -\int e dx \quad (2.29)$$

cuyo valor típico es de algunas décimas de Volts.

La característica esencial de la juntura P-N o diodo semiconductor, es que permite fácilmente el flujo de corriente en un sentido y se opone al flujo en sentido contrario. Cuando se aplica un voltaje con la polaridad mostrada en la Fig. 2.11a, tal que la región P es más negativa que la N, se refuerza el campo eléctrico interno para separar de la juntura a los portadores mayoritarios, incrementándose el ancho de la región vacía.

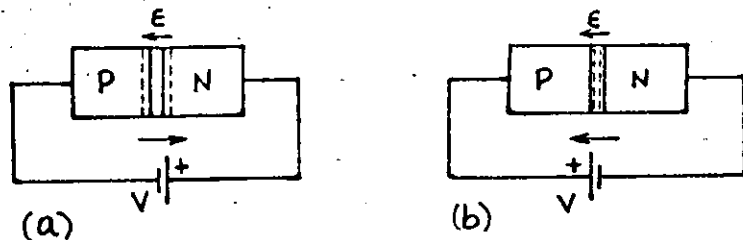


Figura 2.11 Juntura P-N polarizada en (a) inversa y en (b) directa.

Como los portadores mayoritarios, electrones del material tipo N y huecos del material tipo P, no atraviesan la juntura, la corriente obtenida es muy pequeña y es debida al flujo de electrones de la región P y de huecos de la N, que son los únicos que pueden atravesar la juntura. A esta corriente debida a los portadores minoritarios se le denomina corriente de saturación I_s , y es prácticamente independiente de la magnitud del voltaje aplicado, mientras no se sobrepase un máximo valor permisible. Bajo estas condiciones, se dice que el diodo está polarizado en inversa.

En diodos de baja potencia, I_s es del orden de nanoamperes o microamperes, según el diodo sea de Si o Ge, respectivamente. En diodos de potencia, se pueden tener valores de varios cientos de mA.

Experimentalmente se ha observado que la corriente de saturación, aproximadamente se duplica para cada 10°C de incremento en la temperatura. Esta dependencia puede expresarse como:

$$I_s(T) = I_s(T_1) \cdot 2^{(T-T_1)/10} \quad (2.30)$$

Cuando el voltaje aplicado es tal que la región P es más positiva que la N, como se indica en la Fig. 2.11b, se contrarresta al campo eléctrico interno y los portadores mayoritarios pueden circular a través de la juntura, dando origen a una corriente considerable. En este último caso, se dice que el diodo está polarizado en directa.

La relación matemática que describe con mayor precisión el comportamiento real de un diodo, es:

$$i_D = I_s (e^{v_D/nV_T} - 1) \quad (2.31)$$

donde:

$$V_T = \frac{KT}{q} = \text{"Voltaje Térmico"}$$

n = parámetro experimental, $1 \leq n \leq 2$.

En la siguiente figura se muestra la característica gráfica del diodo, así como el símbolo que se utiliza, en donde se han indicado el sentido positivo de la corriente y su relación con la estructura física.

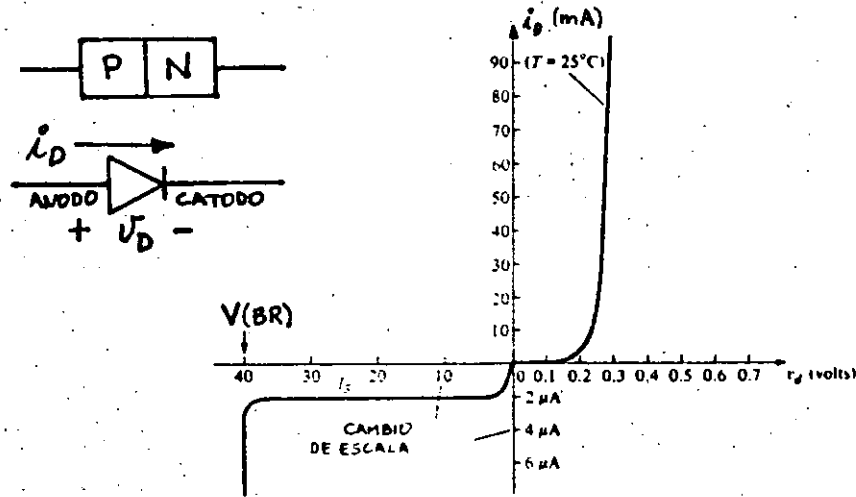


Figura 2.12 Característica funcional i-v y símbolo del diodo.

Por analogía con los diodos de Tubos al Vacío, la terminal marcada con el signo + es conocida como ánodo, y la marcada con - como cátodo.

La ecuación (2.31) es válida para toda la región en directa, v_D e i_D positivos, y para la región en inversa hasta antes del voltaje de rompimiento $V(BR)$, que como se explicará más adelante, es debido a dos efectos: Zener y avalancha.

En la Fig. 2.13 se muestran las características típicas que presentan los diodos de Si y Ge de baja potencia. En general, los diodos de Si tienen mayores voltajes de rompimiento y más amplios rangos de potencia y temperatura de operación que los de Ge. Mientras los de Si tienen un $V(BR)$ del orden de los 1000V y la temperatura de operación llega a unos 200°C, en los de Ge se tienen unos 400V y 60°C, respectivamente.

La desventaja de los diodos de silicio en comparación con los de Ge, es que presentan una caída de voltaje en directa mayor, como puede apreciarse en la Fig. 2.13. El responsable de este hecho es el parámetro n , que para el Si toma el valor de 2 en el codo de la característica (a bajos niveles de corriente), y el valor de 1 después del codo (altos niveles de corriente). En cambio, para el Ge tiene un valor aproximadamente constante e igual a 1.

En la Fig. 2.13 se ha señalado el voltaje V_o , en el cual ocurre la transición de bajos niveles de corriente a altos niveles, este voltaje es conocido como "voltaje de encendido" del diodo y es aproximadamente 0.7V para el Si y 0.3V para el Ge.

16

2.3 ESPECIFICACIONES DEL FABRICANTE

Como se mencionó al principio de este capítulo, existe una gran variedad de diodos en el mercado y las especificaciones que proveen los fabricantes, depende mucho de la aplicación a la cual están destinados. Por esta razón, para algunos pueden darse parámetros como rango de frecuencia, capacitancia, tiempo de "switching", ni-

iones:

- Note el cambio de escala en la región inversa.
- En los diodos de propósitos generales, a diferencia de los que se usan como reguladores, pueden presentar una característica de resistencia negativa en la región inversa.

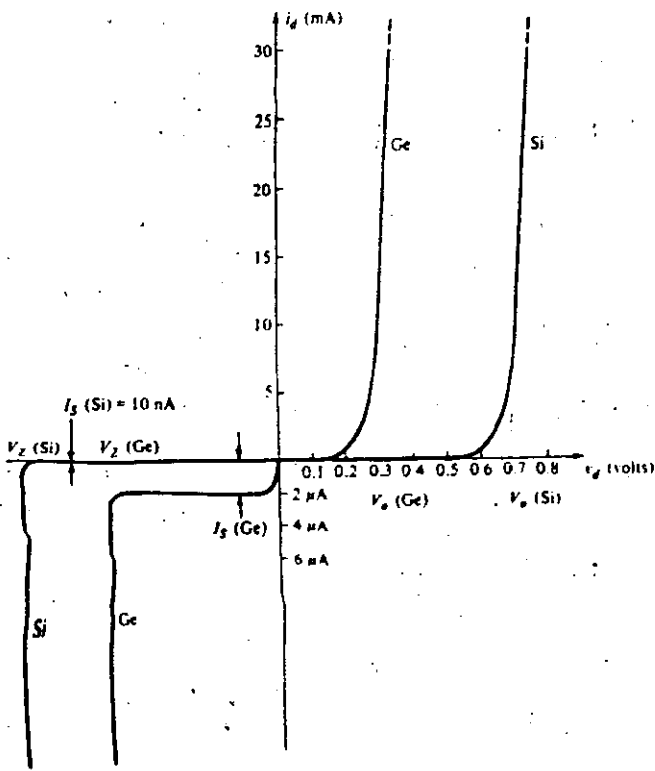


Figura 2.13 Característica de los diodos de Si y Ge.

vel de ruido, potencia máxima, etc.

Sin embargo, puede asegurarse que para diodos de propósitos generales, se dan las siguientes especificaciones:

V_F (máx): Voltaje máximo en directa, a una corriente y temperatura de operación específica.

I_F (máx): Corriente máxima en directa, a una temperatura determinada.

I_R (máx): Corriente máxima en inversa, a una temperatura determinada.

V_{BR} : Voltaje de rompimiento en inversa, a una temperatura específica. También se usa PIV ó PRV.

T_j (máx): Máxima temperatura de la juntura.

En la Tabla 1 se muestran los valores máximos para algunos diodos de propósitos generales. Nótese el incremento considerable en la corriente de inversa, para todos los casos.

T A B L A 1

TIPO	I_F (mA)	V_F (V)	V_{BR} (V)	$I_R(25^\circ\text{C})$		$I_R(150^\circ\text{C})$	
				(V)	(μ A)	(V)	(μ A)
1N463	1.0	1.0	200	175	0.5	175	30
1N462	5.0	1.0	70	60	0.5	60	30
1N459A	100.0	1.0	200	175	0.025	175	5
T151	200.0	1.0	20	10	1	-	-

Final de este capítulo, de la hoja 89 a la hoja 94, se anexan algunas hojas de especificaciones que serán comentadas en clase.

2.14 EL DIODO COMO ELEMENTO DE CIRCUITO

La característica no-lineal del diodo hace de éste un elemento laborioso de analizar. Como se ha mencionado antes, en la ecuación (2.31) puede apreciarse que cuando está polarizado en inversa equivale a un circuito abierto, dada la pequeñísima corriente I_s que fluye a través de él; mientras que polarizado en directa, equivale a una resistencia no-lineal, la cual disminuye conforme aumenta el voltaje o la corriente.

Si la ecuación característica del diodo es:

$$i_D = I_s (e^{v_D/nV_T} - 1) \quad (2.31)$$

y se sabe que I_s es muy pequeña, es fácil notar que para corrientes $i_D \gg I_s$ se necesita que $e^{(v_D/nV_T)} \gg 1$, y por lo tanto en todos esos casos se puede considerar que:

$$i_D = I_s e^{v_D/nV_T} \quad (2.32)$$

La ecuación (2.32) es fundamental para analizar al diodo de unión P-N. Considérense los siguientes ejemplos para mostrar su aplicación.

Ejemplo 2.1.-

Algunas veces, nos encontramos con el problema de emplear un diodo cuyas características esenciales desconocemos.

En este caso se puede hacer uso del laboratorio para medir algunas de ellas. En el laboratorio se alambra el siguiente circuito:

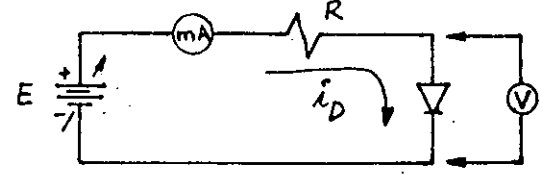


Figura 2.14.- Circuito para determinar la característica de un diodo.

Al variar el voltaje E con la polaridad mostrada, se pueden obtener muchos puntos (v_D, i_D) que posteriormente permiten graficar la característica endirecta del diodo. Invertiendo la polaridad de E, se obtienen los puntos para graficar la característica en inversa y además, puede obtenerse el voltaje de rompimiento $V(BR)$ cuando se observe que la corriente I_s crece abruptamente. Aunque el tamaño y el tipo de encapsulado nos dan una idea de los regímenes de corriente y potencia, es obvio que estas pruebas pueden también efectuarse y que requieren equipo adicional.

Sin embargo, no es necesario realizar tantas mediciones ya que podemos auxiliarnos de la ecuación característica. Por ejemplo, supóngase que se obtienen tres puntos:

	i_D	v_D
1.-	10mA	265mV
2.-	1mA	200mV
3.-	0.1mA	135 mV

Se puede utilizar en la ecuación (2.32), que si las mediciones han sido hechas a temperatura ambiente, se tienen las incógnitas I_s y n . Por lo tanto, bastan dos puntos de la curva para conocer dichas incógnitas. Para cada punto se debe cumplir dicha ecuación:

$$i_{D1} = I_s e^{v_{D1}/n V_T} \quad (2.33)$$

$$i_{D2} = I_s e^{v_{D2}/n V_T} \quad (2.34)$$

Dividiendo ambas ecuaciones entre sí:

$$\frac{i_{D1}}{i_{D2}} = e^{(v_{D1} - v_{D2})/n V_T} \quad (2.35)$$

$$\therefore n V_T = \frac{v_{D1} - v_{D2}}{\ln(i_{D1}/i_{D2})} \quad (2.36)$$

Además, de (2.33) y (2.34):

$$i_{D2} e^{-v_{D2}/n V_T} = I_s = i_{D1} e^{-v_{D1}/n V_T} \quad (2.37)$$

Tomemos dos puntos cualesquiera y comprobemos con el tercero.

$$\text{De (2.36): } n V_T = \frac{265\text{mV} - 200\text{mV}}{\ln(10)} = \frac{65}{2.3} = 28.26\text{mV}$$

Como se midió a temperatura ambiente:

$$n V_T = n \times 26\text{mV}$$

$$n = \frac{28.26\text{mV}}{26\text{mV}} = 1.09$$

$$\text{De (2.37): } I_s = 1\text{mA} \times e^{-200\text{mV}/28.26\text{mV}} = 1\text{mA} \times e^{-7.1} = 10^{-6}\text{A}$$

Debe comprobarse que:

$$0.1\text{mA} = 10^{-6}\text{A} \times e^{135\text{mV}/28.26\text{mV}}$$

Ejemplo 2.2.-

La característica exponencial del diodo determina un cambio pequeño de voltaje para cambios grandes de corriente. ¿Qué tanto cambia el voltaje en el diodo para un cambio de 10 a 1 en la corriente?

De la ecuación (2.32), si $n=1$ tenemos que:

$$i_{D1} = I_s e^{v_{D1}/V_T}$$

$$10i_{D1} = I_s e^{v_{D2}/V_T} = i_{D2}$$

Dividiendo:

$$\frac{i_{D2}}{i_{D1}} = e^{(v_{D2} - v_{D1})/V_T} = 10$$

$$v_{D2} - v_{D1} = V_T \ln(10)$$

$$\Delta v_D = 2.3 V_T$$

Como $V_T = 26\text{mV}$ a $T = 300^\circ\text{K}$ se tiene que a temperatura ambiente:

$$\Delta v_D = 2.3 (26) \approx 60\text{mV}$$

O sea que un cambio de unos 60mV en V_D , ocasiona un cambio de 10:1 en la corriente del diodo. Obviamente, para variaciones de voltaje de varios cientos de milivolts, se puede considerar que el voltaje es casi invariante para grandes variaciones de corriente.

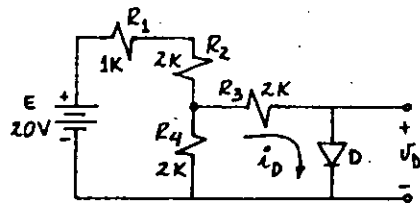
2.4.1 ANALISIS DE CIRCUITOS CON DIODOS

El análisis de circuitos con diodos puede realizarse de una for

na analítica o gráfica. Los siguientes ejemplos muestran por sí solos el procedimiento usado en cada caso.

Ejemplo 2.3.-

Hallar el voltaje y la corriente en el diodo del siguiente circuito.



Datos del diodo:

- $I_s = 10^{-14} \text{ A}$
- $n = 1$
- $T = 300^\circ \text{ K}$

Figura 2.15.-

Solución.

Resolveremos el problema por dos métodos:

METODO ANALITICO.-

Para facilitar el análisis del circuito y en vista de que nos interesa conocer la corriente y el voltaje del diodo, encontremos primeramente el equivalente de Thévenin que ve el diodo, es decir, reduzcamos el circuito a uno de la forma:

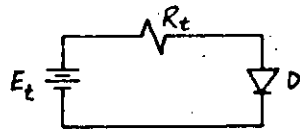
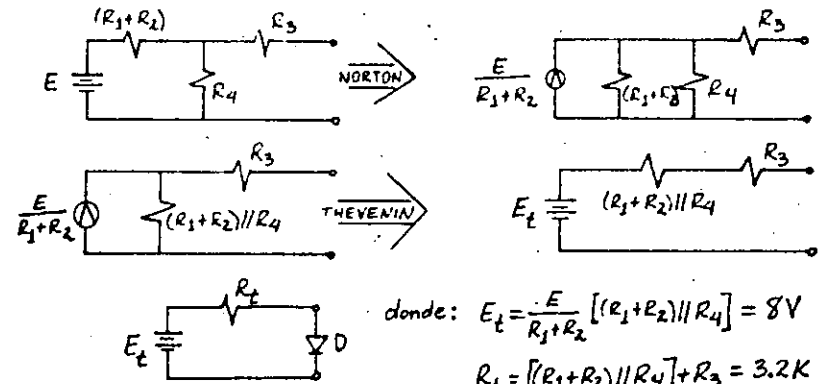


Figura 2.16.-

Esta reducción se puede hacer directamente, aplicando el teorema de Thévenin; o por pasos, aplicando alternativamente el teorema de Thévenin y el de Norton hasta obtener el equivalente total. Apliquemos esta última forma:



donde: $E_t = \frac{E}{R_1+R_2} [(R_1+R_2) || R_4] = 8 \text{ V}$
 $R_t = [(R_1+R_2) || R_4] + R_3 = 3.2 \text{ K}$

Por la ley de Ohm, la corriente en el circuito es:

$$i_D = \frac{E_t - v_D}{R_t} \tag{2.38}$$

De la característica del diodo:

$$i_D = I_s e^{v_D/V_T}$$

Obtenemos:

$$v_D = V_T \ln\left(\frac{i_D}{I_s}\right) \tag{2.39}$$

Por lo que la solución es, sustituyendo la ecuación anterior en la (2.38)

$$i_D = \frac{E_t}{R_t} - \frac{V_T}{R_t} \ln\left(\frac{i_D}{I_s}\right) \tag{2.40}$$

La ecuación (2.40) es una ecuación implícita y trascendente, la cual se puede resolver sólo por métodos iterativos. Dado que esta ecuación se obtiene de hacer simultáneas (2.38) y (2.39), es equivalente usar el método iterativo directamente en la ecuación (2.40) o alternativamente en (2.38) y (2.39). Para esto, se asume un voltaje o una corriente, se resuelven las ecuaciones y si el nuevo resultado es incom-

patible con la suposición, se toma este nuevo resultado como suposición y se repite el proceso.

Primera iteración.

Supongamos un voltaje $v_{D1} = 3V$ (suposición muy burda, ya que sabemos que este voltaje "anda" por el orden del voltaje de encendido o de difusión y es aproximadamente 0.3V para un diodo de germanio y 0.7V para uno de silicio). Esta suposición en la ecuación (2.38) nos da:

$$i_{D1} = \frac{E_t - v_{D1}}{R_t} = \frac{8 - 3}{3.2K} = 1.56mA$$

sustituyendo este resultado en la ecuación (2.39), obtenemos:

$$\begin{aligned} v_{D2} &= V_T \ln \left(\frac{i_{D1}}{I_s} \right) = 26 \text{ mV} \cdot \ln \left(\frac{1.56 \times 10^{-3} \text{ A}}{10^{-14} \text{ A}} \right) \\ &= 26 \text{ mV} \cdot \ln (1.56 \times 10^{11}) \\ v_{D2} &= 0.67 \text{ V} \end{aligned}$$

Obviamente, $v_{D1} \neq v_{D2}$, por lo tanto tendremos que hacer otra iteración.

Segunda iteración.

Tomamos este último valor v_{D2} como una nueva suposición, sustituyendo en la ecuación (2.38), tenemos:

$$i_{D2} = \frac{E_t - v_{D2}}{R_t} = \frac{8 - 0.67}{3.2K} = 2.3 \text{ mA}$$

Sustituyendo i_{D2} en la ecuación (2.39):

$$\begin{aligned} v_{D3} &= V_T \ln \left(\frac{i_{D2}}{I_s} \right) = 26 \text{ mV} \cdot \ln \left(\frac{2.3 \times 10^{-3} \text{ A}}{10^{-14} \text{ A}} \right) \\ v_{D3} &= 0.679 \text{ V} \end{aligned}$$

Se puede observar que $v_{D3} \approx v_{D2}$, por lo que no es necesaria otra ite-

ración. Veamos que error cometemos al tomar v_{D2} en lugar de v_{D3} :

$$\frac{v_{D3} - v_{D2}}{v_{D2}} \times 100 = \frac{679 \text{ mV} - 670 \text{ mV}}{670 \text{ mV}} \times 100 = 1.32\%$$

Que obviamente es despreciable.

Si hubiéramos considerado como primer suposición $v_{D1} = 0.7V$, es posible que a la primera iteración hubiéramos encontrado el valor de $v_{D3} = 679mV$; si por el contrario, hubiéramos supuesto un valor $v_{D1} > 3$, el número de iteraciones hubiera aumentado. El criterio para escoger el primer valor supuesto es muy simple si consideramos que la corriente de saturación (I_s) de un diodo anda en los siguientes intervalos:

$$10^{-14} \text{ A} \leq I_s \leq 10^{-9} \text{ A}; \text{ si es de silicio.}$$

$$10^{-7} \text{ A} \leq I_s \leq 10^{-5} \text{ A}; \text{ si es de germanio.}$$

de aquí podemos observar que si conocemos I_s (es dato) podemos decir con cierta seguridad de qué tipo es, es decir, si $I_s = 10^{-14} \text{ A}$, se trata de un diodo de silicio y por lo tanto tomaríamos como primer valor supuesto: $v_{D1} = 0.7V$.

Como puede notarse, la solución se obtiene al hacer simultáneas la ecuación de malla del circuito y la ecuación fundamental del diodo. Si tuviéramos a la mano la curva característica del diodo en cuestión, el problema se reduciría a encontrar gráficamente la intersección entre la curva característica del diodo y la recta que queda definida por la ecuación de malla del circuito, esto equivale a hacer simultáneas las dos ecuaciones. La recta definida por la ecuación de malla recibe el nombre de recta de carga estática o recta de carga de DC ya que el circuito que se está analizando contiene únicamente componente de DC, en otras palabras, la corriente y el voltaje a través del diodo serán constantes y al punto definido por este par de valores (intersección de la recta de carga estática con la curva característica del diodo) le llamaremos "punto de Operación" del diodo ó sencillamente "punto Q" (v_{DQ}, I_{DQ}).

21

METODO GRAFICO.

Supongamos entonces, que la curva caracterfstica del diodo utilizado en el circuito es como se muestra en la Fig.2.17

Del equivalente de Thévenin del circuito obtuvimos la ecuación 2.38

$$i_D = \frac{E_t - v_D}{R_t}$$

que se puede poner:

$$i_D = - \frac{1}{R_t} v_D + \frac{E_t}{R_t} \quad (2.41)$$

esta ecuación es de la forma:

$$y = mx + b$$

en donde: $y = i_D$; $m = - \frac{1}{R_t}$; $x = v_D$ y $b = \frac{E_t}{R_t}$

La ecuación (2.41) es pues, la ecuación de una recta con pendiente igual al negativo del inverso de la resistencia total del circuito (equivalente de Thévenin), con ordenada al origen $b = E_t/R_t$ y abscisa al origen $a = E_t$. La solución del problema se encuentra, como se dijo anteriormente, determinando la intersección de esta recta con la curva del diodo. En la Fig. 2.17 se ha trazado dicha recta y se muestra también el punto Q.

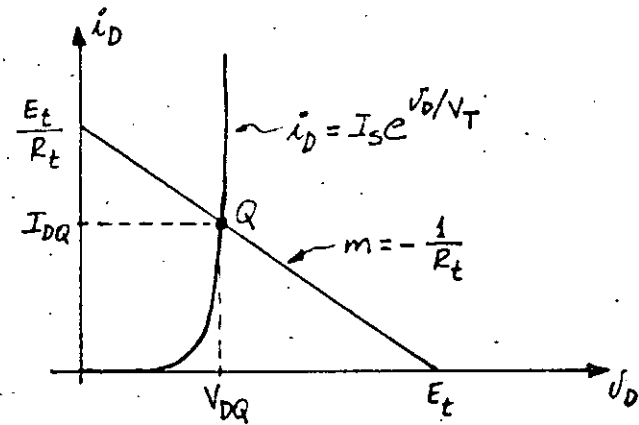
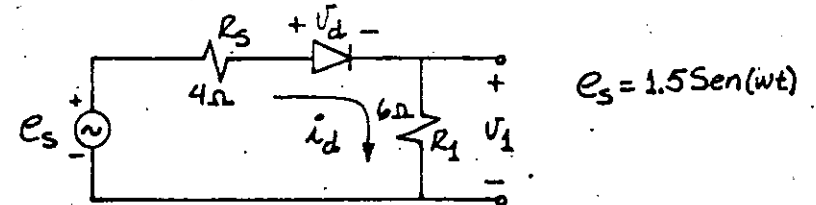


Figura 2.17 Solución gráfica del ejemplo 2.3

En la figura anterior, se puede notar que si aumenta o disminuye el voltaje E_t , la recta de carga subirá o bajará paralelamente variando el valor de a y b pero la pendiente $(-1/R_t)$ permanece constante.

Ejemplo 2.4.-

La curva caracterfstica del diodo BAX13 se muestra en la Fig. 2.18. Si este diodo se utiliza en un circuito como el mostrado, determine gráficamente la forma de onda de v_1 .



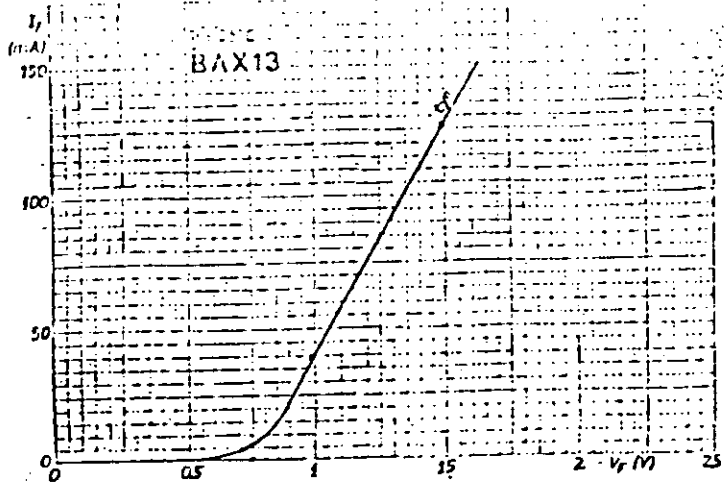


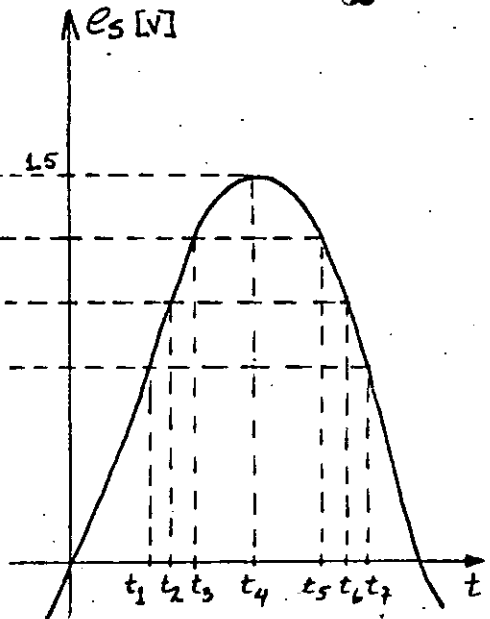
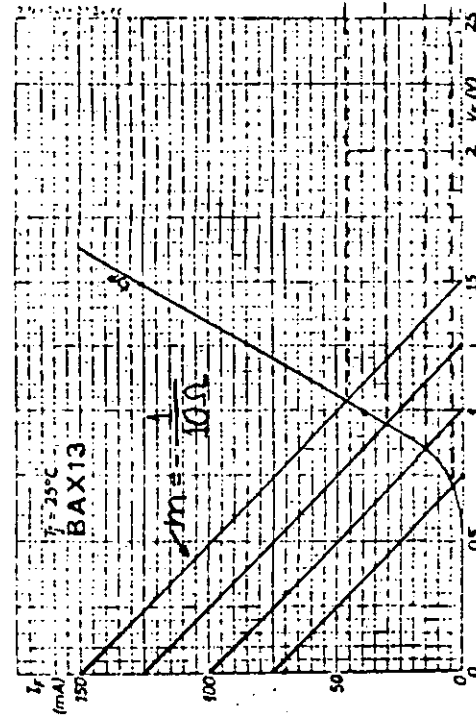
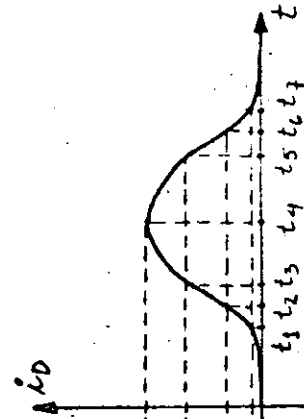
Figura 2.18.- Curva característica del diodo BAX13.

Solución.

Como el voltaje aplicado es senoidal, no existe un punto de operación definido, es decir, el punto Q no es constante sino que varía según el voltaje aplicado. El problema lo podemos considerar como de E_t variable pero la pendiente de la recta de carga es constante, por lo tanto, esta recta se trasladará paralelamente a sí misma y la abscisa al origen está determinada por el valor instantáneo de la función senoidal. Como la recta de carga no es estática (la señal aplicada no es DC) la llamaremos recta de carga dinámica o de AC.

La solución del problema consiste en encontrar los puntos de intersección entre la curva característica y la recta de carga dinámica al trasladarse. El procedimiento se ilustra en la figura 2.19. Una vez conocida la corriente i_D , como es la misma que circula por R_1 , el voltaje v_1 será igual a $i_D R_1$.

Nótese la distorsión de la corriente causada por la característica no lineal del diodo.



Hasta el momento se han analizado circuitos que contienen únicamente componentes de DC ó AC. En el análisis de circuitos de señal pequeña se encuentran presente tanto la componente de DC como la de AC. Los métodos de análisis tratados aquí, son válidos siempre y cuando la variación total de pico a pico de la componente de AC sea una pequeña fracción de la componente de DC; es decir, que:

$$V_{AC} \ll V_{DC}$$

Cumpléndose esta desigualdad, se garantiza que las variaciones del punto de operación del diodo, debido a las variaciones de la componente de AC, sean muy pequeñas y por lo tanto, el diodo estará "trabajando" en una pequeña porción de su curva característica. Esta pequeña porción se puede considerar lineal, de tal forma que el diodo puede ser sustituido por una resistencia llamada resistencia dinámica del diodo, y es la resistencia que presenta el diodo alrededor del punto de operación.

En la Fig. 2.20 se ilustra la situación que prevalece cuando se tiene presente una componente de directa y otra de alterna. Si ésta última es muy pequeña, como se muestra, la relación entre el voltaje aplicado y la corriente a través del diodo es casi lineal, lo que indica que el diodo se comporta prácticamente como una resistencia. En otras palabras, la componente de alterna a través del diodo, tiene la misma forma que la señal de alterna aplicada.

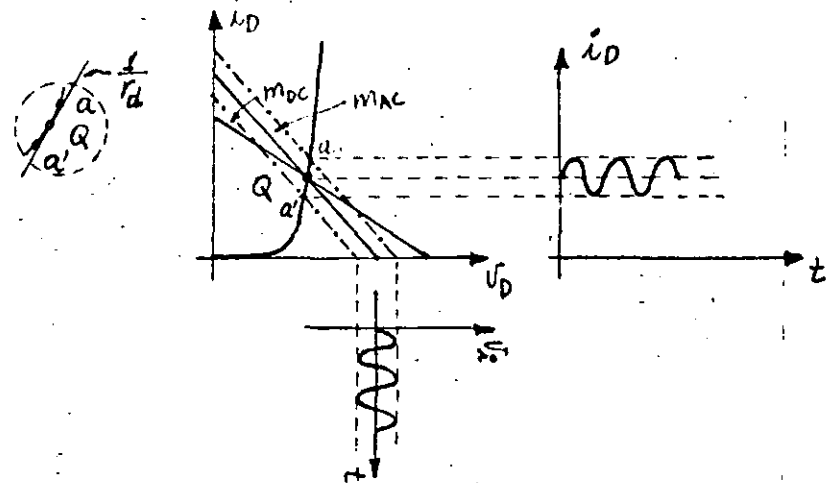


Figura 2.20.- Corriente i_D cuando la señal de alterna es pequeña.

Siendo más estrictos, si está presente una componente de directa y otra de alterna, el voltaje en el diodo puede expresarse como:

$$v_D = V_{DQ} + v_d \quad (2.42)$$

donde: v_D = voltaje total

V_{DQ} = voltaje de directa

v_d = voltaje de alterna

Entonces, la corriente puede expresarse:

$$i_D = I_s e^{(V_{DQ} + v_d) / nV_T} \quad (2.43)$$

$$\therefore i_D = \underline{I_s e^{V_{DQ} / nV_T}} e^{v_d / nV_T}$$

La parte subrayada es la misma ecuación del diodo evaluada en el punto Q, es decir I_{DQ} , por lo tanto:

$$i_D = I_{DQ} e^{v_d / nV_T} \quad (2.44)$$

expresando en una serie de potencias a la exponencial, se tiene:

$$i_D = I_{DQ} \left\{ 1 + \frac{v_d}{nV_T} + \frac{1}{2} \left(\frac{v_d}{nV_T} \right)^2 + \dots \right\} \quad (2.45)$$

en esta expresión, puede apreciarse que si el término cuadrático es mucho menor que el término lineal, éste último sería el predominante y la corriente podría relacionarse linealmente con el voltaje.

Es decir: Si $\frac{1}{2} \left(\frac{v_d}{nV_T} \right)^2 \ll \frac{v_d}{nV_T}$

$$\therefore v_d \ll 2nV_T \quad (2.46)$$

que para temperatura ambiente y $n=1$, arriba del codo de la característica, se tiene:

$$v_d \ll 2(1)(26\text{mV})$$

$$v_d \ll 52 \text{ mV} \quad (2.47)$$

una interpretación práctica del "mucho menor", es que por lo menos haya una diferencia de un orden de magnitud, es decir, si

$$v_d \leq 5.2 \text{ mV} \quad (2.48)$$

$$i_D \approx I_{DQ} \left\{ 1 + \frac{v_d}{nV_T} \right\}$$

$$i_D = I_{DQ} + \frac{I_{DQ}}{nV_T} v_d \quad (2.49)$$

$$\therefore i_d = \frac{I_{DQ}}{nV_T} v_d \quad (\text{Componente de alterna})$$

o bien: $i_d = \frac{v_d}{r_d} \quad (2.50)$

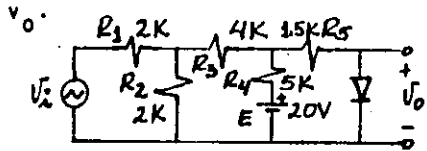
y $r_d = \frac{nV_T}{I_{DQ}} \quad (2.51)$

r_d es la resistencia dinámica del diodo y relaciona linealmente a las componentes de alterna de la corriente i_d y el voltaje v_d .

Para mostrar la mecánica del análisis, considérese el siguiente ejemplo.

Ejemplo 2.5.-

Para el circuito mostrado, calcule y grafique el voltaje

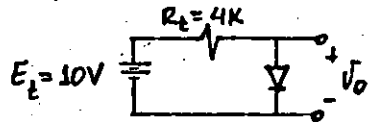


$v_i = 4 \text{ Sen}(\omega t)$
 DIODO: $I_s = 10^{-11} \text{ A}$
 $T = 300^\circ \text{ K}$
 $\eta = 1$

Como se supone que se trata de un análisis de señal pequeña, se puede aplicar superposición, es decir, efectuar primero el análisis de CD y posteriormente el de CA.

ANÁLISIS DE DC.-

Determinando el equivalente de Thévenin entre las terminales del diodo, se tiene:



Nuevamente, como $I_s = 10^{-11} \text{ A}$ se puede decir que se trata de un diodo de silicio, consideremos como primer suposición: $v_{D1} = 0.6 \text{ V}$.

La ecuación de malla es:

$$i_D = \frac{10 - v_D}{4K} \quad (2.52)$$

y sabemos que:

$$v_D = V_T \ln\left(\frac{i_D}{I_s}\right) \quad (2.53)$$

Primera Interacción.

Sustituyendo el valor de v_{D1} en (2.52).

$$i_{D1} = \frac{10 - 0.6}{4K} = 2.35 \text{ mA}$$

este valor en (2.53).

$$v_{D2} = 26 \text{ mV} \ln\left(\frac{2.35 \times 10^{-3}}{10^{-11} \text{ A}}\right)$$

$$v_{D2} = 0.5 \text{ V}$$

Como $v_{D1} \neq v_{D2}$, haremos otra iteración.

Segunda interacción.-

El valor de v_{D2} en (2.52)

$$i_{D2} = \frac{10 - 0.5}{4K} = 2.375 \text{ mA}$$

Sustituyendo en (2.53)

$$v_{D3} = 26 \text{ mV} \ln\left(\frac{2.375 \times 10^{-3} \text{ A}}{10^{-11} \text{ A}}\right)$$

$$v_{D3} = 0.5 \text{ V}$$

Entonces:

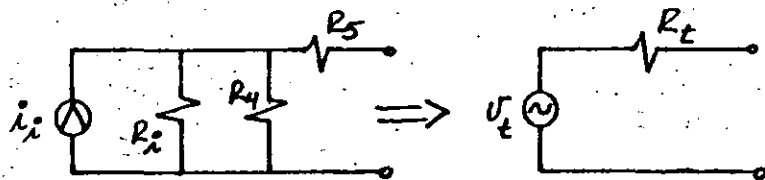
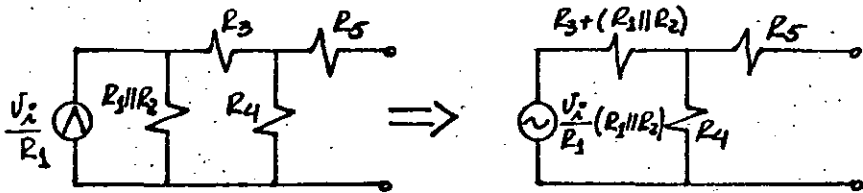
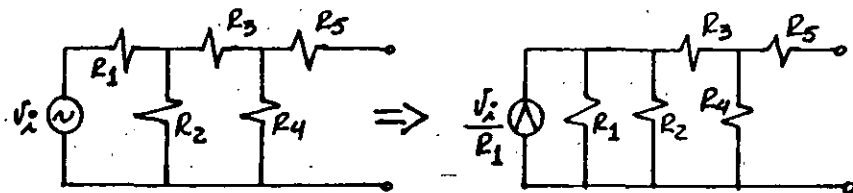
$$I_{DQ} = 2.375 \text{ mA} \quad \text{y} \quad V_{DQ} = 0.5 \text{ V}$$

Determinando el valor de r_d :

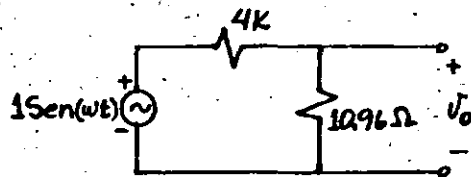
$$r_d = \frac{\eta V_T}{I_{DQ}} = \frac{26 \text{ mV}}{2.375 \text{ mA}} = 10.96 \Omega$$

ANÁLISIS DE AC.-

Haciendo $E = 0$, encontremos el equivalente de Thévenin entre las terminales del diodo:



Sustituyendo valores y al diodo por su resistencia dinámica:



Del circuito:

$$i_d \approx \frac{v_t}{R_t + r_d} \approx \frac{1 \text{ sen}(wt)}{4.011k} = 0.249 \text{ sen}(wt) \text{ mA}$$

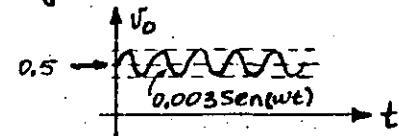
$$\therefore v_d = i_d r_d \approx 0.249 \text{ sen}(wt) \times 11\Omega$$

$$= 2.939 \text{ sen}(wt) \text{ mV}$$

$$v_d = 0.002939 \text{ sen}(wt) \text{ volts}$$

Luego: $v_o = v_D = V_{DQ} + v_d = 0.5 + 0.002939 \text{ sen}(wt)$

y la gráfica quedará:



2.4.2. MODELO PIEZOLINEAL DEL DIODO

Como se pudo observar en la sección anterior, el análisis de los circuitos con diodos resulta muy laborioso si se utiliza la característica real del mismo. En el caso de fuerte distorsión, cuando la señal aplicada es grande, se puede notar que la variación de voltaje en el diodo es grande cuando no hay casi corriente (es lo mismo que sucede en un circuito abierto), y es poca cuando hay corriente (eso pasa en un corto circuito), comparado con la variación de la señal aplicada. En este caso se acostumbra emplear la llamada característica piezolineal del diodo, la cual se muestra en la siguiente figura:

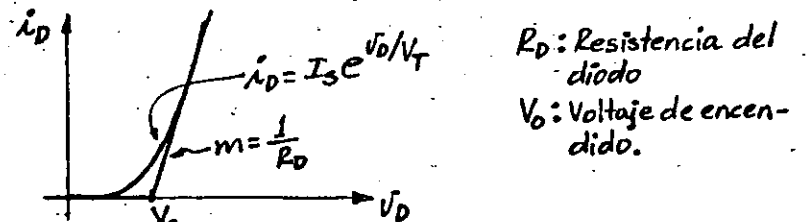
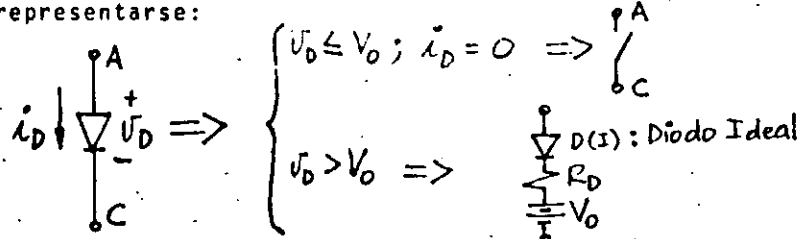


Figura 2.21.- Característica piezolineal del diodo.

De la característica, es importante notar que para un voltaje $v_D \leq V_0$ el diodo es un circuito abierto y para $v_D > V_0$, el diodo es una resistencia. El modelo puede representarse:



En donde el diodo ideal tiene cero resistencia y solo deja pasar la corriente en el sentido indicado en la figura 2.22a. La fuente de voltaje V_0 tiene cero resistencia, - deja pasar la corriente en cualquier sentido y mantiene un voltaje constante. Esto se muestra en la figura 2-22b. La resistencia $R_D = v_D / i_D$ es lineal y su gráfica aparece en la figura 2.22c.

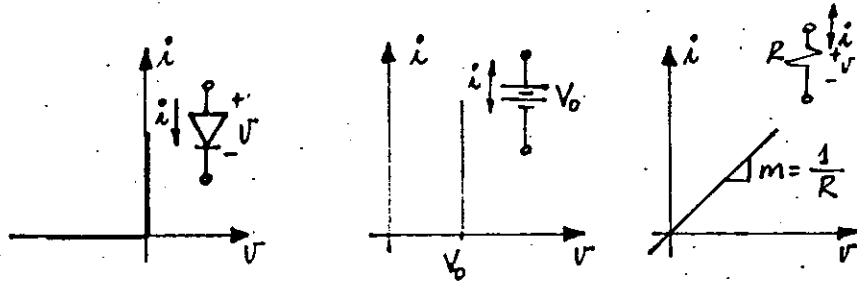


Figura 2.22.- Característica de los tres elementos que constituyen el modelo piezolineal del diodo.

Entonces, la característica piezolineal del diodo es la suma de éstas tres y se muestra en la figura 2.23. Este modelo es fácil de emplear y sólo se debe recordar lo siguiente: Un diodo real sufre un fenómeno de "ruptura" para elevados voltajes de inversa; estos fenómenos pueden ser de dos tipos, Zener y Avalancha, ninguno de los cuales debe ser alcanzado si se desea que el diodo funcione con el modelo descrito.

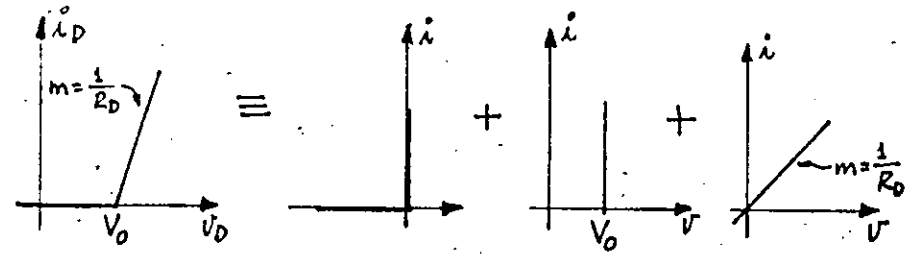


Figura 2.23.- Característica piezolineal del diodo.

Considérese el siguiente ejemplo para mostrar el empleo del modelo piezolineal en el análisis de circuitos con diodos.

Ejemplo 2.6.-

La característica piezolineal del diodo utilizado en el circuito de la figura 2.24a se muestra en la figura 2.24b. Si el voltaje v_1 aplicado es de la forma que se indica en la figura 2.24c, grafique v_1 y v_2 acotando tiempos y voltajes de interés.

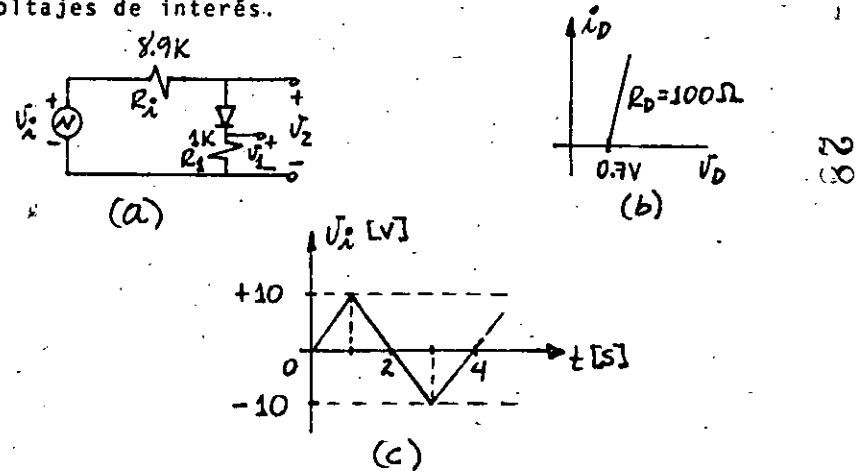
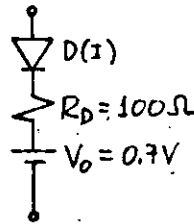


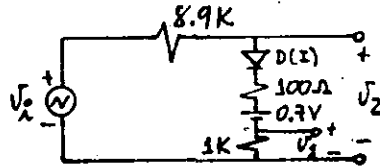
Figura 2.24.- (a) Circuito; (b) Característica piezolineal; (c) forma de onda de v_1 .

Solución.

De la característica piezolineal dada, el modelo piezolineal es:



Sustituyendo este modelo en el circuito, obtenemos:



La corriente en el circuito, para el primer cuarto de ciclo positivo de v_1 , está dada por:

$$i_D = \frac{v_1 - V_0}{R_1 + R_D + R_1} \quad (2.54)$$

Para $v_1 < V_0$:

- El diodo $D(I)$ no conduce.
- $i_D = 0 \Rightarrow v_2 = v_1$ y $v_1 = 0$.

Para $v_1 = V_0$:

- El diodo $D(I)$ todavía no conduce por no haber diferencia de potencial entre sus extremos:

$$v_1 - V_0 = 0$$

$$d) \quad i_D = 0 \Rightarrow v_2 = v_1 \text{ y } v_1 = 0$$

Para calcular el tiempo en que esto ocurre, haremos la siguiente regla de tres:

$$\begin{array}{l} 10V - 1 \text{ seg.} \\ 0.7V - t_1 \text{ seg.} \end{array} \quad t_1 = \frac{0.7}{10} = 0.07 \text{ seg.}$$

para $v_1 > V_0$:

- El diodo $D(I)$ conduce.
- i_D está dada por la ecuación (2.54)

$$v_2 = V_0 + i_D(R_D + R_1) \text{ y } v_1 = i_D \cdot R_1$$

Calculando para el valor máximo de v_1 :

$$i_D = \frac{10 - 0.7}{8.9 + 1 + 0.1} = \frac{9.3}{10K} = 0.93 \text{ mA}$$

$$v_2 = 0.7 + 0.93 (0.1 + 1) = 0.7 + 1.023$$

= 1.723V.

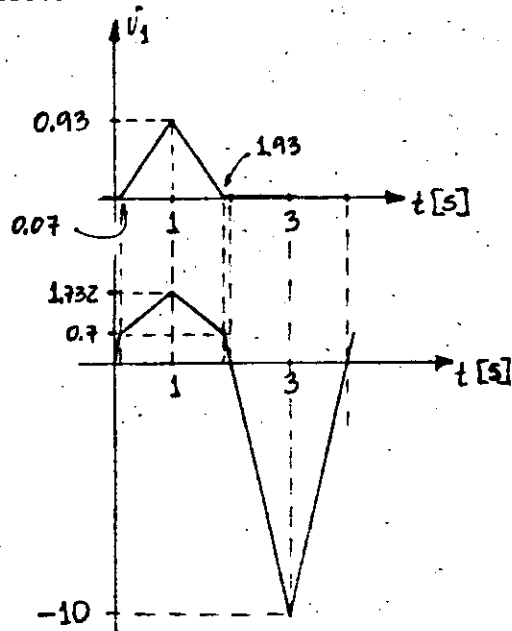
$V_1 = 0.93(1K) = 0.93V.$

Para el segundo cuarto de ciclo positivo, v_1 disminuye de +10 a 0, obviamente, v_1 y v_2 disminuyen también hacia cero. Pero cuando $v_1 = V_0$, el diodo deja de conducir y vol vemos a tener desde este momento que:

$i_D = 0 \Rightarrow v_1 = 0 \text{ y } v_2 = v_1$

esto ocurre en el tiempo: $t = 1.93 \text{ seg.}$

En el medio ciclo negativo, el diodo D(I) no conduce, $v_1 = 0$ y $v_2 = v_1$ en todo tiempo. Las gráficas pedidas se muestran a continuación:



2.4.3 EL DIODO IDEAL

En la Fig. 2.55 se muestran la característica ideal y el símbolo de un diodo. Como puede apreciarse, este modelo ideal indica que el diodo se comporta como un corto circuito cuando la dirección de la corriente tiene el sentido mostrado en la Fig. 2.55b; y cuando la corriente "tiende" a circular en sentido contrario, se comporta como un circuito abierto.

Cuando circula corriente a través del diodo; nótese que ésta -- tiene el mismo sentido que la flecha que simboliza al diodo, se dice que el diodo está polarizado en "directa" o que está "encendido"; -- por el contrario, cuando no circula corriente, se dice que está polarizado en "inversa" o que está "apagado". Existen otros términos para indicar el estado de un diodo, tales como "cerrado/abierto", --- "ON/OFF", etc.

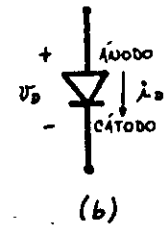
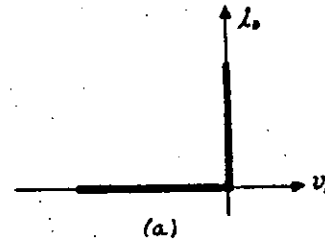


Fig. 2.55.- El diodo. (a) Característica ideal y (b) Símbolo.

Por analogía con los diodos de Tubos al Vacío, la terminal marcada con + es conocida con el nombre de ánodo y la marcada con -, como cátodo. Utilizando estos términos y haciendo referencia al voltaje en vez de la corriente, puede decirse que para que el diodo conduzca es necesario que el ánodo "tienda" a estar a un voltaje más positivo que el cátodo. Se hace la aclaración de que se usa la expresión "tender a" porque una vez que se ha comprobado que circula corriente a través del diodo, éste se comporta como un corto circuito y por lo tanto el ánodo y el cátodo quedarían al mismo potencial.

En la Fig. 2.56 se representa la analogía que existe entre el comportamiento del diodo ideal y el interruptor. Si el diodo conduce, equivale al interruptor cerrado y si nó, al interruptor abierto.

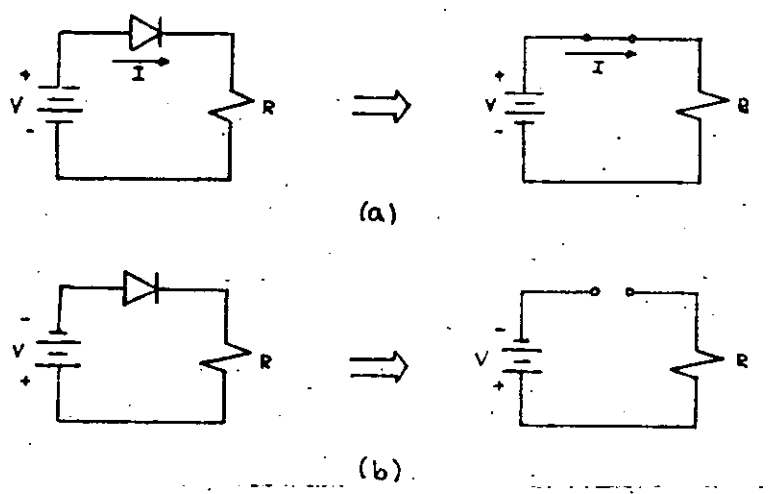


Fig. 2.56 Analogía entre el diodo y el interruptor. (a) En directa y (b) en inversa.

El modelo ideal del diodo es sumamente útil para el análisis cualitativo de los circuitos con diodos dado que dicho análisis resulta bastante simple. Por otro lado, la aproximación obtenida es aceptable para un sinnúmero de aplicaciones prácticas. Aprovechando estas cualidades, a continuación se realiza el análisis de algunos circuitos-típicos que involucran diodos.

RECTIFICADOR DE MEDIA ONDA.

La acción por la cual se genera un voltaje continuo a partir de un voltaje alterno aplicado es llamado rectificación. El circuito rectificador de media onda se muestra en la Fig. 2.57a, en donde el voltaje aplicado v_i es un voltaje senoidal $v_i = v_{im} \sin(\omega t)$.

La función del diodo en el circuito es producir una corriente unidireccional a pesar de que el voltaje aplicado es alterno. Cuando v_i es positivo, el diodo está polarizado en directa y se comporta

como un cortocircuito; fluye una corriente en dirección positiva como se muestra en la Fig. 2.57a y su valor está determinado por v_i y R_L . Cuando v_i es negativo, el diodo está polarizado en inversa y se comporta como circuito abierto. La caída de voltaje en la carga es en cada instante $v_L = R_L i_D$ y su forma de onda se muestra en la Fig. 2.57b

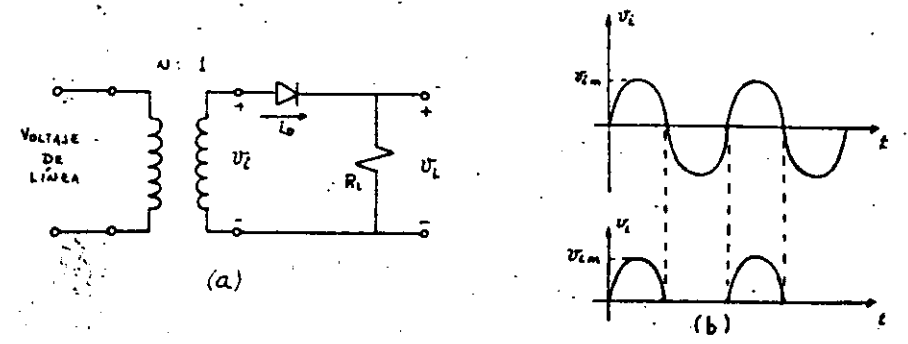


Fig. 2.57 Rectificador de media onda. (a) Circuito; (b) formas de onda.

El voltaje en la carga puede ser expresado como:

$$v_L = v_i \quad \text{para } v_i \geq 0$$

$$v_L = 0 \quad \text{para } v_i < 0$$

La forma de onda de v_L que se muestra en la Fig. 2.57b es una onda periódica, finita y continua; por lo que puede ser representada por series de Fourier. Si al valor instantáneo de pico de v_L lo designamos por V_{Lm} , la serie queda:

$$v_L = \frac{1}{\pi} V_{Lm} \left[1 + \frac{\pi}{2} \sin(\omega t) - \frac{2}{3} \cos(2\omega t) - \frac{2}{15} \cos(4\omega t) + \dots \right]$$

Esto es, v_L es la suma de un término de DC y otros términos de AC. Como puede observarse, el voltaje en la carga contiene frecuencias no presentes en el voltaje aplicado, esto es consecuencia de

La no linealidad del diodo y es otra de sus aplicaciones.

RECTIFICADOR DE ONDA COMPLETA.

a) Con Tap Central.

El circuito rectificador de onda completa con tap central se muestra en la Fig. 2.58a. El circuito consiste básicamente en dos rectificadores de media onda conectados a una sola resistencia de carga y tienen como señal de entrada $v_i = V_{im} \text{sen}(wt)$. Durante el medio ciclo positivo de v_i , D_1 está polarizado en directa y actúa como un cortocircuito; D_2 queda polarizado en inversa y se comporta como circuito abierto, luego $v_L = v_i$. Durante el medio ciclo negativo de v_i , D_2 actúa como un cortocircuito, D_1 como un circuito abierto y $v_L = -v_i$. La forma de onda de v_L se muestra en la Fig. 2.58b

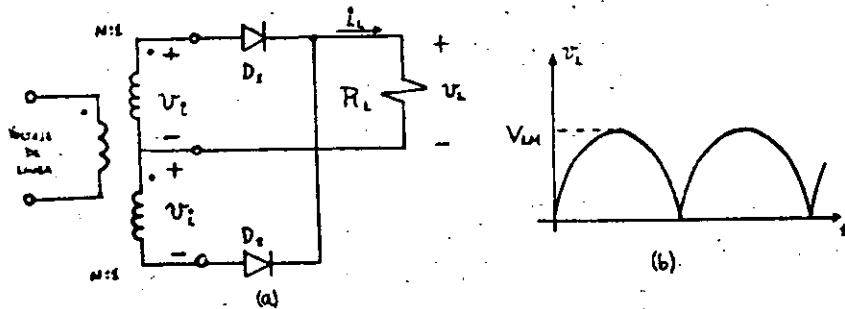


Fig. 2.58.- Rectificador de onda completa.

(a) Circuito;

(b) forma de onda de v_L .

El voltaje en la carga puede ser expresado como:

$$v_L = |v_i| = |V_{im} \text{sen}(wt)|$$

y en serie de Fourier:

$$v_L = \frac{2}{\pi} V_{Lm} \left[1 - \frac{2}{3} \cos(2wt) - \frac{2}{15} \cos(4wt) - \dots \right]$$

de donde podemos observar que el voltaje v_L consiste en la suma de una componente de DC con magnitud $2V_{Lm}/\pi$ (el doble que en el rectificador de media onda) y un conjunto de componentes senoidales de frecuencias que son múltiplos enteros de w , como en el caso anterior.

b) Tipo Punteo.

Otro rectificador de onda completa muy utilizado es el llamado tipo puente y se muestra en la Fig. 2.59a

Durante el medio ciclo positivo de v_i , los diodos D_2 y D_3 están en directa y conducen; D_1 y D_4 están en inversa y se comportan como circuito abierto. En el semiciclo negativo, D_2 y D_3 quedan en inversa y D_1 y D_4 en directa. La forma de onda obtenida para v_L es la misma que en el caso anterior y se muestra en la Fig. 2.59b

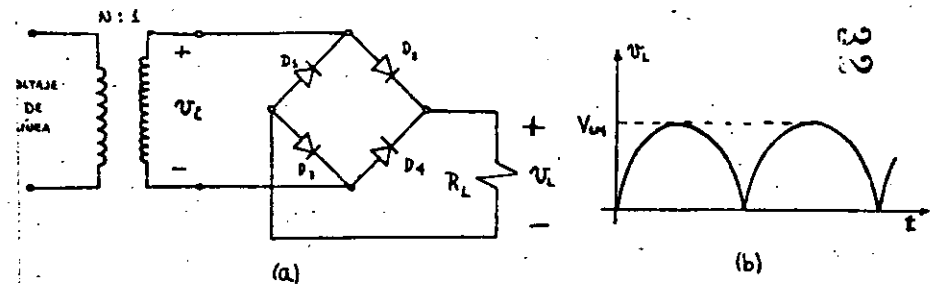


Fig. 2.59.- Rectificador de onda completa tipo puente.

(a) Circuito; (b) forma de onda de v_L .

FILTROS.

Los sistemas electrónicos requieren de fuentes de voltaje directo para su operación. Este voltaje puede ser obtenido de baterías --

pero muchas veces resultan inconvenientes debido a que son caras y la potencia que entregan es limitada y se opta por obtener el voltaje directo a partir de la línea eléctrica comercial. Los circuitos diseñados para convertir el voltaje alterno de la línea en un voltaje directo de valor apropiado son llamados "fuentes de poder". Estas fuentes consisten básicamente de una etapa de rectificación y otra de filtrado; por medio de la rectificación, como pudo observarse anteriormente, se logra convertir el voltaje alterno de la línea en un voltaje directo pulsante y por medio del filtrado se logra disminuir las pulsaciones hasta casi obtener un voltaje directo constante.

Algunos sistemas operan aceptablemente aunque el voltaje de salida de su fuente de poder o de alimentación esté variando sensiblemente, en cambio, otros requieren un voltaje de alimentación extremadamente constante; por ello, resulta importante conocer el voltaje de salida y su componente de alterna. Un criterio muy usado para referirse a la cantidad de componente alterna presente a la salida de una fuente de alimentación es el factor de rizo o factor de ondulación. Este factor queda definido como:

$$F.O. = \frac{\text{Valor rms de la componente de alterna de } v_L}{\text{Valor de la componente de directa de } v_L} \quad (2.55)$$

Veámos cuál es el F.O. del voltaje a la salida de un rectificador de media onda. En la Fig. 2.60 se muestra el circuito y la forma de onda de v_L .

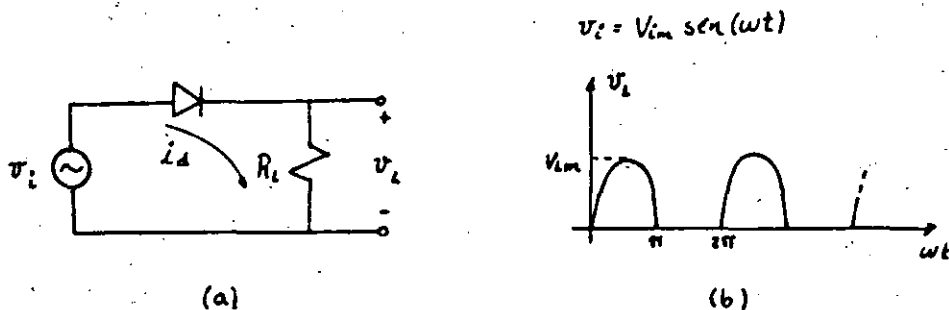


Fig. 2.60.- Rectificador de media onda (a) Circuito; (b) forma de onda.

El valor efectivo ó rms de una función periódica es, por definición:

$$V_{rms} \triangleq \sqrt{\frac{1}{T} \int_0^T v^2(t) dt}; \quad T = \text{período.}$$

y su valor medio, que se interpretará como componente de DC:

$$V_{med} = V_{DC} = \frac{1}{T} \int_0^T v(t) dt$$

Entonces, el valor rms de v_L será:

$$V_{L(rms)} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} [V_{Lm} \text{sen}(wt)]^2 dwt} = \sqrt{\frac{1}{4} V_{Lm}^2}$$

$$V_{L(rms)} = \frac{1}{2} V_{Lm} \quad (2.56)$$

y el valor medio ó componente de DC es:

$$V_{L(DC)} = \frac{1}{2\pi} \int_0^{\pi} V_{Lm} \text{sen}(wt) dwt$$

$$= \frac{V_{Lm}}{\pi} \quad (2.57)$$

Sustituyendo (2.56) y (2.57) en (2.55), obtenemos:

$$F.O. = \frac{\pi}{2} \approx 1.57$$

Obviamente, resultó ser muy grande si consideramos que muchos sistemas requieren un F.O. mucho menor que 0.01, en estos casos resulta indispensable el filtraje.

Para mostrar en cierto grado el análisis de un rectificador con filtro a la salida, considérese uno de los más simples como el que aparece en la Fig. 2.61

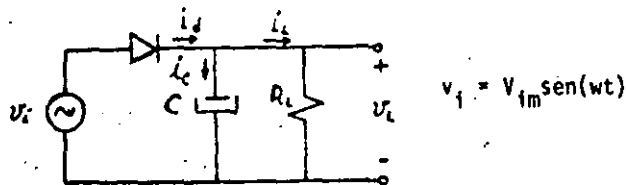


Fig. 2.61.- Rectificador de media onda con filtro capacitivo.

El voltaje en la carga v_L , después del primer ciclo, tiene la forma mostrada en la Fig. 2.62. Debido al diodo, el capacitor C solamente puede descargarse a través de R_L . Cuando $\omega t = \pi/2$, el voltaje $v_L = V_{Lm}$; como v_i a partir de este momento comienza a decrecer, v_L sigue a v_i por un tiempo muy corto ya que después de este tiempo v_L decrece exponencialmente según $\exp(-t/R_L C)$ y en este momento ($\omega t = \theta_2$ en la Fig. 2.62) el diodo deja de conducir en vista de que v_i decrece más rápidamente que el voltaje en el capacitor y por ello el diodo queda polarizado en inversa. El voltaje v_L puede expresarse:

$$v_L = [V_{Lm} \text{sen} \theta_2] [e^{-t/R_L C}] \Rightarrow \theta_2 \leq \omega t \leq \theta_1 + 2\pi \quad (2.58)$$

Durante el siguiente ciclo, v_i volverá a ser igual a v_L y el diodo conducirá. Esto es, el voltaje de salida puede expresarse como:

$$v_L = V_{Lm} \text{sen}(\omega t) \Rightarrow \theta_1 \leq \omega t \leq \theta_2 \quad (2.59)$$

Esta forma de onda se repite periódicamente. Consideremos las corrientes en el circuito. La corriente de carga i_L tendrá la misma forma de onda que el voltaje en la carga. Durante el tiempo que el diodo no conduce:

$$i_c = -i_L = -v_L/R_L \Rightarrow \theta_2 \leq \omega t \leq \theta_1 + 2\pi \quad (2.60)$$

Cuando el diodo conduce, la corriente a través de C es de la --

misma forma como si se conectara C directamente a v_i . (No hay transitorio desde que el diodo comienza a conducir en el instante $v_i = v_L$). Es decir,

$$i_c = C \frac{dv}{dt} = C \frac{dv_L}{dt} = V_{Lm} \omega C \cos(\omega t) \Rightarrow \theta_1 \leq \omega t \leq \theta_2 \quad (2.61)$$

La corriente en el diodo es:

$$i_d = i_c + i_L$$

Estas formas de onda se muestran en la Fig. 2.63. La corriente máxima a través del diodo ocurre en $\omega t = \theta_1$ (asumiendo que $R_L \gg 1/\omega C$) y es

$$I_{dm} = \frac{V_{Lm}(\omega C \cos \theta_1 + \text{sen} \theta_1)}{R_L} \quad (2.62)$$

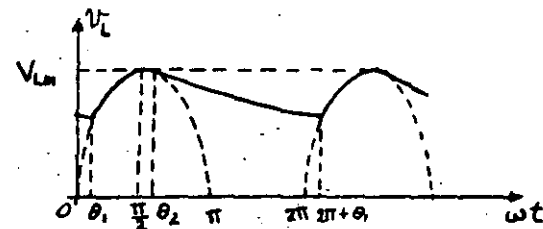


Fig. 2.62.- Voltaje en la carga del circuito de la figura 2.61.

El diodo debe de ser capaz de permitir esta corriente de pico. Si el valor de C es aumentado, el decaimiento de v_L en el periodo $\theta_2 \leq \omega t \leq \theta_1 + 2\pi$ decrecerá. En el límite, cuando C se aproxima a infinito, v_L se aproxima a un voltaje puramente directo. Por otro

lado, nótese que incrementando el valor de C se incrementa igualmente el de la corriente máxima por el diodo I_{dm} .

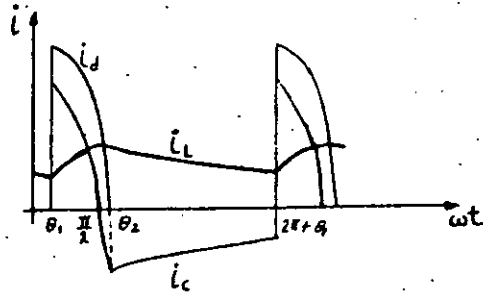


Fig. 2.63.- Corriente en el circuito de la Fig. 2.61.

Para obtener la componente de DC en la carga y el factor de ondulación, los valores de θ_1 y θ_2 deberán determinarse. Puede hacerse resolviendo la ecuación trascendente que define la descarga del capacitor, pero resulta un poco tedioso y para facilitar el cálculo se acostumbra hacer aproximaciones. Asumamos que el voltaje en la carga varía linealmente con el tiempo como se muestra en la Fig. 2.64.

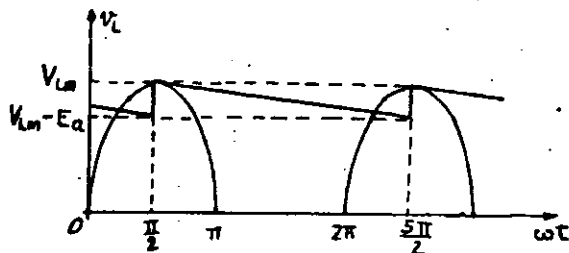


Fig. 2.64.- Aproximación del voltaje en la carga.

Esta forma de onda es bastante diferente a la mostrada en la Fig. 2.62, sin embargo, los resultados obtenidos con ella son bastante satisfactorios. Su valor medio es:

$$V_{L(DC)} = V_{Lm} - \frac{E_a}{2} \quad (2.63)$$

Si ΔQ representa el cambio en la carga almacenada en C entre $\pi/2$ y $3\pi/2$, luego

$$E_a = \frac{\Delta Q}{C} \quad (2.64)$$

Como asumimos que el voltaje varía linealmente con el tiempo, la carga almacenada en C decrece en una relación constante. Es decir, la corriente i_C es constante en este período. El valor constante de i_C es $I_{L(DC)}$, la componente de corriente directa en la carga. Como el tiempo de un período es el recíproco de la frecuencia, tenemos

$$E_a = \frac{I_{L(DC)}}{fC} \quad (2.65)$$

y la ecuación (2.63) nos queda:

$$V_{L(DC)} = V_{Lm} - \frac{I_{L(DC)}}{2fC} \quad (2.66)$$

La componente de corriente directa en la carga y el voltaje están relacionados por:

$$I_{L(DC)} = \frac{V_{L(DC)}}{R_L} \quad (2.67)$$

Sustituyendo en la ecuación (2.66), obtenemos:

$$V_{L(DC)} = \frac{V_{Lm}}{1 + 1/(2fR_L C)} \quad (2.68)$$

Para calcular el F.O. debemos encontrar el valor rms ó eficaz de la componente de AC. Esta es una onda triangular que varía desde $-E_a/2$ hasta $E_a/2$. Por lo tanto:

$$V_{L(rms)} = \frac{L_2}{2\sqrt{3}} \quad (2.69)$$

Sustituyendo las ecuaciones (2.67), (2.69) y (2.65) en la (2.55), -- obtenemos:

$$F.O. = \frac{1}{2\sqrt{3} \pi R_L C} \quad (2.70)$$

que para $f = 50\text{Hz}$, queda:

$$F.O. \approx \frac{1}{173CR_L} \quad (2.71)$$

El análisis para el rectificador de onda completa con el mismo tipo de filtro, se efectúa de la misma forma. Algunas fuentes de poder un poco más elaboradas, contienen etapas de regulación, protección contra cortocircuitos, estabilización, etc. En la figura 2.65 se muestran los filtros más utilizados, y en la tabla II se resumen sus relaciones.

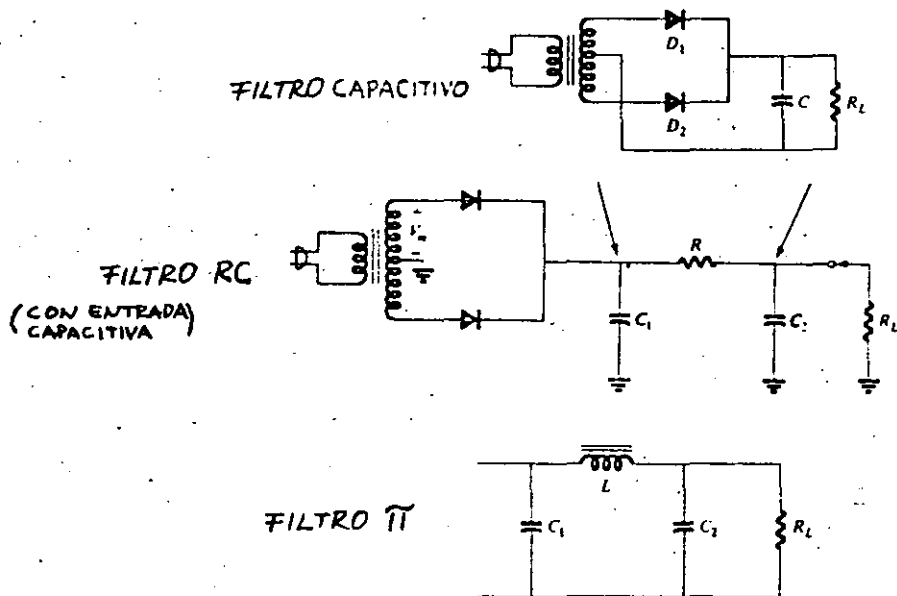


Figura 2.65 Filtros más comunes.

TABLA II

FILTER TYPE	NO-LOAD DC VOLTAGE (V_{NL})	DC VOLTAGE V_d	RMS VALUE OF AC COMPONENT OF RIPPLE VOLTAGE $V_r(rms)$	RIPPLE FACTOR r	IMPORTANT FACTORS
Capacitor (C)	V_a	$V_d = \frac{V_a}{1 + \frac{4.17}{\sqrt{3}} \frac{I_{dc}}{C}} = \frac{V_a}{1 + \frac{4.17}{\sqrt{3}} \frac{I_{dc}}{C}}$	$V_r(rms) = \frac{I_{dc}}{\sqrt{3}C} \left[1 + \frac{1}{\sqrt{3}} \right]$ $\approx \frac{2.41}{\sqrt{3}} \frac{I_{dc}}{C} = \frac{2.4}{\sqrt{3}} \frac{I_{dc}}{C}$	$r = \frac{I_{dc}}{C V_d} \left(\frac{1}{\sqrt{3}} + \frac{1}{V_d} \right)$ $\approx \frac{4.8}{\sqrt{3}} \frac{I_{dc}}{C V_d} = \frac{2.4}{\sqrt{3}} \frac{I_{dc}}{C V_d}$	full-wave full-wave, light load half-wave
RC (following C-filter)	V_a	$V_d = \frac{R_L}{R + R_L} V_a$	$V_r(rms) \approx \frac{1}{R} V_r$	$r = \frac{R}{R + R_L}$ $(R = \frac{R_L R_L}{R + R_L})$	$f_s = 120\text{Hz}$ full-wave $f_s = 60\text{Hz}$ half-wave
π -type (C-L-C)	V_a	$V_d = \frac{R_L}{R + R_L} V_a$	$V_r(rms) = \frac{1.76}{\sqrt{3}} V_r$ (full-wave) $= \frac{1.04}{\sqrt{3}} V_r$ (half-wave)	$r = \frac{3300}{C^2 L R_L}$	full-wave
L-type (choke)	$0.636 V_a$	$V_d = 0.636 V_a - I_{dc} R_L$	$V_r(rms) = \frac{0.53}{\sqrt{3}} V_a$	$r = 0.83 \frac{I_{dc}}{L C}$	full-wave $L C > 1000$
Half-wave rectifier	$0.318 V_a$	$V_d = 0.318 V_a - I_{dc} R_L$	$V_r(rms) = \frac{2.69}{\sqrt{3}} V_a$	$r = \frac{7.83}{L C}$	half-wave
Full-wave rectifier	$0.636 V_a$	$0.636 V_a$	$0.305 V_a$	0.48	

CI. LOS RECORTADORES.

El circuito mostrado en la Fig. 2.66a es un circuito recortador llamado también circuito CLIPPER ó LIMITADOR. El voltaje de salida v_o está limitado a variar en el rango comprendido entre V_1 y $-V_2$. La característica de transferencia de voltaje de la Fig. 2.66b muestra cómo varía el voltaje de salida en función del voltaje de entrada. Si el voltaje aplicado sobrepasa el rango comprendido entre V_1 y $-V_2$, aparecerá recortado a la salida.

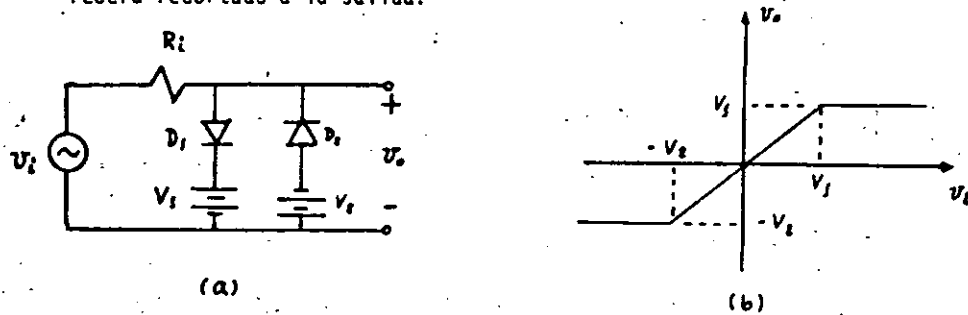


Fig. 2.66.- (a) Circuito recortador; (b) característica de transferencia.

Cuando el voltaje de entrada es mayor que v_1 , el diodo D_1 conduce porque queda polarizado en directa y por lo tanto, $v_o = v_1$. Para un voltaje de entrada más negativo que $-v_2$, el diodo D_2 conduce y tenemos que $v_o = -v_2$. Para valores de v_1 comprendidos entre estos dos límites, ambos diodos quedan polarizados en inversa y se comportan como circuito abierto, obteniéndose que $v_o = v_1$.

El circuito limitador puede ser utilizado para proteger a otro circuito de sobrecargas de voltaje; por ejemplo, es muy usado en los volímetros para proteger al elemento indicador (aparato de D'Arsonval) contra sobrecargas de voltaje. Algunas veces son utilizados para proteger de sobrecargas a los transistores. Si $v_1 = v_2$ y el voltaje aplicado es una onda senoidal de amplitud mayor que v_1 , el voltaje v_o de salida tendrá la forma de una onda cuadrada, ésta es otra de sus aplicaciones.

En la tabla III se muestran varias formas de circuitos recortadores acompañados de sus respectivas formas de onda de salida si la entrada fuera una onda triangular.

TABLA III.

SERIE	PARALELO	SEÑAL DE SALIDA

37

RECTIFICADOR DE PICO.

El circuito de la Fig. 2.67a es llamado rectificador de pico -- porque su voltaje de salida es igual a la magnitud de pico del voltaje de entrada. La operación del circuito puede ser comprendida con la ayuda de las formas de onda mostradas en la Fig. 2.67b. Si inicialmente el capacitor C está descargado y el voltaje $v_i = v_{im} \text{sen}(wt)$ es aplicado en $t = 0$, v_i aumenta desde cero a su valor máximo positivo, la corriente fluye en dirección positiva a través del diodo y el capacitor se carga. Si la resistencia de la fuente R_i es muy pequeña, la caída de voltaje en ella es también muy chica, y v_L , el voltaje en C, es esencialmente igual a v_i hasta que éste llega a su valor máximo de pico. Esto es, el capacitor se carga al voltaje v_{im} . Como $i_L = 0$, el capacitor no se descarga cuando el diodo queda polarizado en inversa al disminuir v_i y la carga acumulada en C en el primer cuarto de ciclo se mantiene constante.

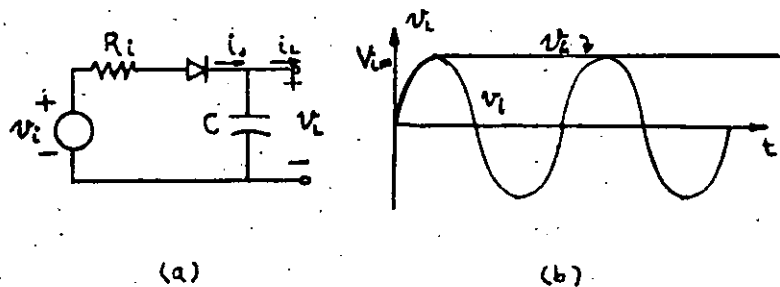


Fig. 2.67.- Rectificador de pico. (a) Circuito; (b) formas de ondas.

Si al rectificador de pico se le conectara una carga R_L , la forma de onda del voltaje de salida sería igual a la mostrada en la Fig. 2.62.

En los receptores de AM este rectificador de pico es muy utilizado con el nombre de detector de pico.

CIRCUITOS ELÉCTRICOS DE NIVEL.

En la Fig. 2.68a se muestra un circuito fijador de nivel ó circuito CLAMPER. Este circuito es parecido al del rectificador de pico con la única diferencia que la posición del diodo y del capacitor se ha intercambiado y su funcionamiento, por lo tanto es el mismo. Si el voltaje aplicado es $v_i = V_{im} \text{sen}(wt)$ y la caída de voltaje en R_i es despreciable, el capacitor se carga al voltaje V_{im} . El voltaje de salida en este caso es el voltaje a través del diodo, $v_d = v_o = v_i - V_{im}$. El voltaje de salida es de la misma forma que el voltaje aplicado pero bajado una magnitud igual al valor de pico de este voltaje, como se muestra en la Fig. 2.68b.

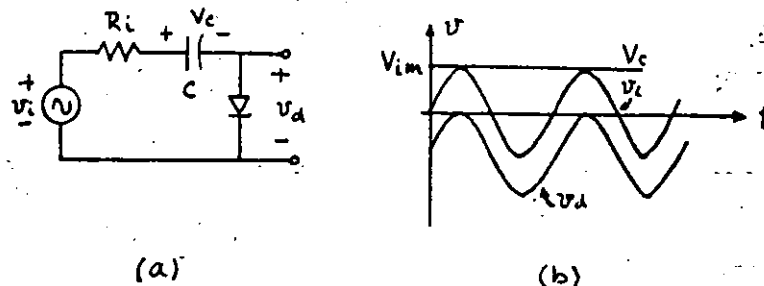


Fig. 2.68.- (a) Circuito Clamper; (b) formas de onda.

Otra forma de Clamper es la mostrada en la Fig. 2.69a. Asumamos que el voltaje aplicado es una onda cuadrada como la de la Fig. 2.69b.

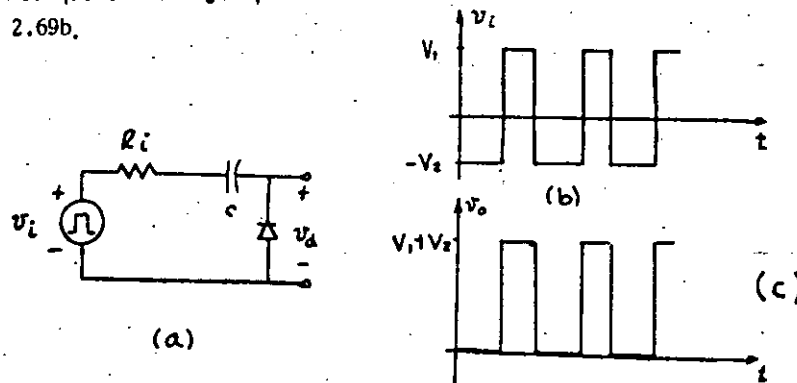


Fig. 2.69.- (a) Circuito Clamper; (b) voltaje aplicado; (c) voltaje de salida.

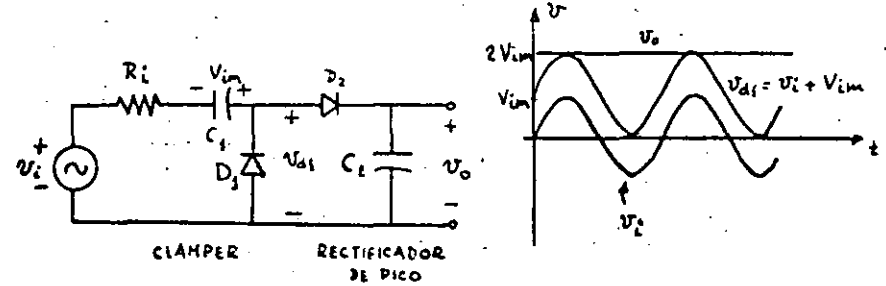
Cuando v_i es negativo, el diodo conduce y circula corriente en el sentido indicado, cargándose el capacitor al voltaje V_2 con la polaridad mostrada en la Fig. 2.69a. Como el diodo es ideal, la caída de voltaje a través de él es cero. Para v_i positivo, el diodo está en reversa y el voltaje de salida $v_o = -v_d = V_1 + V_2$ se muestra en la Fig. 2.69c. Si $V_1 \neq V_2$, es importante notar que la componente de DC que pudiera contener la señal de entrada, no afecta en absoluto la operación del circuito Clamper.

Se pueden obtener diferentes niveles de elevación poniendo una batería en serie con el diodo. En la tabla IV se presentan varios circuitos Clamper de este tipo con su correspondiente voltaje de salida si la señal de entrada fuera una onda triangular.

TABLA IV

DOBLADOR DE VOLTAJE.

El circuito mostrado en la Fig. 2.70a tiene la interesante y --- útil propiedad de convertir el voltaje de entrada en un voltaje directo de magnitud igual al valor de pico a pico del de entrada. Es decir, si el voltaje aplicado es $v_i = v_{im} \text{sen}(wt)$, el voltaje directo de salida es dos veces el valor de pico de la senoide.



(a)

(b)

Fig. 2.70.- Doblador de tensión. (a) Circuito; (b) formas de onda.

Como puede verse en la figura anterior, el doblador de tensión consiste en un circuito Clamper y un rectificador de pico conectado en serie. El funcionamiento del circuito puede explicarse de la siguiente forma: si por el rectificador de pico formado por D_2 y C_2 --- circula una corriente despreciable y el circuito Clamper opera en las condiciones descritas anteriormente, el capacitor C_1 se carga al valor de pico negativo de la señal de entrada y con la polaridad mostrada en la Fig. 2.70a, el voltaje a través del diodo D_1 es --- $v_{d1} = v_i + v_{im}$. La forma de onda de este voltaje se muestra en la Fig. 2.70b y constituye el voltaje de entrada al rectificador de pico; el capacitor C_2 se carga al voltaje de pico positivo de v_{d1} . Este voltaje tiene el valor de la magnitud de pico a pico de la señal de entrada al Clamper y representa el voltaje de salida del doblador de tensión.

Como el doblador de tensión tiene un Clamper a su entrada, la salida es independiente de cualquier componente de DC que pudiera contener la señal de entrada, esto lo hace adecuado para ser usado en los voltímetros electrónicos. Estos voltímetros son llamados registradores de pico a pico y tienen la escala calibrada en volts de pico a pico.

Por extensión del principio del doblador de tensión pueden desarrollarse circuitos con diodos que actúan como triplicadores de voltaje, cuadruplicadores, etc. Tales circuitos son usados para obtener muy altos voltajes requeridos en muchos equipos eléctricos.

CIRCUITOS RECTIFICADORES POLIFASICOS.

Para los circuitos de baja potencia puede resultar adecuada la alimentación desde la red monofásica (circuitos rectificadores monofásicos o bifásicos), si se consideran aceptables una baja frecuencia de rizo y un factor de rizo relativamente alto. Pero si se necesita alta potencia de salida, resulta preferible la alimentación a partir de una red trifásica (circuitos rectificadores trifásicos o hexafásicos), debido al menor factor de rizo y a una mayor eficiencia, aún cuando las pérdidas por conmutación sean mayores.

En la Fig. 2.71 se muestra el circuito trifásico de media onda, en el cual el ángulo de conducción de los diodos es de 120°.

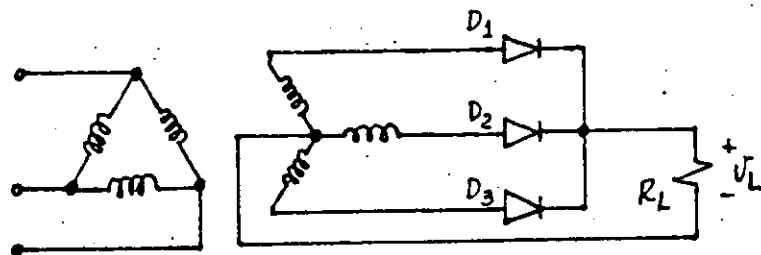


Figura 2.71.- Rectificador trifásico de media onda.

En este caso, la corriente promedio y eficaz en cada diodo es:

$$I_{D(AV)} = I_L / 3$$

$$e \quad I_{D(rms)} = (1/\sqrt{3}) I_{L(rms)}$$

El funcionamiento del circuito es el mismo que para el caso de los rectificadores monofásicos, conduce siempre el diodo que esté en la fase más positiva.

En la Fig. 2.72 se presenta el circuito hexafásico de media onda. Aquí, el ángulo de conducción de los diodos es de 60° y las corrientes a través de cada diodo:

$$I_{D(AV)} = I_L / 3$$

$$e \quad I_{D(rms)} = (1/\sqrt{6}) I_{L(rms)}$$

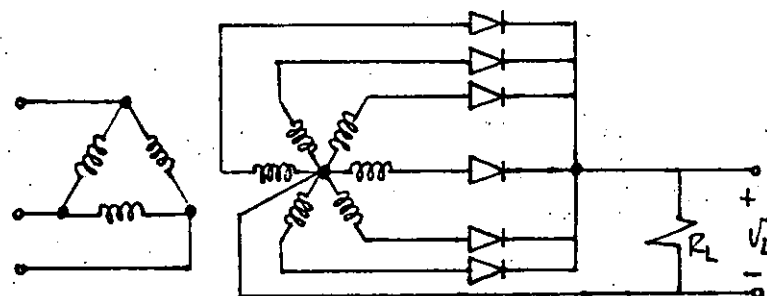


Figura 2.72.- Rectificador hexafásico de media onda.

En el circuito trifásico de onda completa, el devanado secundario del transformador puede conectarse en estrella o en delta. En la figura 2.73 se muestra el circuito en estrella. Puesto que ambos montajes son idénticos en lo esencial, sus relaciones son iguales siempre que los voltajes en los secundarios sean idénticos: el voltaje entre las fases del transformador conectado en delta debe ser $\sqrt{3}$ veces

40

la del secundario conectado en estrella. Las fórmulas para las corrientes media y eficaz de cada diodo son idénticas a las del circuito trifásico de media onda, es decir:

$$I_{D(AV)} = I_L/3, \quad I_{D(rms)} = (1/\sqrt{3}) I_{L(rms)}$$

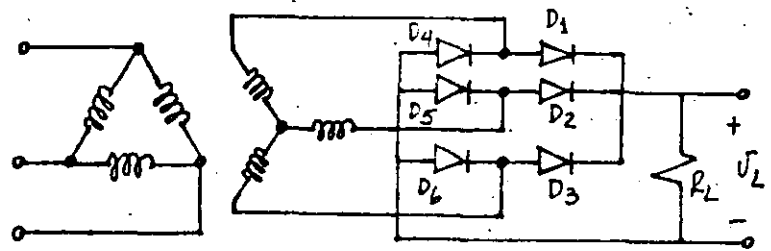


Figura 2.73.- Rectificador trifásico de onda completa.

En algunos casos, se dispone de transformadores que tienen dos secundarios trifásicos independientes, que al unirlos entre sí mediante una bobina de compensación, se obtienen dos sistemas rectificadores trifásicos conectados en paralelo y mutuamente desfasados. La bobina de compensación actúa como divisor inductivo equilibrando las diferencias en los valores instantáneos de los voltajes de salida. Este método puede aplicarse tanto en circuitos rectificadores de media onda como en los de onda completa.

La Fig. 2.74 representa el circuito trifásico de media onda en doble estrella. Un conjunto de voltajes trifásicos está desfasado 60° respecto del otro, para suministrar una salida hexafásica.

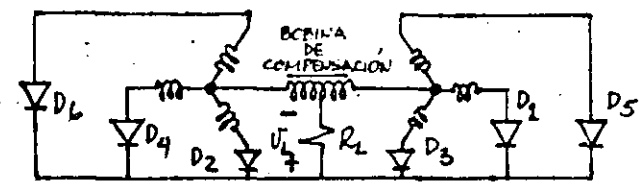


Figura 2.74.- Rectificador trifásico de media onda en doble estrella.

A pesar de lo anterior, el ángulo de conducción de los diodos se aproxima a 120°, debido a la presencia de la bobina de compensación. Las corrientes media y eficaz que circulan por cada diodo son, respectivamente:

$$I_{D(AV)} = I_L/6, \quad I_{D(rms)} = (1/2 \sqrt{3}) I_{L(rms)}$$

En la Fig. 2.75 se muestra el circuito trifásico de onda completa en estrella - delta. El voltaje entre fases del secundario conectado en delta es $\sqrt{3}$ veces el existente entre fases del secundario conectado en estrella.

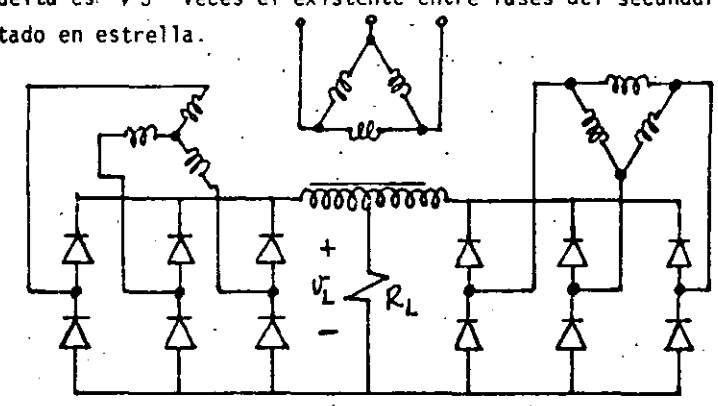


Figura 2.75.- Rectificador trifásico de onda completa en estrella - delta.

Los dos conjuntos de voltajes trifásicos se hallan desfasados entre sí 30°, para producir una salida de doce fases, con lo cual se obtiene una tensión de salida casi exenta de rizo aún cuando el ángulo de conducción de los diodos se aproxima a los 120°. Las corrientes media y eficaz de cada diodo son:

$$I_{D(AV)} = I_L/6, \quad I_{D(rms)} = (1/2 \sqrt{3}) I_{L(rms)}$$

2.5. EL DIODO ZENER.

En los diodos comunes, cuando se sobrepasa el voltaje de rompimiento en inversa, la corriente se incrementa considerablemente debido al efecto de avalancha. Como el voltaje de inversa aplicado es muy grande, los portadores minoritarios que constituyen la corriente de saturación adquieren altos niveles de energía cinética, y al chocar con los electrones de valencia que se encuentran en los enlaces, les transfieren la energía suficiente para que se conviertan en electrones libres. Estos a su vez, pueden incrementar su energía y liberar otros electrones de valencia al chocar con ellos. Este proceso multiplicativo hace que la corriente aumente.

Otra forma de romper los enlaces, es incrementando la concentración de impurezas a ambos lados de la unión. Esto provoca un intenso campo eléctrico interno, que al ser reforzado con pequeños voltajes de inversa aplicados, rompe los enlaces cercanos a la juntura. Este fenómeno es conocido como efecto Zener y ocurre a bajos niveles de voltaje.

A los dispositivos fabricados para que operen en su región inversa, se les llama diodos de avalancha o de rompimiento o regulador o más comúnmente, diodo Zener.

En la Fig. 2.76 se muestra la curva característica y el símbolo del diodo Zener. Nótese que su región de directa es igual a la de un diodo común, pero en inversa su rompimiento es más abrupto y presenta una resistencia menor.

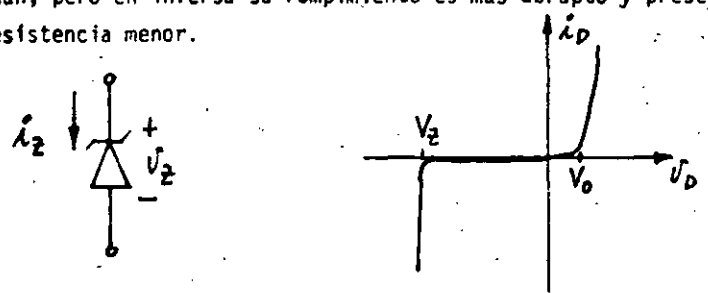


Figura 2.76.- Característica y símbolo del diodo Zener.

Posiblemente, la principal aplicación que tiene el diodo Zener es como regulador de voltaje, debido a su baja resistencia en inversa. En la Fig. 2.77 se presenta el modelo piezolineal que se utiliza en el análisis y diseño de circuitos.

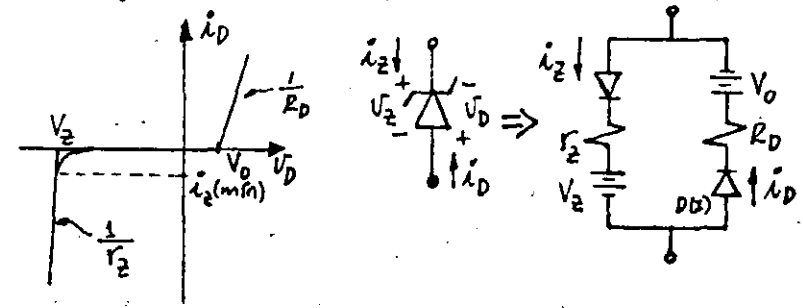


Figura 2.77.- Modelo piezolineal del Zener.

La Fig. 2.78 muestra el circuito típico de regulación. Como la característica real del Zener presenta un codo abrupto en su región de inversa, generalmente se considera una $i_z(mín)$ para garantizar que el diodo está encendido.

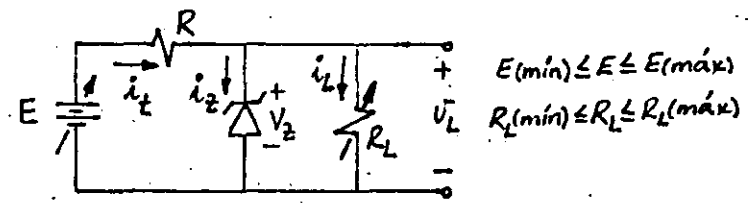


Fig. 2.78 Circuito regulador.

Como el Zener queda en paralelo con la carga, se dice del circuito que es del tipo regulador en paralelo. El Zener amortigua tanto las variaciones del voltaje de entrada como las de la corriente de salida, ambas dentro de ciertos límites para cada circuito en particular. Para mostrar la técnica de diseño, considérese el siguiente ejemplo:

Ejemplo 2.7.-

Para el circuito de la Fig. 2.78, determine el valor de R que garantiza la función de regulación de dicho circuito. Suponga que es la etapa reguladora de un eliminador de baterías que alimenta una carga que consume entre 60 y 100 mA a 9V, y el voltaje a su entrada varía entre 14 y 16V.

Como se desea que el circuito regule el voltaje en la carga, el Zener deberá estar encendido siempre, es decir, no debe ni apagarse ni des-
truirse; en otras palabras, la corriente a través de él no debe nunca ser menor que la $i_Z(\text{mín})$ ni mayor que la $i_Z(\text{máx})$ permisible. Ambas son parámetros que da el fabricante o pueden determinarse a partir de la característica.

En el primer caso, para que el diodo no se "apague", la condición más crítica se da cuando el voltaje de entrada es mínimo y la corriente de carga es máxima, es decir, del circuito:

$$i_t = i_Z(\text{mín}) + i_L(\text{máx}) \quad (2.72)$$

$$\text{y también: } R(\text{máx}) = \frac{E(\text{mín}) - V_Z}{i_Z(\text{mín}) + i_L(\text{máx})} \quad (2.73)$$

en esta última expresión el valor de R es máximo, porque si se escoge un valor mayor que el calculado de esta forma, el diodo dejará de conducir.

Como el Zener está en paralelo con la carga, $V_Z = 9V$ despreciando la r_Z y también como $i_Z(\text{mín})$ generalmente es muy pequeña, cuando no está especificada se puede escoger entre el 1% y el 5% de la corriente máxima del Zener, de la ecuación (2.73) se tiene:

$$R(\text{máx}) = \frac{(14 - 9)V}{0.1A} = 50 \Omega \quad (2.74)$$

Si se escoge como valor adecuado $R = 39 \Omega$, se puede calcular la corriente máxima del Zener bajo otra condición crítica: $E(\text{máx})$ e $i_L(\text{mín})$; del circuito:

$$E(\text{máx}) = Ri_t + V_Z = \{i_Z(\text{máx}) + i_L(\text{mín})\} \cdot R + V_Z$$

$$\begin{aligned} \therefore i_Z(\text{máx}) &= \frac{E(\text{máx}) - V_Z}{R} - i_L(\text{mín}) \quad (2.75) \\ &= \frac{16 - 9}{39} - 0.06 = 0.12A \end{aligned}$$

entonces se requiere de un diodo Zener que sea capaz de disipar una potencia de:

$$P_Z = V_Z i_Z(\text{máx}) = 9(0.12) = 1.08W$$

En la expresión (2.75), puede observarse que si R disminuye $i_Z(\text{máx})$ aumenta, indicando que 39Ω es un valor mínimo porque si se pudiera escoger un valor de $P_Z = 1.08 W$, si se disminuye R el diodo se daña. En resumen, las dos condiciones críticas determinan un rango de valores para R:

$$\frac{E(\text{máx}) - V_Z}{i_Z(\text{máx}) + i_L(\text{mín})} \leq R \leq \frac{E(\text{mín}) - V_Z}{i_Z(\text{mín}) + i_L(\text{máx})} \quad (2.76)$$

el cual debe cumplirse para que el circuito trabaje como regulador.

Otras aplicaciones también importantes y bastante comunes, son las que se presentan en la Fig. 2.79. En el primer caso, se usan dos diodos Zener para obtener dos niveles de voltaje de referencia y en el otro, se utilizan como limitadores o reguladores de CA.

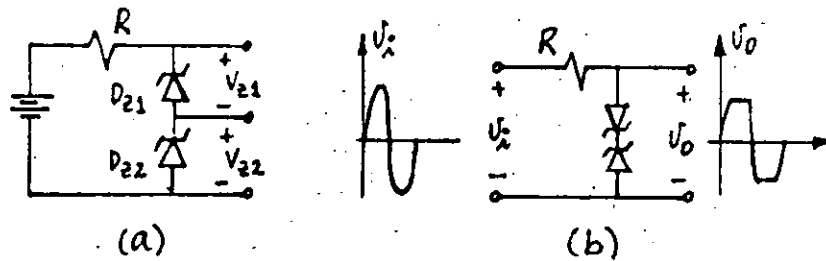
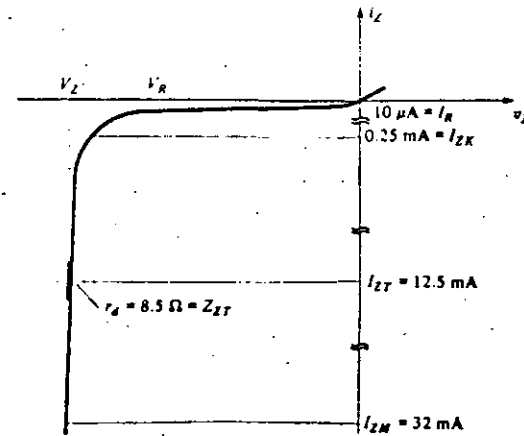


Figura 2.79.- (a) Voltajes de referencia y (b) limitador.

El valor de V_Z es un valor típico promedio y en este caso puede variar el 20%. En el mercado se encuentran también con tolerancias del 10% y 5% para las mismas especificaciones. Z_{ZT} es la impedancia dinámica especificada a un cierto nivel de corriente típico de operación I_{ZT} . La máxima impedancia del codo Z_{Zk} ocurre a la corriente I_{Zk} . La corriente de saturación en inversa I_R se da a un cierto voltaje de prueba V_R y la máxima corriente permisible a través de dispositivo es I_{ZM} . El coeficiente de temperatura indica el incremento en el voltaje V_Z por cada grado de incremento en la temperatura.



Para concluir, en la Fig. 2.80 se muestran los parámetros típicos que especifica el fabricante y la característica correspondiente. El diodo Zener 1N961 de Fairchild, es un diodo de 500 mW, 20%.

Electrical Characteristics (25°C Ambient Temperature unless otherwise noted)

JEDEC TYPE	ZENER VOLTAGE (Vz)	TEST CURRENT (IzT)	MAX DYNAMIC IMPEDANCE (ZzT@IzT)	MAXIMUM KNEE IMPEDANCE (Zzk@Izk)	MAXIMUM REVERSE CURRENT (IR@VR)	TEST VOLTAGE (VR)	MAXIMUM REGULATOR CURRENT (IzM)	TEMPERATURE COEFFICIENT (TTP)	
	V	mA	Ω	Ω	mA	μA	V	mA	%/°C
1N961	10	12.5	8.5	700	0.25	10	7.2	32	+0.72

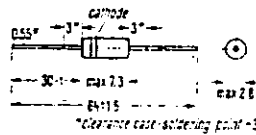
Figura 2.80.- Especificaciones del fabricante.

44

BAY 60 (1 N 4009)

Miniature silicon planar logic diode

Silicon planar diode BAY 60 is designed for use as a high-speed switch in computers, as well as for general switching applications. Small reverse recovery times, low capacitance and limited spread in the characteristics, coupled with improved reliability are achieved through use of planar techniques. The diode is housed in a glass DO-7 case with axial leads; the cathode side is marked with a white colour ring. BAY 60 is similar to type 1 N 4009.



Weight: approx 0.2 g. Dimensions in mm.

Maximum ratings ($T_{amb} = 25^\circ\text{C}$)

- Reverse voltage
- Rectified current ($t_{av} < 10\text{ ms}$)
- Forward current
- Peak current*
- Impulse current ($t < 1\ \mu\text{s}$)
- Junction temperature
- Ambient temperature
- Total power dissipation ($T_{amb} = 25^\circ\text{C}$)

V_R	25	V
I_D	75	mA
I_F	115	mA
I_{FM}	225	mA
I_{FS}	2	A
T_j	200	$^\circ\text{C}$
T_{amb}	-65...+200	$^\circ\text{C}$
P_{tot}	250	mW

Thermal resistance

R_{thjamb}	≤ 0.7	$^\circ\text{C/W}$
--------------	------------	--------------------

Static characteristics ($T_{amb} = 25^\circ\text{C}$)

- Breakdown voltage ($I_R = 5\ \mu\text{A}$)
- Forward voltage ($I_F = 30\ \text{mA}$)
- Reverse current ($V_R = 25\ \text{V}$)
- Reverse current ($V_R = 25\ \text{V}; T_{amb} = 150^\circ\text{C}$)

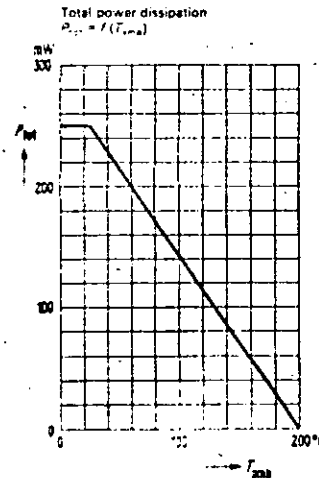
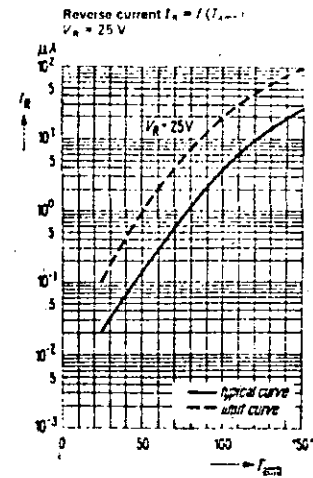
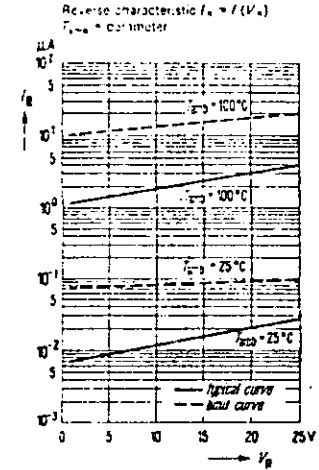
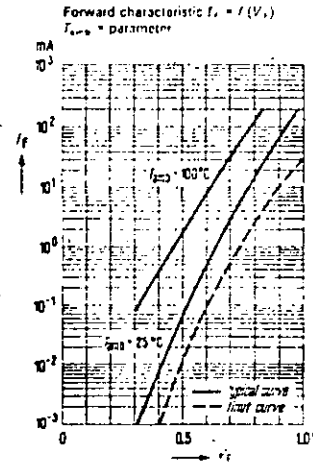
V_B	≥ 35	V
V_F	$\leq 1.0^*$	V
I_R	$\leq 0.1^*$	μA
I_R	≤ 100	μA

Dynamic characteristics ($T_{amb} = 25^\circ\text{C}$)

- Capacitance ($V_R = 0\ \text{V}$)
- Reverse recovery time ($I_F = I_R = 10\ \text{mA}$; recovery to 1 mA)
- Reverse recovery time ($I_F = 10\ \text{mA}; V_R = 6\ \text{V}; R_L = 100\ \Omega$)

C_0	≤ 4	pf
t_{rr}	≤ 4	ns
t_{rr}	≤ 2	ns

* AOL = 0.95%



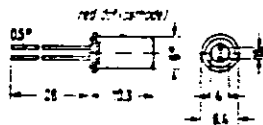
45

BZY 83/C, BZY 83/D, BZY 85/C, BZY 85/D

Silicon Z-diodes

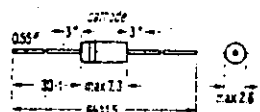
Silicon Z-diodes type BZY 83 and BZY 85 are available with 5% tolerance (C) and 10% tolerance (D); they are provided with a metal case and may be operated in free air as well as mounted on a chassis by means of a cooling fin (heat sink). They are suitable for stabilizing and limiting voltages as well as for generating reference voltages at low power requirements. The cathode lead is marked by a red dot and is to have positive voltage when using the diode as a stabilizer.

BZY 83 C, 83/D



Weight approx. 1 g Dimensions in mm

BZY 85/C, 85/D



Weight approx. 0.7 g Dimensions in mm

Maximum ratings

	BCY 83	BCY 85	
Forward current	200	200 ¹⁾	mA
Peak current	300	300	mA
Power dissipation at $P_{tot} = 25^\circ\text{C}$	250	-	mW
Power dissipation at $P_{tot} = 45^\circ\text{C}$	300	250	mW
Zener current	P_{tot}/V_Z	P_{tot}/V_Z	mA
Junction temperature	150	150	$^\circ\text{C}$
Ambient temperature	-55...+125	-55...+125	$^\circ\text{C}$

Thermal resistance

	BCY 83	BCY 85	
Between junction and static ambient air	R_{thjamb}	< 400	$^\circ\text{C/W}$
Between junction and diode case	$R_{thjcase}$	-	$^\circ\text{C/W}$
When mounted on a chassis of sheet aluminium 12 cm ² in area with cooling fin (heat sink)	R_{thL}	-	$^\circ\text{C/W}$

Static characteristics ($T_{amb} = 25^\circ\text{C}$)

Forward voltage ($I_F = 100\text{ mA}$)	V_F	0.8 (<1.0)	0.9 (<1.0)	V
Zener voltage ²⁾ see table	V_Z			

¹⁾ $t_{max} = 50\text{ ms}$

²⁾ Measured with current impulses $< 1\text{ s}$

* AQL = 0.65%

BZY 83/C, BZY 83/D

Line of types: BZY 83

Type	V_Z (V)	$I_{Zmax} = 5\text{ mA}$			I_Z^* at $V_Z = 1\text{ V}$ (nA)	V_Z^* at $I_Z = 1\text{ }\mu\text{A}$ (V)
		V_F - range ¹⁾ (V)	I_F^* (D)	I_{Zmax} (D)		
BZY 83/C 4V7	4.7	4.4...5.0	66 < 90	66	< 500	> 1
BZY 83/C 5V1	5.1	4.8...5.4	48 < 75	48	< 500	> 1
BZY 83/C 5V6	5.6	5.2...6.0	20 < 60	20	< 500	> 1
BZY 83/C 6V2	6.2	5.8...6.5	8 < 40	11	< 500	> 1
BZY 83/C 6V8	6.8	6.4...7.2	3.5 < 8	9	< 100	> 1.5
BZY 83/C 7V5	7.5	7.0...7.9	3.5 < 6	10	< 100	> 1.5
BZY 83/C 8V2	8.2	7.7...8.7	4 < 7	14	< 100	> 3
BZY 83/C 9V1	9.1	8.5...9.6	5.5 < 10	18	< 100	> 3
BZY 83/C 10	10	9.4...10.6	7 < 15	24	< 100	> 4.5
BZY 83/C 11	11	10.4...11.6	9.5 < 20	31	< 100	> 4.5
BZY 83/C 12	12	11.4...12.8	12 < 30	39	< 100	> 6.5
BZY 83/C 13V5	13.5	12.6...14	17 < 30	54	< 100	> 6.5
BZY 83/C 15	15	13.6...15.5	24 < 55	70	< 100	> 9.5
BZY 83/C 16V5	16.5	15.3...17	34 < 75	92	< 100	> 9.5
BZY 83/C 18	18	16.6...19	47 < 100	120	< 100	> 9.5
BZY 83/C 20	20	18.8...21	70 < 150	160	< 100	> 9.5
BZY 83/C 22	22	20.8...23	95 < 170	205	< 100	> 11.5
BZY 83/C 24V5	24.5	22.8...25.6	120 < 200	250	< 100	> 11.5
BZY 83/D 1 ¹⁾	0.7	0.62...0.78	8	8	< 500	> 1
BZY 83/D 4V7	4.7	4.1...5.2	66 < 90	66	< 500	> 1
BZY 83/D 5V6	5.6	5.0...6.3	20 < 75	20	< 500	> 1
BZY 83/D 6V8	6.8	6.0...7.5	3.5 < 15	9	< 100	> 1.5
BZY 83/D 8V2	8.2	7.3...9.2	4 < 10	14	< 100	> 3
BZY 83/D 10	10	8.8...11.0	7 < 15	24	< 100	> 4.5
BZY 83/D 12	12	10.7...13.4	12 < 30	39	< 100	> 6.5
BZY 83/D 15	15	13...16.5	24 < 55	70	< 100	> 9.5
BZY 83/D 18	18	16...20	47 < 100	120	< 100	> 9.5
BZY 83/D 22	22	19.6...24.4	95 < 200	205	< 100	-

¹⁾ BZY 83/D1 is operated in the forward direction and has narrow tolerances. The cathode, marked by a red dot, is to be connected to the negative pole of the voltage source

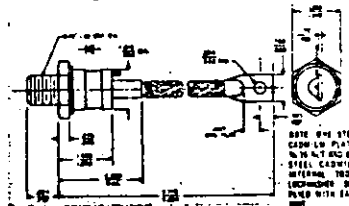
* AQL = 0.65%

- 93 -
Silicon
Rectifiers

1N3260-73.R

General Electric now offers 160 ampere silicon rectifier diodes of the EIA Types 1N3260 through 1N3273.

OUTLINE DRAWING



This product features:

- Choice of stud anode or stud cathode types
- Thermal fatigue resistant
- Low reverse current
- Great uniformity of product
- High surge current capabilities

RATINGS AND SPECIFICATIONS:⁽¹⁾

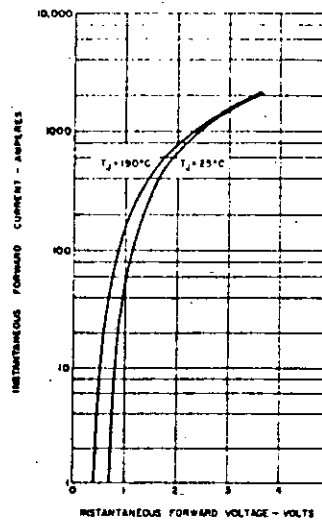
1N3260 1N3261 1N3262 1N3263 1N3264 1N3265 1N3266 1N3267 1N3268 1N3269 1N3270 1N3271 1N3272 1N3273

Maximum Allowable Repetitive Peak Reverse Voltage, V_{RRM} (V _{eff})	50	100	150	200	250	300	350	400	500	600	700	800	900	1000
Maximum Allowable DC Blocking Voltage, V_{DC}	40	80	120	160	200	240	280	320	400	460	560	640	720	800
Maximum Allowable Average Forward Current, I_{FAV} (single phase, 125°C case temperature)	160 amperes													
Maximum Allowable Peak One-Cycle Surge Current, I_{SM} (single phase, 100% duty cycle, 100% duty cycle)	2000 amperes													
Minimum I_{SM} Rating (non-repetitive)	8,250 amperes-seconds (see Chart 7)													
Maximum Peak Forward Voltage Drop, V_{DF} ($I_F = 100$ amps DC, $T_C = 125^\circ\text{C}$)	1.6 volts													
Maximum Full Load Reverse Current, I_{R} (full-cycle average, 125°C case temperature, single phase)	12 milliamperes													
Maximum Thermal Resistance, $R_{\theta JC}$ (junction to case)	0.3°C/watt													
Storage Temperature, T_{STG}	65°C to -175°C													
Operating Temperature, T_O	65°C to -190°C													
Stud Torque ⁽²⁾ - Maximum	325 inch-pounds (375 kg-cm)													
Stud Torque ⁽²⁾ - Minimum	275 inch-pounds (320 kg-cm)													

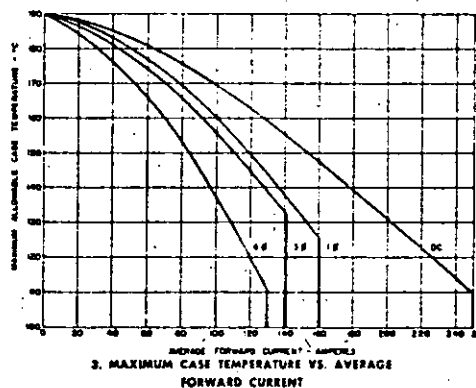
NOTES: ⁽¹⁾ Models listed are stud cathode (forward polarity) types. Order 1N32...R for stud anode (reverse polarity) types. Ratings and specifications are for frequencies from 50 up to 400 cycles/second, except where noted differently.
⁽²⁾ Rating assumes a rectifier diode heat sink dissipation of 2.0°C/watt, or less.
⁽³⁾ Rating assumes a rectifier diode heat sink dissipation of 1.0°C/watt, or less.
⁽⁴⁾ Use of a silicone grease (G-E #G623) between the rectifier base and heat sink is recommended.

⁽⁵⁾ Indicates JEDEC Requirement Parameters.

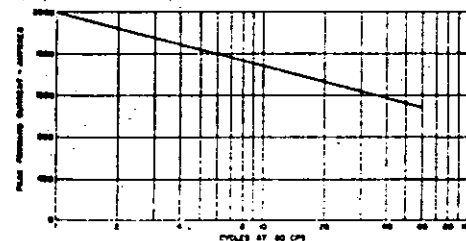
1N3260-73.R



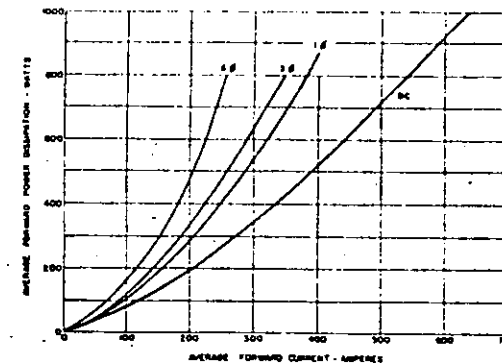
1. MAXIMUM FORWARD CHARACTERISTICS



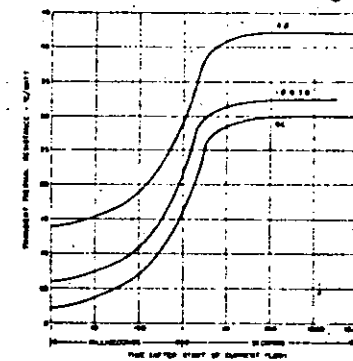
2. MAXIMUM CASE TEMPERATURE VS. AVERAGE FORWARD CURRENT



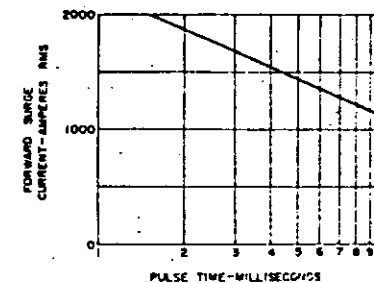
3. MAXIMUM SURGE CURRENT FOLLOWING RATED LOAD CONDITIONS ($T_J = -55^\circ\text{C}$ TO $+190^\circ\text{C}$)



4. AVERAGE FORWARD POWER DISSIPATION VS. AVERAGE FORWARD CURRENT ($T_J = +190^\circ\text{C}$)



5. TRANSIENT THERMAL RESISTANCE JUNCTION TO CASE



6. SUBCYCLE SURGE FORWARD CURRENT FOLLOWING RATED LOAD CONDITIONS ($T_J = -55^\circ\text{C}$ TO $+190^\circ\text{C}$)



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

FUNCIONAMIENTO DEL TBJ

M. EN C. ANASTASIO MONTIEL MAYORGA

SEPTIEMBRE, 1984.

2.0 FUNCIONAMIENTO DEL TBJ.-

El transistor bipolar de juntura llamado comunmente "TRANSISTOR", consiste en dos uniones PN tal y como se muestra en la figura 2.1. Dependiendo del arreglo que se haga, el transistor es del tipo NPN ó PNP.

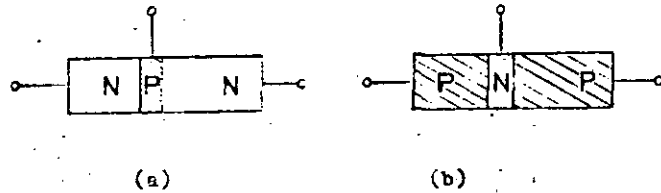


Figura 2.1.- TRANSISTOR: a) NPN; b) PNP.

Para explicar brevemente el funcionamiento del transistor consideraremos el tipo NPN.

La concentración de impurezas es mayor en la región N de la izquierda que en la región P (ver figura 2.1a). Si la juntura NP se polariza en directa, la región N inyecta (o "emite") portadores en el material tipo P, donde se convierten en portadores minoritarios. Esto se ilustra en la figura 2.2a.

Una juntura PN también puede recolectar portadores minoritarios que se aproximen a la vecindad de las regiones P y N. Los portadores minoritarios que llegan a la vecindad de la juntura PN, logran pasar del material tipo P al N debido al campo eléctrico ahí presente.

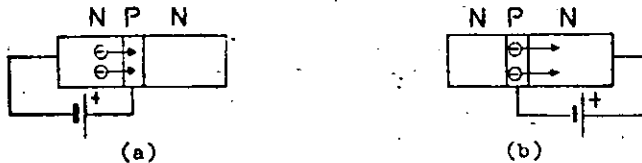


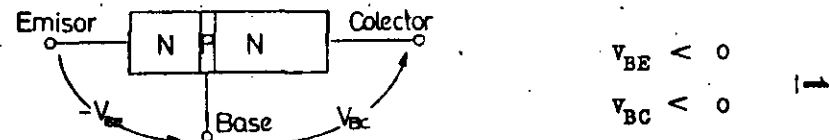
Figura 2.2.- a) Cuando una de las junturas es polarizada en directa, la región N puede inyectar electrones en la región P; b) polarizada en inversa, la región N puede recolectar electrones.

La figura 2.2b ilustra una situación en la cual los electrones minoritarios que de alguna forma han sido introducidos en la región P, logran pasar a la región N. No todos los portadores minoritarios que son introducidos en la región P son recolectados, algunos se recombinan con los huecos que son mayoritarios en dicho material. Si la juntura se polariza en directa, la corriente normal fluye y se agrega a cualquier corriente de portadores minoritarios recolectada.

En resumen, un transistor está formado por dos uniones, una que inyecta portadores y otra que los recolecta. La región N fuertemente contaminada es llamada EMISOR, la otra región N es llamada COLECTOR y la región P es llamada la BASE.

El hecho de tener dos uniones, nos permite tener cuatro diferentes formas de polarizar el transistor:

1.- Ambas uniones polarizadas en inversa:



El resultado es obvio, casi no existe conducción de corriente ya que se tiene el equivalente a dos diodos polarizados en inversa.

2.- Una unión polarizada en directa y la otra en inversa:

Sea por ejemplo, el diodo Base-Emisor en directa y el Base-Colector en inversa.

$$V_{BE} > 0; V_{BC} < 0$$

La unión PN polarizada en directa permite el paso de electrones de N a P y de huecos de P a N, o sea, permite el paso de corriente. En un diodo normal, casi todos los huecos que entran a N se recombinan con el exceso de electrones que son portadores mayoritarios en N; lo mismo sucede con los electrones que pasan de N a P. En este caso, la corriente equivale a los portadores necesarios para suplir a aquellos que se pierden por recombinación.

En el transistor, sucede que la base es tan delgada que los electrones que son inyectados desde el emisor, llegan a la unión Base-Colector antes de haberse recombinado todos. En la unión B-C, el campo eléctrico tiene la dirección que permite el libre paso de los electrones al colector. Los electrones que se recombinan en la base, causan que i_B exista para suplir los huecos que se emplean en la recombinación. Esto se muestra en la figura 2.3.

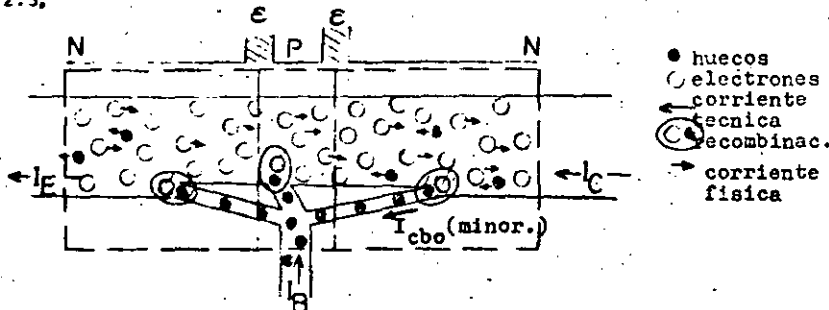


Figura 2.3.- Corrientes en el TBJ.

Se puede apreciar que:

a) La corriente de emisor i_E está formada por los electrones inyectados.

No toda la corriente inyectada pasa de E a C; la corriente i_C consiste de dos términos, el término predominante representa el porcentaje de electrones inyectados que logran llegar hasta el colector. Este porcentaje depende casi exclusivamente de la construcción del transistor y puede ser considerado constante para un transistor en particular. La constante de proporcionalidad es definida como α y se le llama eficiencia de emisor. El segundo término representa la corriente debida a los portadores minoritarios de la base que pasan al colector ya que el diodo Base-Colector está polarizado en inversa. Entonces, tenemos:

$$i_C = \alpha i_E + I_{CBO}$$

como I_{CBO} es una corriente muy pequeña (corriente de saturación), será despreciada en lo subsecuente, luego:

$$\frac{i_C}{i_E} = \alpha \quad (2.1)$$

en donde $\alpha < 1$.

Por otro lado, la ley de Kirchoff dice que:

$$i_E = i_C + i_B \quad (2.2)$$

y como

$$i_E = \frac{i_C}{\alpha}$$

se tiene que:

$$\frac{i_C}{\alpha} = i_C + i_B \quad (2.3)$$

$$\therefore i_B = \frac{1-\alpha}{\alpha} i_C$$

$$\Rightarrow i_C = \frac{\alpha}{1-\alpha} i_B = \beta i_B \quad (2.4)$$

siendo $\beta = \frac{\alpha}{1-\alpha}$ = ganancia de corriente de base.

b) La corriente inyectada depende de la polarización de la unión Base-Emisor, que está polarizada en directa.

Si el colector no existiera se tendría que:

$$i_E = I_B e^{V_{BE}/V_T} = i_B \quad (2.5)$$

es decir, se tendría un diodo PN común y corriente.

El hecho de que el colector exista, polarizado en inversa con la base, hace que

$$i_E = (\beta + 1) i_B \quad (2.6)$$

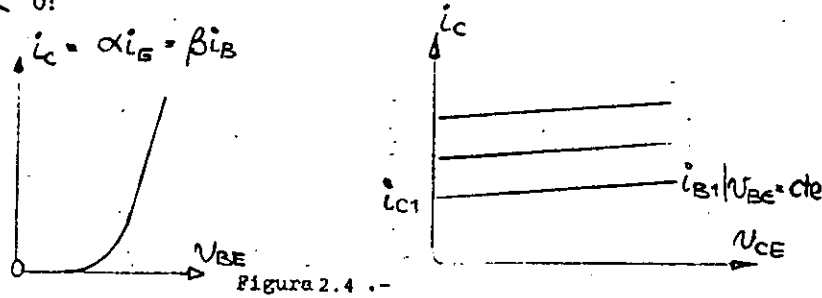
o sea, de las ecuaciones anteriores es obvio que $i_E \neq i_B$, teniendo en el transistor:

$$i_B = \frac{I_B}{\beta + 1} e^{V_{BE}/V_T} \quad (2.7)$$

que es la ecuación fundamental del diodo Base-Emisor.

c) El hecho de que la unión Base-Colector esté polarizada en inversa significa que la corriente i_C y por tanto i_B también, sean casi independientes del voltaje V_{BC} .

De los tres puntos anteriores se deduce que se tienen las siguientes curvas características del transistor, para $V_{BE} > 0$ y $V_{BC} < 0$:



En general, los TBJ tienen los siguientes valores típicos de α y β :

- $\alpha = 0.950 \rightarrow \beta = 20$
- $\alpha = 0.990 \rightarrow \beta = 99$
- $\alpha = 0.999 \rightarrow \beta = 999$

3.- El contrario de 2, o sea, Base-Collector polarizado en directa y Base-Emissor en inversa.

Debe de ser obvio que el resultado es análogo al de 2. En realidad lo es, sólo que como el TBJ no es simétrico en su construcción (el emisor está fuertemente contaminado, la base es muy delgada y la región del colector es la mayor), los parámetros en este caso no tienen el mismo valor que en su análogo. En esta circunstancia, tenemos:

$$i_E = \alpha_R i_C$$

$$e; i_C = I_{SR} e^{V_{BC}/V_T}$$

en donde: α_R = eficiencia de colector o alfa reversa.

I_{SR} = corriente de saturación del diodo.

también:
$$\beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

Valores típicos:

- $\alpha_R = 0.5 \rightarrow \beta_R = 1$
- $\alpha_R = 0.1 \rightarrow \beta_R = 0.1$
- $\alpha_R = 0.01 \rightarrow \beta_R = 0.01$

4.- Ambas uniones polarizadas en directa. En este caso, se superponen 2 y 3, o sea que se siguen teniendo diodos en directa y el efecto de la base delgada, es decir, "colección" de portadores minoritarios en la base.

Para este caso:

$$i_C = \alpha I_S e^{V_{BE}/V_T} - I_{SR} e^{V_{BC}/V_T}$$

$$i_E = I_S e^{V_{BE}/V_T} - \alpha_R I_{SR} e^{V_{BC}/V_T}$$

$$i_B = i_E - i_C$$

El resultado es que ahora la corriente depende de dos voltajes (V_{BC} y V_{BE}), mientras que antes dependía solo de uno. Ahora ya no se puede hablar de β , no existe ganancia de corriente en este caso. El resultado práctico es una recta V_{CE} vs i_C que depende más de resistencias internas de los diodos B-C y B-E, que de otra cosa.

Así, podemos hablar de las características de un transistor bipolar de juntura:

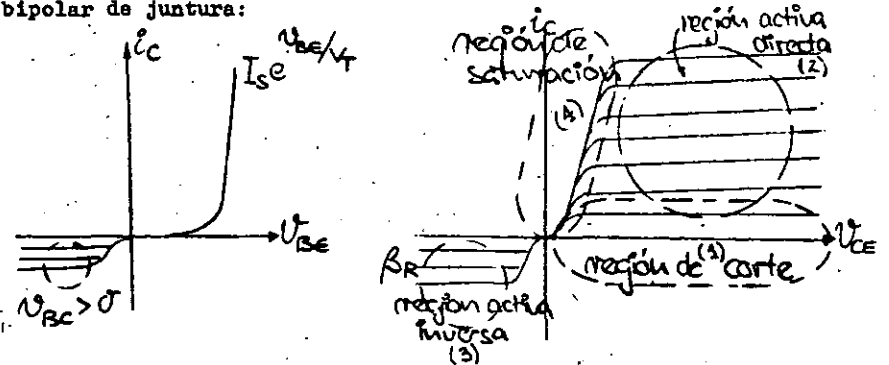


Figura 2.5 .- Curvas Características.

2.1. Modelos del TBJ.-

Ahora se presenta el problema: ¿Cómo podemos hacer cálculos

de circuitos en los que intervienen TBJ's?

Es obvio que conociendo sus ecuaciones, estos cálculos se pueden efectuar fácilmente (si se tiene una computadora!). Así que buscaremos modelos más simplistas.

Modelo de Ebers-Moll.-

Ebers y Moll dedujeron un modelo basados en el funcionamiento básico del TBJ. Su razonamiento para éste fue así: Un TBJ es en realidad un par de diodos conectados "espalda con espalda", con la única particularidad de que la base es muy corta, lo que permite el paso de gran cantidad de portadores entre uno y otro diodo aún cuando uno de ellos está polarizado en inversa. El efecto de dos diodos se puede modelar precisamente con dos diodos, mientras que el efecto de la base corta se puede simular con fuentes de corriente dependientes, como se aprecia en la figura 2.6 para un transistor NPN.

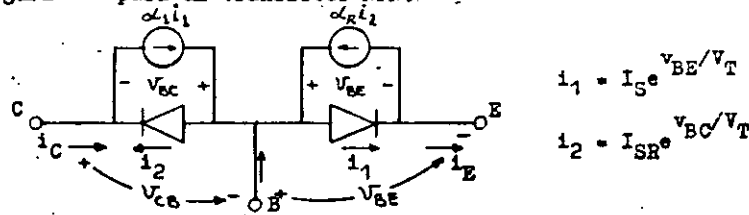


Figura 2.6.- Modelo de Ebers-Moll

Del modelo:

$$i_C = \alpha_1 i_1 - i_2 = \alpha_1 I_S e^{V_{BE}/V_T} - I_{SR} e^{V_{BC}/V_T}$$

$$i_E = i_1 - \alpha_R i_2 = I_S e^{V_{BE}/V_T} - \alpha_R I_{SR} e^{V_{BC}/V_T}$$

$$i_B = i_E - i_C$$

Como puede observarse, este modelo incluye todos los casos vistos en la sección 2.0:

Si: $V_{BE} > 0$ y $V_{BC} < 0$

$$i_C = \alpha_1 I_S e^{V_{BE}/V_T} = \alpha_1 i_E \quad (\text{activo directo})$$

Si: $V_{BC} > 0$ y $V_{BE} < 0$

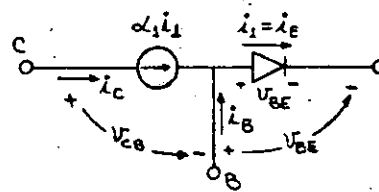
$$i_E = \alpha_R I_{SR} e^{V_{BC}/V_T} = \alpha_R i_C \quad (\text{activo inverso})$$

Si: V_{BE} y $V_{BC} < 0$

$$i_C = i_E = 0 \quad (\text{corte})$$

Si: V_{BE} y $V_{BC} > 0$ (saturación)

En general, se emplea el TBJ en el caso activo directo y a veces en corte y saturación. Casi nunca en activo inverso. En otras palabras, para un transistor NPN: $V_{BE} > 0$ y $V_{BC} < 0$. En este caso, el modelo de Ebers-Moll se reduce a:



$$i_C = \alpha_1 I_S e^{V_{BE}/V_T}$$

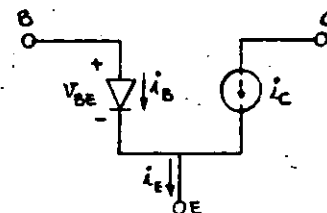
$$i_E = I_S e^{V_{BE}/V_T}$$

$$i_B = i_E - i_C = \frac{i_C}{\beta}$$

$$\beta = \frac{1}{1 - \alpha_1}$$

Modelo simplificado.-

El modelo anterior ya está simplificado y sirve únicamente para los casos de corte y activo directo. El mismo modelo se puede redibujar como sigue:



$$i_C = \beta i_B = I_0 e^{V_{BE}/V_T}$$

$$I_0 = \alpha_1 I_S = I_S$$

$$i_E = i_B + i_C$$

El resultado que se obtiene aplicando cualquiera de ellos es idéntico, sólo que en este último se emplea directamente β , mientras que en los otros dos se emplea α_1 .

Este último modelo es el que emplearemos en todos nuestros cálculos de ahora en adelante.

2.2 Simbología.-

En la figura 2.7 se muestran los símbolos que representan al Transistor Bipolar de Juntura tipo NPN y PNP.

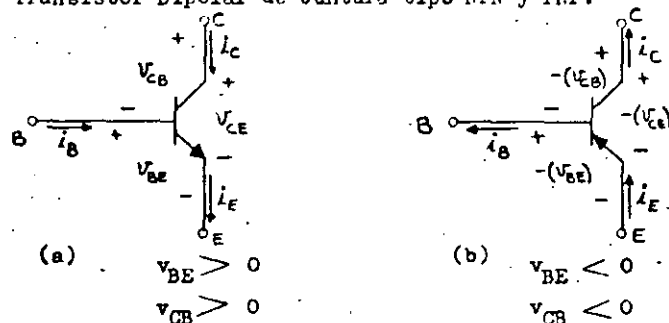


Figura 2.7.- Transistor: a) NPN; b) PNP

Debe hacerse notar que:

- a) i_E lleva la dirección de la flecha en el emisor.
- b) i_C e i_B llevan la dirección adecuada para que se cumpla que $i_E = i_B + i_C$.
- c) Los voltajes se miden de la primera letra a la segunda. Por ejemplo, v_{BE} es el voltaje de la base con respecto al emisor, o de otra manera:

$$v_{BE} = v_B - v_E$$

en donde v_B y v_E están medidos con respecto a tierra. Resulta obvio que:

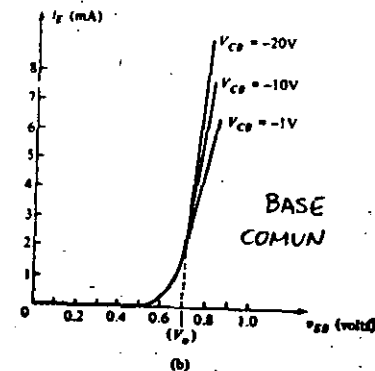
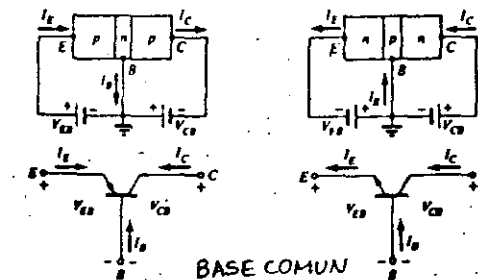
$$v_{BE} = -v_{EB}; \quad v_{BC} = -v_{CB}; \quad v_{CE} = -v_{EC}$$

- d) Los signos de voltaje en un PNP son opuestos a los de un NPN.
- e) Entre las terminales del transistor se cumple que:

$$v_{CE} = v_{CB} + v_{BE} \quad (2.9)$$

2.3 Curvas características.-

A continuación se muestran las curvas características de un transistor, en las diferentes configuraciones básicas que se pueden tener.





DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

TIRISTORES

SEPTIEMBRE, 1984.

TIRISTORES

4.1 Rectificador Controlado de Silicio (SCR)

4.1.1 Principios de operación:

El rectificador controlado de silicio es un dispositivo semiconductor formado por cuatro capas, dos de ellas tipo N y dos tipo P, colocadas alternadamente. Posee tres terminales externas denominadas "ánodo", "cátodo" y "compuerta". En la Fig. 4.1.a se muestra el símbolo del dispositivo y en la 4.1.b la estructura física del mismo.

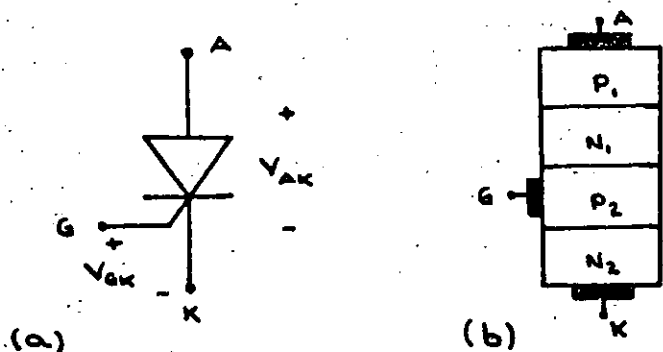


Figura 4.1 Símbolo y estructura del SCR.

Este dispositivo se parece al diodo rectificador en que requiere una polaridad adecuada para conducir; es decir: V_{AK} positivo. Además de esta condición, se requiere aplicar una señal a la compuerta del dispositivo a fin de que éste entre en conducción; si no se aplica la señal de compuerta, el SCR permanecerá apagado aún cuando V_{AK} sea positivo.

Por otro lado, si V_{AK} es negativo, el dispositivo estará apagado aunque se le proporcione una señal a la compuerta.

Para comprender la operación del dispositivo, es necesario recurrir al diagrama de la estructura física. Podemos dividir imaginariamente las dos capas centrales del SCR (n_1 y p_2) tal como se muestra en la Fig. 4.2.a. A continuación separamos la estructura en dos partes, cada una de ellas formada por tres capas (Fig. 4.2.b). Cada parte corresponde entonces a la estructura de un transistor de modo que podemos plantear el modelo equivalente de la Fig. 4.2.c.

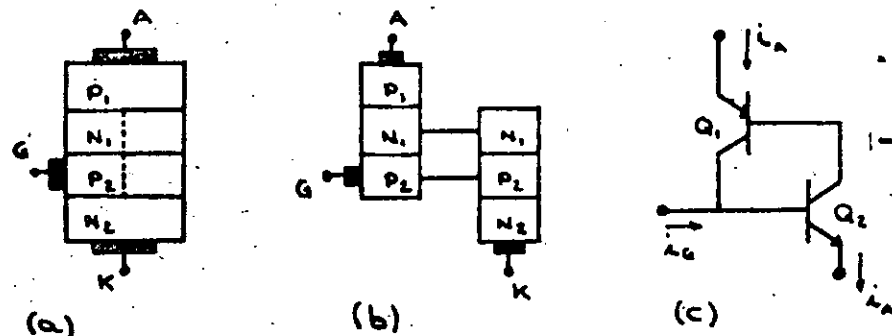


Figura 4.2.- Obtención del modelo de dos transistores.

Para los transistores del modelo se tiene que la corriente de base de uno es la corriente de colector del otro.

Supóngase ahora que ambos transistores están debidamente polarizados (V_{AK} positivo) pero apagados. Si se inyecta una corriente en la compuerta, ésta fluye hacia la base

de Q_2 , generando en éste una corriente de colector la cual, a su vez, es la corriente de base de Q_1 . Aparece entonces una corriente de colector en Q_1 que se suma a la inyectada por la compuerta.

El proceso continúa de este modo hasta que los transistores están completamente saturados. Cuando esto ocurre, el funcionamiento del SCR se hace independiente de la señal en la compuerta; es decir; ésta sirve únicamente para encenderlo.

En términos de corrientes se tiene lo siguiente:

$$I_A = I_{c1} + I_{c2} + I_{co} \quad (4.1)$$

donde I_{co} es la corriente de fuga en la unión común $n_1 - p_2$.

$$I_A = \alpha_1 I_{e1} + \alpha_2 I_{e2} + I_{co} \quad (4.2)$$

pero, como puede apreciarse del circuito:

$$I_{e1} = I_{e2} = I_A \quad (4.3)$$

por lo tanto:

$$I_A = (\alpha_1 + \alpha_2) I_A + I_{co} \quad (4.4)$$

de donde se obtiene:

$$I_A = \frac{I_{co}}{1 - (\alpha_1 + \alpha_2)} \quad (4.5)$$

Si $(\alpha_1 + \alpha_2) \ll 1$ entonces I_A será pequeña porque I_{co} también lo es; esta condición corresponde al apagado del dispositivo.

Si $(\alpha_1 + \alpha_2)$ se aproximan a la unidad, entonces I_A crecerá y estará limitada únicamente por la impedancia de carga

del SCR; esta condición corresponde al encendido del SCR.

En la Fig. 4.3 se muestra la característica voltaje-corriente del SCR.

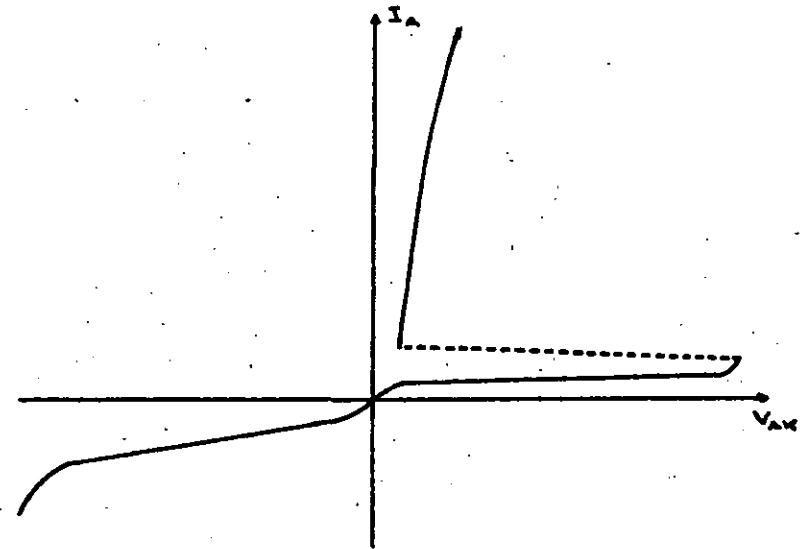


Figura 4.3.- Característica voltaje-corriente del SCR.

Debe notarse que existen cuatro formas de hacer que $(\alpha_1 + \alpha_2)$ se aproxime a la unidad; éstas son:

- Voltaje.-** Si V_{AK} excede determinado límite existirá un efecto de avalancha que encenderá al SCR; este efecto limita el voltaje en directa que el SCR es capaz de bloquear.
- Razón de cambio de voltaje:** La región vacía de la unión $n_1 - p_2$ presenta las características de un ca-

pacil Si VAK varfa muy abruptamente entonces fluirá una corriente en la unión y encenderá al SCR. Este efecto se conoce como: "dv/dt".

- c) Temperatura: A altas temperaturas lco aumenta, esto ocasiona un aumento en las corrientes de colector tal que ($\alpha_1 + \alpha_2$) se aproximan a la unidad.
- d) Inyección de corriente de compuerta: Este es el método normal de encendido; se ha descrito en los párrafos anteriores.

Una vez encendido, la única forma de lograr que un SCR recobre su condición de bloqueo, es disminuyendo la corriente a través de él a un valor inferior a la corriente de mantenimiento durante un tiempo superior al tiempo de apagado del dispositivo.

4.1.2 Caracterfsticas y hojas de datos del SCR.

Para poder utilizar un SCR adecuadamente, es necesario conocer el significado de los parámetros que lo caracterizan. Estos parámetros, con sus valores correspondientes, están incluidos en las hojas de datos del dispositivo proporcionada por el fabricante.

En el apéndice del capítulo se incluye una hoja de datos típica; la discusión siguiente hará referencia a dicha hoja. Antes de proceder a la explicación, es conveniente aclarar el significado de algunos términos.

"ON STATE" Este término se refiere a las características que exhibe el SCR cuando está polarizado en directa y está encendido.

"OFF STATE" Se refiere a las características exhibidas por el SCR cuando está polarizado directamente, pero está apagado.

"REVERSE" Se refiere a las características del SCR cuando está inversamente polarizado.

Especificación de voltajes aplicados al SCR:

Los valores de voltaje incluidos están dados para las peores condiciones de operación; en general, estos términos son autoexplicativos debiéndose únicamente notar la diferencia entre valores repetitivos y no repetitivos.

En este inciso se incluyen los siguientes parámetros:

V_{DRM} : Voltaje máximo repetitivo entre ánodo y cátodo en estado de corte.

V_{RRM} : Voltaje máximo repetitivo entre cátodo y ánodo.

V_{RSM} : Voltaje máximo no repetitivo entre cátodo y ánodo.

Debe notarse que si se excede el límite " V_{DRM} " el SCR entrará en conducción; si el circuito externo limita la corriente resultante a los límites especificados, el tiristor no se dañará. Este es un método de disparo de tiristores que se utiliza en algunas aplicaciones especiales.

Por otro lado, una corriente de inversa grande que resulte de exceder los límites de voltaje correspondientes, invariablemente destruye el dispositivo.

Especificación de corrientes de ánodo:

En este punto se incluye lo siguiente:

- I_T (RMS): Corriente "R.M.S." máxima a través del dispositivo en conducción.
- I_{TSM} : Corriente máxima no repetitiva a través del dispositivo en conducción.
- I_{DRM} : Corriente máxima repetitiva a través del dispositivo polarizado directamente y apagado.
- I_{RRM} : Corriente máxima repetitiva a través del dispositivo polarizado inversamente.
- I_T (AV): Corriente promedio a través del dispositivo en conducción.

Los valores máximos de I_T (AV) están dados en las gráficas 1 y 2 de la hoja de datos, en función del ángulo de conducción en configuraciones rectificadoras de media onda y onda completa.

En las gráficas se aprecia que I_T (AV) máxima es directamente proporcional a el ángulo de conducción. Esto es debido a que, con un valor de I_T (AV) dado, para ángulos de conducción menores se generan corrientes instantáneas mayores, las cuales, bajo ninguna circunstancia, deben producir un calentamiento que exceda el límite térmico del dispositivo.

Es por esta razón que el eje vertical de las figuras 1 y 2 corresponde a la temperatura máxima permitida en la cápsula del SCR. Las figuras mencionadas corresponden a dos variedades de cápsulas; para las restantes en las cuales está disponible el dispositivo, aplican las gráficas 5 y 6.

Las gráficas 5 y 6 están tomadas para el peor caso de temperatura interna del SCR; entonces, para un ángulo de conducción dado, estas gráficas indican cuál es la corriente promedio máxima y la disipación de potencia en el dispositivo.

Especificación de las condiciones de disparo.

En este punto se incluyen:

- I_{GM} : Corriente de compuerta máxima
- V_{GM} : Voltaje compuerta-cátodo máximo
- V_{GM} : Voltaje cátodo-compuerta máximo
- $P_{G(AV)}$: Disipación de potencia promedio en la compuerta.
- P_{GM} : Disipación de potencia máxima en la compuerta
- I_{GT} : Corriente continua de compuerta necesaria para disparar al SCR.
- V_{GT} : Voltaje continuo de compuerta necesario para disparar al SCR
- V_{GD} : Voltaje continuo de compuerta que no disparará al SCR.

Estos parámetros están relacionados por las gráficas 7 y 8 de las hojas de datos. En el extremo inferior izquierdo de ellas se ve un área sombreada, la cual se muestra ampliada a la derecha.

Los límites de esta área son los valores de voltaje y corriente necesarios para disparar cualquier SCR del tipo especificado bajo las peores condiciones por un lado; y por el otro los valores que no dispararán a ningún SCR bajo las peores condiciones.

El segundo límite es necesario, ya que, tan importante como asegurar que el dispositivo disparará en el momento adecuado, es asegurar que no se disparará cuando no se desea.

El área recomendada para disparo del SCR queda entonces a la derecha del área sombreada, dentro de los límites indicados.

Si el dispositivo se dispara con la aplicación de un voltaje constante, basta con colocarse en la frontera entre las áreas mencionadas; sin embargo, si a la compuerta se aplica un pulso, es necesario proporcionar valores de voltaje y corriente mayores, en forma inversamente proporcional a la duración del pulso.

Las gráficas 9 y 10 relacionan la anchura del pulso con la corriente y el voltaje respectivamente. Los valores que estas gráficas indican, si bien marcados como máximos, pueden excederse a fin de llevar el dispositivo a su estado de conducción más rápidamente; el límite que no debe excederse es el de disipación de potencia.

Otras especificaciones:

I_H : Corriente de mantenimiento; es la corriente mínima que debe fluir a través del SCR para que éste permanezca en conducción.

I_L : Corriente de amarre ("latching"); es la corriente mínima inicial que debe fluir a través del SCR antes de que desaparezca la señal en la compuerta, a fin de que el dispositivo no recobre su estado de bloqueo.

V_{TM} : Voltaje máximo de encendido: es el voltaje máximo que aparece entre ánodo y cátodo cuando el SCR está conduciendo.

$\frac{di}{dt}$: Razón de crecimiento máximo de la corriente de ánodo: es la velocidad máxima de variación de la corriente a través del SCR cuando este se enciende; a fin de no causar su destrucción.

$\frac{dv}{dt}$: Razón de crecimiento máximo del voltaje ánodo-cátodo: si el voltaje entre terminales crece más rápidamente de lo permitido, el SCR puede entrar en conducción aún sin señal aplicada en la compuerta.

$R_{\theta JA}$: Resistencia térmica entre juntura (interior del dispositivo) y medio ambiente en régimen permanente.

$R_{\theta JC}$: Resistencia térmica entre juntura y cápsula en régimen permanente.

T_j : Temperatura máxima permisible en la juntura.

Aún cuando no está incluido en la hoja de datos adjunta, un parámetro de suma importancia en algunas aplicaciones es el tiempo de apagado del dispositivo "toff". Este tiempo es el lapso mínimo durante el cual debe anularse la corriente a través del SCR a fin de que éste recobre por completo su estado de bloqueo. Si este tiempo no se cumple, el SCR se regenerará al estado de conducción.

4.1.3.- El TRIAC

El TRIAC es otro miembro de la familia de los tiristores, por su funcionamiento es un interruptor controlado bidireccional, es decir: puede conducir corriente en ambos sentidos. Su símbolo se muestra en la Fig. 4.4.

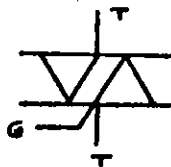


Figura 4.4 Símbolo del TRIAC

A semejanza del SCR, entra en conducción cuando se le aplica una señal en la compuerta, y recobra su estado de bloqueo cuando la corriente a través de él se anula. En la Fig. 4.5 se muestra la curva característica del TRIAC.

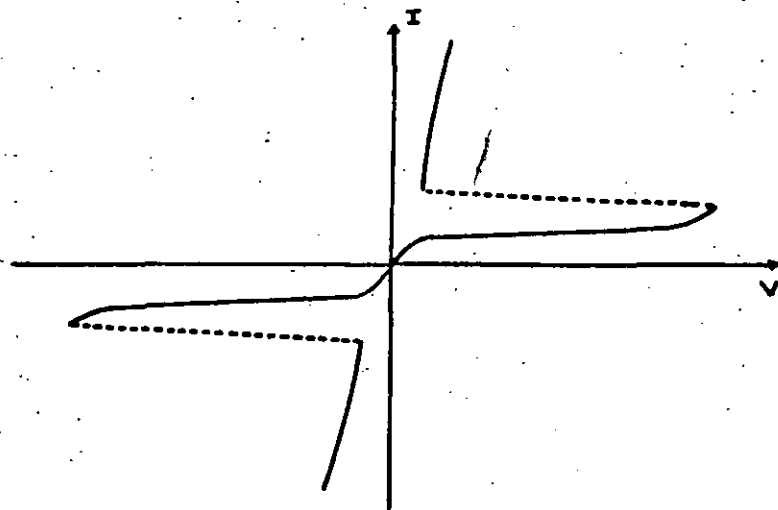


Figura 4.5 Curva característica del TRIAC.

Para el TRIAC aplican las mismas características y parámetros que para el SCR, exceptuando las que hacen referencia a polaridades inversas.

4.2. Métodos de disparo del SCR.

El término "disparo del SCR" se refiere a la aplicación de una excitación a la compuerta, tal que lleve al dispositivo a su estado de conducción.

Existen dos formas básicas de excitar la compuerta, éstas son:

- a) Disparo por aplicación de un voltaje continuo
- b) Disparo por aplicación de un pulso.

Con el método de aplicación de un voltaje continuo, se mantiene la excitación en la compuerta durante todo el lapso en el cual el SCR debe estar encendido.

Con el método de disparo por pulso, la excitación en la compuerta se mantiene hasta que la corriente a través del SCR es superior a la corriente de amarre (latching current).

A continuación se describen ambos métodos.

4.2.1: Métodos de disparo por aplicación de voltaje continuo.

En la Fig. 4.6 se muestra el circuito básico para este tipo de disparo. La función de este circuito es proporcionar simultáneamente la corriente y el voltaje necesarios en la compuerta para encender el SCR.

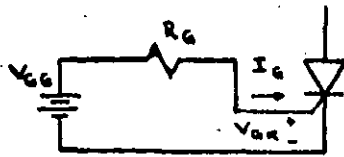


Figura 4.6 Método de disparo por aplicación de voltaje continuo.

Las magnitudes de corriente y voltaje necesarios dependen del dispositivo en particular que se trate de encender. Evidentemente, habrá combinaciones de valores que no encenderán el SCR; la información referente a los valores aceptables está contenida en una gráfica de V_{GK} versus I_G (ver gráficas 7 y 8 de la hoja de datos).

En la figura 4.7 se muestra una implementación de este tipo de disparo.

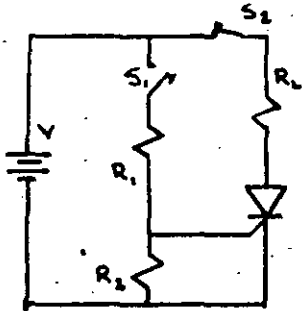


Figura 4.7 Implementación del disparo por voltaje continuo.

Cuando el interruptor "s₁" está abierto, $V_{GK} = 0$; al cerrarse el interruptor aparece un voltaje en la compuerta que dispara al SCR. Una vez en conducción, la única forma de apagarlo es abriendo el interruptor "s₂".

En general, disparar un SCR con este método es muy simple; con referencia a las gráficas 7 y 8 de la hoja de datos, cualquier combinación de V_G e I_G dentro del área recomendada sirva para nuestros propósitos.

4.2.2 Métodos de disparo por pulso.

La forma más sencilla de llevar a un rectificador controlado de silicio a su estado de conducción es con ayuda de un oscilador de relajación. Este circuito se ilustra en la forma en que se usa con un SCR en la figura 4.8.

La operación es como sigue: supóngase como condiciones iniciales un voltaje cero en el capacitor y el dispositivo de disparo apagado; al cerrarse el interruptor "s" el capacitor se cargará a través de la resistencia hasta alcanzar el voltaje de encendido del dispositivo de disparo. En ese momento el dispositivo entra a un estado de conducción y el capacitor se descarga sobre la compuerta del SCR proporcionándole el pulso de encendido necesario.

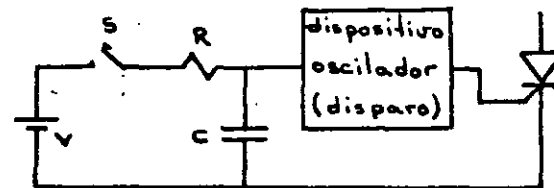


Figura 4.8 Encendido del SCR con oscilador de relajación.

El instante de ocurrencia del pulso a la compuerta del SCR es función de la constante RC del circuito; varían do esta puede adelantarse o retrasarse el encendido del SCR.

Entre los dispositivos de disparo más comunes figuran los transistores monounión, y dispositivos semiconductor es de tres, cuatro o cinco capas.

En muchas aplicaciones resulta conveniente aislar la parte de potencia de la sección de control. Con este fin se emplean transformadores de pulsos, tal como se muestra en la Fig. 4.9.

Un transformador de pulsos se diseña especialmente para tener tiempos de respuesta cortos.

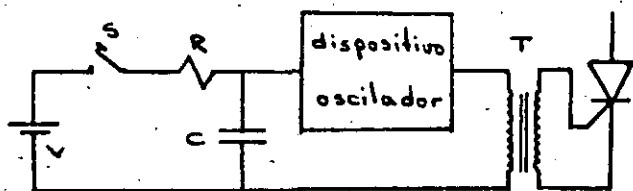


Figura 4.9 Encendido del SCR con oscilador de relajación y transformador de pulsos.

Cuando se emplea la técnica de disparo por pulso, es importante recordar varios hechos:

El primero de ellos es que el pulso debe estar presente hasta que la corriente exceda el valor crítico de amarre. Como la corriente a través del dispositivo depende de la impedancia de carga, puede ocurrir que un circuito de disparo que funcionó satisfactoriamente para una carga espe-

cífica — v.g.: una carga resistiva — deje de hacerlo cuando ésta se modifica, por ejemplo, por la inclusión de una componente inductiva.

El segundo es que, bajo operación por pulsos, el SCR puede considerarse como un dispositivo controlado por carga. Entonces, para proporcionar a la compuerta en un tiempo corto las cargas necesarias para el disparo, se necesitan valores de V_{GK} e I_G mayores a los necesarios para disparo con voltaje continuo. La amplitud de los valores es inversamente proporcional a la duración del pulso.

Finalmente, mientras mayor sea la excitación a la compuerta, el SCR encenderá más rápidamente; este efecto puede usarse para ayudar a contrarrestar la limitación de di/dt .

A continuación se describen los elementos de disparo más comunes y la forma de implementar los circuitos.

4.2.3. Transistor monounión.

El transistor monounión es otro miembro de la familia de los tiristores. Se ha utilizado extensamente para generar las señales de encendido de los SCR's.

Operación:

El transistor monounión (UJT) es un dispositivo de tres terminales etiquetadas "Emisor", "Base 1" y "Base 2"; el símbolo que se usa para representarlo y la nomenclatura correspondiente se muestran en la Fig. 4.10.

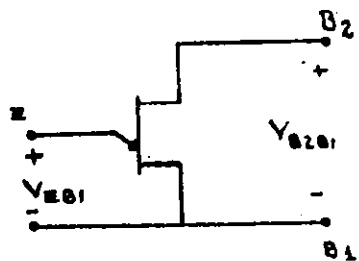


Figura 4.10 Símbolo del transistor monounión.

Para comprender la operación del dispositivo, es conveniente conocer la estructura básica en forma de barra; esta estructura se muestra en la Fig. 4.11.

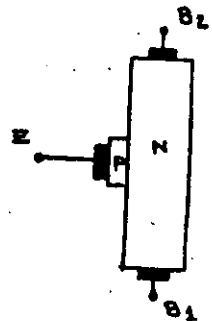


Figura 4.11 Estructura básica del transistor monounión.

Quando se aplica un voltaje V_{B2B1} , se tiene un flujo de corriente de B_2 a B_1 ; si el voltaje V_{EB1} es cero, la barra de material N se comporta como una resistencia de valor r_{BB} , de tal forma que la corriente a lo largo de ésta está dada por:

$$I_{B2} = \frac{V_{B2B1}}{r_{BB}} \quad (4.6)$$

El modelo equivalente para este caso se muestra en la Fig. 4.12a. Una fracción del voltaje V_{B2B1} aparecerá entonces en el punto en el cual el emisor se une con la barra (punto "A"). Esta fracción está dada por el divisor que forman las resistencias entre las bases y el emisor; es decir:

$$V_A = \frac{r_{B1}}{r_{B1} + r_{B2}} V_{B2B1} = n V_{B2B1} \quad (4.7)$$

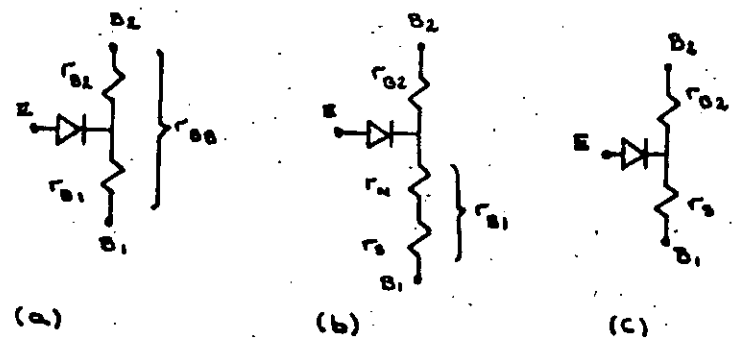


Figura 4.12 Modelos equivalentes del transistor monounión.

Para el caso descrito, la unión P-N está polarizada inversamente, y en el emisor fluirá únicamente una pequeña corriente de fuga.

Si se aplica ahora un voltaje V_{EB1} , llegará un punto en el cual éste iguale el voltaje en el punto "A" más el voltaje de la unión P-N polarizada directamente. A este voltaje se le denomina "voltaje del punto pico V_p ", y puede expresarse como:

$$V_p = V_D + n V_{B2B1} \quad (4.8)$$

Al alcanzarse este voltaje la unión P-N está directamente polarizada y existirá una inyección de huecos del emisor hacia la barra, los cuales, por efecto del campo eléctrico, se moverán hacia B_1 .

habrá simultáneamente una inyección de electrones de la base 1 hacia la barra, a fin de mantener la neutralidad de la carga.

Existe entonces un aumento en las concentraciones de huecos y electrones en la región de la barra comprendida entre el emisor y la base 1; como la resistencia es inversamente proporcional a las concentraciones, se tendrá que r_{B1} disminuye de valor.

El descenso en r_{B1} origina una disminución en V_{CB1} , lo cual causa que se inyecten más huecos en la barra. Se tiene en este caso un proceso regenerativo y el transistor está en la región de resistencia negativa; el modelo equivalente se muestra en la Fig. 4.12b.

El punto de saturación se alcanza cuando la concentración de portadores en la barra ha reducido el tiempo de vida media lo suficiente para contrarrestar el efecto de los portadores que se inyectan. Al punto en que ocurre esto se denomina "punto valle", a partir de él la corriente de emisor es función lineal del voltaje; el modelo equivalente se ilustra en la Fig. 4.12c.

La curva característica del emisor se muestra en la Fig. 4.13.

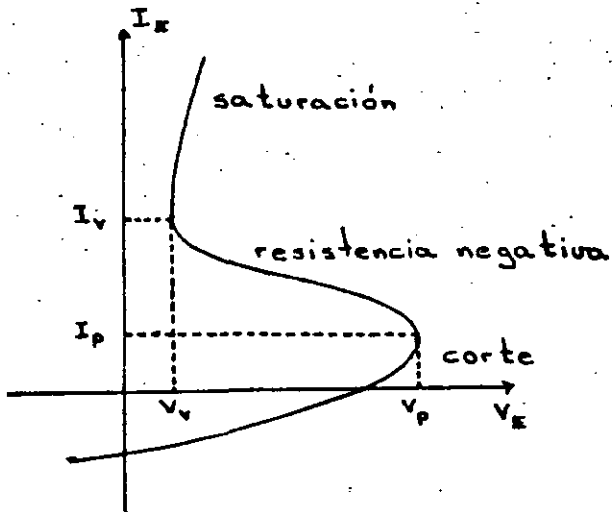


Fig. 4.13 Curva característica del emisor.

4.2.4 Disparo del SCR con un transistor monounión.

Para disparar un SCR por medio de un UJT se emplea el circuito que se ilustra en la Fig. 4.14; la operación es la siguiente:

Al conectarse la polarización al circuito, el capacitor C_E se carga exponencialmente a través de la resistencia R_E hasta llegar al punto en el cual V_E iguala a V_p ; en ese momento la unión emisor base uno queda directamente polarizada y la característica de emisor incursiona en la región de resistencia negativa. El capacitor se descarga a través del emisor y aparece un pulso en la base-uno; cuando el voltaje en el capacitor desciende a un valor inferior a V_v el UJT se apaga y el proceso se repite. En la Fig. 4.15 se muestran las formas de onda correspondientes.

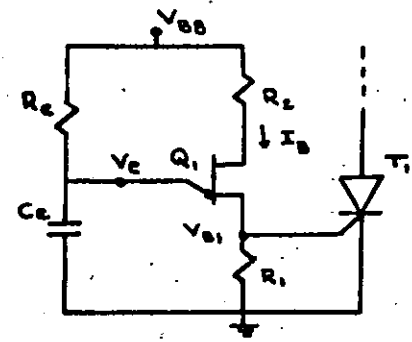


Figura 4.14 Disparo del SCR con un UJT

01

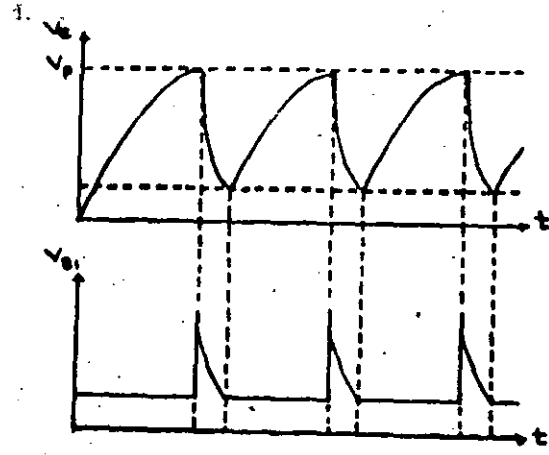


Figura 4.15 Formas de onda en el emisor y en la base uno.

Para que ocurra la secuencia de eventos descrita, se requiere que R_E cumpla ciertas condiciones; éstas se explicarán con ayuda de la curva característica y las rectas de carga mostradas en la Fig. 4.16.

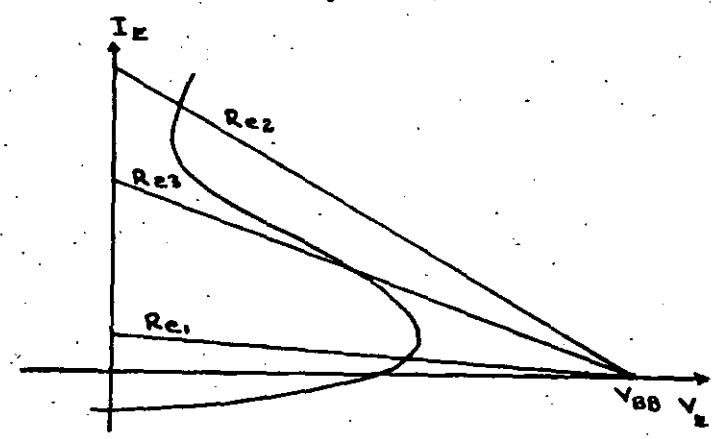


Figura 4.16 Rectas de carga del oscilador de relajación.

Cuando V_E alcanza el valor V_p , fluirá la corriente de emisor correspondiente I_p ; para disparar al UJT, R_E debe ser lo suficientemente pequeño como para permitir el flujo de esta corriente; por lo tanto, debe cumplir con lo siguiente:

$$R_E |_{MAX} = \frac{V_{BB} - V_p}{I_p} \quad (4.9)$$

Con respecto a la Fig. 4.16, la recta de carga 1 intercepta la curva característica en la región de corte, e impide que el UJT se dispare.

Una vez disparado el dispositivo el capacitor se descarga a través del emisor, pero si R_E es demasiado pequeña, entonces fluirá una corriente mayor que la corriente de valle y el UJT no se apagará. Este es el caso correspondiente a la recta de carga 2, en el cual el dispositivo alcanza un estado estable en la región de saturación.

R_E debe cumplir entonces con lo siguiente:

$$R_E |_{min} = \frac{V_{BB} - V_v}{I_v} \quad (4.10)$$

Una R_E que cumple con las condiciones anteriores debe interceptar a la curva característica en la región de resistencia negativa; este es el caso de la recta de carga 3.

El periodo de oscilación puede calcularse como sigue:

El voltaje V_e está dado por:

$$V_e = V_v + (V_{BB} - V_v) (1 - e^{-t/ReCe}) \quad (4.11)$$

Substituyendo $V_e = V_p = V_D + nV_{B2B1}$

$$V_D + nV_{B2B1} = V_v + (V_{BB} - V_v) (1 - e^{-t/ReCe}) \quad (4.12)$$

Al resolver la ecuación anterior para t se obtiene el tiempo que tarda el capacitor en cargarse de V_v a V_p ; se tiene entonces:

$$t = R_e C_e \ln \frac{V_{BB} - V_v}{V_{BB} - V_D - n V_{B2B1}} \quad (4.13)$$

Un periodo completo incluye además los tiempos de encendido y de apagado del UJT; la fórmula para el periodo es:

$$T = R_e C_e \ln \frac{V_{BB} - V_v}{V_{BB} - V_D - n V_{B2B1}} + t_{on} + t_{off} \quad (4.14)$$

Por lo que respecta a las resistencias conectadas a las bases, R_1 se utiliza para generar el pulso a la compuerta del SCR; debe calcularse en forma tal que cuando el UJT está apagado, el voltaje en la base uno sea inferior al voltaje mínimo de disparo del SCR, es decir:

$$R_1 \leq \frac{V_{GKmin}}{I_B} \quad (4.15)$$

donde I_B es la corriente que fluye en el transistor cuando está apagado:

$$I_B = \frac{V_{BB}}{R_1 + R_2 + r_{BB}} \quad (4.16)$$

R_2 actúa como compensación térmica; generalmente es del orden de cientos de ohms. Puede omitirse del circuito.

4.2.5 Transistor monounión programable (PUT)

El transistor monounión programable es un dispositivo de cuatro capas y tres terminales; aún cuando es completamente diferente en construcción al UJT, su operación es similar a la de éste.

En la Fig. 4.17a se muestra el símbolo del dispositivo y en la Fig. 4.17b se muestra un oscilador de relajación basado en él.

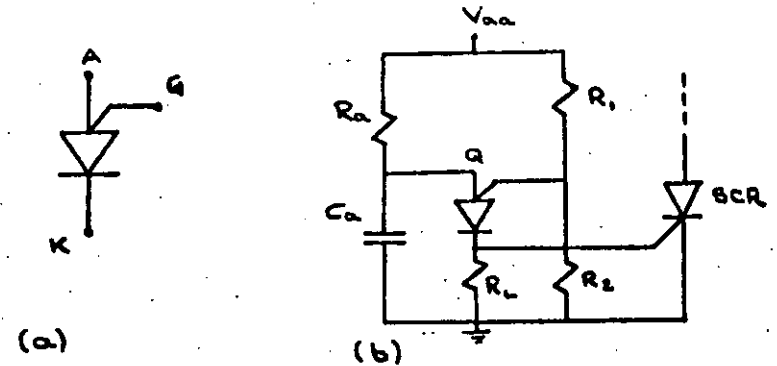


Figura 4.17 Transistor monounión programable y oscilador de relajación para disparo de SCR's.

La operación es como sigue: con el voltaje en la compuerta fijo, el PUT permanecerá en un estado de no conducción hasta que el voltaje en el ánodo supere al de la compuerta en una tensión equivalente a la de un diodo polarizado directamente. En ese punto se alcanza el voltaje pico y el PUT conmuta a un estado de conducción, descargando el capacitor CA y generando un pulso de voltaje en el cátodo.

Este dispositivo puede pensarse entonces como un UJT en el cual la relación intrínseca n depende del divisor resistivo formado por R_1 y R_2 ; es decir:

$$V_p = V_s \frac{R_2}{R_1 + R_2} \quad (4.17)$$

El periodo de oscilación esta dado por:

$$T = R_{AC} \ln\left(1 + \frac{R_2}{R_1}\right) = R_{AC} \ln\left(\frac{V_s}{V_s - V_p}\right) \quad (4.18)$$

Además de V_p y T , el divisor resistivo también determina I_p e I_v .

4.2.6 Diodo de disparo bilateral (DIAC).

El diodo de disparo bilateral es básicamente una estructura tipo transistor; exhibe una característica de resistencia negativa cuando se supera el punto de ruptura del dispositivo; esta región se extiende a lo largo de todo el rango de corrientes por arriba de la de ruptura, por lo tanto, no aplica el concepto de punto valle. En la Fig. 4.18a se muestra el símbolo del dispositivo y en la 4.18b la curva característica.

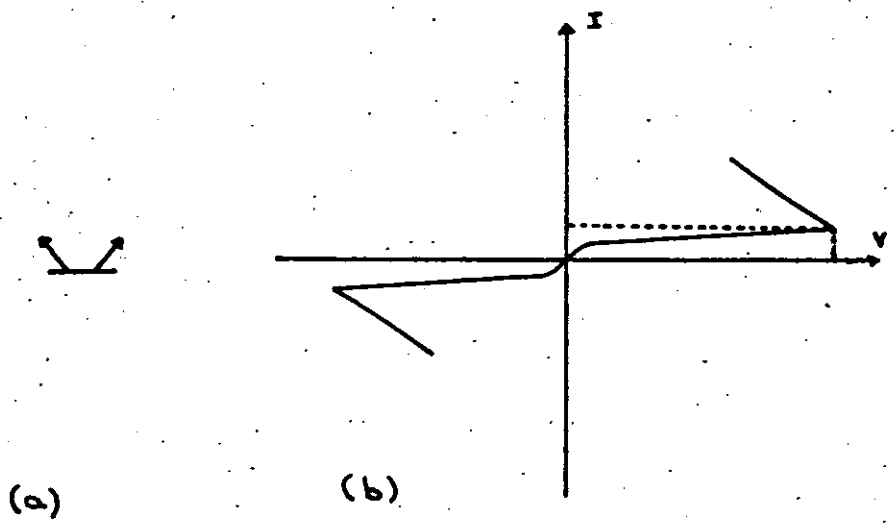


Figura 4.18 Símbolo y característica del DIAC.

La corriente en la cual ocurre la ruptura es, por lo general, bastante pequeña, de tal forma que el dispositivo puede considerarse como controlado exclusivamente por voltaje.

Una vez disparado el DIAC, generará un pulso de voltaje. Tanto el voltaje de ruptura como la amplitud del pulso son características propias del dispositivo.

Otra característica del dispositivo es la bidireccionalidad; es decir: el DIAC enciende tanto para voltaje positivos como para negativos.

El DIAC resulta entonces un dispositivo sumamente simple de usar; no impone restricciones serias sobre el valor de la resistencia de carga del capacitor, y puede alimentarse tanto a partir de c.d. como de c.a.

Debe notarse que después del disparo el capacitor se descargará a un potencial dado por el voltaje de ruptura menos la amplitud del pulso generado. El DIAC apaga entonces y el capacitor vuelve a cargarse.

4.3 Técnicas de apagado.

Quando el SCR está en conducción, las tres uniones P-N están directamente polarizadas y las capas centrales están saturadas de portadores.

Para apagar el SCR, es necesario aplicarle un voltaje inverso; cuando esto ocurre, los portadores en la vecindad de las uniones de los extremos se difunden en estas uniones, produciéndose externamente una corriente inversa.

El dispositivo está entonces completamente apagado hasta que la unión central ha recobrado su estado de no conducción.

11
3

Al tiempo que transcurre entre la terminación del flujo de la corriente en directa y el instante en que se puede aplicar un voltaje directo al SCR sin que éste recobre el estado de conducción se le denomina "tiempo de apagado".

Es necesario entonces aplicar una polaridad inversa al SCR, durante un tiempo mayor al de apagado, a fin de que éste recobre el estado de no conducción.

Existen seis formas básicas para aplicar el voltaje inverso al SCR, y la clasificación correspondiente es:

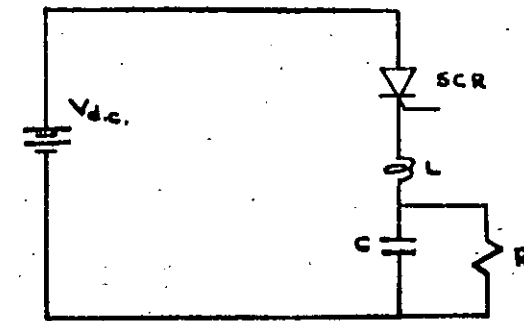
- Clase A: Conmutación por resonancia de la carga.
- Clase B: Conmutación por resonancia de un circuito LC.
- Clase C: Conmutación por medio de otro SCR principal y elementos almacenadores de energía.
- Clase D: Conmutación por medio de un SCR auxiliar y elementos almacenadores de energía.
- Clase E: Conmutación por medio de una fuente externa.
- Clase F: Conmutación de línea alterna.

Los cinco primeros métodos se agrupan bajo el nombre genérico de "conmutación forzada", el sexto se denomina "conmutación natural o por fase".

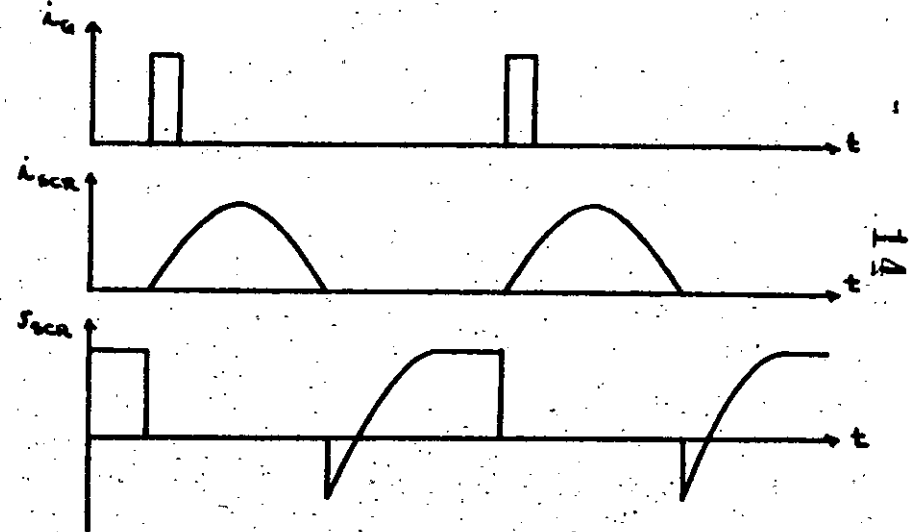
A continuación se describen los métodos con ayuda de ejemplos.

CLASE A.- En la Fig. 4.19a se muestra un diagrama del circuito; en la Fig. 4.19b se muestran las formas de onda.

Al dispararse el SCR, el flujo de corriente carga el capacitor con la polaridad indicada; posteriormente la corriente trata de fluir en sentido contrario con lo cual se apaga el SCR. La condición de conmutación exige que la red RLC esté bajo-amortiguada.



(a)



(b)

Figura 4.19 Técnica de apagado "A".

CLASE B.- El circuito y las formas de onda se muestran en las Figs. 4.20a y 4.20b respectivamente.

Antes de disparar el SCR, existe un flujo de corriente que carga al capacitor con la polaridad indicada; cual el SCR enciende, existe una corriente hacia la carga (I_R) y otra corriente en el circuito resonante LC que carga el capacitor con polaridad opuesta a la indicada.

La corriente resonante invierte su sentido e intenta fluir en el SCR en contraposición a la corriente I_R ; cuando la corriente resonante es mayor que la de carga, el SCR se apaga.

CLASE C.- El circuito y las formas de onda se muestran en las Figs. 4.21a y 4.21 b.

Suponiendo que el SCR₂ está en conducción, el capacitor se carga con la polaridad mostrada. Al dispararse el SCR₁ el capacitor se conecta a través del SCR₂, y la corriente de descarga de C se opone a la corriente en la carga en el SCR₂ hasta apagarlo; posteriormente el capacitor se carga en sentido contrario de tal forma que al dispararse nuevamente el SCR₂ se logra apagar al SCR.

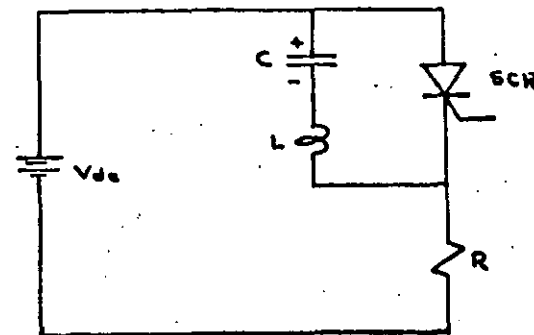
CLASE D.- El circuito se muestra en la Fig. 4.22a y las formas de onda en la Fig. 4.22b.

El SCR₂ se dispara inicialmente para cargar el capacitor con la polaridad indicada; al cargarse éste la corriente se anula y el SCR₂ se apaga.

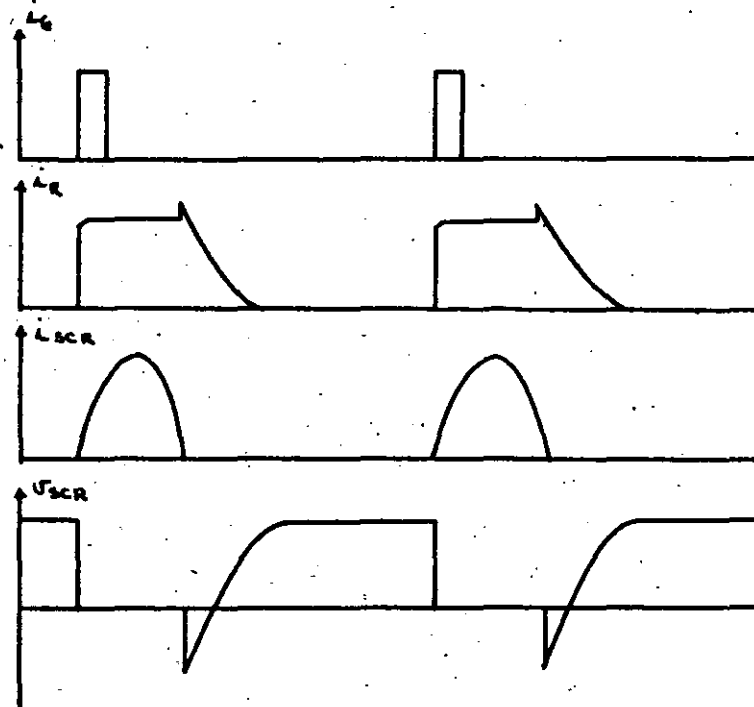
Al dispararse el SCR₁, la corriente fluye en dos direcciones: una de ellas hacia la carga, y otra componente resonante a través de la inductancia, el diodo y el capacitor que carga a éste último en sentido contrario; esta carga permanece almacenada al apagarse el diodo.

Después, al encenderse nuevamente el SCR₂, se conecta el capacitor con polaridad inversa a través del SCR₁ y éste se apaga.

CLASE E.- El circuito y las formas de onda se muestran en las Figs. 4.23a y 4.23b respectivamente.



(a)



15

Figura 4.20 Técnica de apagado "B".

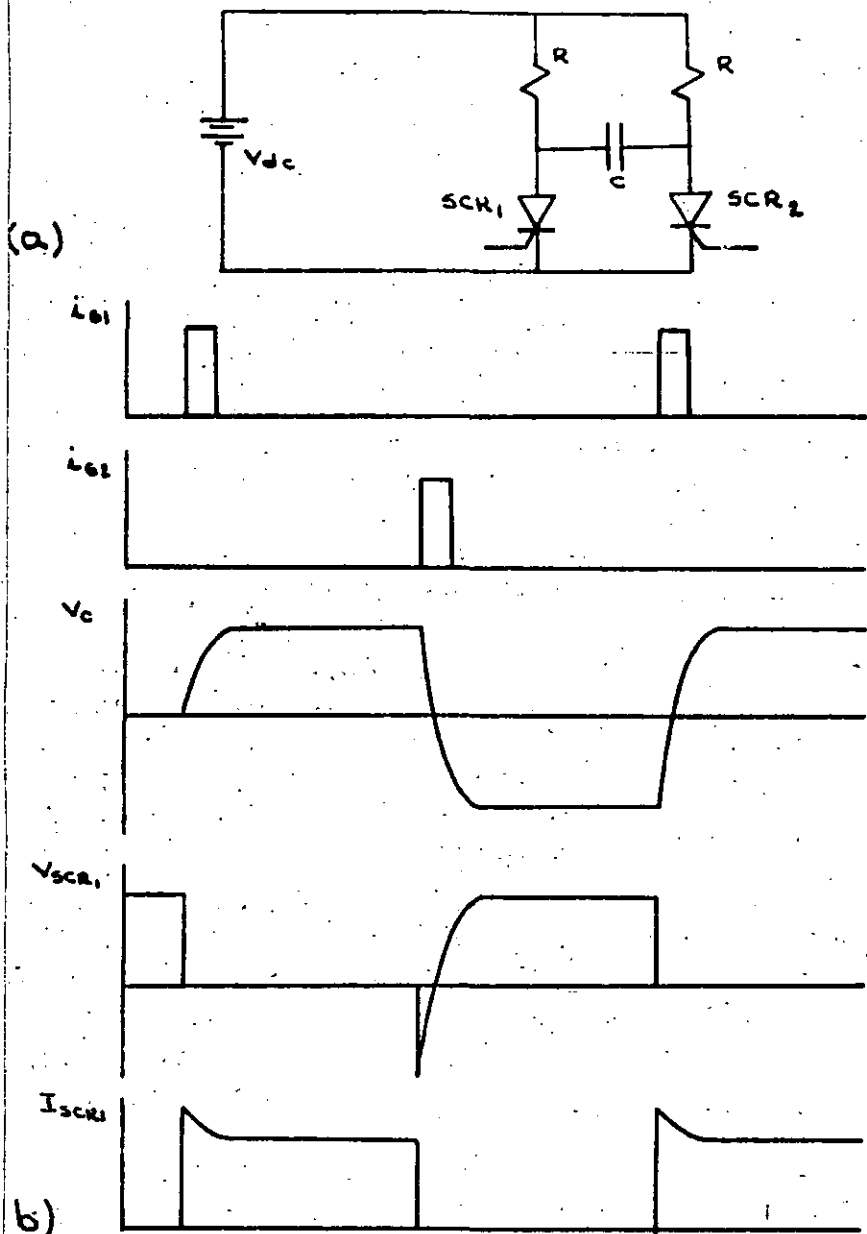


Figura 4.21 Técnica de apagado "C".

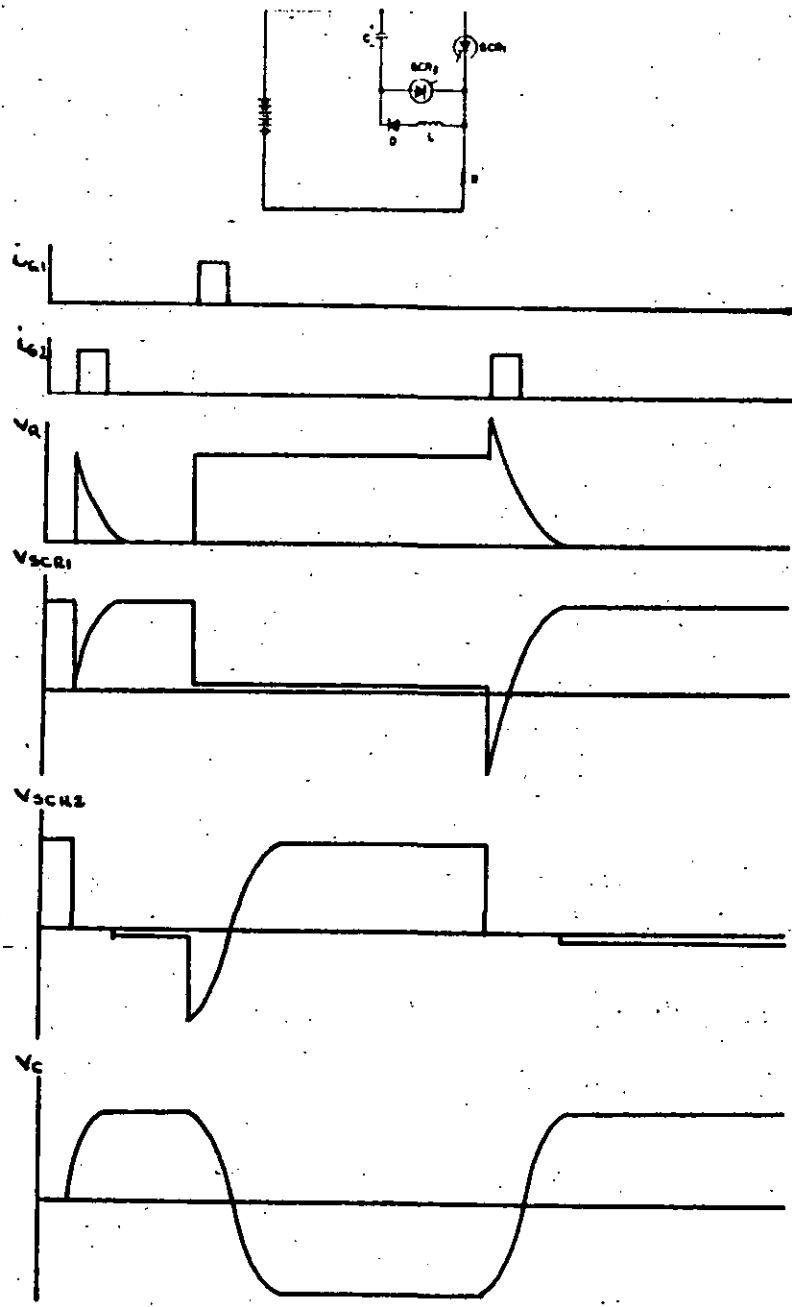
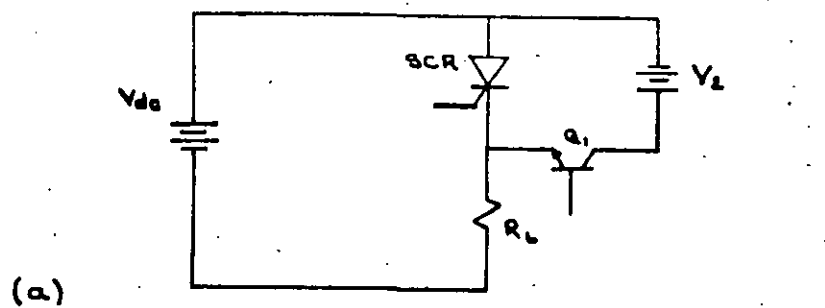
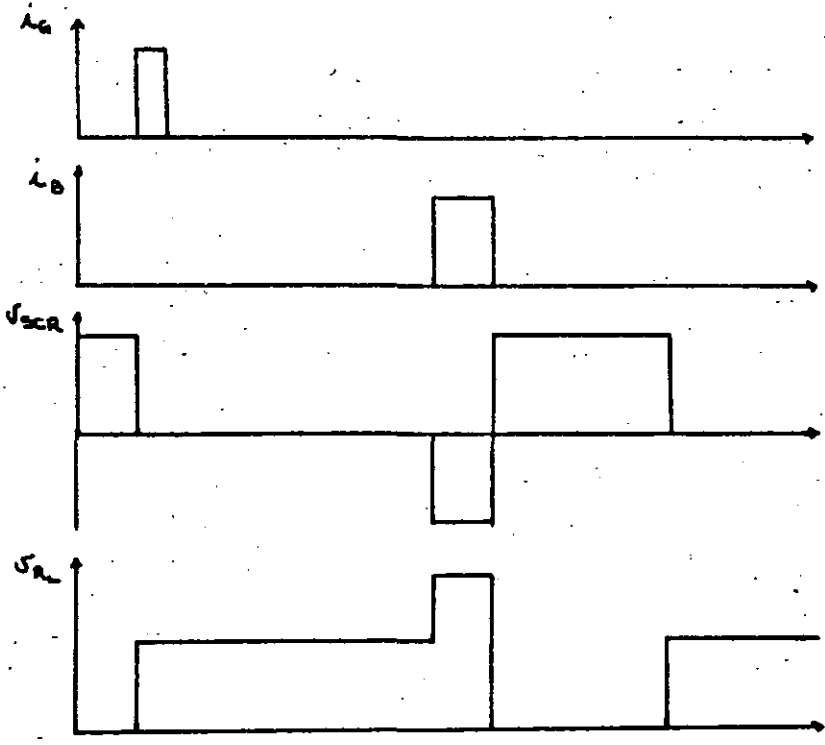


Figura 4.22 Técnica de apagado "D".

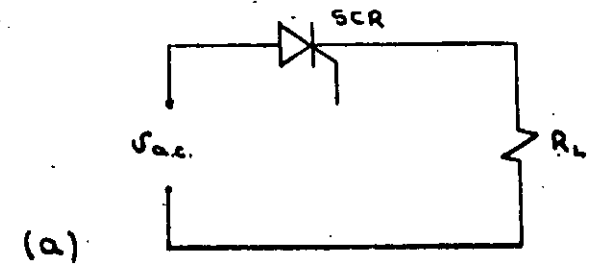


(a)

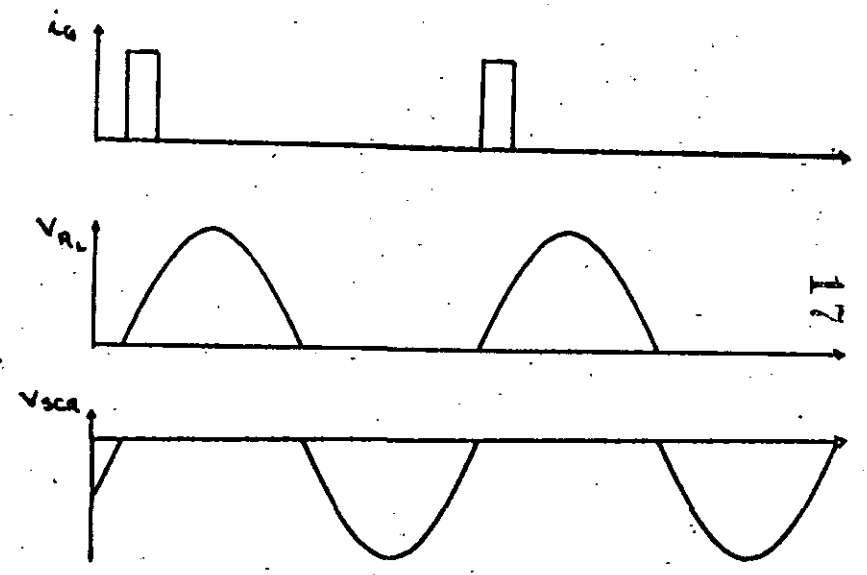


(b)

Figura 4.23 Técnica de apagado "E".



(a)



(b)

Figura 4.24 Técnica de apagado "F".

Quando el SCR está encendido, existe un flujo de corriente hacia la carga; para apagarlo, se enciende el transistor Q_1 el cual conecta la fuente auxiliar V_2 a través del SCR.

CLASE F.- El circuito y las formas de onda se muestran en las Figs. 4.24a y 4.24b respectivamente.

Si la fuente de alimentación es de voltaje alterno, la corriente fluirá en la carga durante el semiciclo positivo; durante el semiciclo negativo el SCR se apagará debido a la polaridad inversa aplicada.

4.4 Aplicaciones.

4.4.1. Control de fase:

Una de las aplicaciones más comunes de los SCR's es el control de fase. En la Fig. 4.25 se muestra el circuito básico para implementar este tipo de control.

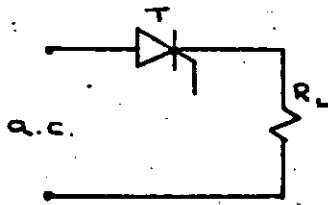


Figura 4.2.5 Circuito básico de control de fase.

Este circuito es similar al rectificador de media onda, excepto que el diodo se ha substituido por un SCR. Dadas las características de éste, en la carga se tendrá un voltaje positivo cuyo valor promedio puede variar en

entre 0 volts y 52 volts; el valor que exista en la carga en un tiempo dado dependerá del instante en el cual se enciende el SCR dentro del semiciclo positivo de V_1 .

Resulta conveniente entonces definir "ángulo de retraso" y "ángulo de conducción".

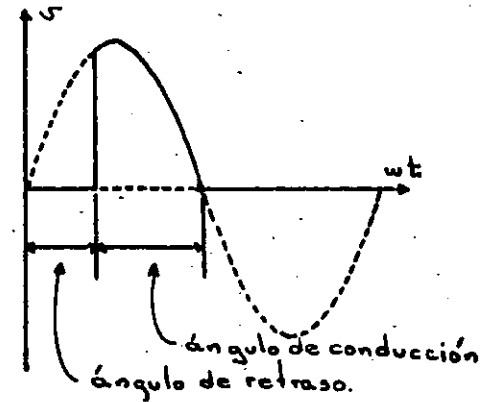


Figura 4.26 Definición de ángulos de retraso y conducción.

El ángulo de retraso se mide desde el punto en que el SCR está en condiciones de conducir (directamente polarizado) hasta el punto en el cual se dispara.

El ángulo de conducción se mide desde el punto en que se disparó el SCR hasta el punto en el cual se apaga.

Estas definiciones se muestran gráficamente en la Fig. 4.26.

La Fig. 4.27 muestra los voltaje promedio, raíz cuadrática medio y pico en la carga, en función del ángulo de conducción para voltajes de entrada de 115 volts y 230 volts (R.M.S.).

APPLIED VOLTAGE
230V 115V

19

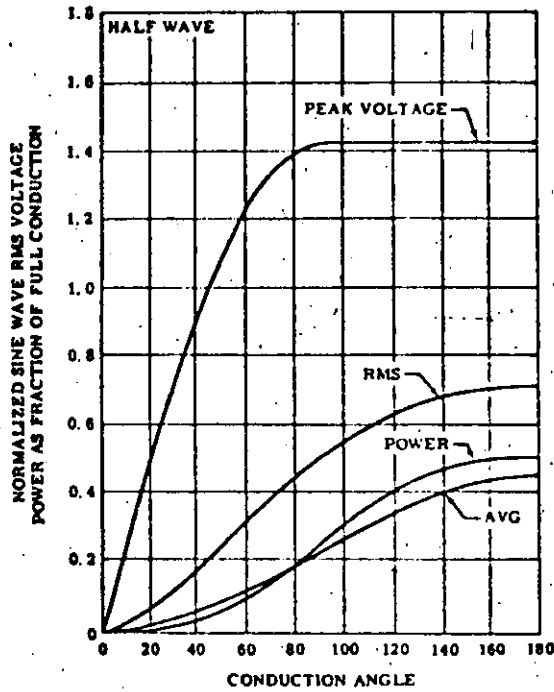
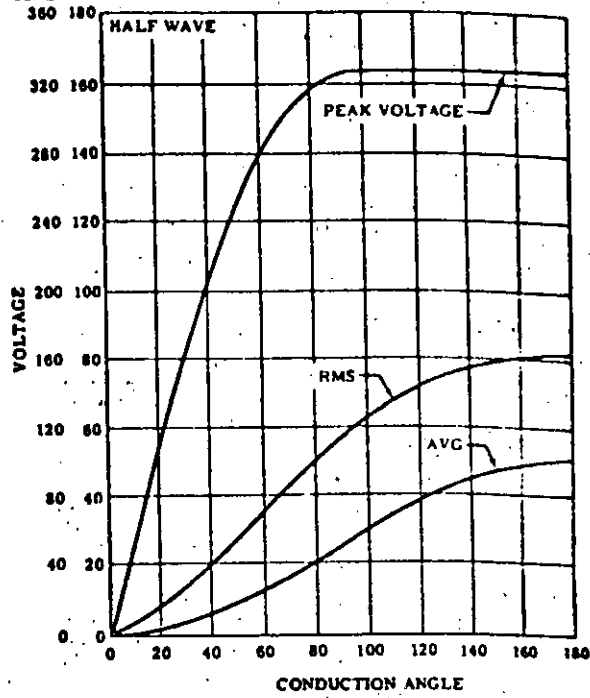


Figura 4.27 Voltajes promedio, raíz cuadrático medio y pico para control de fase de media onda.

Supóngase que queremos generar en la carga un voltaje promedio de 40 volts; de acuerdo con la Fig. 4.27, para obtener este voltaje se necesita un ángulo de conducción de 120° (o bien, un ángulo de retraso de 60°).

Para disparar al SCR usaremos un oscilador de relajación basado en el DIAC tipo TIC-52; el circuito completo se muestra en la Fig. 4.28.

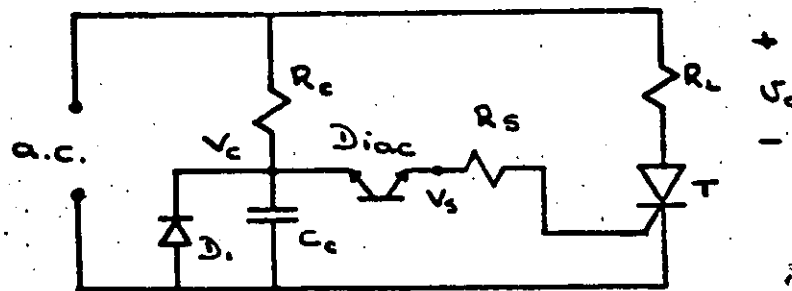


Figura 4.28 Control de fase con un DIAC disparando el SCR.

El DIAC seleccionado tiene un voltaje de encendido de 40 volts; entonces, cuando el capacitor alcance este potencial el DIAC disparará y fluirá un pulso de corriente a la compuerta del SCR.

En el circuito propuesto el capacitor se carga a través de la resistencia usando la línea de corriente alterna como fuente; como calcular las constantes de tiempo en este caso es bastante complicado, usaremos la gráfica mostrada en la Fig. 4.29. Estas curvas muestran la relación voltaje-tiempo de un capacitor que se carga en un semiciclo de una onda senoidal; el voltaje está normalizado al valor RMS de la onda senoidal y el parámetro de las curvas es "Y", el cual se calcula de la ecuación:

$$Y = 2 R_c C_c f \quad (4.19)$$

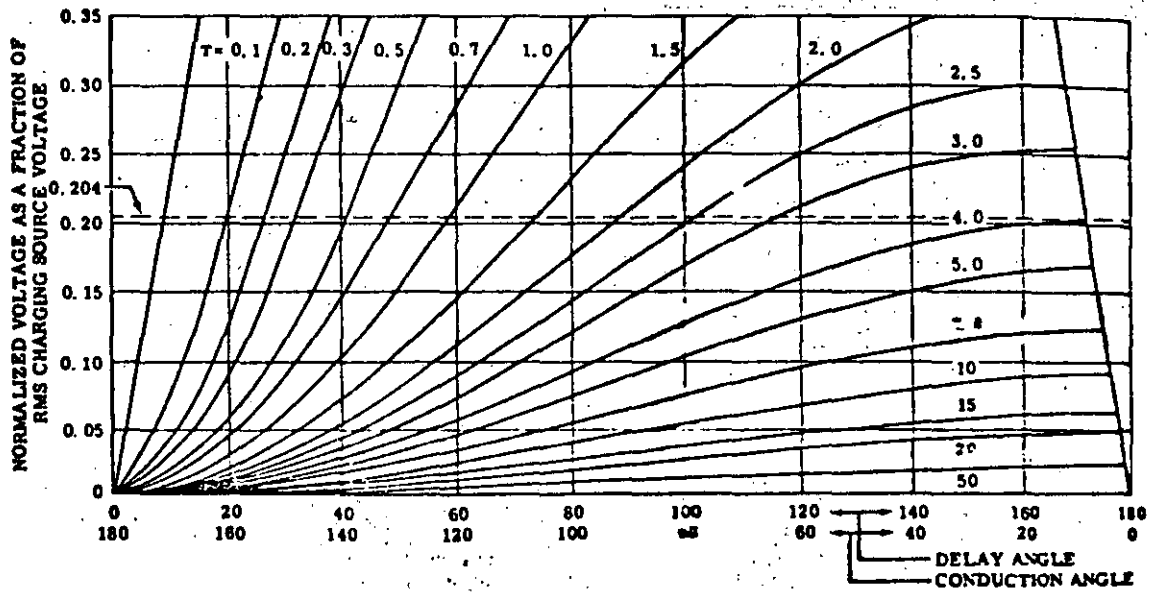
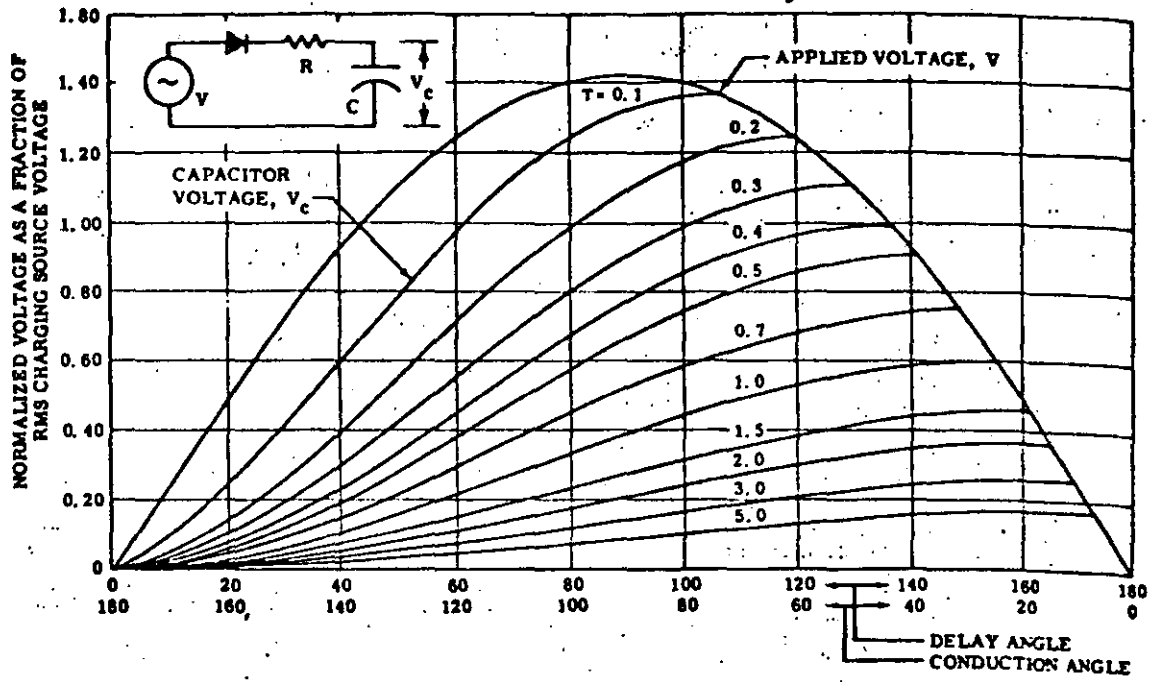


Figura 4.29 Curvas de carga del capacitor.

Se procede entonces como sigue: una de las entradas a la gráfica es el ángulo de conducción (120° en este caso); la otra entrada es:

$$\frac{V_c}{V_{RMS}} = \frac{40 \text{ volts}}{115 \text{ volts}} = 0.35 \quad (4.20)$$

Nótese que en este caso V_c corresponde al voltaje de encendido del DIAC.

La intersección de ambas entradas nos da $\gamma = 0.5$; si escogemos un capacitor $C_c = 150 \text{ nF}$, la resistencia es:

$$R_c = \frac{\gamma}{2C_f} = \frac{0.5}{2 \times 150 \times 10^{-9} \times 60} = 27 \text{ K } \Omega \quad (4.21)$$

La resistencia R_s tiene como función limitar la corriente a la compuerta del SCR; se escogió de 47Ω .

El diodo tiene como función evitar que el capacitor se cargue durante el semiciclo negativo; esto es debido a que las curvas utilizadas para calcular la constante de tiempo están trazadas para un capacitor con voltaje inicial cero.

Las formas de onda de este circuito se muestran en la Fig. 4.30.

Para ilustrar la aplicación de las hojas de datos, suponga que el SCR que se emplea es el tipo C230, con cápsula TO-3 aislada (tipo 4 en la hoja de datos). No se usará disipador, y se desea saber cual es la corriente promedio máxima que se puede hacer circular por el dispositivo si la temperatura ambiente es de 35°C .

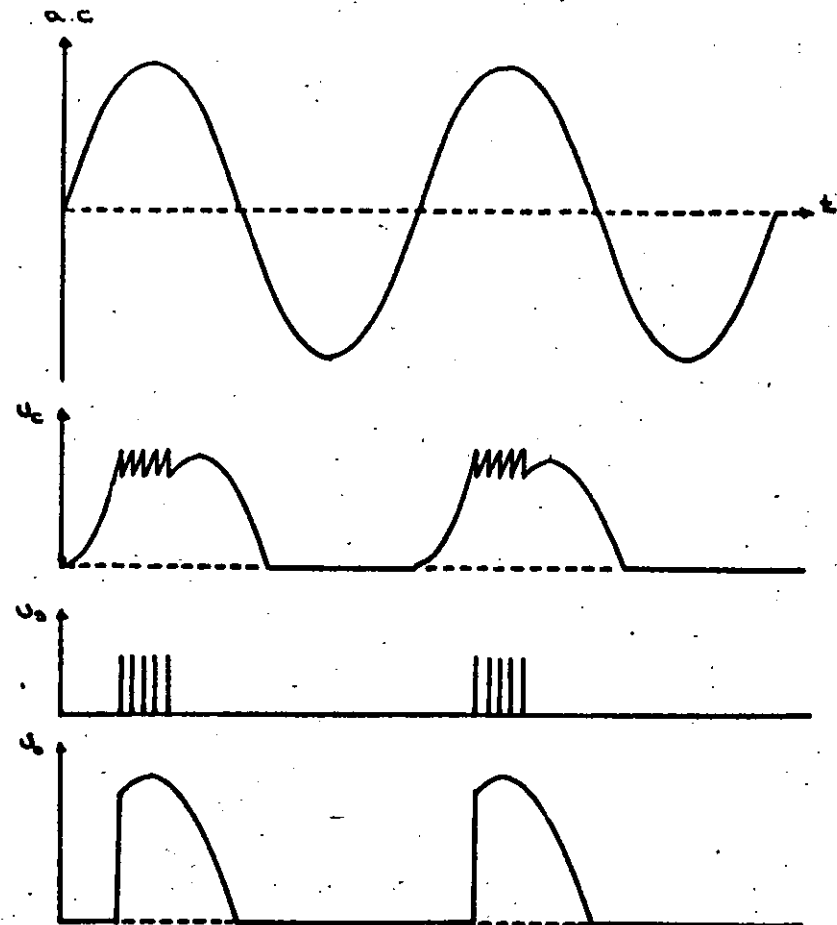


Figura 4.30 Formas de onda del control de fase de media onda.

Los datos son:

$T_A = 35^\circ\text{C}$

Angulo de conducción = 120°

De las hojas de datos se tiene:

T_j (máxima) = 100°C

$R_{\theta JA} = 45^\circ\text{C/watt}$

Para calcular la potencia máxima, podemos usar la analogía en la cual las temperaturas corresponden a voltajes; las potencias a corrientes y las resistencias térmicas a resistencias eléctricas. El circuito equivalente se muestra en la Fig. 4.31.

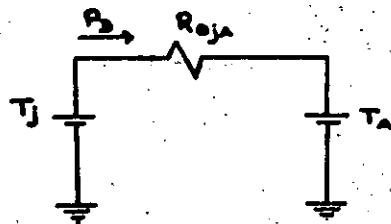


Figura 4.31 Analogía eléctrica para el cálculo de la potencia.

Entonces, de la figura se tiene:

$$P_D = \frac{T_j - T_A}{R_{\theta JA}} = \frac{100^\circ\text{C} - 35^\circ\text{C}}{45^\circ\text{C/W}} = 1.45 \text{ watts} \quad (4.22)$$

Recurriendo ahora a la gráfica 5 de la hoja de datos correspondiente, se ve que a una potencia de 1.45 watts corresponde una corriente promedio máxima de 1.5 amperes para el ángulo de conducción especificado.

La corriente resulta pequeña porque la resistencia térmica es muy alta; suponga ahora que el SCR se montará en un disipador y que la resistencia térmica entre cápsula y ambiente ($R_{\theta CA}$) resulta ser de 4°C/watt .

La potencia está dada por:

$$P_D = \frac{T_j - T_A}{R_{\theta JC} + R_{\theta CA}} \quad (4.23)$$

de la hoja de datos:

$R_{\theta JC} = 1.3$

por lo tanto:

$P_D \approx 12.25 \text{ watts}$.

Recurriendo nuevamente a la gráfica 5, la corriente resulta ahora de 9.5 amperes.

Para una carga puramente resistiva, la corriente promedio está dada por:

$$I_T(\text{AV}) = \frac{\sqrt{2} \cdot 115}{R} \cdot \frac{1 + \cos \alpha}{2\pi} \quad (4.24)$$

donde α es el ángulo de retraso ($\alpha = 60^\circ$ para este caso) despejando R se obtiene:

$$R = \frac{\sqrt{2} \cdot 115}{I_T(\text{AV})} \cdot \frac{1 + \cos \alpha}{2\pi} = \frac{\sqrt{2} \cdot 115}{9.5 \text{ amp}} \cdot \frac{1 + \cos(60^\circ)}{2\pi} \quad (4.25)$$

$R \approx 4 \Omega$

Para este caso, el valor mínimo de la resistencia es de 4Ω ; un valor menor haría fluir una corriente mayor y quemaría el SCR.

Control de fase con carga reactiva.

Muchas aplicaciones de control de fase involucran, en mayor o menor grado, una carga reactiva; generalmente del tipo inductiva-resistiva.

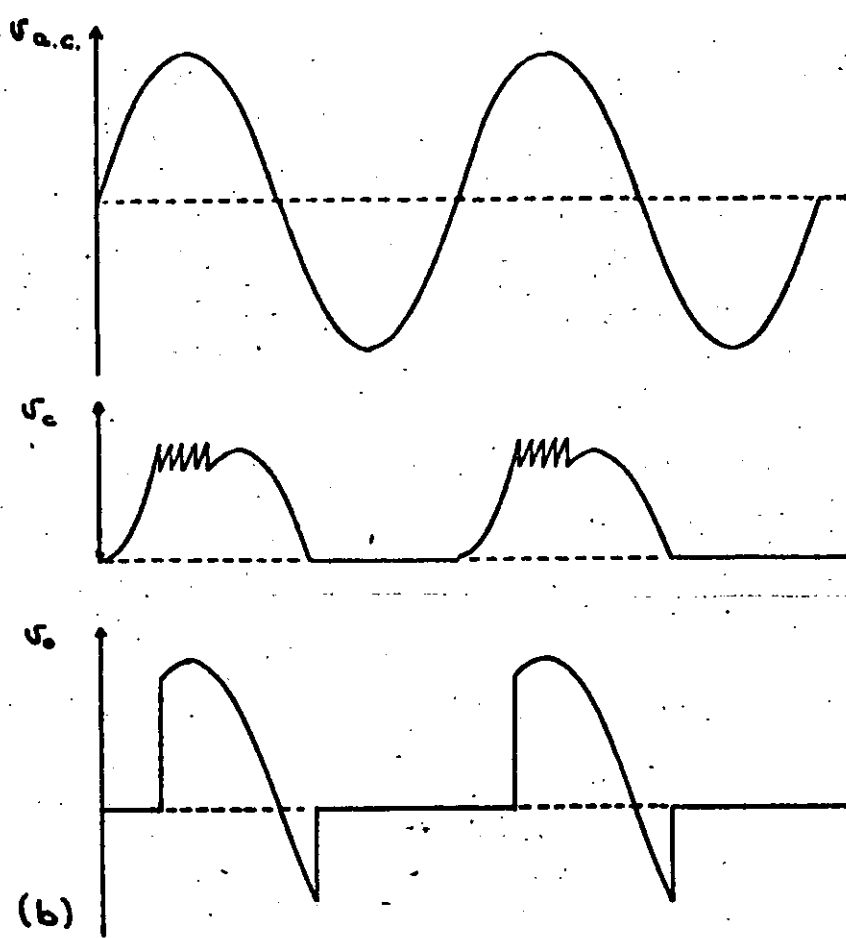
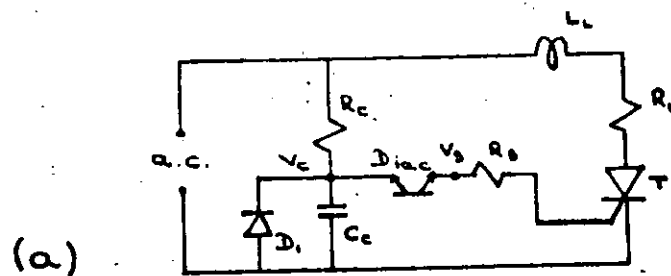
Cuando se tiene una carga de este tipo, la forma de onda de la corriente ya no es similar a la del voltaje, debido a la característica alínea de la inductancia; la forma de onda resultante es función de la proporción que ésta guarde con la resistencia asociada.

Bajo un punto de vista simplista, podemos considerar a la inductancia como un elemento que se opone a los cambios en la corriente que circula a través de ella. Así se tiene que al aplicar un voltaje a la carga, la corriente crecerá lentamente hasta un valor determinado por la componente resistiva; al desaparecer la excitación la corriente no se anula instantáneamente sino que lo hará paulatinamente.

Considere el caso tratado anteriormente, con la salvedad de que la carga incluye ahora una parte inductiva, tal como se muestra en la figura 4.32a.

Al encenderse el SCR la corriente es cero, por lo tanto, todo el voltaje aparece en la inductancia; al aumentar la corriente se genera un voltaje en la resistencia que se resta al que apareció en la inductancia. En términos generales, la corriente será positiva durante el lapso en el cual el voltaje en la carga también lo es; esto implica que cuando el voltaje cambia de polaridad la corriente todavía no ha desaparecido.

En párrafos anteriores se mencionó que la única forma de apagar un SCR es anulando la corriente a través de él. En



21

Figura 4.32 Control de fase de media onda con carga reactiva.

tonces, para este caso, el SCR permanecerá encendido después de que el voltaje en la carga se tornó negativo, hasta que la corriente desaparezca.

El punto de apagado depende de la relación que la inductancia guarde con la resistencia. El caso extremo es para una carga puramente inductiva; para este caso, si el tiristor se encendió con un ángulo de retraso α , el punto de apagado será en el ángulo $\pi + \alpha$ ya que la corriente crecerá todo el tiempo durante el cual el voltaje es positivo.

En la figura 4.32b se muestran las formas de onda del control de fase del inciso anterior, con carga reactiva.

Control de fase de onda completa.

Para tener control sobre la onda completa pueden utilizarse dos SCR's conectados en paralelo y con sentidos contrarios, tal como se muestra en la Fig. 4.33a; o bien, puede utilizarse un TRIAC, como se ve en la Fig. 4.33b.

En la Fig. 4.34 se incluyen las gráficas de voltaje promedio, raíz cuadrática medio y pico en la carga en función de los ángulos de conducción; la gráfica 4.34a corresponde al voltaje de entrada normalizado.

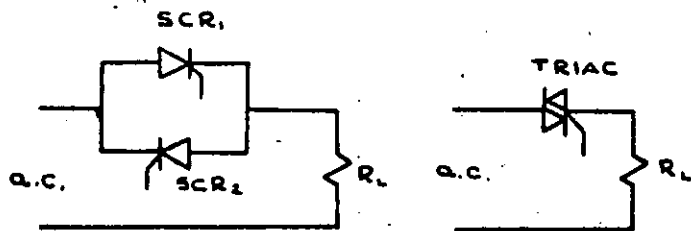


Figura 4.33. Control de fase de onda completa.

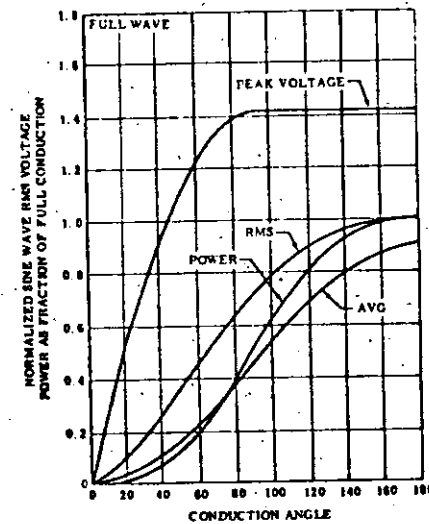
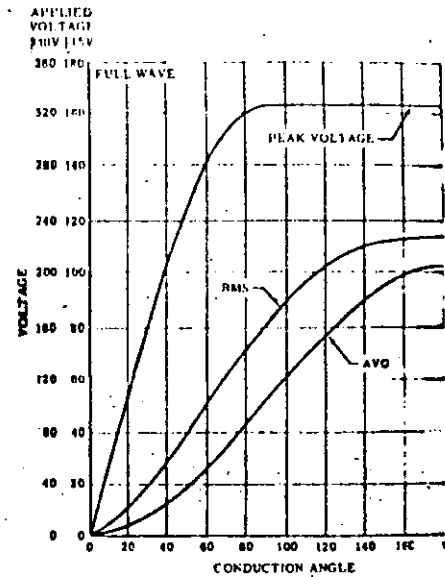


Figura 4.34 Voltajes promedio, raíz cuadrática medio y pico para control de fase de onda completa.

La gráfica 4.34b corresponde a voltajes "RMS" de entrada de 115 volts y 230 volts.

Los ángulos de conducción están referidos a los semiciclos; esto implica que deben ser iguales tanto para el positivo como para el negativo.

Para ejercer el control puede utilizarse el DIAC, ya que éste es bidireccional. En la Fig. 4.35 se muestra un control de fase de onda completa; éste puede utilizarse para controlar la intensidad luminosa de una lámpara; la velocidad de rotación de un motor, la temperatura de una hornilla eléctrica, etc.

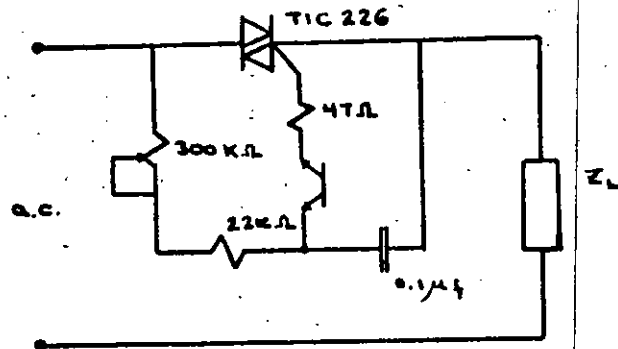


Figura 4.35 Implementación del control de fase de onda completa.

Las formas de onda correspondientes se muestran en la Fig. 4.36.

4.4.2 Cargador de baterías.

El circuito para cargar baterías que se muestra en la Fig. 4.37 protege a la batería de una sobrecarga, o de carga con polaridad inversa. La operación es como sigue: El UJT Q_1 , R_1 , R_2 y R_3 forman un oscilador de relajación el cual se usa para disparar al SCR a través del transformador de pulsos T_2 . La polarización del

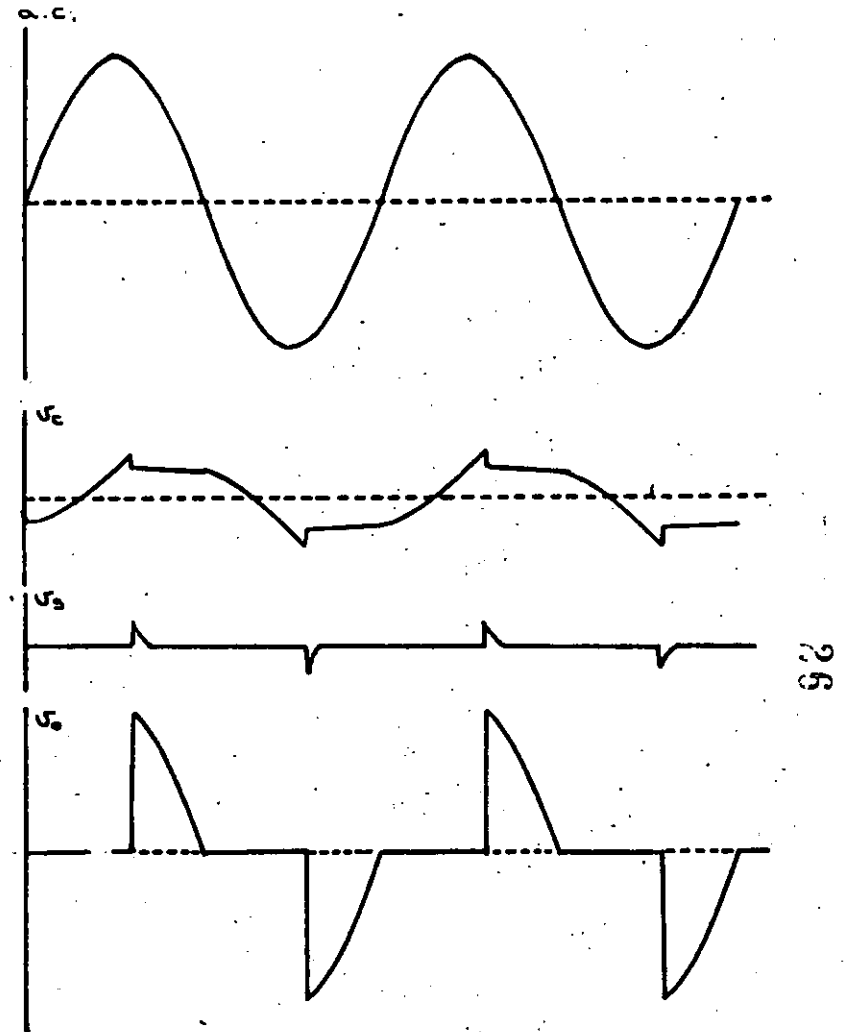


Figura 4.36 Formas de onda del control de fase de onda completa.

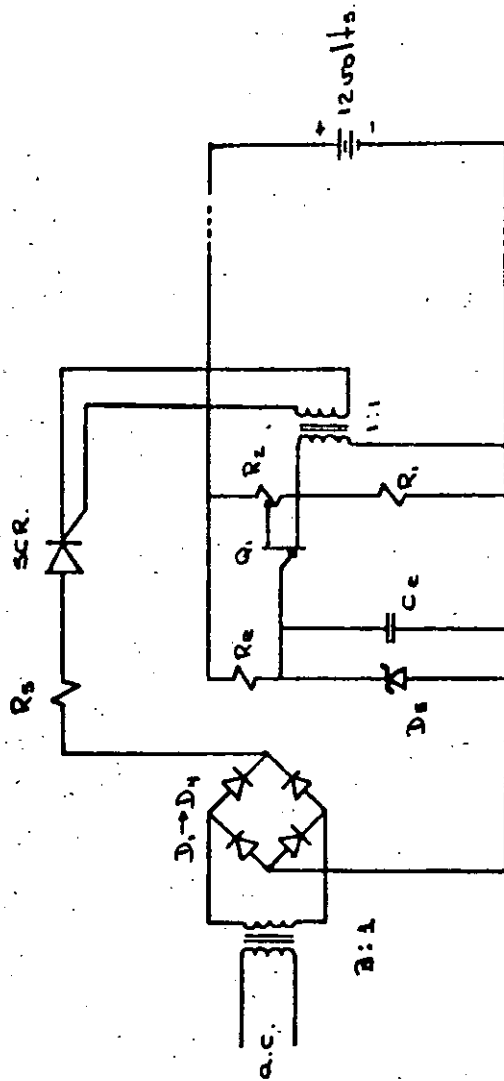


Figura 4.37 Circuito cargador de baterías.

oscilador se obtiene de la salida, es decir, de la carga remanente en la batería. El voltaje entre las bases del UJT resulta entonces proporcional al voltaje en la batería y, como el punto de disparo del UJT es función de este potencial, al cargarse la batería el punto de disparo del UJT aumenta.

El diodo zener D_5 limita el valor al cual puede elevarse el emisor de Q_1 . Cuando el voltaje de disparo del UJT excede el valor de ruptura de D_5 , Q_1 cesa de oscilar, dejando de disparar al SCR y, por lo tanto, de cargar la batería.

El voltaje en el cual termina la carga está determinado por la posición del potenciómetro R_2 .

Q_1 no puede oscilar a menos que un voltaje positivo menor al máximo permitido esté presente en las terminales de salida. Por lo tanto, el SCR no conducirá en condiciones de corto circuito, circuito abierto o polaridad de la batería invertida.

4.4.3 Protección contra sobre-voltajes.

Los rectificadores controlados de silicio pueden usarse para proteger equipo eléctrico de sobre-voltajes ya que presentan una conmutación muy rápida; un circuito de este tipo se muestra en la Fig. 4.38a.

El SCR usado para protección se conecta en paralelo con la carga, cuando el voltaje excede determinado límite, la compuerta resulta energizada, disparando al SCR el cual drenará una corriente grande de la alimentación y reducirá el sobre-voltaje.

Ya que el voltaje aplicado es alterno, se utilizan dos SCR's: uno para el semiciclo positivo y otra para el negativo.

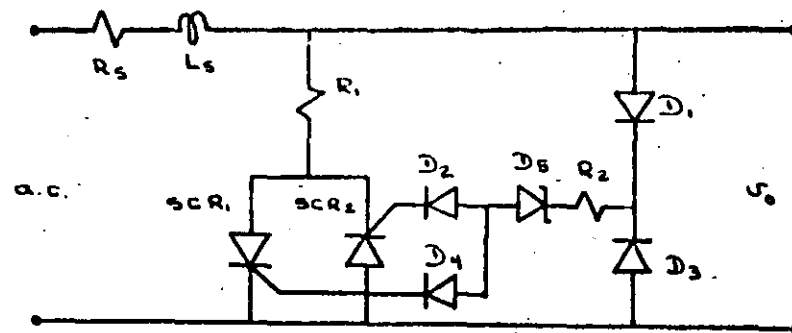
En la Fig. 4.38b se muestra el circuito con las componentes que cuentan para la protección en el semiciclo positivo. La resistencia R_1 limita la corriente que fluye a través del SCR cuando éste se dispara, esta corriente produce una caída de voltaje en la impedancia de la fuente lo suficientemente grande como para que el voltaje en la carga esté dentro de límites seguros.

El diodo zener D_5 , en serie con R_2 , forma un sensor de voltaje. Cuando el voltaje excede el valor de ruptura, D_5 entra en conducción alimentándose la compuerta del SCR₁ a través de $D_1 D_5 R_2 D_2$.

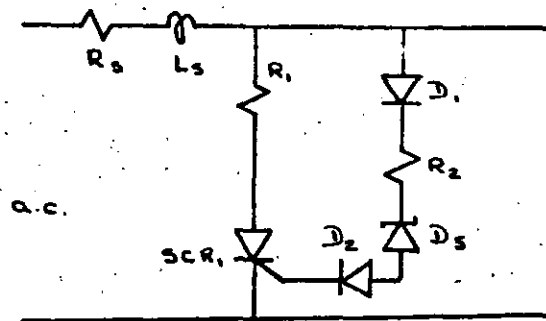
Durante el semiciclo negativo, si persiste el sobrevoltaje el SCR₂ se disparará a través de $D_3 D_5 R_2 D_4$.

Tan pronto como el voltaje retorna a un valor seguro, el diodo zener deja de conducir, permaneciendo apagados ambos SCR's.

Cuando D_5 está apagado, la corriente a las compuertas es prácticamente nula; por lo tanto el valor de voltaje permitido corresponde a la ruptura de D_5 . R_2 tiene como función limitar la corriente cuando D_5 está conduciendo.



(a)



(b)

Figura 4.38 Circuito de protección contra sobre-voltajes.

Referencias: 29

1. Dewan S.B. y A. Straughen, Power semiconductor circuits, Ed. Wiley Interscience, 1975.
2. Grafham, D.R. y J.C. Hey, General Electric SCR Manual; General Electric Company, 1972.
3. SCR Power Control Fundamentals; Application note AN-240, Motorola Inc.
4. Theory and Characteristics of the Unijunction Transistor, Application Note AN-293, Motorola Inc.
5. Unijunction Transistor Timers and Oscillators; Application Note AN-294, Motorola Inc.
6. Semiconductor Power Circuits Handbook; Motorola Inc.; 1968.



Silicon Controlled Rectifier

25 ARMS TO 600 VOLTS -

30

C230-C232

C231-C233

The Silicon Controlled Rectifier C230/C232 is a reverse blocking triode thyristor designed for power switching and control circuits for high volume light industrial and consumer applications.

The C231/C233 is basically the same as the C230/C232 device except for a specially selected gate trigger current of 9 milliamperes maximum.

This SCR is a hermetically sealed device which incorporates General Electric's patented POWER-GLAS™ process that improves upon normal pellet passivation techniques. It provides an intimate bond between the silicon chip and the glass coating. The resulting stable, low-level leakage current provides excellent performance and demonstrated reliability.

FEATURES:

- POWER-GLAS™ passivated silicon chip for maximum reliability.
- Very low off-state (leakage) current at room and elevated temperatures.
- Low power required for gate triggering.
- Power switching capabilities up to 10 KW.
- Excellent surge current capability.
- 1800 Volts RMS surge isolation voltage on isolated SCR's.
- Attractive pricing for applications requiring medium power devices.

SIX BASIC PACKAGES

- Other packages available upon request.

PRESS-FIT

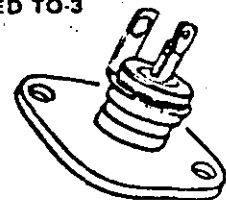


ISOLATED STUD With Press-On Anode Terminal



TYPE 2

ISOLATED TO-3 FLANGE



TYPE 4

NON-ISOLATED STUD



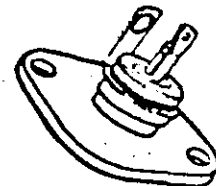
TYPE 1

ISOLATED STUD With Solder Ring Anode Terminal



TYPE 3

NON-ISOLATED TO-3 FLANGE



TYPE 5

MAXIMUM ALLOWABLE RATINGS

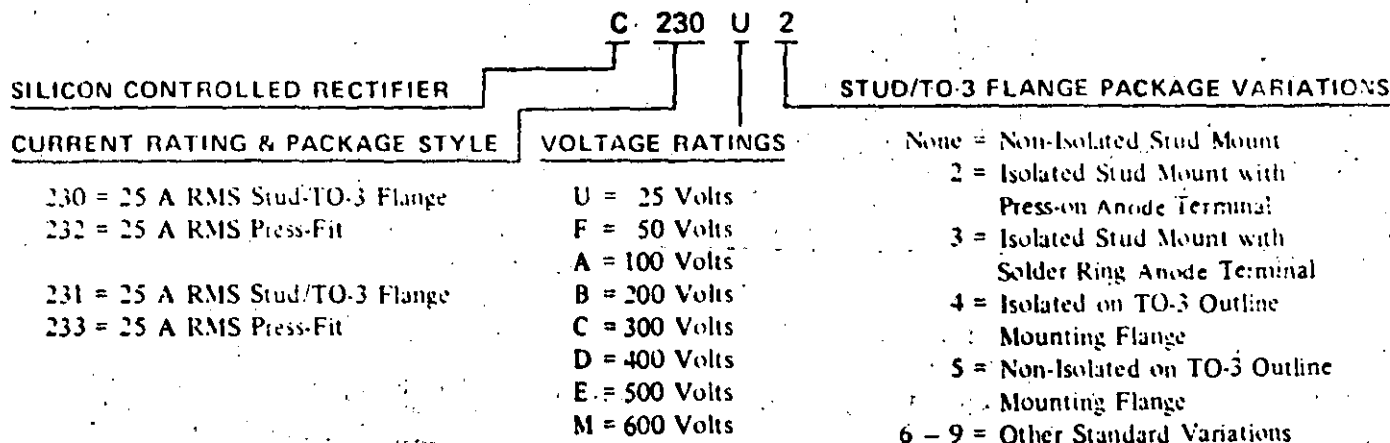
VOLTAGE RATINGS								TEST CONDITIONS
U	F	A	B	C	D	E	M	
VOLTS	VOLTS	VOLTS	VOLTS	VOLTS	VOLTS	VOLTS	VOLTS	
25	50	100	200	300	400	500	600	V_{DRM} - Repetitive Peak Off-State Voltage (1,3) V_{RRM} - Repetitive Peak Reverse Voltage $T_C = -40^\circ\text{C to } 100^\circ\text{C}$
35	75	150	300	400	500	600	720	V_{RSM} - Non-Repetitive Reverse Voltage (1,2) $T_C = -40^\circ\text{C to } 100^\circ\text{C}$

RMS On-State Current, $I_T(RMS)$	25 Amperes (All Conduction Angles)
Average On-State Current, $I_T(AV)$	Depends on Conduction Angle (See Charts 1 and 2)
Critical Rate-of-Rise of On-State Current, di/dt (4)	(See Chart 3)
Gate Triggered Operation - Switching from 200 Volts	100 Amperes Per Microsecond
- Switching from 400 Volts	65 Amperes Per Microsecond
- Switching from 600 Volts	30 Amperes Per Microsecond
Peak One Cycle Surge (Non-Repetitive) On-State Current, I_{TSM} , 60Hz	250 Amperes
I^2t (for fusing) for times ≥ 1.0 milliseconds	260 Ampere ² Seconds
Peak Gate Power Dissipation, P_{GM}	5 Watts for 10 Microseconds
Average Gate Power Dissipation, $P_{G(AV)}$	0.5 Watts
Peak Positive Gate Current, I_{GM}	(See Chart 7)
Peak Positive Gate Voltage, V_{GM}	(See Chart 7)
Peak Negative Gate Voltage, V_{GM}	5 Volts
Storage Temperature, T_{STG}	$-40^\circ\text{C to } +125^\circ\text{C}$
Operating Temperature, T_J	$-40^\circ\text{C to } +100^\circ\text{C}$
Stud Torque (Isolated and Non-Isolated Stud Types)	25 Lb.-In. (29 Kg.-Cm) (2.8 N-M)
Maximum Insertion Pressure (Press-Fit Types)	800 Lbs. (364 Kg) (3.56N x 10 ⁵)
Isolation Breakdown Voltage Between any Terminal and Stud or Flange (Isolated Types) ⁽⁵⁾	1800 Volts RMS

NOTES:

1. Values apply for zero or negative gate voltage only.
2. Half sine wave voltage pulse, 10 millisecond maximum duration.
3. During performance of the Off-State and Reverse Blocking tests, the SCR should not be tested with a constant current source which would permit applied voltage to exceed the device rating.
4. di/dt rating is established in accordance with EIA-NEMA Standard RS-397, Section 5.2.2.6.
5. Rating applies for 50, 60 and 400 Hz sinusoidal wave form.

PART NUMBER DESIGNATION



C230/C232

C231/C233

CHARACTERISTICS

32

TEST	SYMBOL	MIN.	TYP.	MAX.	UNITS	TEST CONDITIONS
Repetitive Peak Off-State and Reverse Current(1)	I_{RRM} and I_{DRM}				mA	$V_{DRM} = V_{RRM} = \text{Max. allowable volts peak}$
		-	-	0.5		$T_C = +25^\circ\text{C}$
		-	-	1.0		$T_C = +100^\circ\text{C}$
Peak On-State Voltage	V_{TM}	-	-	1.9	Volts	$T_C = +25^\circ\text{C}$, $I_{TM} = 100\text{A Peak}$, 1 msec wide pulse. Duty Cycle $\leq 2\%$.
Critical Rate-of-Rise of Off-State Voltage (Higher values may cause device switching)	dv/dt	-	200	-	Volts/ μsec	$T_C = +100^\circ\text{C}$, Rated V_{DRM} , Gate Open Circuited, Linear Wave form.
DC Gate Trigger Current	I_{GT}				mAdc	
C230/C232		-	-	25		$T_C = +25^\circ\text{C}$, $V_D = 12\text{Vdc}$, $R_L = 120\text{ Ohms}$
		-	-	40		$T_C = -40^\circ\text{C}$, $V_D = 12\text{Vdc}$, $R_L = 60\text{ Ohms}$
C231/C233		-	-	9		$T_C = +25^\circ\text{C}$, $V_D = 12\text{Vdc}$, $R_L = 120\text{ Ohms}$
		-	-	20		$T_C = -40^\circ\text{C}$, $V_D = 12\text{Vdc}$, $R_L = 60\text{ Ohms}$
DC Gate Trigger Voltage	V_{GT}	-	-	1.5	Vdc	$T_C = +25^\circ\text{C}$, $V_D = 12\text{Vdc}$, $R_L = 120\text{ Ohms}$
		-	-	2.0		$T_C = -40^\circ\text{C}$, $V_D = 12\text{Vdc}$, $R_L = 60\text{ Ohms}$
DC Gate Non-Trigger Voltage	V_{GD}	0.2	-	-	Vdc	$T_C = +100^\circ\text{C}$, Rated V_{DRM} , $R_L = 1000\text{ Ohms}$
DC Holding Current	I_H				mAdc	Anode Source Voltage = 24 Vdc, Peak Initiating On-State Current = 0.5 Amps, 0.1 msec to 10 msec Wide Pulse, Gate Trigger Source = 7 Volts, 20 Ohms
		-	-	50		$T_C = +25^\circ\text{C}$
		-	-	100		$T_C = -40^\circ\text{C}$
DC Latching Current	I_L				mAdc	Anode Source Voltage = 24 Vdc, Gate Trigger Source = 15 Volts, 100 Ohms, 50 μsec Pulse Width, 5 μsec rise and fall times max.
		-	-	100		$T_C = +25^\circ\text{C}$
		-	-	200		$T_C = -40^\circ\text{C}$
Steady-State Thermal Resistance(2)	$R_{\theta JA}$	-	-	45	$^\circ\text{C/Watt}$	Junction-to-Ambient
Steady-State Thermal Resistance	$R_{\theta JC}$				$^\circ\text{C/Watt}$	Junction-to-Case
		-	-	1.00		Non-Isolated Stud/Press-Fit
		-	-	1.15		Isolated Stud
		-	-	1.15		Non-Isolated TO-3 Flange
		-	-	1.30		Isolated TO-3 Flange

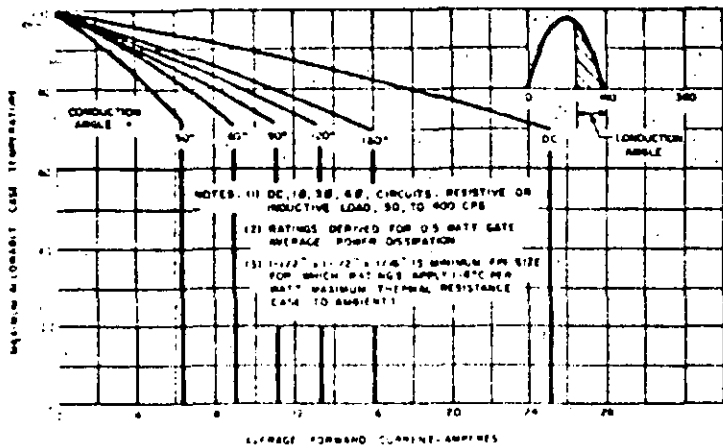
NOTES:

- Values apply for zero or negative gate voltage only.
- The junction-to-ambient value is under worst case conditions; i.e., with No. 22 copper wire used for electrical contact to the terminals and natural convection cooling.

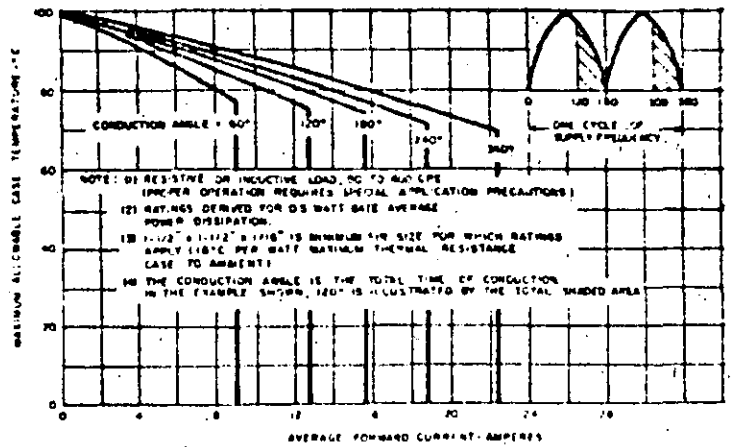
WARNING

Isolated products described in this specification sheet should be handled with care. The ceramic portion of these thyristors contains BERYLLIUM OXIDE as a major ingredient.

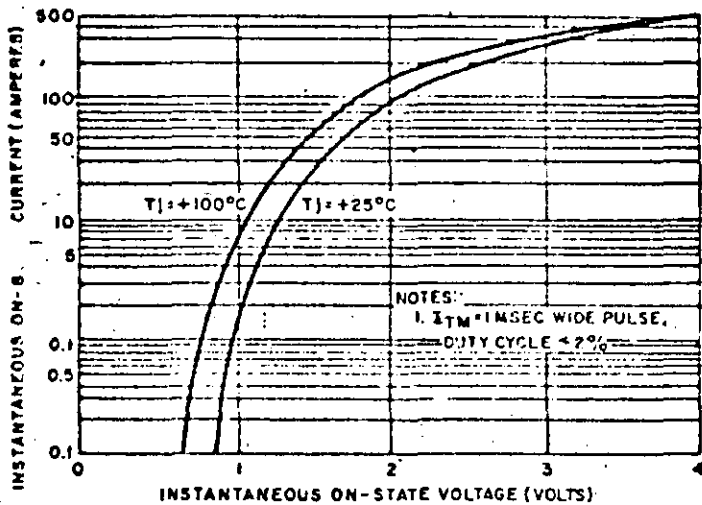
Do not crush, grind, or abrade these portions of the thyristors because the dust resulting from such action may be hazardous if inhaled.



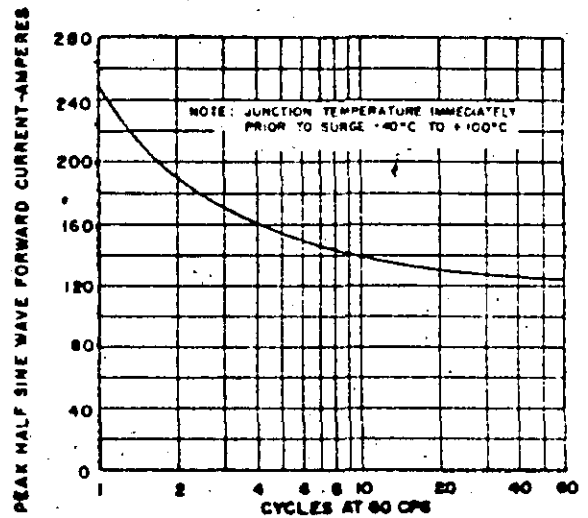
1. MAXIMUM ALLOWABLE CASE TEMPERATURE FOR HALF-WAVE RECTIFIED SINE WAVE OF CURRENT (FOR NON-ISOLATED STUD AND PRESS-FIT CASE TYPES ONLY)



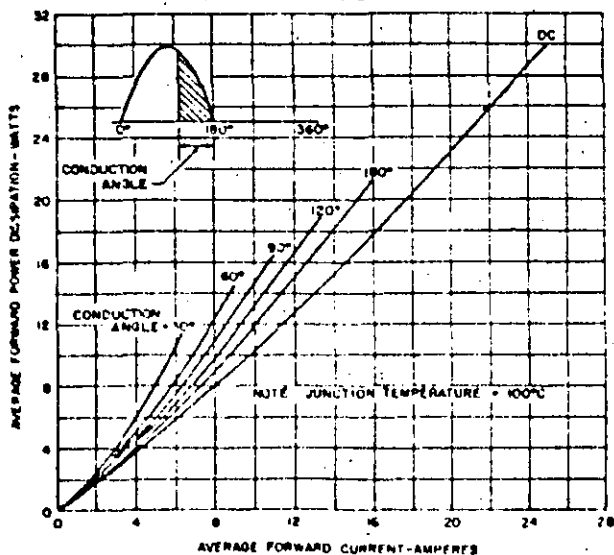
2. MAXIMUM ALLOWABLE CASE TEMPERATURE FOR FULL-WAVE RECTIFIED FULL-WAVE OF CURRENT (FOR NON-ISOLATED STUD AND PRESS-FIT CASE TYPES ONLY)



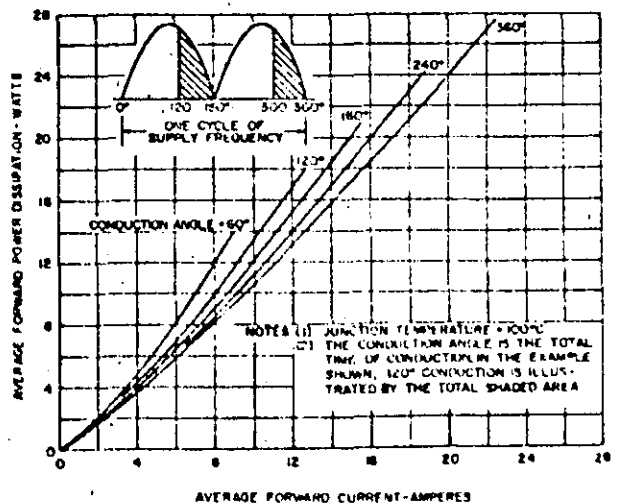
3. MAXIMUM ON-STATE VOLTAGE VS. ON-STATE CURRENT



4. MAXIMUM ALLOWABLE PEAK SURGE CURRENT FOLLOWING RATED LOAD CONDITIONS

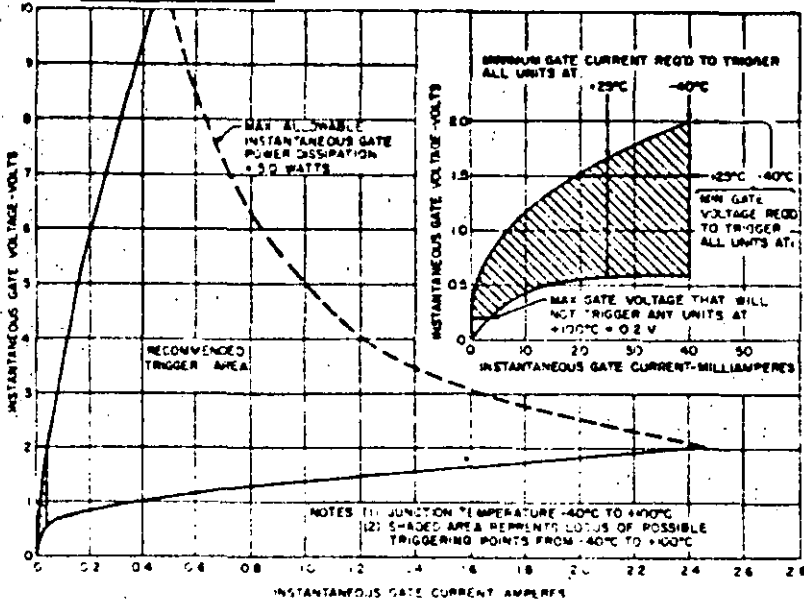


5. MAXIMUM FORWARD POWER DISSIPATION FOR HALF-WAVE RECTIFIED SINE WAVE OF CURRENT

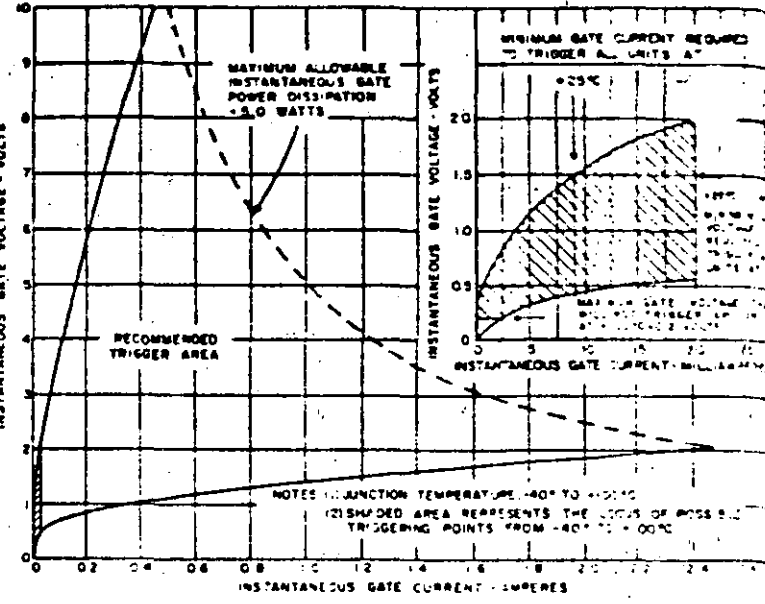


6. MAXIMUM FORWARD POWER DISSIPATION FOR FULL-WAVE RECTIFIED SINE WAVE OF CURRENT

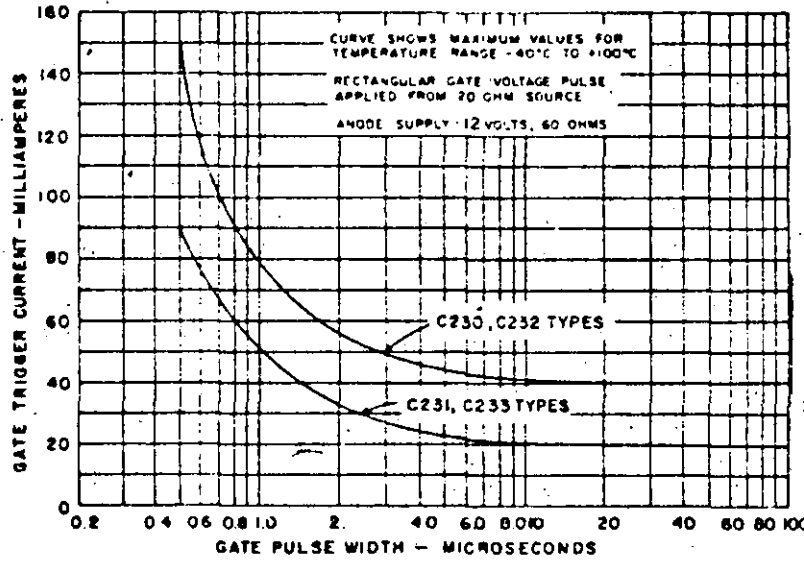
C230/C232
C231/C233



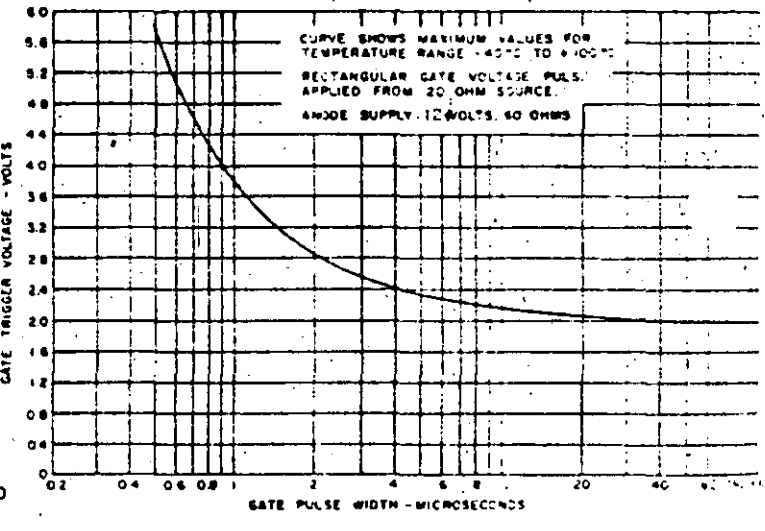
7. GATE TRIGGERING CHARACTERISTICS (C230 AND C232 TYPES)



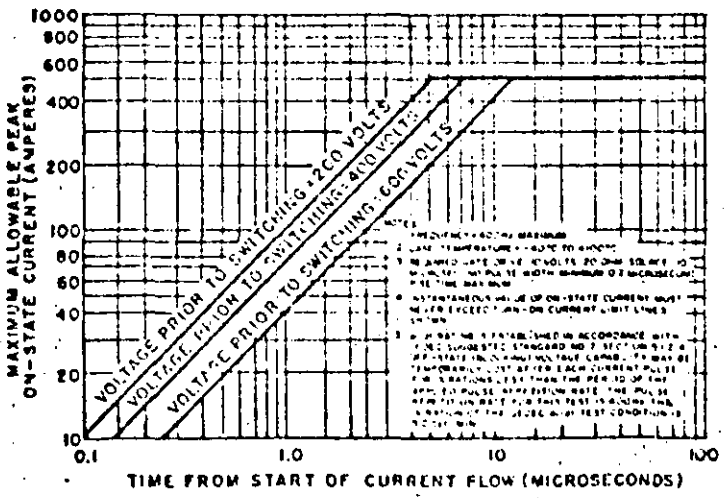
8. GATE TRIGGERING CHARACTERISTICS (C231 AND C233 TYPES)



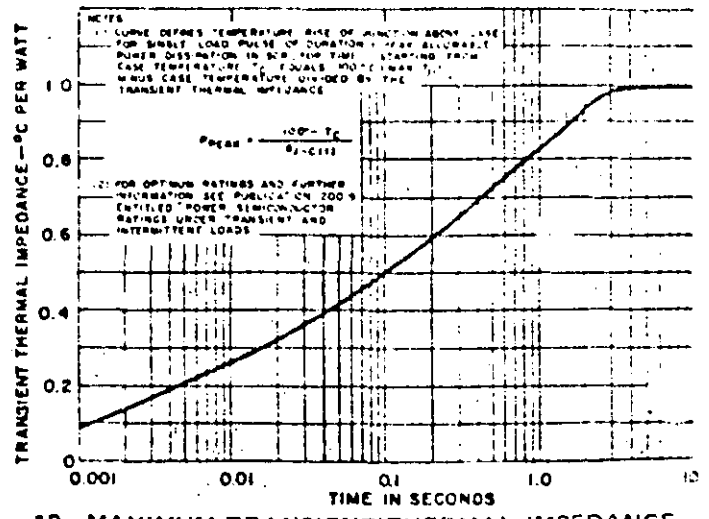
9. VARIATION OF GATE TRIGGER CURRENT WITH GATE PULSE WIDTH (ALL TYPES)



10. VARIATION OF GATE TRIGGER VOLTAGE WITH GATE PULSE WIDTH (ALL TYPES)



11. TURN-ON CURRENT LIMIT

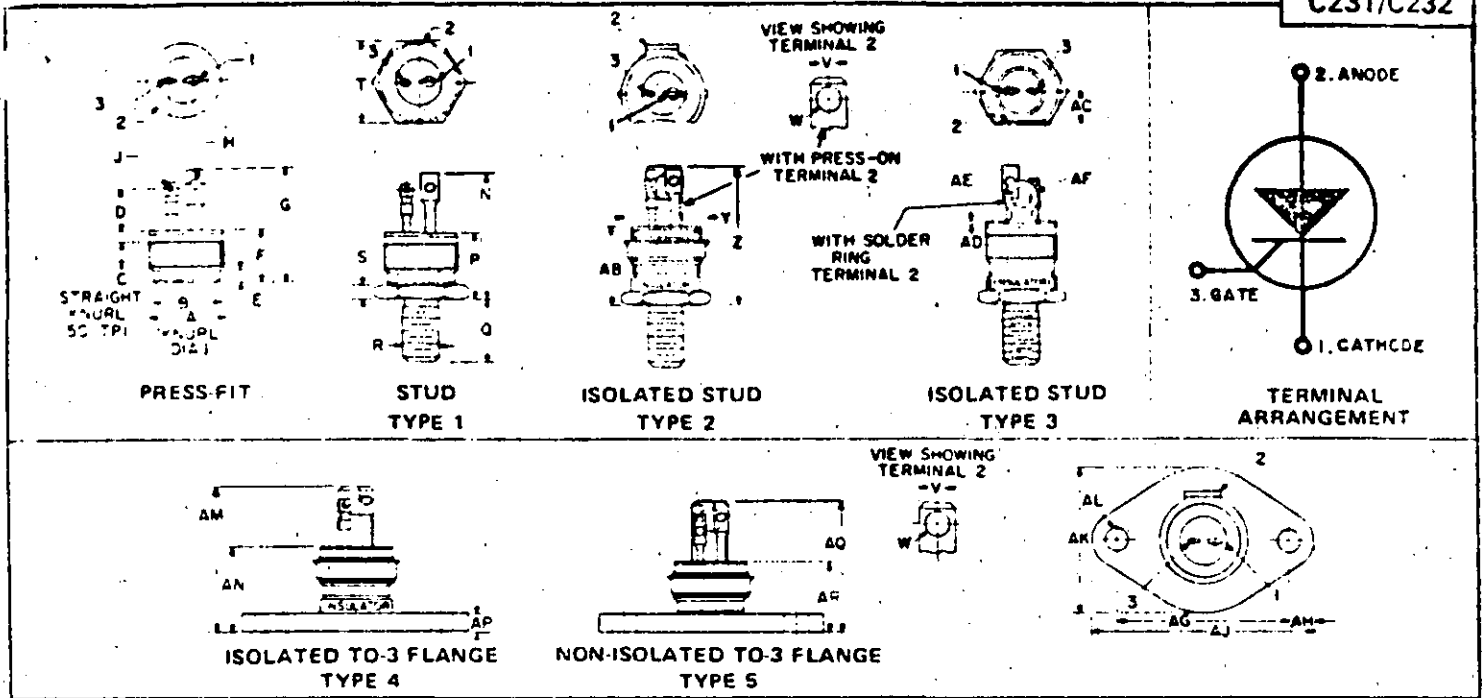


12. MAXIMUM TRANSIENT THERMAL IMPEDANCE - JUNCTION-TO-CASE (FOR NON-ISOLATED STUD AND PRESS-FIT CASE TYPES ONLY)

OUTLINE DRAWINGS

C230/C232

C231/C232



SYMBOL	DIMENSIONS		METRIC MM		SYMBOL	DIMENSIONS		METRIC MM	
	MIN	MAX	MIN	MAX		MIN	MAX	MIN	MAX
A	.50	.505	2.77	2.92	T	.580	.610	14.74	15.49
B	.46	.475	11.87	12.06	Z	—	.978	—	24.84
C	REF	REF	REF	REF	AB	—	.565	—	14.85
D	.280	.301	6.60	7.65	AC	.220	REF	.559	REF
E	.083	.097	2.11	2.46	AD	.012	.023	.31	.58
F	.340	.376	8.64	9.55	AE	.140	.150	3.56	3.81
G	—	.782	—	19.86	AF	.229	.251	5.82	6.37
H	.08	.089	2.06	2.26	AG	.182	.192	30.03	30.27
J	.080	.069	.53	.75	AH	.160	—	4.07	—
K	—	.888	—	22.04	AJ	.1507	.1567	38.28	39.80
L	—	.475	—	12.06	AK	.975	.1025	24.77	26.03
M	.432	.442	10.98	11.22	AL	.150	.161	3.81	4.08
N(B)	1.4-28	UN-2A	—	—	AM	—	.108	—	2.74
S	.086	.098	2.19	2.48	AN	—	.630	—	16.00
T	.552	.562	14.27	14.27	AP	.119	.131	3.03	3.32
V	.240	.260	6.10	6.60	AQ	—	.913	—	23.25
W	.140	.160	3.54	4.06	AR	—	.915	—	13.08

NOTES:

1. Case temperature is measured for press-fit devices at the center of the base; for stud types 1, 2 and 3 at the center of any hex flat; for TO-3 outline mounting flange types 4 and 5 at the center of the bottom of the flange.
2. One external tooth lock washer and one nut (both steel, cadmium plated) are supplied with each stud and isolated stud unit.
3. Insulation hardware for stud devices consisting of solder terminal, mica washers and one nylon bushing are available at extra cost upon request.
4. Other standard package variations are available upon request.
5. Metric stud 8mm x 1.25 (.315 in. x .049 in.) is available upon request.

MOUNTING CONSIDERATIONS

Installation of Press-Fit Device in Heat Sink

When press fitting SCR into a heatsink, the following specifications and recommendations apply:

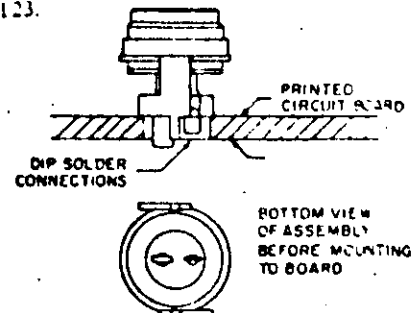
1. Heatsink materials may be copper, aluminum or steel. For maximum heat transfer and minimum corrosion problems, copper is recommended. The heatsink thickness, or amount of heatsink wall in contact with the SCR should be 1/8 inch.
 2. The hole diameter into which the SCR is pressed must be 0.4975 ± .001 inch. A slight chamfer on the hole should be used. This hole may be punched in a flat plate and reamed, or extruded and sized in sheet metal.
 3. The entire knurled section of the SCR should be in contact with the heatsink to insure maximum heat transfer. The SCR must not be inserted into a heatsink deeper than the knurl height.
 4. The SCR insertion force must not exceed 500 pounds. If the insertion force approaches this value before complete insertion, either the SCR is misaligned with the hole or the SCR-to-hole interference is excessive. The insertion force must be uniformly applied to the top face (terminal end) of the SCR within an annular ring which has an inside diameter of not less than 0.370 inch and not larger than 0.390 inch, the outside diameter of the insertion force must not be less than 0.500 inch.
- The thermal resistance between the SCR case and a copper heatsink will not exceed 0.5°C/W, if the SCR is inserted in the manner described.

Soldering of Press-Fit Package to Heat Sink

The press-fit package may be soldered directly to a heatsink using 60/40 (Pb-Sn) solder at a temperature of about 200°C.

Attachment of Press Fit Device to Printed Circuit Board

For certain light load applications, the SCR can be inverted and, using a special brass bracket (A7149451), dip-soldered into a printed circuit board. The feet on the bracket act both as a mechanical support and anode electrical connection. For SCRs pre-assembled into the bracket, add -X123 to the type number, for example C230BX123.



Attachment of the Stud & Isolated Stud Device To a Heat Sink

These devices require certain precautions in order to insure good thermal transfer. The chassis hole must be drilled and deburred, and should be between .005 and .015 inches larger than the stud outside diameter. The use of a Torque wrench is highly recommended and must be used within the torque limits indicated on page 2. A good grade of silicone grease will minimize contact thermal resistance.

Bi-Directional Triode Thyristor

-225-

Power Pac™ Triacs

36

6A to 15A RMS Up to 600 Volts

Isolated and Non-Isolated Tab

ISOLATED TAB
SC140
SC142
SC147
NON-ISOLATED TAB
SC141
SC143
SC146
SC149
SC151

A triac is a solid state silicon AC switch which may be gate triggered from an OFF-State to an ON-State for either polarity of applied voltage.

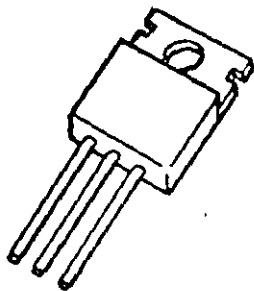
POWER PACT™ triacs are molded silicone encapsulated devices which incorporate General Electric's patented POWER GLAST™ glassivation process. This process provides an intimate bond between the silicon chip and the glass coating, significantly improving device performance and reliability. The copper mounting surface on the isolated tab types is electrically insulated from the silicon chip and the three electrical terminal leads.

FEATURES:

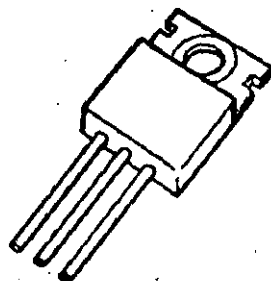
- POWER-GLAST™ passivated silicon chip for maximum reliability.
- Very low off-state (leakage) current at room and elevated temperatures.
- Inherent immunity from non-repetitive transient voltage damage (max. critical rate-of-rise of on-state current subsequent to voltage breakover triggering, $di/dt = 10 \text{ A}/\mu\text{sec.}$).
- Low on-state voltage at high current levels.
- Excellent surge current capability.
- 1600 volts RMS Surge Isolation Voltage on Isolated Triacs.
- Selected types available from factory for use where circuit requires operation:
 - with popular zero voltage triggering IC's
 - at 400 Hz
 - with low gate trigger current
 - at higher voltage levels
 - at higher commutating dv/dt levels

POWER PAC PACKAGE

- Meets JEDEC TO-220AB specifications.
- Round leads - greatly simplifies assembly.
- Six standard lead forming configurations available from factory (including TO-66 compatibility.)

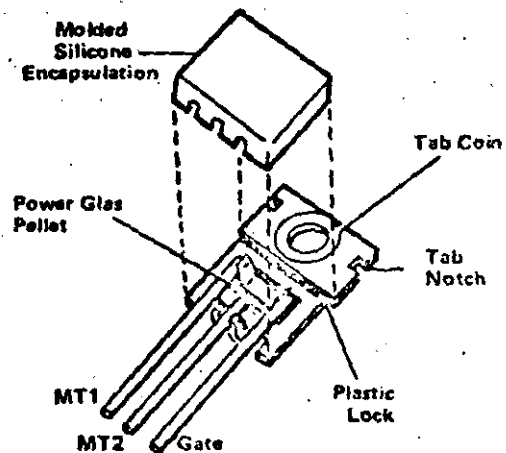


ISOLATED (RED)



NON-ISOLATED (BLUE)

- Rugged, industry-proven packaging.



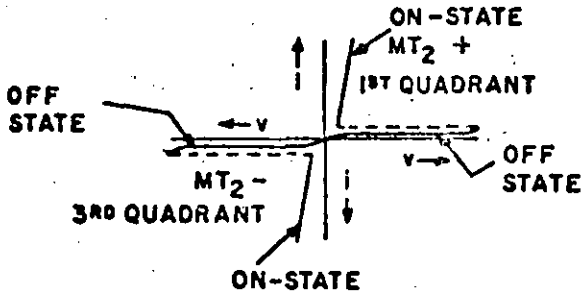
PICTORIAL ASSEMBLY

ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151

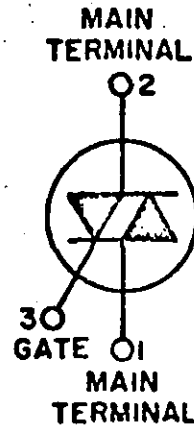
MAXIMUM ALLOWABLE RATINGS

TYPE	RMS ON-STATE CURRENT, $I_{T(RMS)}$ (1)	REPETITIVE PEAK OFF-STATE VOLTAGE, V_{DRM} (2)				PEAK ONE FULL CYCLE SURGE (NON-REP) ON-STATE CURRENT, I_{TSM} AMPERES		I^2t FOR FUSING FOR TIMES AT (3)	
		B	D	E	M	50 Hz	60 Hz	(RMS AMPERE) SECONDS 1.0 MILLISECOND	(RMS AMPERE) SECONDS 8.3 MILLISECONDS
						AMPERES	AMPERES		
AMPERES	VOLTS	VOLTS	VOLTS	VOLTS	AMPERES	AMPERES			
ISOLATED TAB									
SC140	6.5	200	400	500	600	74	80	18	26.5
SC142	8	200	400	500	600	104	110	20	50
SC147	10	200	400	500	600	104	110	20	50
NON-ISOLATED TAB									
SC141	6	200	400	500	600	74	80	18	26.5
SC143	8	200	400	500	600	110	120	20	60
SC146	10	200	400	500	600	110	120	20	60
SC149	12	200	400	500	600	110	120	20	60
SC151	15	200	400	500	600	110	120	20	60

- Peak Gate Power Dissipation, P_{GM} (4) 10 Watts for 10 Microseconds (See Chart 4)
- Average Gate Power Dissipation, $P_{G(AV)}$ 0.5 Watts
- Peak Gate Current, I_{GM} (4) See Chart 4
- Peak Gate Voltage, V_{GM} (4) See Chart 4
- Storage Temperature, T_{stg} -40°C to +125°C
- Operating Temperature, T_J -40°C to +100°C
- Surge Isolation Voltage (5) 1600 Volts RMS



TYPICAL CHARACTERISTICS VOLT-AMPERES



TERMINAL ARRANGEMENT

NOTES:

1. At the case reference point (see outline drawing) temperature of 80°C maximum (except 75°C maximum for SC142 and SC149) and 360° conduction.
 2. Ratings apply for zero gate voltage only. Ratings apply for either polarity of main terminal 2 voltage referenced to main terminal 1.
 3. Ratings apply for either polarity of main terminal 2 referenced to main terminal 1. Ratings apply for either polarity of gate terminal referenced to main terminal 1.
- Isolated tab traces only. Rating applies from main terminals 1 and 2 and gate terminal to device mounting surface. Test voltage is 50 or 60 Hz sinusoidal wave form applied for one minute. Rating applies over the entire device operating temperature range.

ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151

CHARACTERISTICS

TEST	SYMBOL	MIN.	TYP.	MAX.	UNITS	TEST CONDITIONS	REF. NOTE		
Repetitive Peak Off-State Current	I _{DRM}				mA	V _{DRM} = Maximum Allowable Repetitive Off-State Voltage Rating Gate Open Circuited	1		
		-	-	0.1		T _C = +25°C			
		-	-	0.5		T _C = +100°C			
Peak On-State Voltage	V _{TM}				Volts	T _C = +25°C, I _{TM} = 1 msec., Wide Pulse, Duty Cycle ≤ 2%	1		
SC140		-	-	1.85		I _{TM} = 9.2 A Peak			
SC141		-	-	1.83		I _{TM} = 8.5 A Peak			
SC142		-	-	1.75		I _{TM} = 11.5 A Peak			
SC143		-	-	1.55		I _{TM} = 11.5 A Peak			
SC146		-	-	1.65		I _{TM} = 14 A Peak			
SC147		-	-	1.50		I _{TM} = 14 A Peak			
SC149		-	-	1.65		I _{TM} = 17 A Peak			
SC151		-	-	1.52		I _{TM} = 21 A Peak			
Critical Rate-of-Rise of Off-State Voltage (Higher values may cause device switching)	dv/dt				Volts/μsec	T _C = +100°C, Rated V _{DRM} Gate Open Circuited Exponential Voltage Waveform	1		
SC140, SC141		30	100	-					
SC142, SC143		50	150	-					
SC146, SC147		100	150	-					
SC149		100	200	-					
SC151		100	250	-					
Critical Rate-of-Rise of Commutating Off-State Voltage (Commutating dv/dt)	dv/dt _(c)	4	-	-	Volts/μsec	I _{T(RMS)} = Rated Maximum Allowable RMS On-State Current, V _{DRM} = Maximum Rated Peak Off-State Voltage, Gate Open Circuited.	1, 4		
DC Gate Trigger Current	I _{GT}				mA _{dc}	V _D = 12 V _{dc}	2		
						TRIGGER MODE		R _L	T _C
		-	-	50		MT2+ Gate +		100 Ohms	+25°C
		-	-	50		MT2- Gate -		100 Ohms	
		-	-	50		MT2+ Gate -		50 Ohms	
		-	-	80		MT2+ Gate +		50 Ohms	-40°C
		-	-	80		MT2- Gate -		50 Ohms	
		-	-	80		MT2+ Gate -		25 Ohms	
DC Gate Trigger Voltage	V _{GT}				V _{dc}	V _D = 12 V _{dc}	2		
						TRIGGER MODE		R _L	T _C
		-	-	2.5		MT2+ Gate +		100 Ohms	+25°C
		-	-	2.5		MT2- Gate -		100 Ohms	
		-	-	2.5		MT2+ Gate -		50 Ohms	
		-	-	3.5		MT2+ Gate +		50 Ohms	-40°C
		-	-	3.5		MT2- Gate -		50 Ohms	
		-	-	3.5		MT2+ Gate -		25 Ohms	
DC Gate Non-Trigger Voltage	V _{GD}	0.2	-	-	V _{dc}	TRIGGER MODE	R _L	T _C	2, 3
						MT2+ Gate +	1000 Ohms	+100°C	
						MT2- Gate -			
						MT2+ Gate -			
			MT2- Gate +						

TEST	SYMBOL	MIN.	TYP.	MAX.	UNITS	TEST CONDITIONS	REF. NOTE	
DC Holding Current	I _{HI}				mA _{dc}	Main Terminal Source Voltage = 24 Vdc Peak Initiating On-State Current = 0.5A, 0.1 milliseconds to 10 milliseconds wide pulse, Gate Trigger Source = 7V, 20 Ohms.	1	
		-	-	50				T _C = +25°C
		-	-	100				T _C = -40°C
DC Latching Current	I _L				mA _{dc}	Main Terminal Source Voltage = 24 Vdc Gate Trigger Source = 15V, 100 Ohms, 50μsec pulse width, 5μsec rise and fall times maximum	2	
				100				+25°C
				100				
				200				
				200				-40°C
				200				
				400				
				400				
Steady State Thermal Resistance	R _{θJA}	-	-	75	°C/Watt	Junction-to-Ambient	1, 5	
Steady State Thermal Resistance	R _{θJC}				°C/Watt	Junction-to-Case This characteristic is useful as an acceptance test at an incoming in- spection station.	1, 6	
SC140			3.1					
SC141			3.0					
SC142			3.3					
SC143			3.2					
SC146			2.2					
SC147			2.5					
SC149			2.0					
SC151			2.0					
Apparent Thermal Resistance	R _{θJC(ac)}				°C/Watt	Junction-to-Case This characteristic is useful in the calculation of junction temperature rise above case temperature for AC current conduction.	7	
SC140			2.04					
SC141			2.22					
SC142			2.31					
SC143			1.97					
SC146			1.50					
SC147			1.69					
SC149			1.52					
SC151			1.10					

NOTES:

- Characteristic values apply for either polarity of main terminal 2 referenced to main terminal 1.
- Main terminal 1 is the reference terminal for main terminal 2 and gate terminal.
- With V_D equal to maximum allowable off-state voltage.
- Values for these test conditions are:

Device	Commutating di/dt	T _C
SC140	3.5 A/msec	+80°C
SC141	3.2 A/msec	+80°C
SC142	4.3 A/msec	+75°C
SC143	4.3 A/msec	+80°C
SC146/SC147	5.4 A/msec	+80°C
SC149	6.4 A/msec	+75°C
SC151	8.1 A/msec	+80°C

- The junction-to-ambient value is under worst case conditions; i.e., with No. 22 copper wire used for electrical contact to the terminals and natural convection cooling.

- Junction-to-case steady-state thermal resistance (R_{θJC}) is tested in accordance with EIA-NEMA Standard RS-397, Section 3.3.2, which states: "Thermal characteristics are to be measured with the device operating in only one direction." The values listed are the limiting value for either direction. For non-isolated devices, the MT2 lead temperature reference point is approximately equal to the case temperature reference point (see outline drawing).
- Apparent thermal resistance applies for a 50 or 60 Hz full sine wave of current. It can be calculated with the following formula:

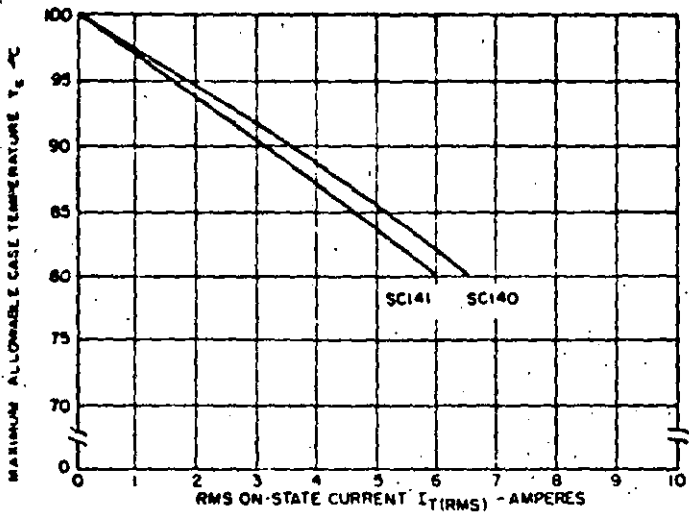
$$\text{Apparent thermal resistance} = \frac{T_{J(\max)} - T_C}{P_{T(AV)}}$$

where: T_{J(max)} = maximum junction temperature
T_C = case temperature
P_{T(AV)} = average on-state power

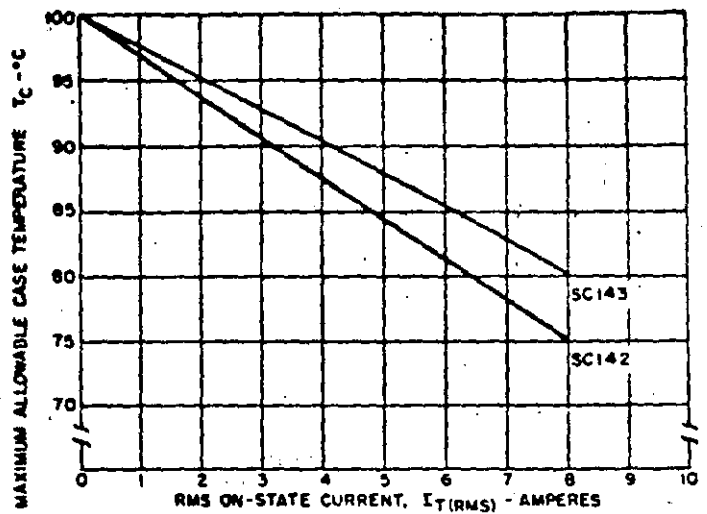
See Reference Chart 12.

ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151

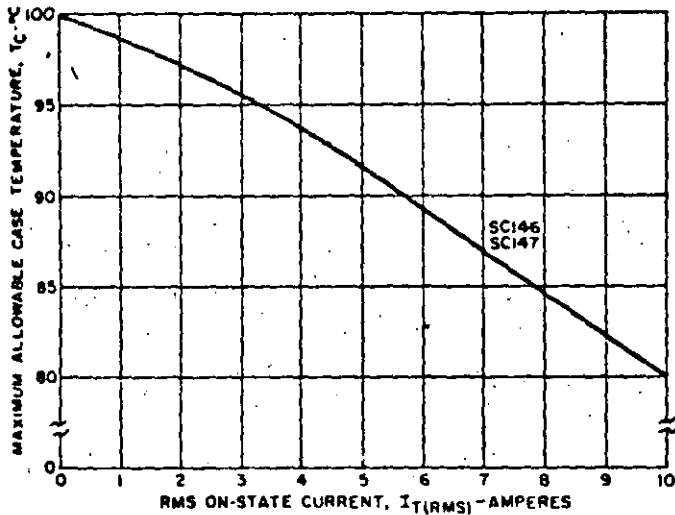
40



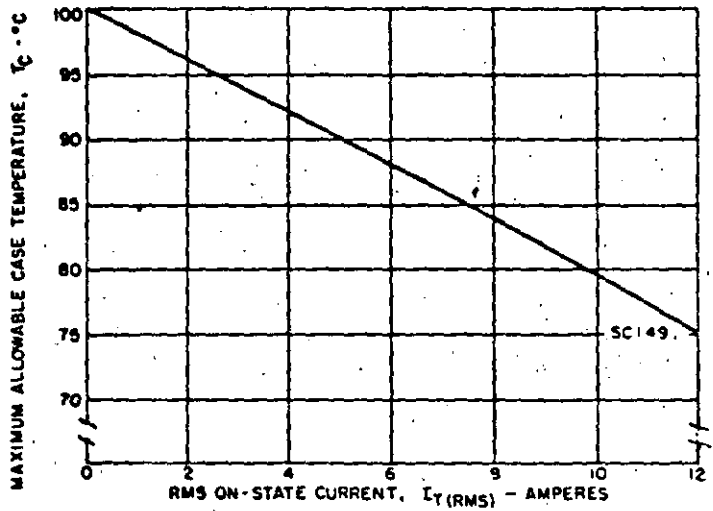
SC140/SC141



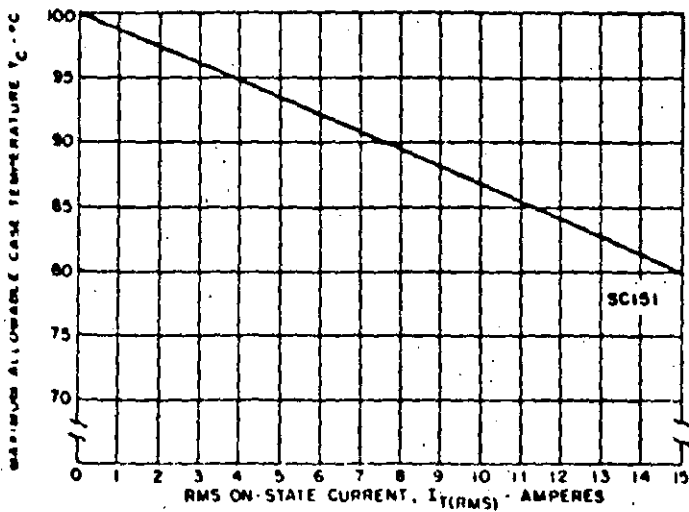
SC142/SC143



SC146/SC147



SC149



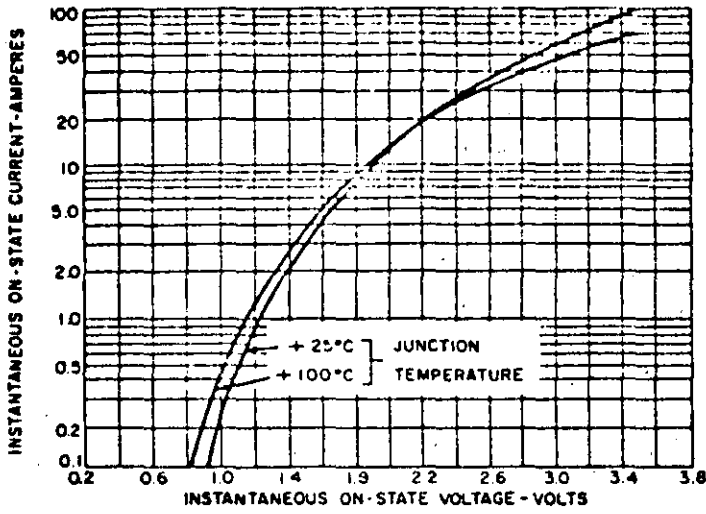
SC151

NOTES:

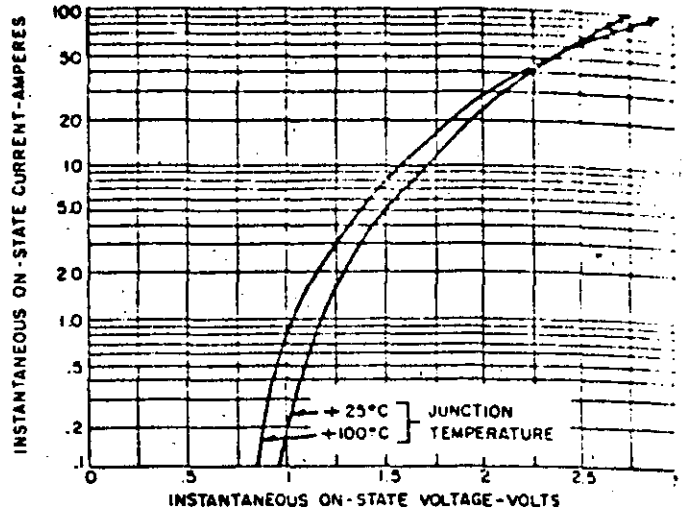
1. Case temperature measurement point is shown on outline drawings.
2. Rating curves apply for 50 or 60 Hz sine wave operation.
3. Conduction angle = 360°.

1. MAXIMUM CURRENT RATINGS

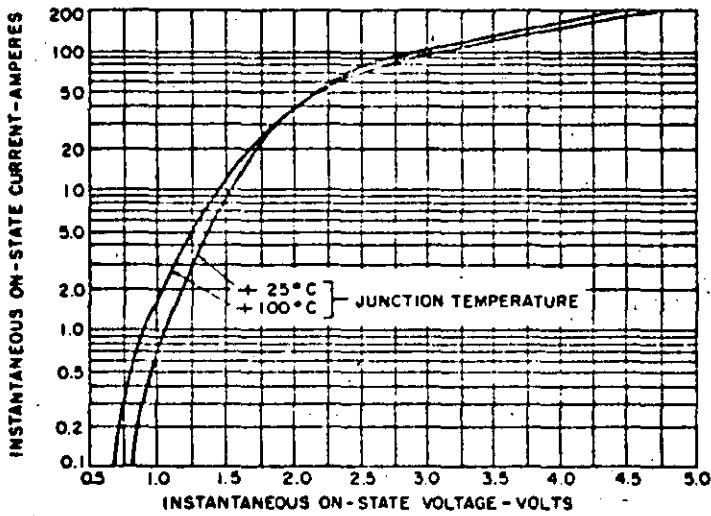
ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151



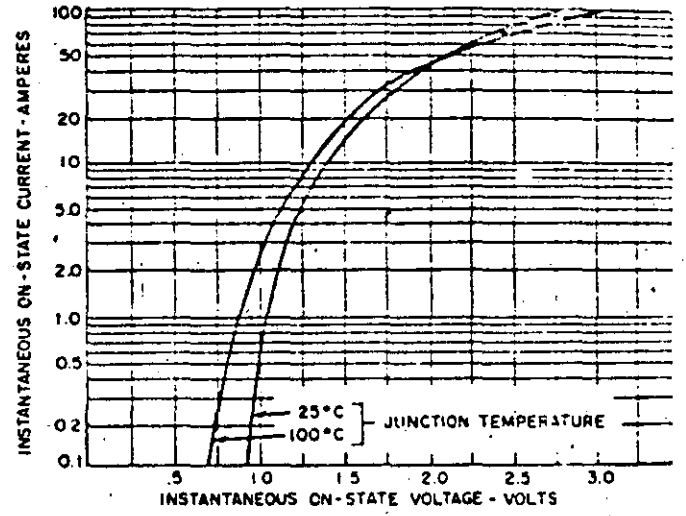
SC140/SC141



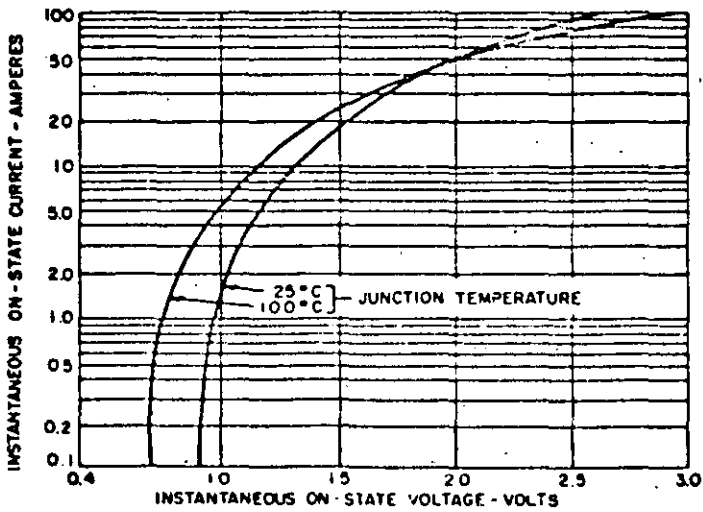
SC142



SC143/SC146/SC149



SC147



SC151

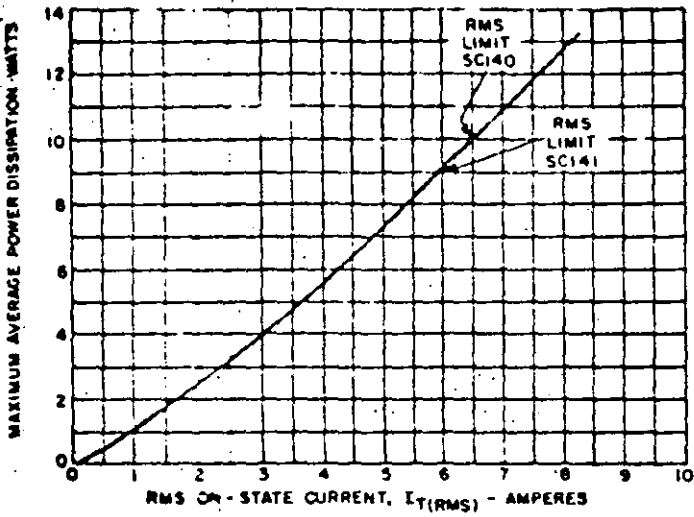
NOTES:

1. $I_{TM} = 1$ msec. pulse, duty cycle 2%.
2. Curves apply for either polarity of main terminal 2 referenced to main terminal 1.

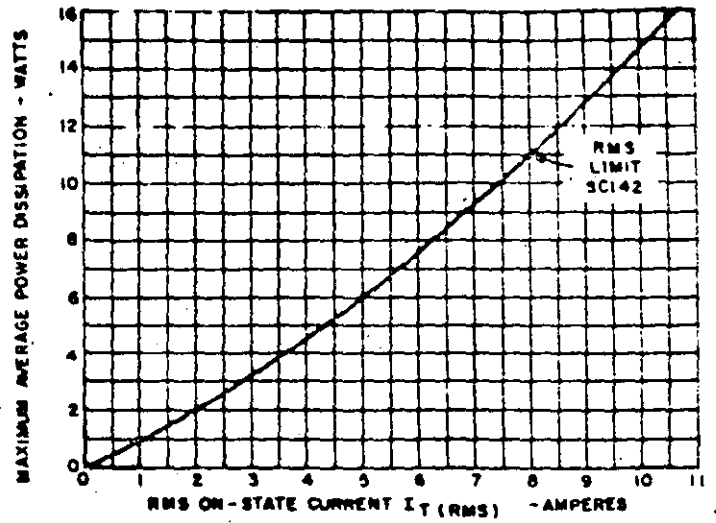
2. MAXIMUM ON-STATE CHARACTERISTICS

ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151

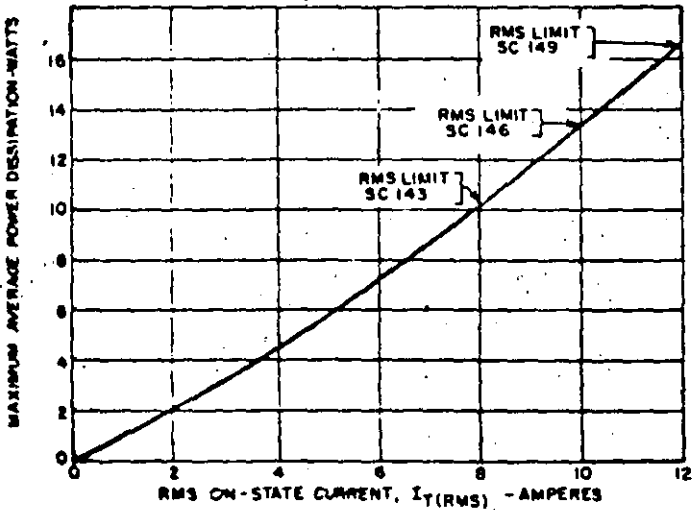
42



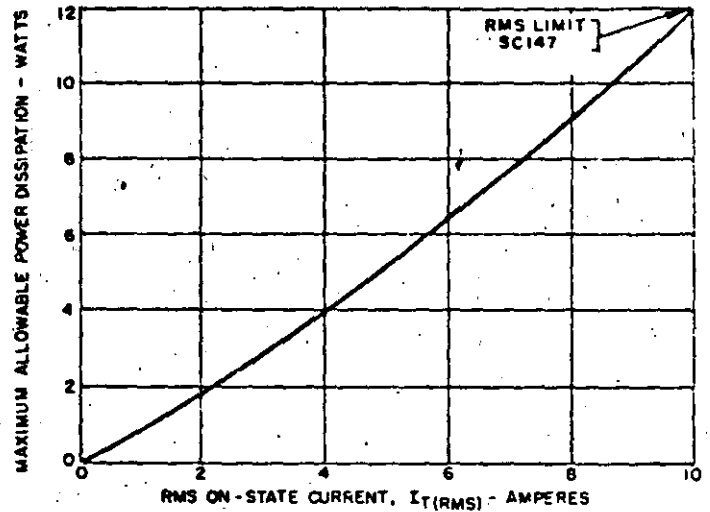
SC140 / SC141



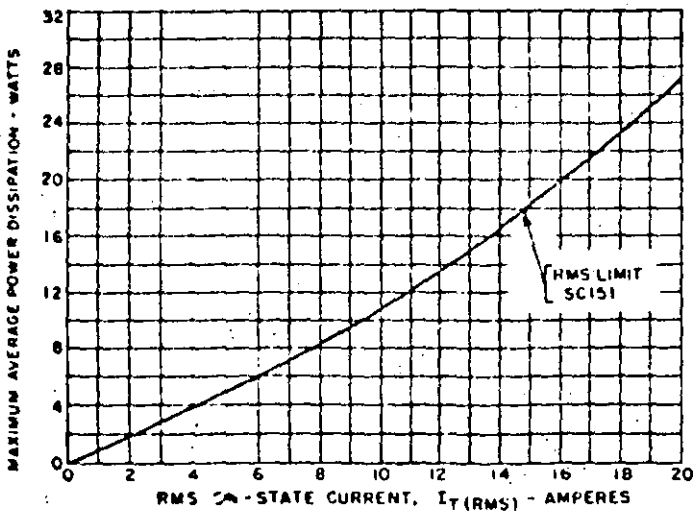
SC142



SC143 / SC146 / SC149



SC147

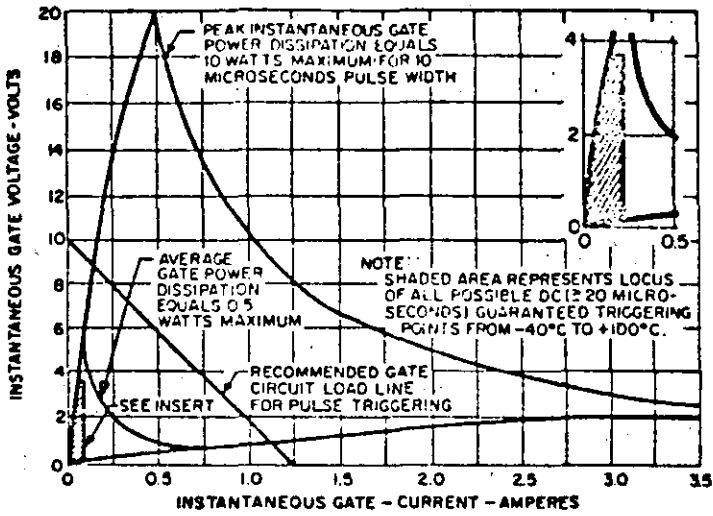


SC151

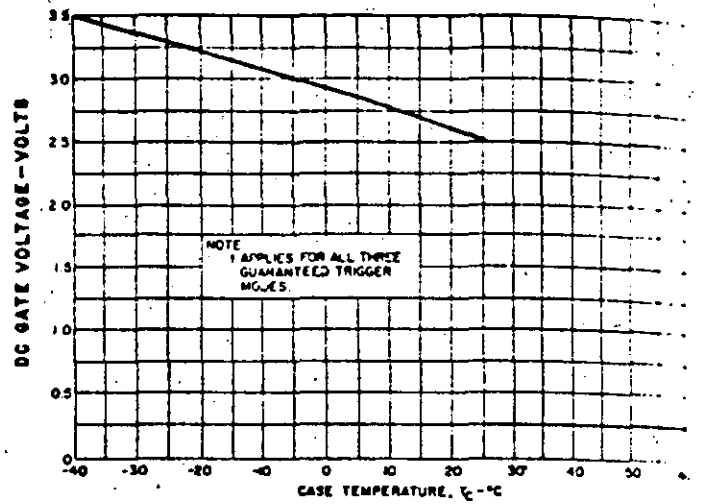
NOTES:

1. $T_j = 100^\circ\text{C}$.
2. Conduction angle = 360° .
3. Current waveform is sinusoidal, 50 or 60 Hz.

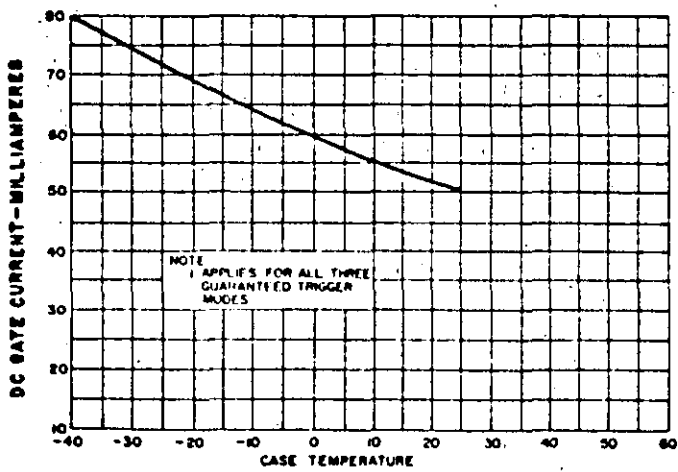
ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151



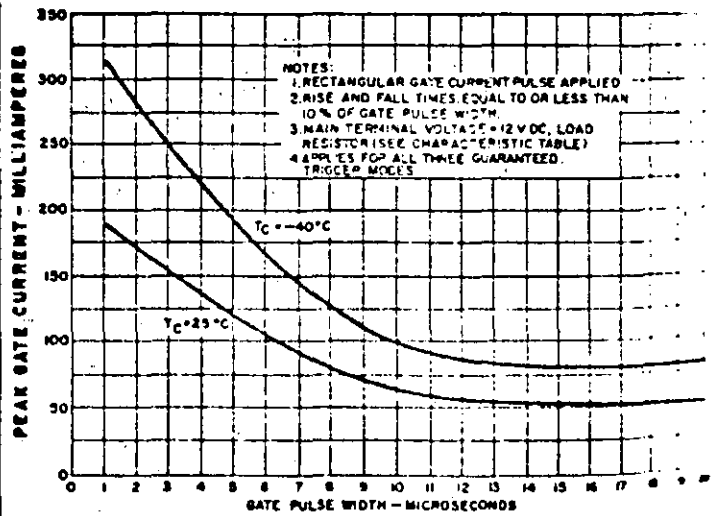
4. GATE CHARACTERISTICS AND RATINGS



5. MAXIMUM DC GATE VOLTAGE TO TRIGGER VERSUS CASE TEMPERATURE

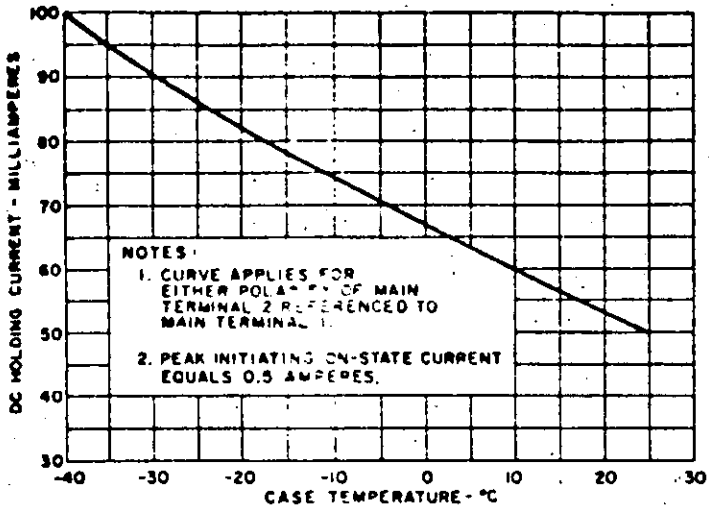


6. MAXIMUM DC GATE CURRENT TO TRIGGER VERSUS CASE TEMPERATURE

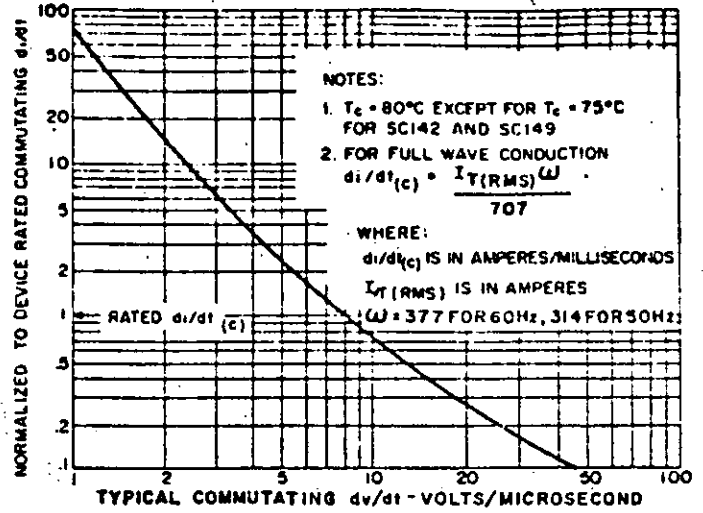


7. MAXIMUM GATE CURRENT TO TRIGGER VERSUS GATE PULSE WIDTH

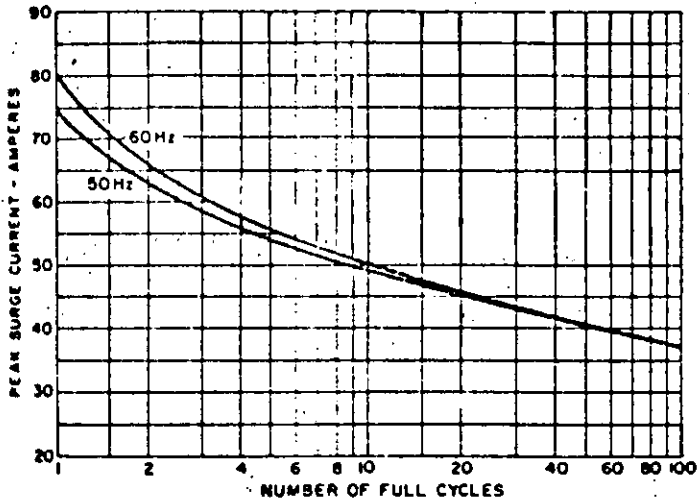
ISOLATED TAB	NON-ISOLATED TAB
SC140, 2, 7	SC141, 3, 6, 9, SC151



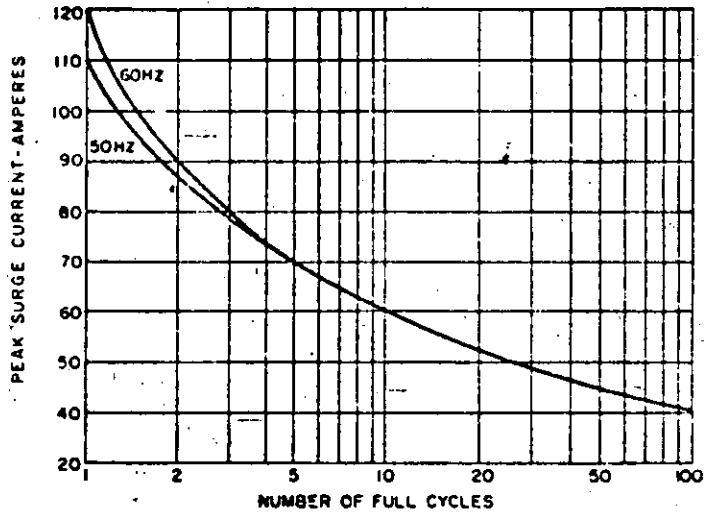
8. MAXIMUM DC HOLDING CURRENT VERSUS CASE TEMPERATURE



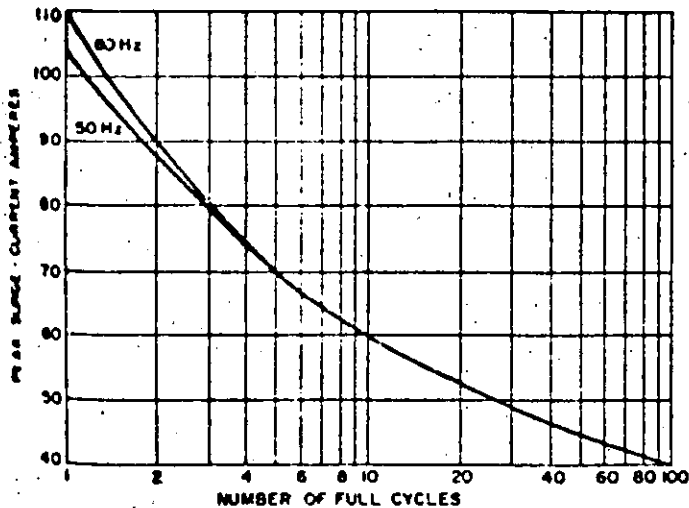
9. NORMALIZED DEVICE RATED COMMUTATING DI/DT VERSUS COMMUTATING DV/DT



SC140 / SC141



SC143 / SC146 / SC149 / SC151

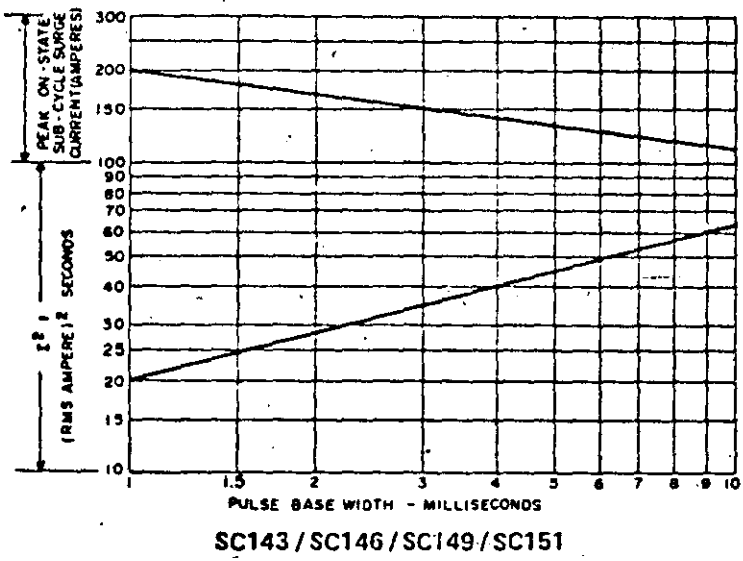
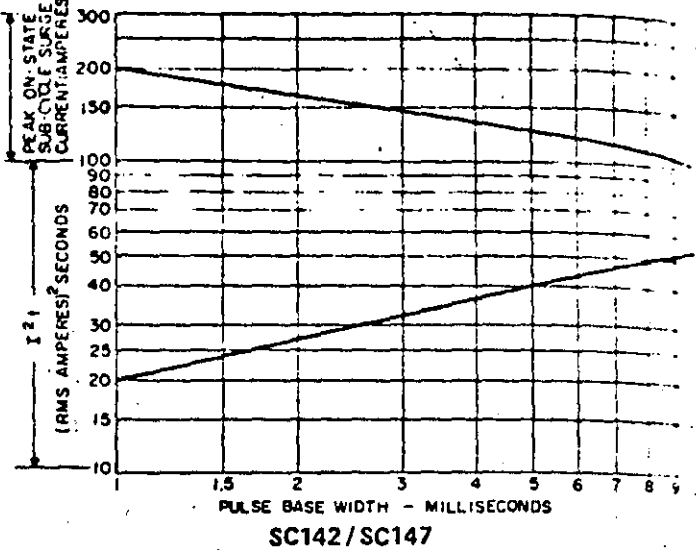
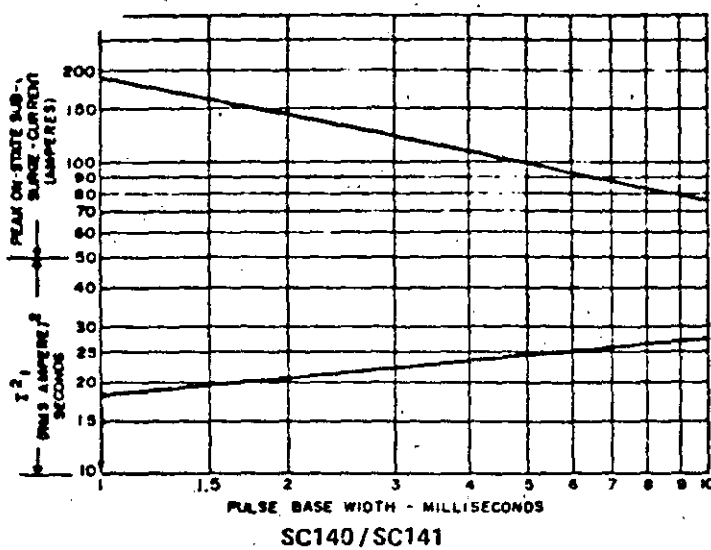


SC142 / SC147

10. MAXIMUM ALLOWABLE PEAK FULL CYCLE SURGE (NON-REPETITIVE) ON-STATE CURRENT

NOTES:

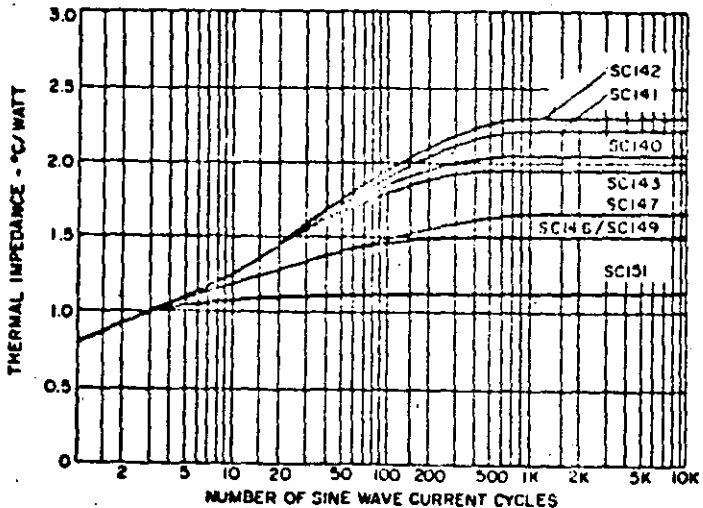
- Gate control may be lost during and immediately following the surge current interval.
- Current surge may not be repeated until junction temperature has returned to within steady-state rated value.
- Junction temperature immediately prior to surge = 40°C to 100°C .



NOTES:

1. Curves apply for either polarity of main terminal 2 referenced to main terminal 1.
2. Curves for half sine wave current waveform.
3. Gate control may be lost during and immediately following the surge current interval.
4. Current surge may not be repeated until junction temperature has returned to within steady-state rated value.
5. Junction temperature immediately prior to surge = -40°C to 100°C.

11. SUBCYCLE SURGE (NON-REPETITIVE) ON-STATE CURRENT AND I²t RATINGS

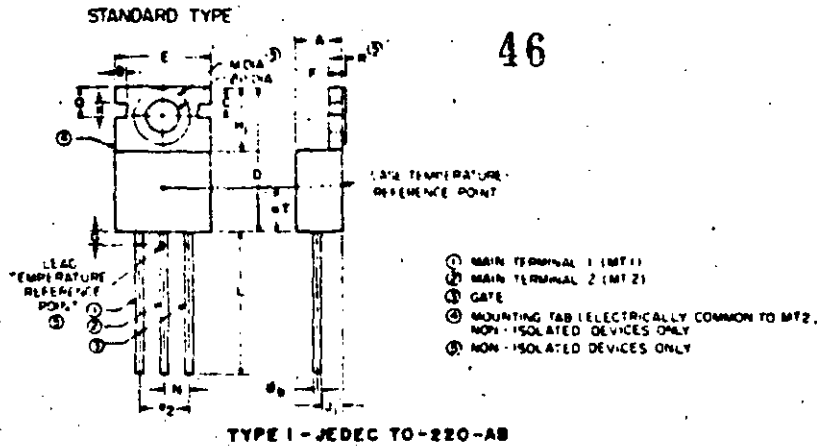


NOTES:

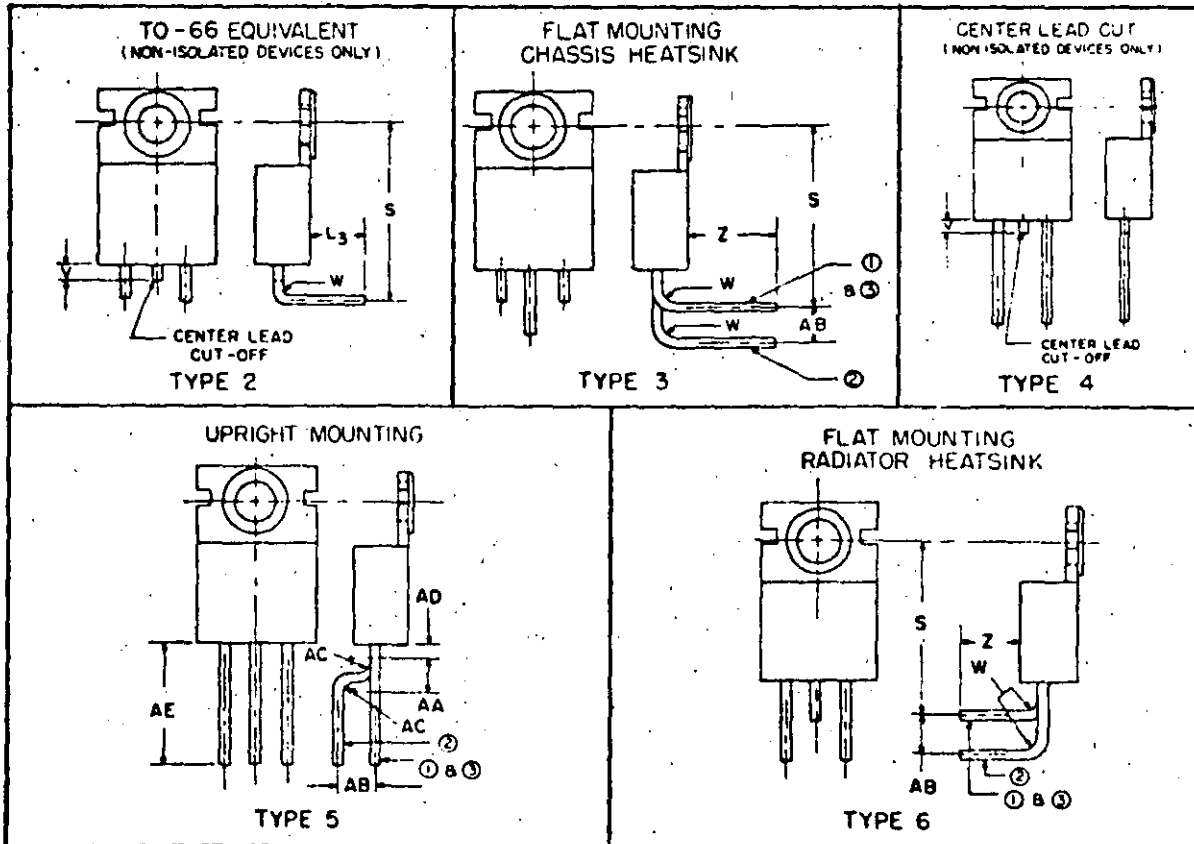
1. Curve defines temperature rise of either junction above case temperature for equal amplitudes symmetrical sine wave current at 50 and 60 Hz.
2. Curve considers junction temperature measured immediately after the final cycle of current.
3. Gate will regain control if temperature is maintained below rated value and load current is reduced or maintained at RMS value.
4. For more than 100 cycles of current the case temperature rise must be observed and used in calculating the total junction temperature.
5. Junction temperature rise above case is defined as apparent transient thermal impedance times average conduction power dissipated during full cycle conduction.
6. Apparent steady-state value is not the same as JEDEC value listed as steady-state in characteristics table.

12. MAXIMUM APPARENT TRANSIENT THERMAL IMPEDANCE (50 AND 60 Hz SINE WAVE OPERATION)

46



SYMBOL	INCHES		METRIC MM		SYMBOL	INCHES		METRIC MM	
	MIN	MAX	MIN	MAX		MIN	MAX	MIN	MAX
A	.160	.190	4.06	4.83	N	.095	.105	2.41	2.67
B	.054 TYP.		1.37 TYP.		Ø P	.141	.145	3.58	3.68
Ø b	.029	.035	.73	.89	Q	.118 REF.		3.00 REF.	
C	.110	.120	2.79	3.05	R	.0015	.004	—	.10
D	.560	.650	14.23	16.51	S	.570	.590	14.47	14.99
E	.390	.420	9.90	10.67	T	—	.220	—	5.59
Ø 2	.190	.210	4.82	5.33	V	.040	.070	1.01	1.78
F	.040	.055	1.01	1.39	W	.020	.030	.50	.76
G	—	.065	—	1.65	Z	.172	.202	4.36	5.13
M ₁	.240	.260	6.09	6.60	AA	.087	.097	2.20	2.46
J ₁	.085	.115	2.15	2.92	AB	.120	.130	3.04	3.30
K	.054 REF.		1.37 REF.		AC	.025	.035	.63	.89
L	.500	—	12.70	—	AD	.045	.055	1.14	1.40
L ₃	.360	—	9.14	—	AE	.353	.433	8.96	11.00
M	.232	.236	5.89	5.99					



POWER PAC TRIAC PART NUMBER DESIGNATION

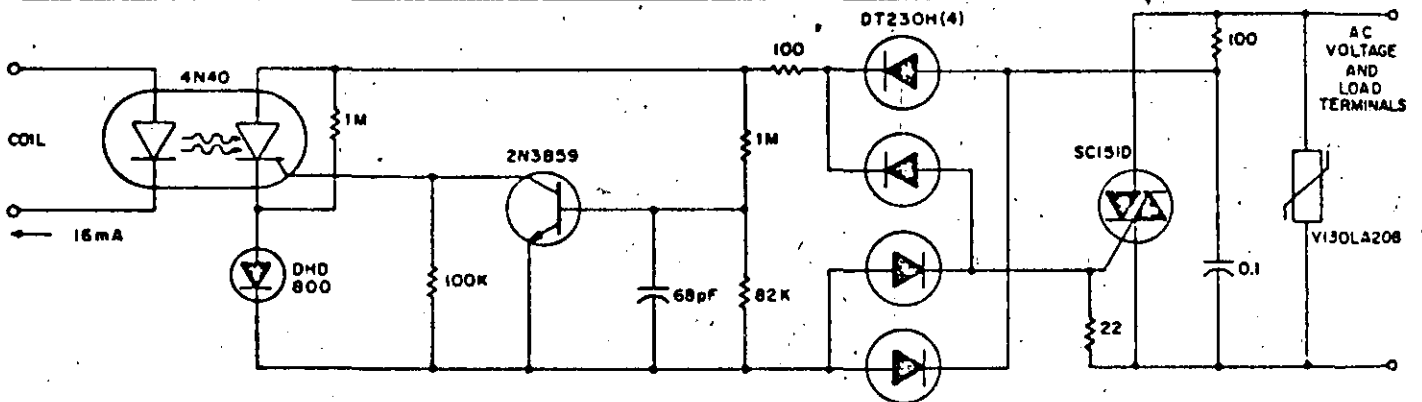
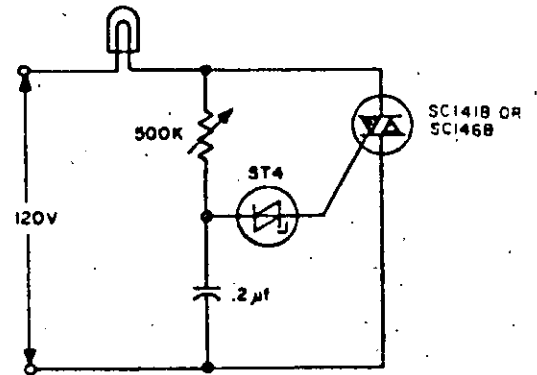
POWER PAC TRIAC		LEAD FORMING CONFIGURATIONS	
CURRENT RATING & ISOLATION	VOLTAGE RATING		
40 = 6.5 A RMS Isolated	B = 200 Volts	None = Standard Type 1	
41 = 6 A RMS Non-Isolated	D = 400 Volts	2 = Type 2	
42 = 8 A RMS Isolated	E = 500 Volts	3 = Type 3	
43 = 8 A RMS Non-Isolated	M = 600 Volts	4 = Type 4	
46 = 10 A RMS Non-Isolated		5 = Type 5	
47 = 10 A RMS Isolated		6 = Type 6	
49 = 12 A RMS Non-Isolated			
51 = 15 A RMS Non-Isolated			

NOTE: See Outline Drawing

TYPICAL CIRCUITS

Triacs are especially useful in AC lamp dimming because of their ability to conduct in both directions.

The circuit shown here incorporates General Electric's ST4 asymmetrical AC trigger integrated circuit. This device greatly reduces the snap-on effects that are present in symmetrical trigger circuits and minimizes control circuit hysteresis. This performance is possible with a single RC time constant, whereas a symmetrical circuit of comparable performance would require at least three additional passive components.



The SC151D, in combination with an optically-isolated SCR (4N40), allows this highly transient immune, TTL compatible, zero voltage switching design for a normally open 15 ampere solid-state relay. Zero voltage crossing is sensed via the base emitter diode drop of the 2N3859 which then allows the 4N40 SCR portion to be triggered and apply gate signal to the SC151 triac. The transient immunity is designed in through use of the GE-MOV®, the snubber network and the choice of 400 volt semiconductors.

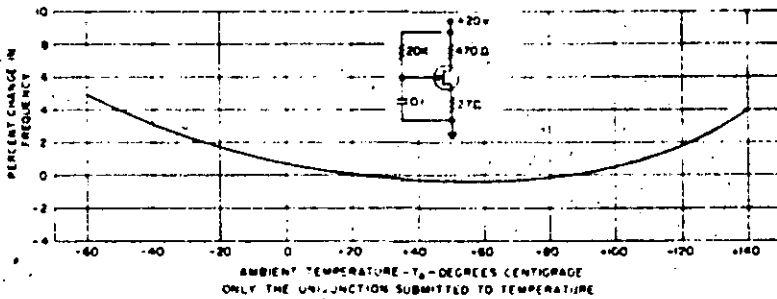
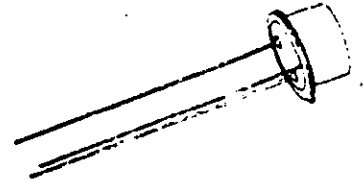
OTHER TRIAC, TRIGGER AND APPLICATION INFORMATION AVAILABLE FROM GENERAL ELECTRIC			
PUBLICATION NUMBER	TRIAC SPECIFICATION SHEETS	PUBLICATION NUMBER	APPLICATION NOTES
175.13	SC136	200.35	Using the Triac for Control of AC Power
175.34	Hermetic Triacs	200.53	Solid State, Incandescent Lighting Controls
	TRIGGER SPECIFICATION SHEETS	201.12	500 Watt AC Line Voltage and Power Regulator
175.30	ST2 (Diac)	201.19	RF Filter Considerations for Triac & SCR Circuits
175.32	ST4 (Asymmetrical AC Trigger)	201.24	Thyristor Selection for Incandescent Lamp Loads
65.32	2N4992 (Silicon Bilateral Switch)	200.55	Thermal Mounting Considerations for Plastic Power Semiconductor Packages
	RELIABILITY REPORT		
95.29	Glassivated Triac Reliability Report		

Silicon Unijunction Transistors



48

The General Electric Silicon Unijunction Transistors are three-terminal devices having a stable "N" type negative resistance characteristic over a wide temperature range. A stable peak point and a high peak current rating make these devices useful in oscillators, timing circuits, trigger circuits, and bistable circuits, where it can serve the purpose of two conventional silicon transistors. General Electric's Fixed Bed Construction makes these transistors extremely reliable under severe conditions of mechanical shock, vibration, centrifugal force, and thermal shock. It also provides a lower terminal resistance and improved uniformity of electrical characteristics. These transistors are hermetically sealed in welded cases.



FEATURES

- Stable Operation over Wide Temperature Range
- Low Leakage Current
- Low Peak Point Current
- Guaranteed Minimum Pulse Voltage

absolute maximum ratings*

Total RMS Power Dissipation—Unstabilized¹
 Total RMS Power Dissipation—Stabilized²
 RMS Emitter Current
 Peak Emitter Current³ ($T_j = 150^\circ\text{C}$)
 Emitter Reverse Voltage ($T_j = 150^\circ\text{C}$)
 Operating Temperature Range
 Operating Temperature Range—Stabilized⁴
 Storage Temperature Range

2N489, A, B
 THROUGH
 2N494, A, B

450 ¹	nW
600 ²	nW
70	mA
2	amps
60	volts
-65 to +140	$^\circ\text{C}$
-65 to +175	$^\circ\text{C}$
-65 to +175	$^\circ\text{C}$

1. Derate 3.9 mW/ $^\circ\text{C}$ increase in amb. temp. (Thermal resistance to case = $0.16^\circ\text{C}/\text{mW}$)
2. Derate 2.6 mW/ $^\circ\text{C}$ increase in amb. temp. (Thermal resistance to case = $0.08^\circ\text{C}/\text{mW}$)
3. Under normal operation, thermal runaway conditions cannot exist with the UJT up to a junction temperature of 140°C since the temperature coefficient of R_{em} is positive below this temperature and I_{em} is negligible. For this reason an unstabilized power rating can be used with the UJT which is derated to zero at 140°C . The UJT can be used at temperatures above 140°C but in this case external resistance must be used in the emitter and interbase circuits to limit the power dissipation and prevent thermal runaway. The power rating for this condition is the stabilized power rating and is derated to zero at 175°C . It is also important to provide circuit stabilization in the interbase circuit when the UJT is used in pulse type applications since the instantaneous temperature of the silicon could rise to a high enough value to permit runaway.
4. Emitter peak current should be limited to two amperes for discharge capacitances up to $10\mu\text{fd}$, with a peak point voltage of 30 volts. For higher values of C or V_{pp} , resistance must be added in series with the capacitor to protect the emitter circuit.

description

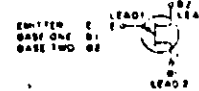
General Electric's Silicon Unijunction Transistor consists of an "N" type silicon bar mounted between two ohmic base contacts with a "P" type emitter near base-two. The device operates by conductivity modulation of the silicon between the emitter and base-one when the emitter is forward biased. In the cutoff, or standby condition, the emitter and interbase power supplies establish potentials between the base contacts, and at the emitter, such that the emitter is back biased. If the emitter potential is increased sufficiently to overcome this bias, holes (minority carriers) are injected into the silicon bar. These holes are swept toward base-one by the internal field in the bar. The increased charge concentration, due to these holes, decreases the resistance and hence decreases the internal voltage drop from the emitter to base-one. The emitter current then increases regeneratively until it is limited by the emitter power supply. The effect of this conductivity modulation is also noticed as an effective modulation of the interbase current.

* 25°C , unless otherwise specified.

DIMENSIONS WITHIN
 JEDEC OUTLINE TO-5
 EXCEPT FOR LEAD
 CONFIGURATION

- NOTE 1: Lead configuration is specified in the component outline drawing. The lead configuration is not to be used for TO-5.
- NOTE 2: Lead length through epoxy is 0.100 inch (2.54 mm) for TO-5. The lead length through the epoxy is 0.100 inch (2.54 mm) for TO-5. The lead length through the epoxy is 0.100 inch (2.54 mm) for TO-5.
- NOTE 3: Wires should be attached to the emitter and interbase contacts.
- NOTE 4: This device is designed for use in pulse applications. The emitter current should be limited to two amperes for discharge capacitances up to $10\mu\text{fd}$, with a peak point voltage of 30 volts. For higher values of C or V_{pp} , resistance must be added in series with the capacitor to protect the emitter circuit.

ALL DIMEN IN INCHES AND ARE
 REFERENCE UNLESS TOLERANCED



2N489, A, B THROUGH 2N494, A, B

electrical characteristics: (at 25°C unless otherwise noted)

General Electric Unijunction Transistors are specified primarily in three ranges of stand-off ratio and two ranges of interbase resistance. Each range of stand-off ratio has limits

of ±10% from the center value and each range of interbase resistance has limits of ±20% from the center value.

Type No.	Intrinsic Standoff Ratio (See note 1) $V_{BB} = 10V$ η	Interbase Resistance (See note 2) $V_{BB} = 3V$ R_{int} ohms Min. Max.		Modulated Interbase Current $I_b = 50\text{ ma}$ $V_{BB} = 10V$ $I_{b(max)}$ ma Min. Max.		MAXIMUM					MINIMUM	
						Emitter Saturation Voltage $I_E = 50\text{ ma}$ $V_{BB} = 10V$ $V_{E(sat)}$ volts	Emitter Reverse Current			Peak Point Current $V_{BB} = 25V$ I_P μa	Valley Point Current $R_{B1} = 100\Omega$ $V_{BB} = 20V$ I_V ma	Base One Peak Pulse Voltage (See note 3) V_{BO1} volts
							$V_{BER} = 60V$ $I_{ER} = \mu\text{a}$	$T_J = 150^\circ\text{C}$ $V_{BER} = 10V$ $I_{ER} = \mu\text{a}$	$V_{BRK} = 30V$ $I_{BRK} = \mu\text{a}$			
2N489	.51 .62	4.7 6.8	6.8 22	5	2	20		12	8			
2N489A	.51 .62	4.7 6.8	6.8 22	4	2	20		12	8	3		
2N489B	.51 .62	4.7 6.8	6.8 22	4	2	20	0.2	6	8	3		
2N490	.51 .62	6.2 9.1	6.8 22	5	2	20		12	8			
2N490A	.51 .62	6.2 9.1	6.8 22	4	2	20		12	8	3		
2N490B	.51 .62	6.2 9.1	6.8 22	4	2	20	0.2	6	8	3		
2N491	.56 .68	4.7 6.8	6.8 22	5	2	20		12	8			
2N491A	.56 .68	4.7 6.8	6.8 22	4.3	2	20		12	8	3		
2N491B	.56 .68	4.7 6.8	6.8 22	4.3	2	20	0.2	6	8	3		
2N492	.56 .68	6.2 9.1	6.8 22	5	2	20		12	8			
2N492A	.56 .68	6.2 9.1	6.8 22	4.3	2	20		12	8	3		
2N492B	.56 .68	6.2 9.1	6.8 22	4.3	2	20	0.2	6	8	3		
2N493	.62 .75	4.7 6.8	6.8 22	5	2	20		12	8			
2N493A	.62 .75	4.7 6.8	6.8 22	4.6	2	20		12	8	3		
2N493B	.62 .75	4.7 6.8	6.8 22	4.6	2	20	0.2	6	8	3		
2N494	.62 .75	6.2 9.1	6.8 22	5	2	20		12	8			
2N494A	.62 .75	6.2 9.1	6.8 22	4.6	2	20		12	8	3		
2N494B	.62 .75	6.2 9.1	6.8 22	4.6	2	20	0.2	6	8	3		

notes:

1. The intrinsic stand-off ratio, η , is essentially constant with temperature and interbase voltage. η is defined by the equation:

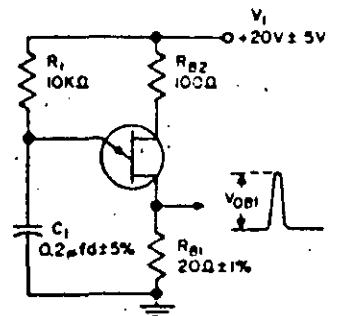
$$\eta = \frac{V_P}{V_{BB}} = \frac{200}{T_J}$$

Where

- V_P = Peak point emitter voltage
- V_{BB} = Interbase voltage
- T_J = Junction Temperature (Degrees Kelvin)

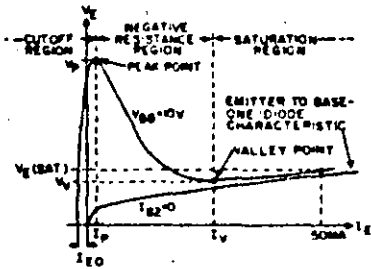
2. The interbase resistance is nearly ohmic and increases with temperature in a well defined manner. The temperature coefficient at 25°C is approximately 0.8% / °C.

3. The base-one peak pulse voltage is measured in the circuit at right. This specification on the A and B versions is used to ensure a minimum pulse amplitude for applications in SCR firing circuits and other types of pulse circuits.

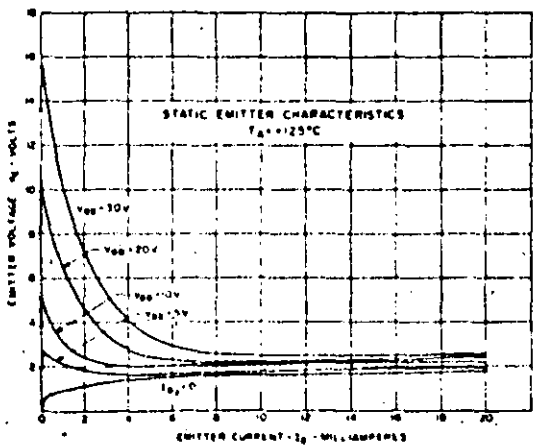
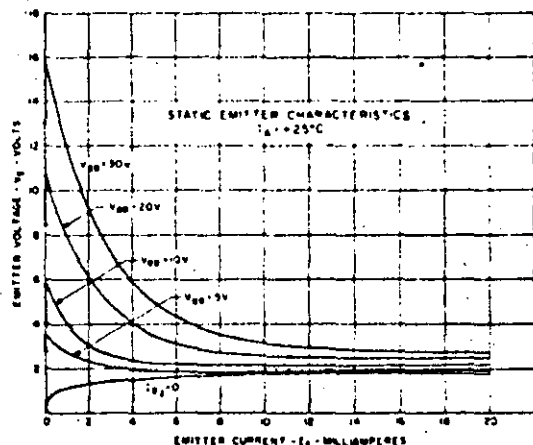
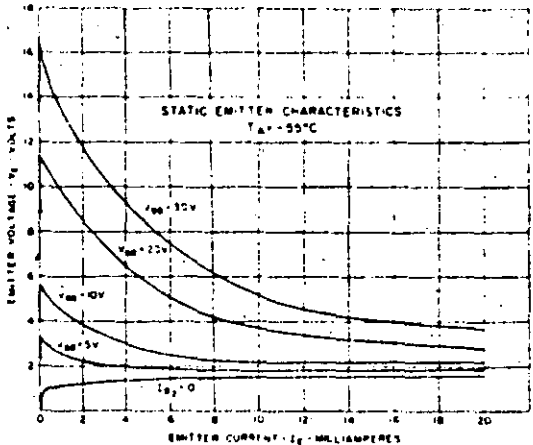
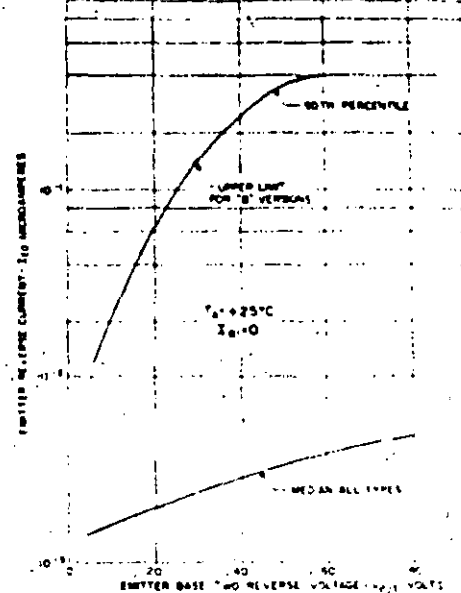
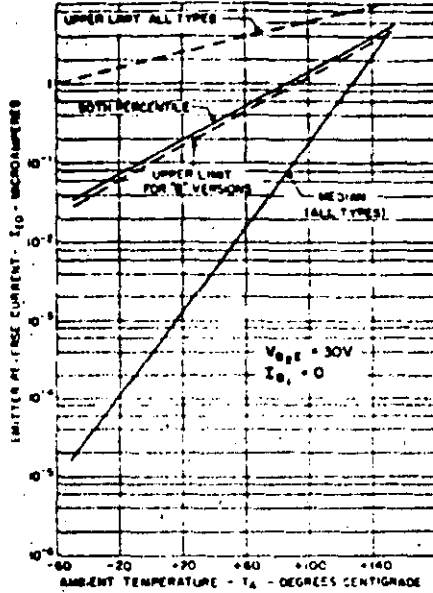


2N489-94, A, B

EMITTER CHARACTERISTICS

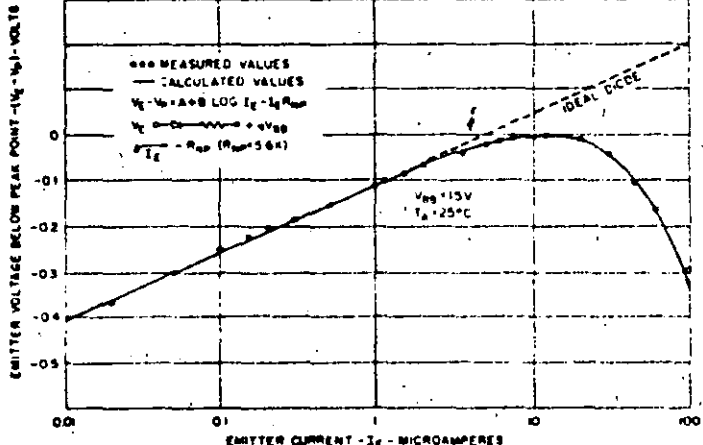


Static Emitter Characteristic curves showing important parameters and measurement points (exaggerated to show details).

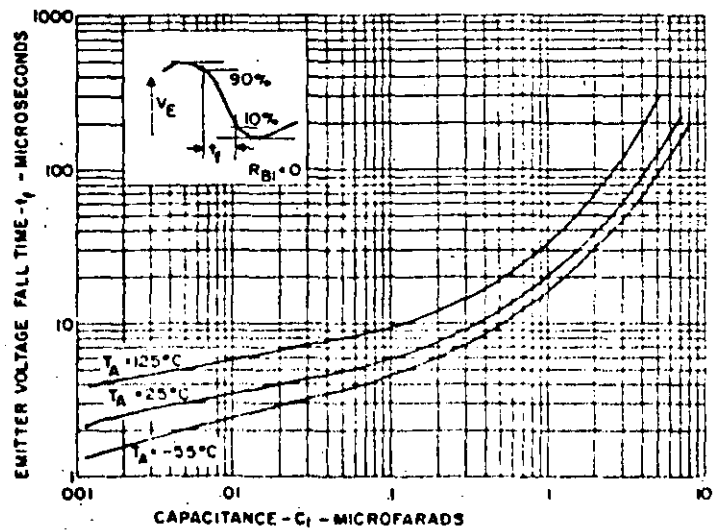


STATIC EMITTER CHARACTERISTICS

EMITTER REVERSE CURRENT CHARACTERISTICS



STATIC EMITTER CHARACTERISTICS AT PEAK POINT

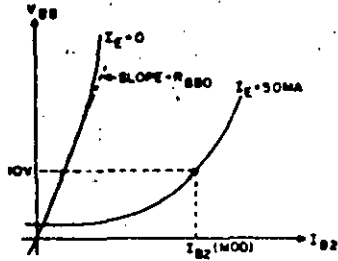


EMITTER VOLTAGE FALL TIME VS. CAPACITANCE IN RELAXATION OSCILLATOR

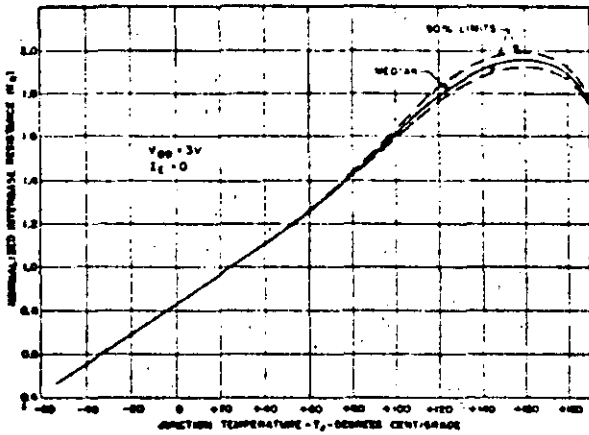
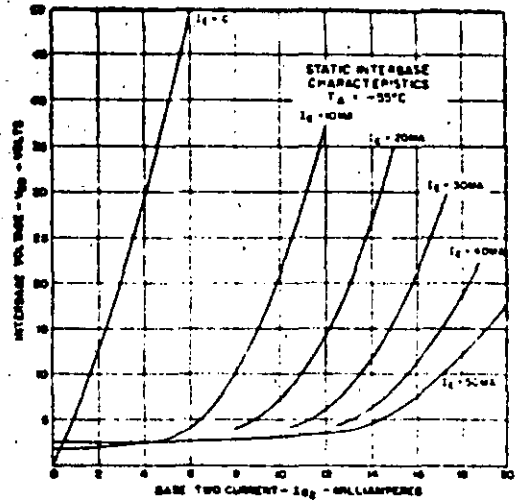
INTERBASE CHARACTERISTICS

2N489-94, A, B

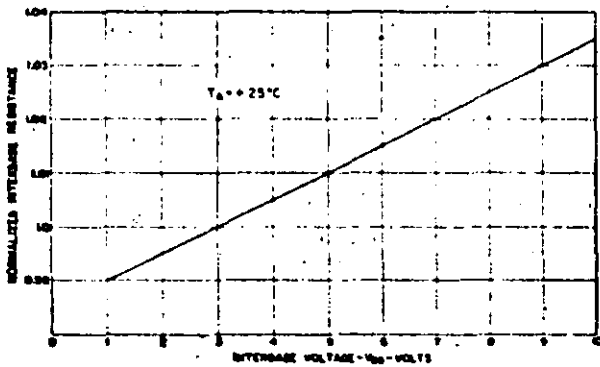
51



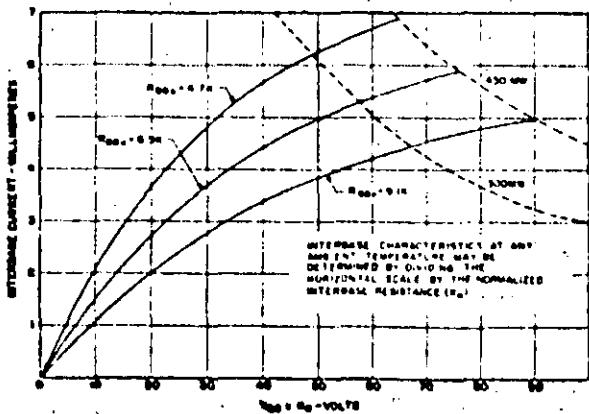
Static interbase characteristic curves showing important parameters and measurement points.



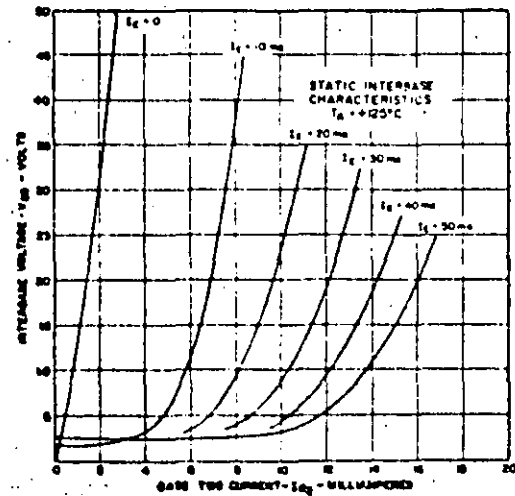
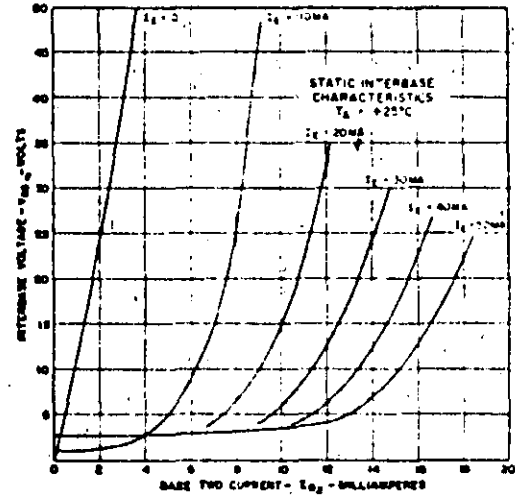
VARIATION OF R_{BB} WITH TEMPERATURE



VARIATION OF R_{BB} WITH VOLTAGE



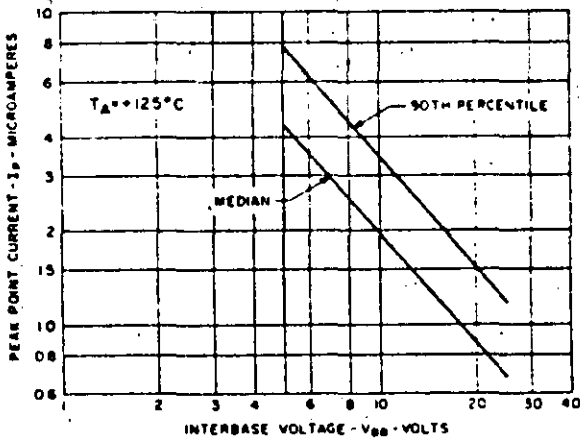
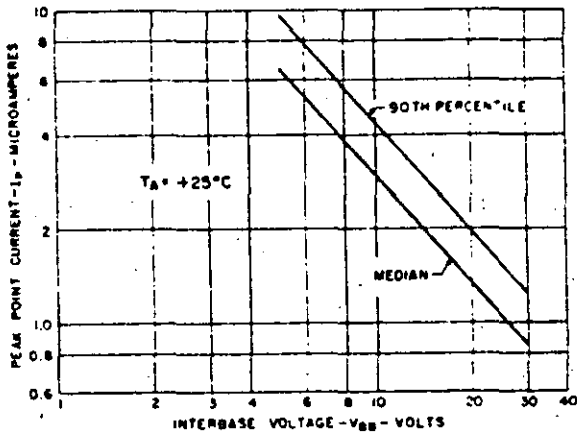
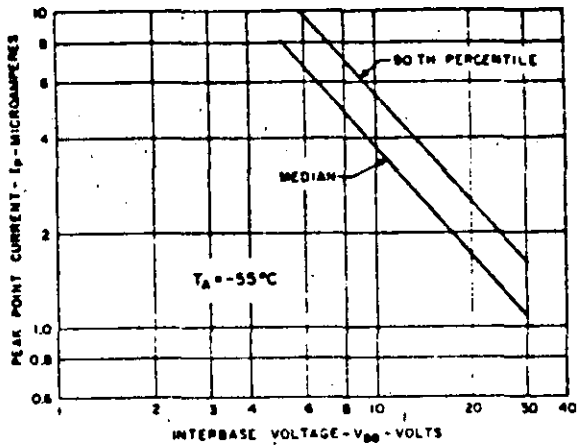
INTERBASE CHARACTERISTIC CURVES



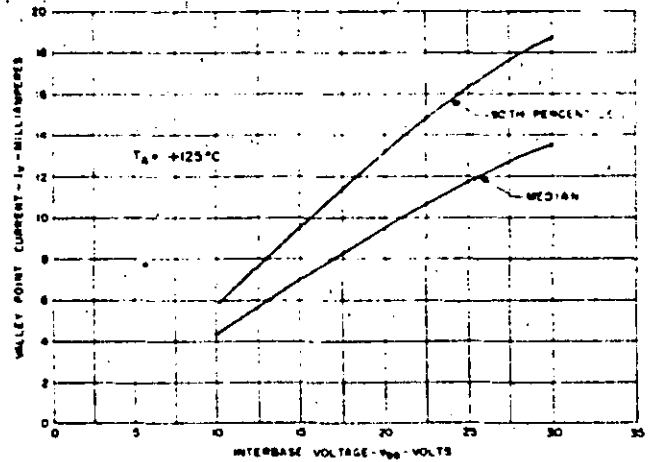
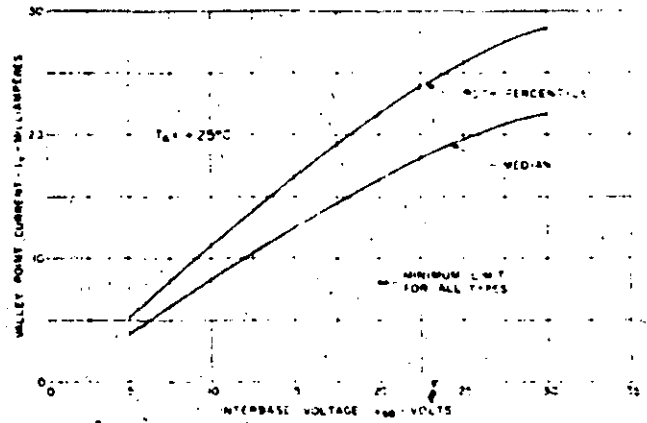
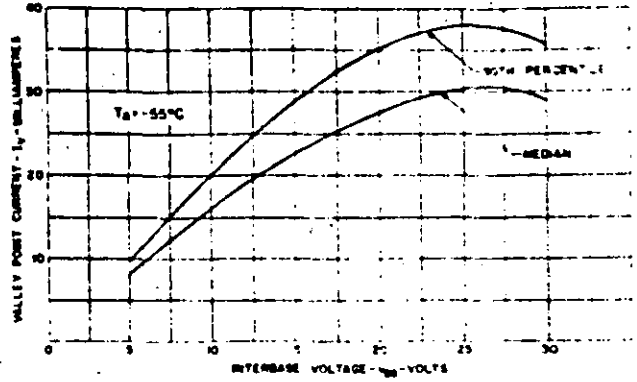
STATIC INTERBASE CHARACTERISTICS

2N489-94, A, B

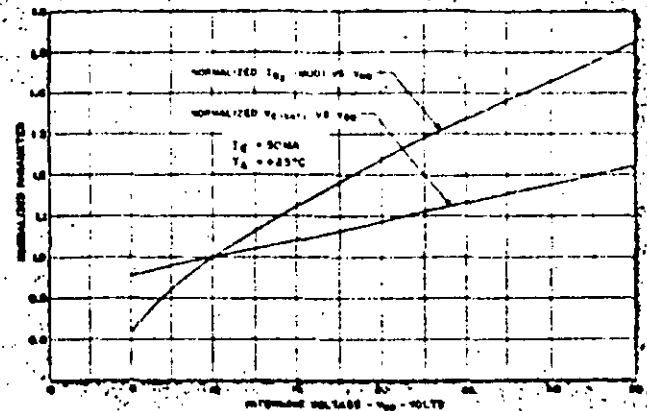
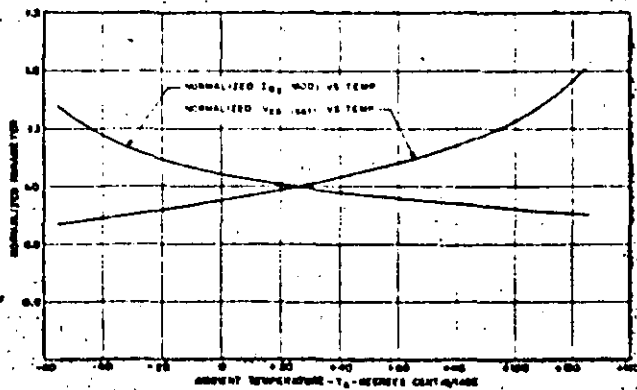
52



VARIATION OF I_p WITH V_{BB}

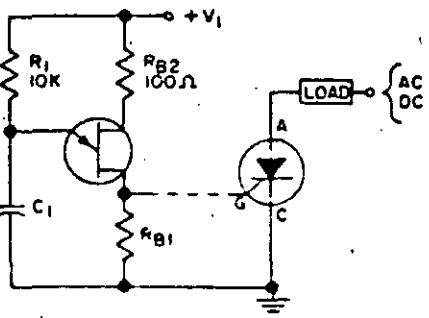


VARIATION OF I_v WITH V_{BB}



NORMALIZING CURVES FOR $I_{B2(MOD)}$ AND $V_{E(BAT)}$

DESIGNING SCR FIRING CIRCUITS



Period of Relaxation Oscillator

$$\tau = R_1 C_1 \ln \left(\frac{1}{1-\eta} \right)$$

Maximum Value of R_1 for oscillation
(-55°C to +140°C)

R_1 (max) = 430 V_1^2 (except B versions)

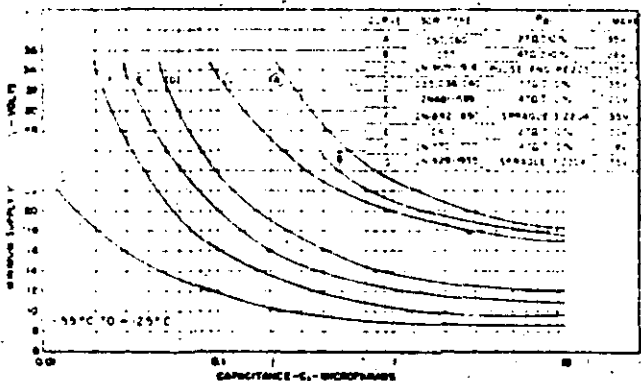
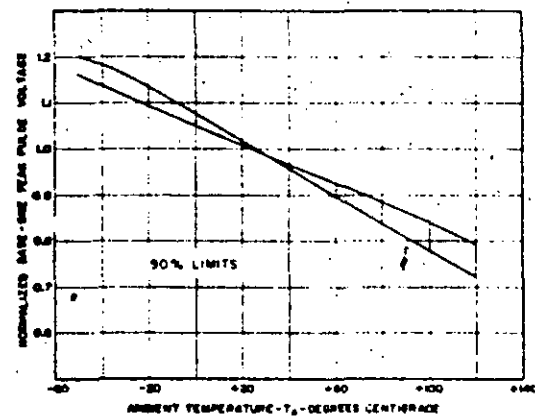
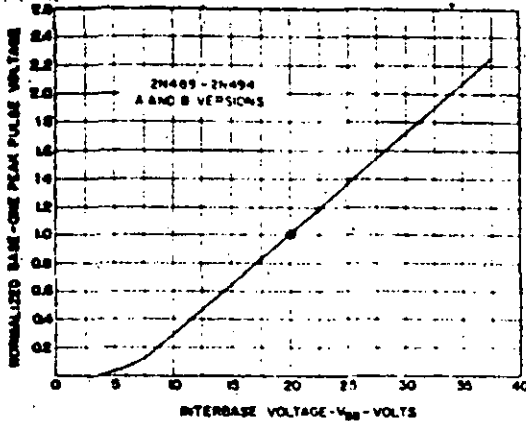
R_1 (max) = 1800 V_1^2 (B versions only)

τ = Period in Seconds

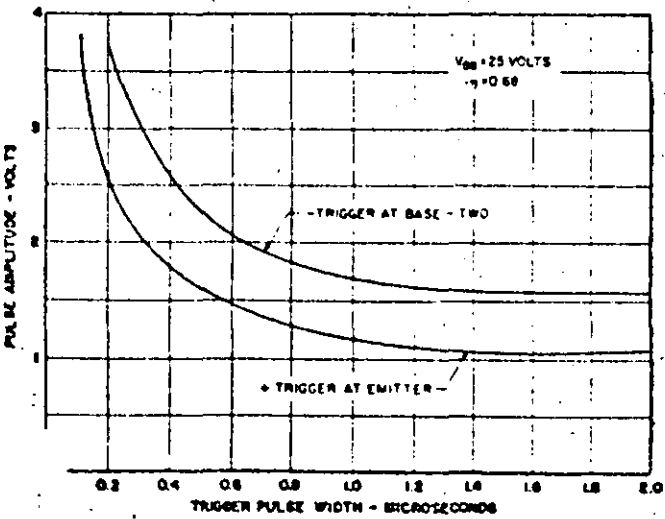
C_1 = Capacitance in Farads

R_1 = Resistance in ohms

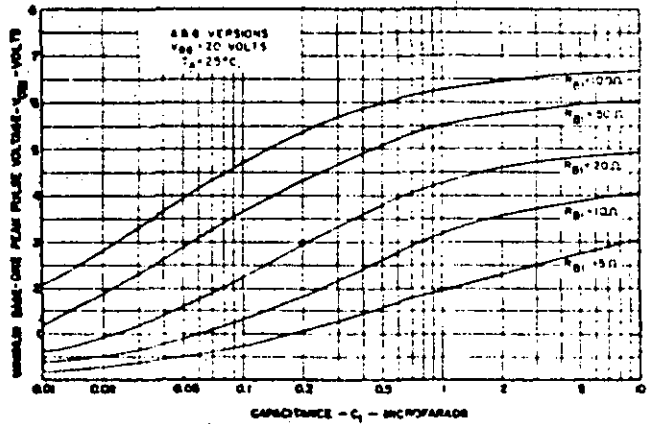
V_1 = Supply voltage in volts



$V_{BB(MIN)}$ VS. C_1 FOR SCR FIRING



MINIMUM TRIGGER AMPLITUDE AS A FUNCTION OF TRIGGER PULSE WIDTH FOR TURN-ON OF UJT TRANSISTORS



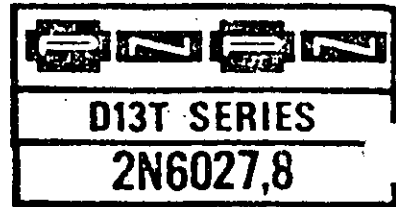
V_{OB1} CHARACTERISTICS

REFERENCES:

1. "Notes on the Application of the Silicon Unijunction Transistor," 90.10.
2. "General Electric Controlled Rectifier Manual," Fifth Edition.

Silicon Programmable Unijunction Transistor (PUT)

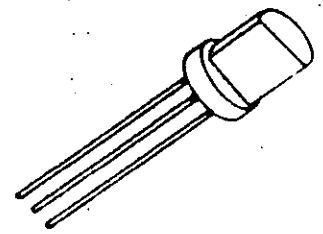
54



The General Electric PUT is a three-terminal planar passivated PNP device in the standard plastic low cost TO-98 package. The terminals are designated as anode, anode gate and cathode.

The 2N6027 and 2N6028 have been characterized as Programmable Unijunction Transistors (PUT), offering many advantages over conventional unijunction transistors. The designer can select R_1 and R_2 to program unijunction characteristics such as η , R_{BB} , I_P and I_V to meet his particular needs.

The 2N6028 is specifically characterized for long interval timers and other applications requiring low leakage and low peak point current. The 2N6027 has been characterized for general use where the low peak point current of the 2N6028 is not essential. Applications of the 2N6027 include timers, high gain phase control circuits and relaxation oscillators.

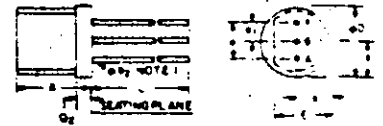


10 Outstanding Features of the PUT:

1. Planar Passivated Structure
2. Low Leakage Current
3. Low Peak Point Current
4. Low Forward Voltage
5. Fast, High Energy Trigger Pulse
6. Programmable η
7. Programmable R_{BB}
8. Programmable I_P
9. Programmable I_V
10. Low Cost

Applications:

- SCR Trigger
- Pulse and Timing Circuits
- Oscillators
- Sensing Circuits
- Sweep Circuits



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.170	.268	4.32	6.79
B ₁	.216	.018	4.06	.457
B ₂	.165	.208	4.19	5.31
E	.110	.155	2.79	3.94
G	.095	.105	2.41	2.67
K	.045	.088	1.14	2.24
L	.800		20.32	
O ₂		.075		1.91
P	.090	.110	2.29	2.79

NOTE 1: LEAD DIAMETER IS CONTROLLED BY ZONE BETWEEN .070 AND .250 FROM THE SEPARATION PLANE BETWEEN .750 AND END OF LEAD. A MAX OF .021 IS HELD.

Operation of the PUT as a unijunction is easily understood. Figure 1(a) shows a basic unijunction circuit. Figure 2(a) shows identically the same circuit except that the unijunction transistor is replaced by the PUT plus resistors R_1 and R_2 . Comparing the equivalent circuits of Figure 1(b) and 2(b), it is seen that both circuits have a diode connected to a voltage divider. When this diode becomes forward biased in the unijunction transistor, R_1 becomes strongly modulated to a lower resistance value. This generates a negative resistance characteristic between the emitter E and base one (B_1). For the PUT, the resistors R_1 and R_2 control the voltage at which the diode (anode to gate) becomes forward biased. After the diode conducts, the regeneration inherent in a PNP device causes the PUT to switch on. This generates a negative resistance characteristic from anode to cathode (Figure 2(b)) simulating the modulation of R_1 for a conventional unijunction.

Resistors R_{B2} and R_{B1} (Figure 1(a)) are generally unnecessary when the PUT replaces a conventional UJT. This is illustrated in Figure 2(c). Resistor R_{B1} is often used to bypass the interbase current of the unijunction which would otherwise trigger the SCR. Since R_1 in the case of the PUT, can be returned directly to ground there is not current to bypass at the SCR gate. Resistor R_{B2} is used for temperature compensation and for limiting the dissipation in the UJT during capacitor discharge. Since R_2 (Figure 2) is not modulated, R_{B2} can be absorbed into it.

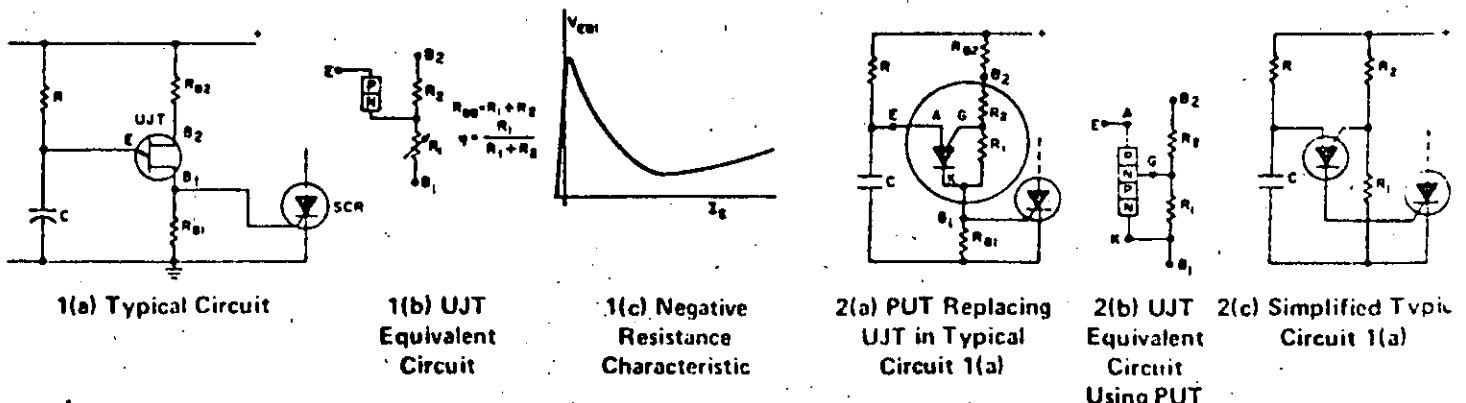


Figure 1 Unijunction Transistor

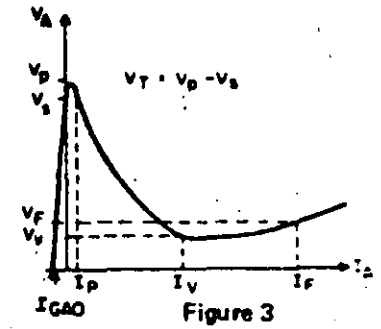
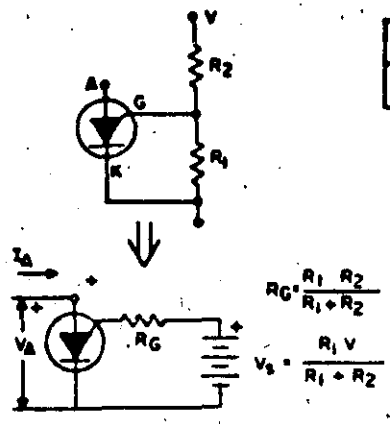
Figure 2 PUT Equivalent of UJT

D13T SERIES
2N6027, 8

absolute maximum ratings: (25°C)

Voltage	
• Gate-Cathode Forward Voltage	+40 V
• Gate-Cathode Reverse Voltage	-5 V
• Gate-Anode Reverse Voltage	+40 V
• Anode-Cathode Voltage	±40 V
Current	
• DC Anode Current†	150 mA
• Peak Anode, Recurrent Forward (100 μsec pulse width, 1% duty cycle)	1 A
• (20 μsec pulse width, 1% duty cycle)	2 A
• Peak Anode, Non-recurrent Forward (10 μsec)	5 A
• Gate Current	±20 mA
Capacitive Discharge Energy††	250 μJ
Power	
• Total Average Power†	300 mW
Temperature	
• Operating Ambient†† Temperature Range	-50°C to +100°C

† Derate currents and powers 1%/°C above 25°C
†† L = 1/2 CV² capacitor discharge energy with no current limiting



electrical characteristics: (25°C) (unless otherwise specified)

	Fig. No.	2N6027 (D13T1)		2N6028 (D13T2)	
		Min.	Max.	Min.	Max.
• Peak Current (VS = 10 Volts) (RG = 1 Meg) (RG = 10 k)	IP	3	2 5	.15 μA 1.0 μA	
• Offset Voltage (VS = 10 Volts) (RG = 1 Meg) (RG = 10 k)	VT	3	.2 .2	1.6 .6	.2 .2
• Valley Current (VS = 10 Volts) (RG = 1 Meg) (RG = 10 k) (RG = 200 Ω)	IV	3	70 1.5	50	25 μA μA mA
Anode Gate-Anode Leakage Current • (VS = 40 Volts, T = 25°C) (T = 75°C)	IGAO	4	10 100	10 100	nA nA
Gate to Cathode Leakage Current (VS = 40 Volts, Anode-cathode short)	IGKS	5	100	100	nA
• Forward Voltage (IF = 50 mA)	VF		1.5	1.5	Volts
• Pulse Output Voltage	VO	6	6	6	Volts
Pulse Voltage Rate of Rise	tr	6	80	80	nsecs.

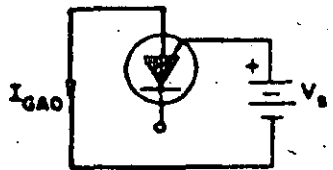


Figure 4

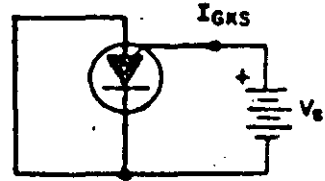


Figure 5

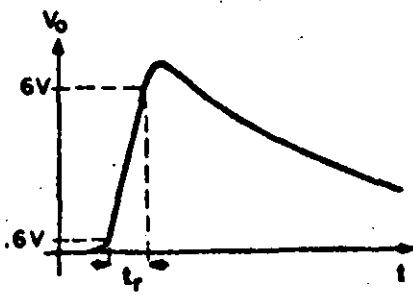
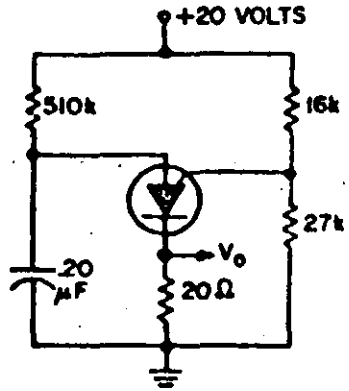
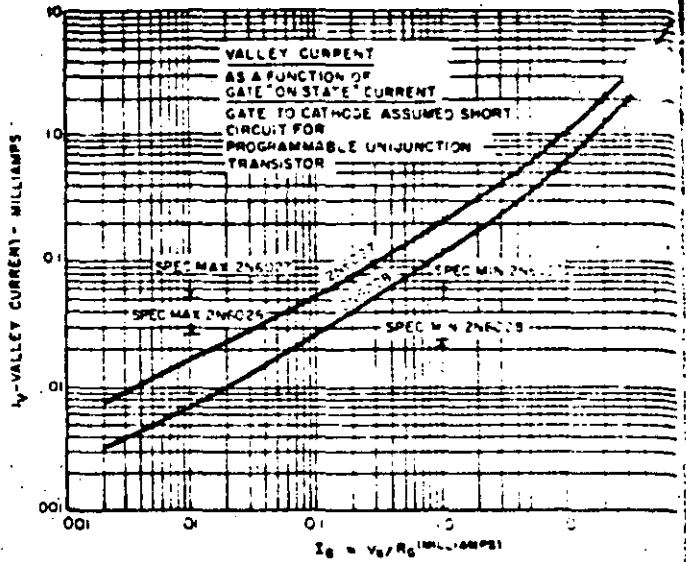
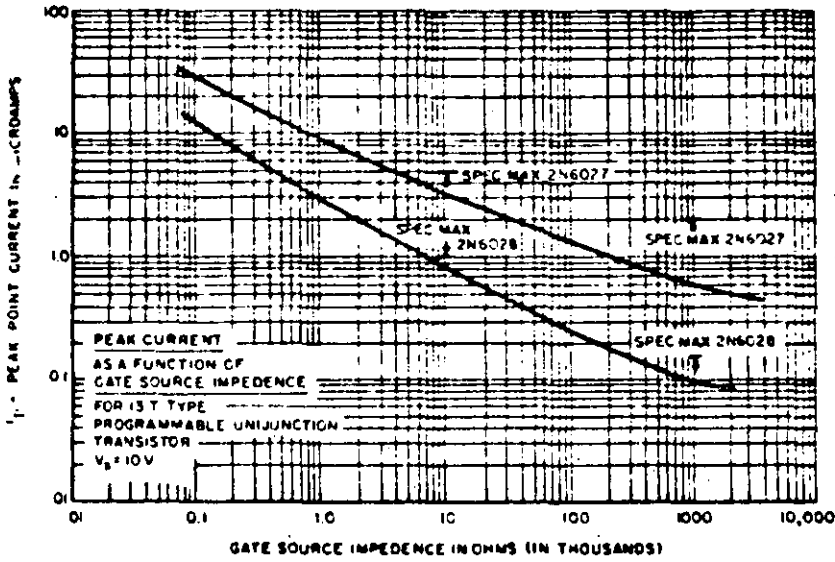


Figure 6
511

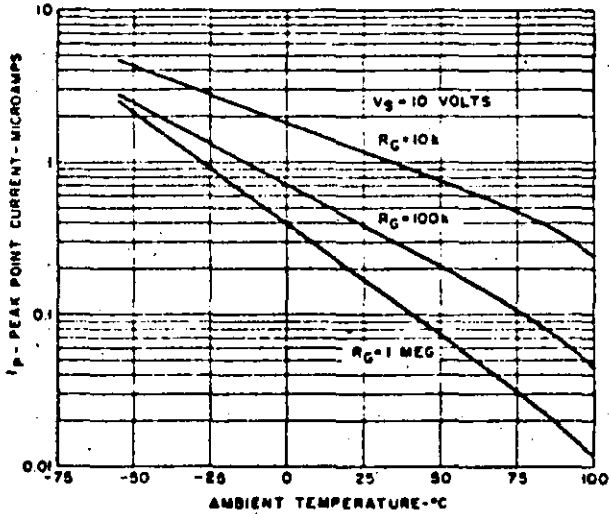
D13T SERIES

2N6027, 8

56

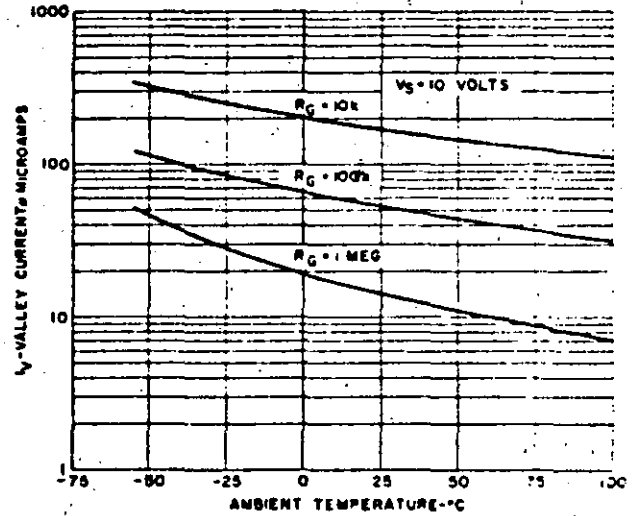


I_p vs Gate Source Impedance

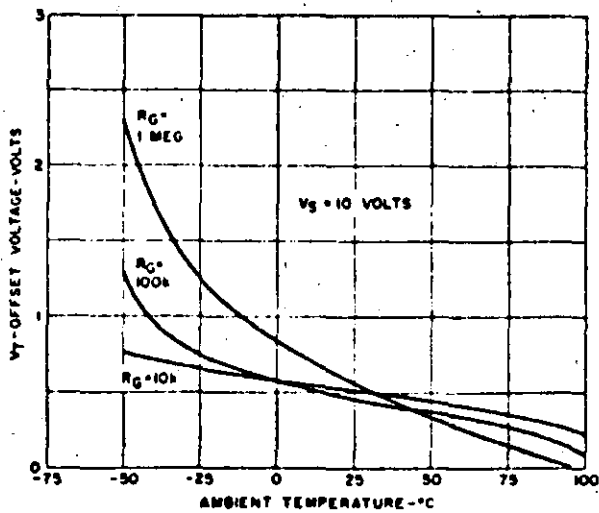


I_p vs Temperature and R_G

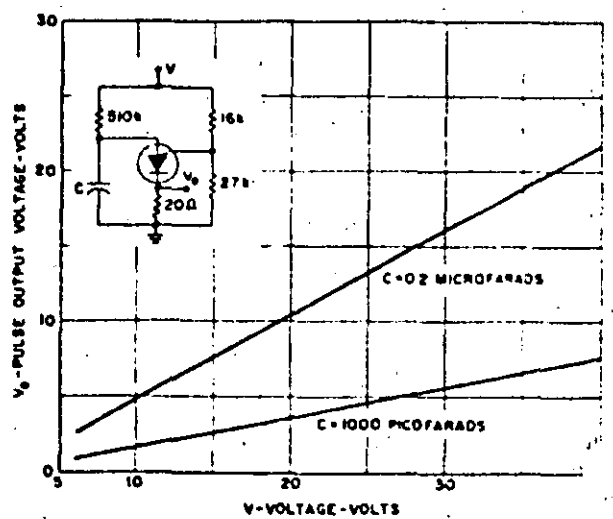
I_v vs Gate "on state" Current



I_v vs Temperature and R_G



V_T vs Temperature and R_G



Peak Output Voltage

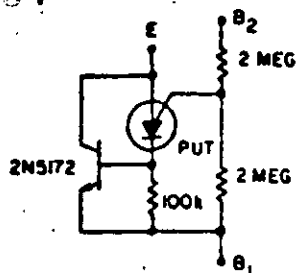
D13T SERIES
2N6027, 8

57

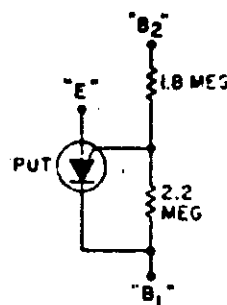
APPLICATIONS

TYPICAL UNIUNCTION CIRCUIT CONFIGURATIONS

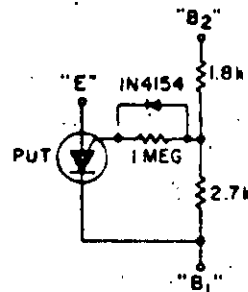
Here are four ways to use the PUT as a unijunction. Note the flexibility due to "programmability." Applications from long time interval latching timers to wide range relaxation oscillators are possible.



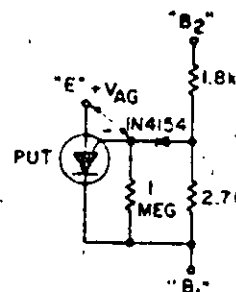
LOW I_p
VERY HIGH I_V
TEMPERATURE
AND V_{BB} COMPENSATION



LOW I_p , LOW I_V



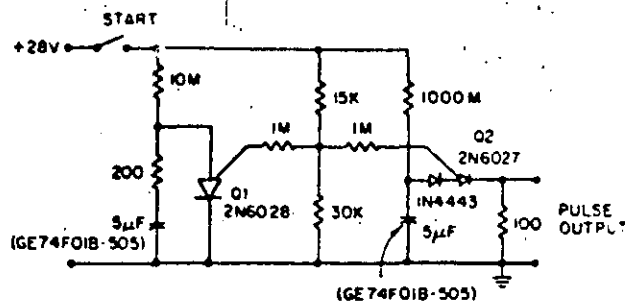
LOW I_p , MEDIUM I_V



LOW I_p , MEDIUM I_V
TEMPERATURE
COMPENSATION
 V_{AG}

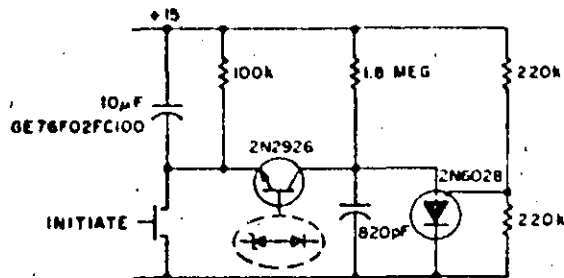
HOUR TIME DELAY SAMPLING CIRCUIT

This sampling circuit lowers the effective peak current of the output PUT, Q2. By allowing the capacitor to charge with high gate voltage and periodically lowering gate voltage, when Q1 fires, the timing resistor can be a value which supplies a much lower current than I_p . The triggering requirement here is that minimum charge to trigger flow through the timing resistor during the period of the Q1 oscillator. This is not capacitor size dependent, only capacitor leakage and stability dependent.



1 SECOND, 1kHz OSCILLATOR

Here is a handy circuit which operates as an oscillator and a timer. The 2N6028 is normally on due to excess holding current through the 100 kohm resistor. When the switch is momentarily closed, the 10 μF capacitor is charged to a full 15 volts and 2N6028 starts oscillating (1.8 Meg and 820 pF). The circuit latches when 2N2926 zener breaks down again.



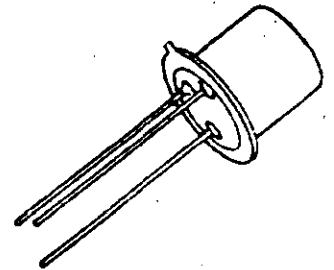
Silicon Transistors

2N4983,6

58

The General Electric SUS is a silicon planar, monolithic integrated circuit having thyristor electrical characteristics closely approximating those of an "ideal" four layer diode. The device is designed to switch at 8 volts with a 0.02%/°C temperature coefficient. A gate lead is provided to eliminate rate effect, obtain triggering at lower voltages and to obtain transient free wave forms.

Silicon Unilateral Switches are specifically designed and characterized for use in monostable and bistable applications where low cost is of prime importance. These devices are in the TO-18 hermetic package.



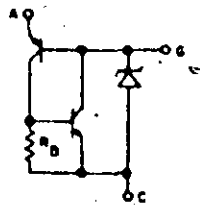
- Applications Include:**
- SCR Triggers
 - Frequency Dividers
 - Ring Counters
 - Cross Point Switching
 - Over-Voltage Sensors

absolute maximum ratings:
(25°C free air) (unless otherwise specified)

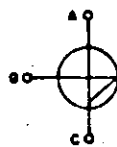
Storage Temperature Range	-65 to +150	°C
Junction Temperature Range	-55 to +125	°C
Power Dissipation*	300	mW
Peak Reverse Voltage	-30	Volts
DC Forward Anode Current*	175	mA
DC Gate Current*†	5	mA
Peak Recurrent Forward Current (1% duty cycle, 10 μsec pulse width, T _a = 100°C)	1.0	Amp
Peak Non-Recurrent Forward Current (10 μsec pulse width, T _a = 25°C)	5.0	Amps

*Derate linearly to zero at 125°C.
†This rating applicable only in OFF state.
Maximum gate current in conducting state limited by maximum power rating.

EQUIVALENT CIRCUIT

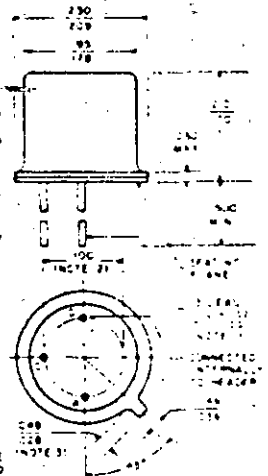


CIRCUIT SYMBOL



DIMENSIONS WITHIN JEDEC OUTLINE TO-18

NOTE 1: Lead diameter is controlled in the zone between 290 and 292 on the wiring plane. Between 290 and end of lead a max. of 0.21 is used.
NOTE 2: Leads having maximum diameter (0.18) measured at gage line (294 ± 0.01) — OCC below the wiring plane of the device shall be within 0.01 of true perpendicularity to a maximum length of 0.1.
NOTE 3: Measured from max. diameter of the strap sheet.



ALL DIMEN. IN INCHES AND ARE REFERENCE UNLESS TOLERANCED

electrical characteristics: (25°C) (unless otherwise specified)

STATIC

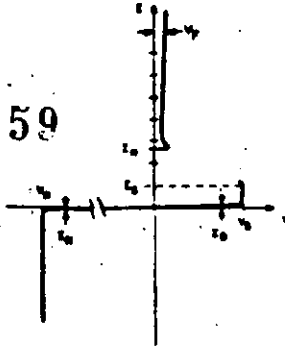
		2N4983			2N4986			
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Forward Switching Voltage	V _a	6.0		10.0	7.0		9.0	Volts
Forward Switching Current	I _a			500			200	μA
Holding Current	I _H			1.5			.75	mA
Reverse Current	I _r			0.1			0.1	μA
(V _R = -30V, T _a = 25°C)	I _r			10.0			10.0	μA
(V _R = -30V, T _a = 100°C)	I _r							
Forward Current (off state)	I _a			1.0			0.1	μA
(V _F = 5V, T _a = 25°C)	I _b			10.0			10.0	μA
(V _F = 5V, T _a = 100°C)	I _b							
Forward Voltage Drop (on state)	V _F			1.5			1.5	Volts
(I _F = 175 mA)								
Temperature Coefficient of Switching Voltage (T _a = -55°C to +100°C)	T _c		±.02			±.02		%/°C

DYNAMIC

Turn-on Time (See Circuit 1)	t _{on}		1.0		1.0	μsec
Turn-off Time (See Circuit 2)	t _{off}		25.0		25.0	μsec
Peak Pulse Voltage (See Circuit 3)	V _o	3.5		3.5		Volts
Capacitance (0V., f = 1 MHz)	C		2.5		2.5	pF

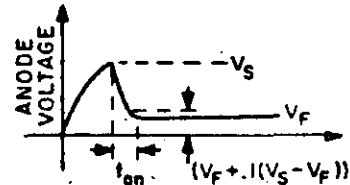
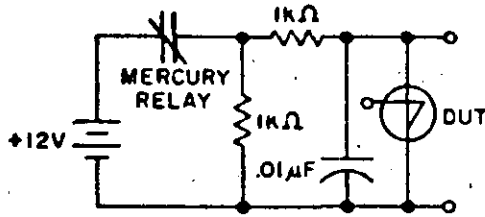
PARAMETER DEFINITIONS

Static Characteristics



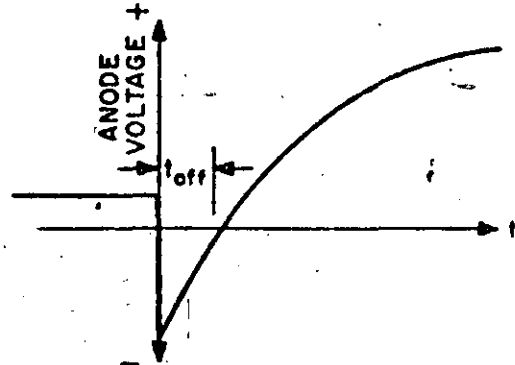
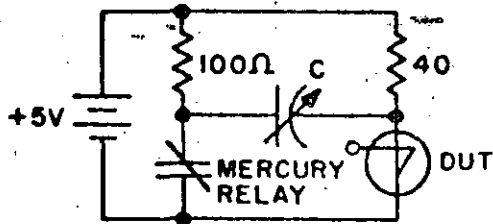
TEST CIRCUITS

Circuit 1
Turn-on Time, t_{on}



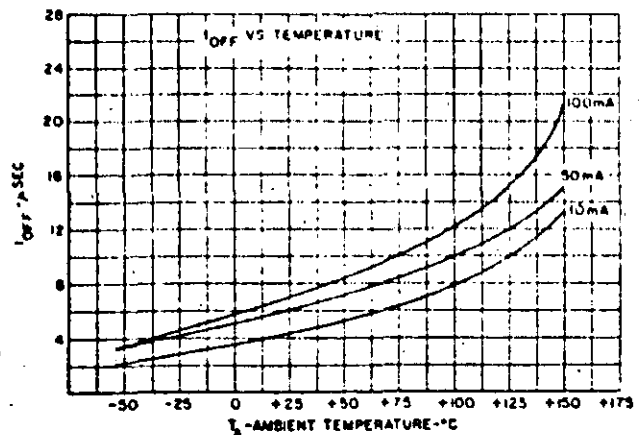
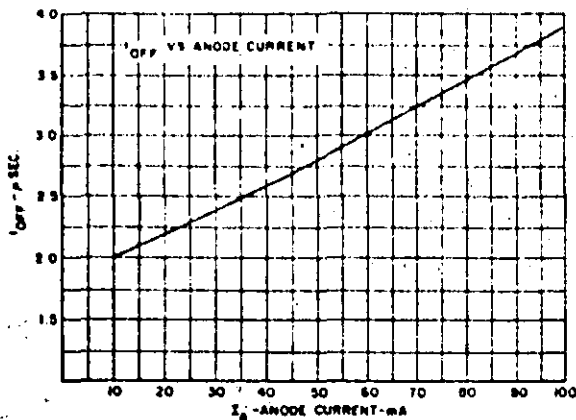
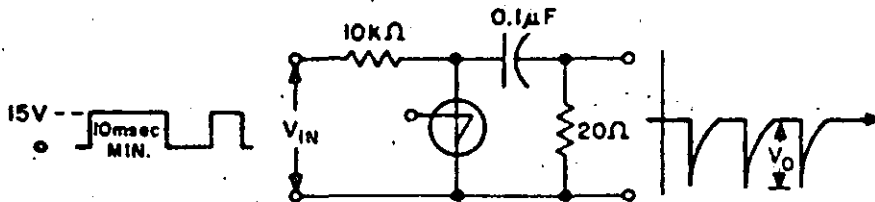
Turn-on time is measured from the time the anode voltage first reaches V_S to the time where the anode voltage has fallen 90% of the difference between V_S and V_F .

Circuit 2
Turn-off Time, t_{off}



The turn-off test is begun with the SUS in conduction and the relay contacts open. At $t = 0$ the contacts close and the anode is driven negative. C is adjusted downward, so that when the anode voltage becomes positive, the SUS just remains off. The turn-off time, t_{off} , is the time between initial contact closure and the point where the anode voltage passes up through zero volts. The capacitor is allowed to fully charge to 5 volts, at which time the contacts are reopened and the SUS triggers on.

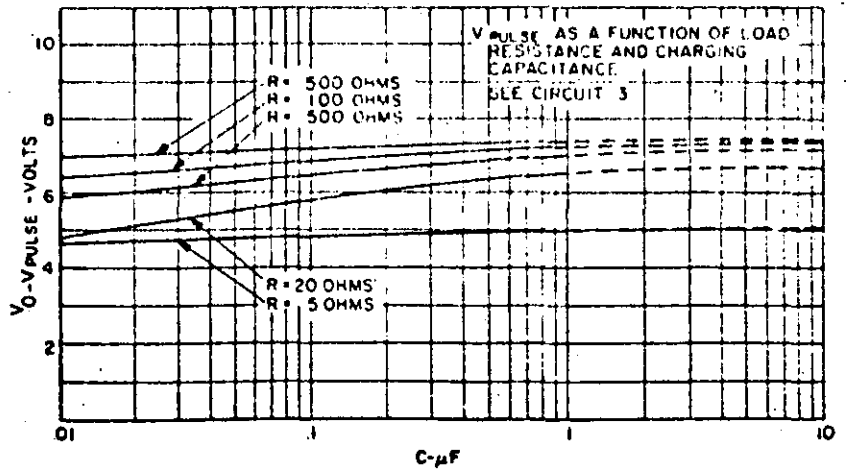
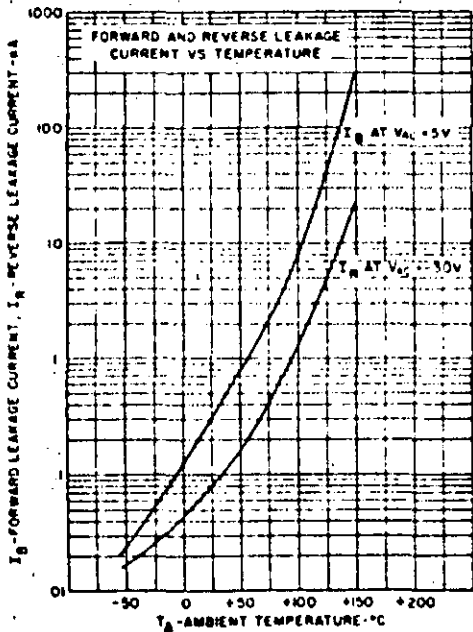
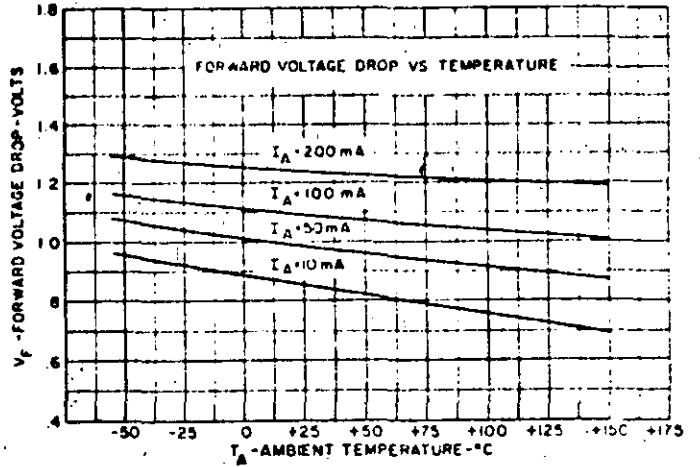
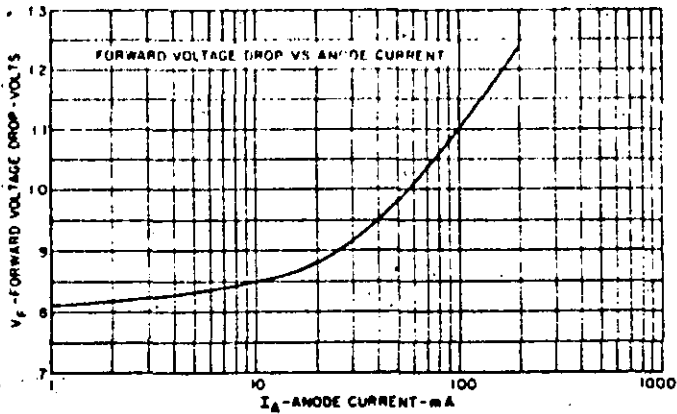
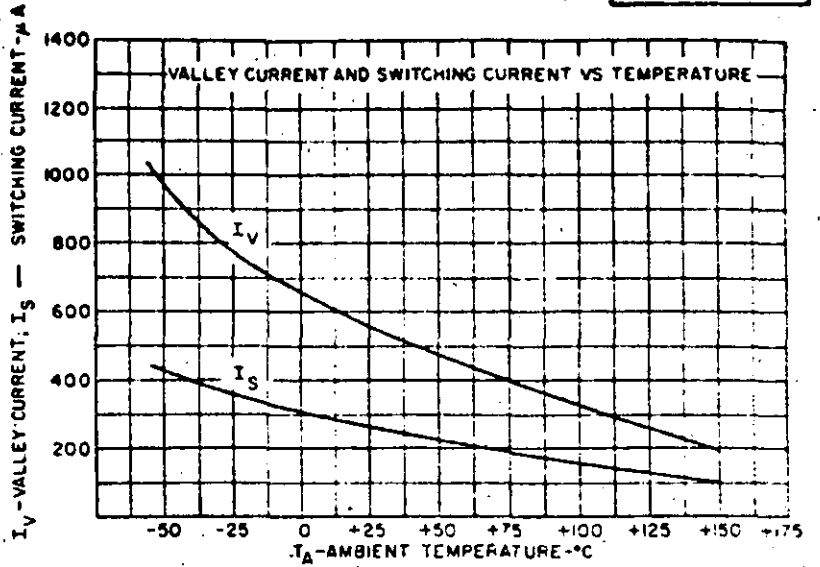
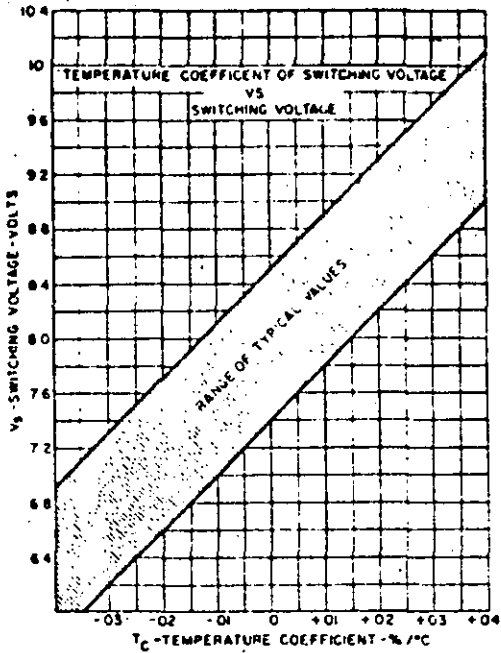
Circuit 3
 V_o



TYPICAL CHARACTERISTICS

2N4983, 6

60

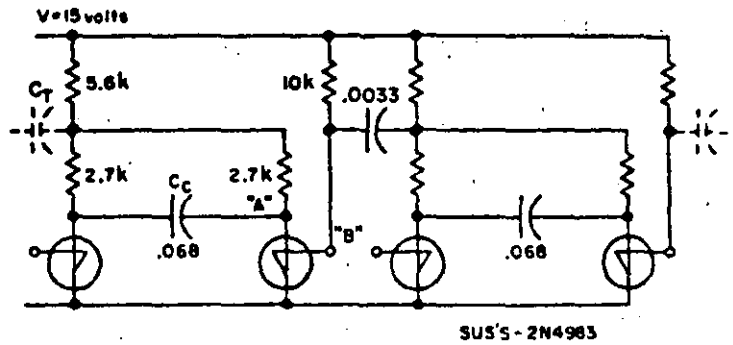


APPLICATIONS

61

BINARY DIVIDER CHAIN

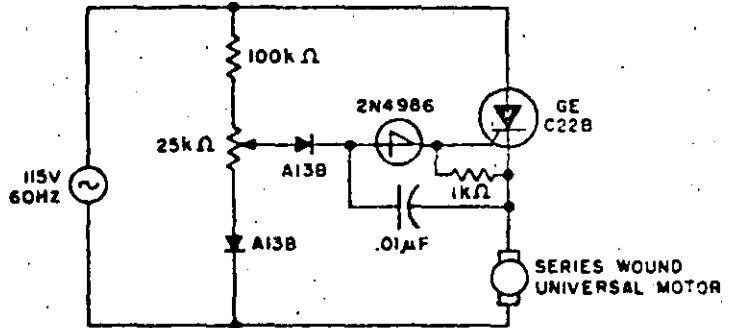
Uses fewer components than transistor flip flops. Output at "B" gives transient free waveform.



SUS'S - 2N4983

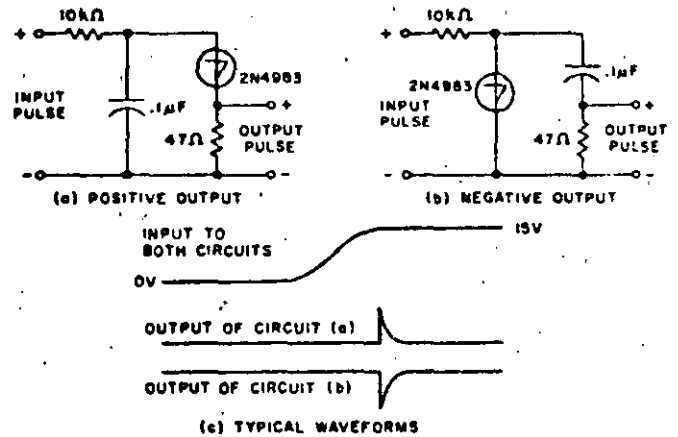
MOTOR SPEED CONTROL

Switching action of the 2N4986 allows smaller capacitors to be used while achieving reliable thyristor triggering.

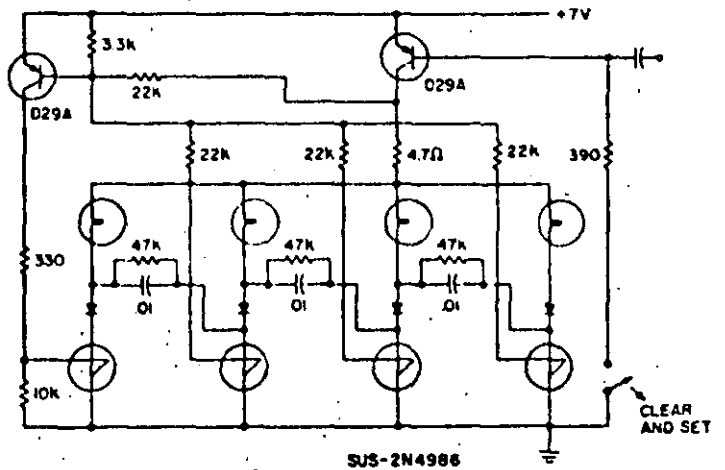


PULSE SHARPENERS

SUS is used to generate a rapid rise or fall time by using energy stored in a capacitor.



RING COUNTER FOR INCANDESCENT LAMPS



SUS-2N4986



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

EL AMPLIFICADOR OPERACIONAL

ING. ROBERTO MACIAS PEREZ

SEPTIEMBRE, 1984.

EL AMPLIFICADOR OPERACIONAL

Un amplificador operacional es un amplificador de alta ganancia y acoplamiento directo que usa la realimentación para controlar sus características.

El término Amplificador Operacional se debe a que originalmente se utilizó para llevar a cabo operaciones matemáticas tales como la suma, la resta, la derivación y la integración. Dadas las posibilidades y la economía de los amplificadores operacionales integrados disponibles en la actualidad; su uso se ha extendido a todos los campos de la electrónica analógica; tales como la instrumentación, el control, las comunicaciones, la computación analógica y aún como parte integrante de sistemas digitales.

SIMBOLO

El símbolo del amplificador operacional es un triángulo que apunta en dirección de la salida; y que posee además dos entradas marcadas una con un signo (+) y otra con un signo (-) como se observa en la figura (1.1).

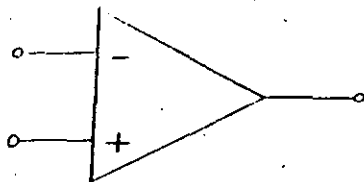


Fig. 1.1 Símbolo del Amplificador Operacional.

Además de las tres terminales mencionadas (dos de entrada y una de salida); el amplificador operacional tiene otras terminales que les sirven para polarizarlo, hacer ajustes y compensaciones.

Externamente un amplificador operacional integrado presenta diferentes aspectos; según sea el encapsulado que tenga como se observa en la Fig. (1.2).

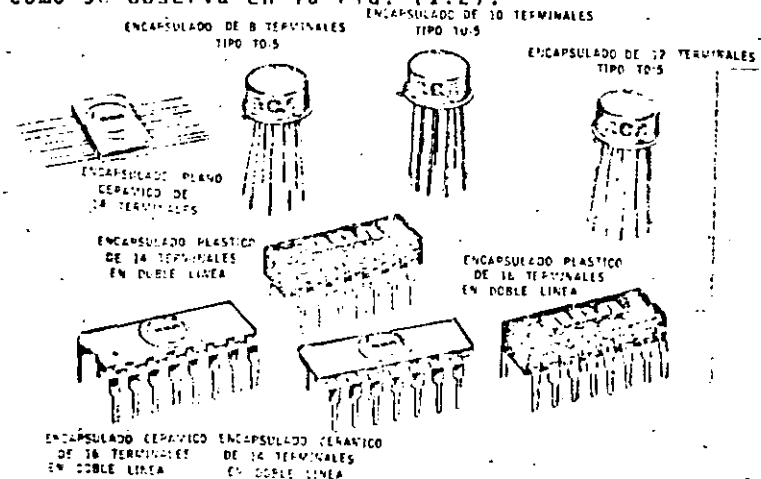


Fig. (1.2) Diferentes tipos de encapsulados del amplificador operacional integrado.

Internamente, el amplificador operacional integrado, consta de varios amplificadores transistorizados en serie y acoplados directamente para obtener la alta ganancia que lo caracteriza; entre los amplificadores que lo forman se encuentran los pares diferenciales y darlington; los cambiadores de nivel y los amplificadores de potencia; además de las fuentes de corriente; todos estos circuitos se encuentran en un microcircuito de silicio de aproximadamente 2 mm². En la Fig. (1.3) se muestra el diagrama de un ampli-

ficador operacional integrado donde se puede observar el número de transistores que lo constituyen; este número varía de acuerdo al tipo de amplificador operacional que se trate ya que esto determina la complejidad y las características especiales de cada uno de ellos.

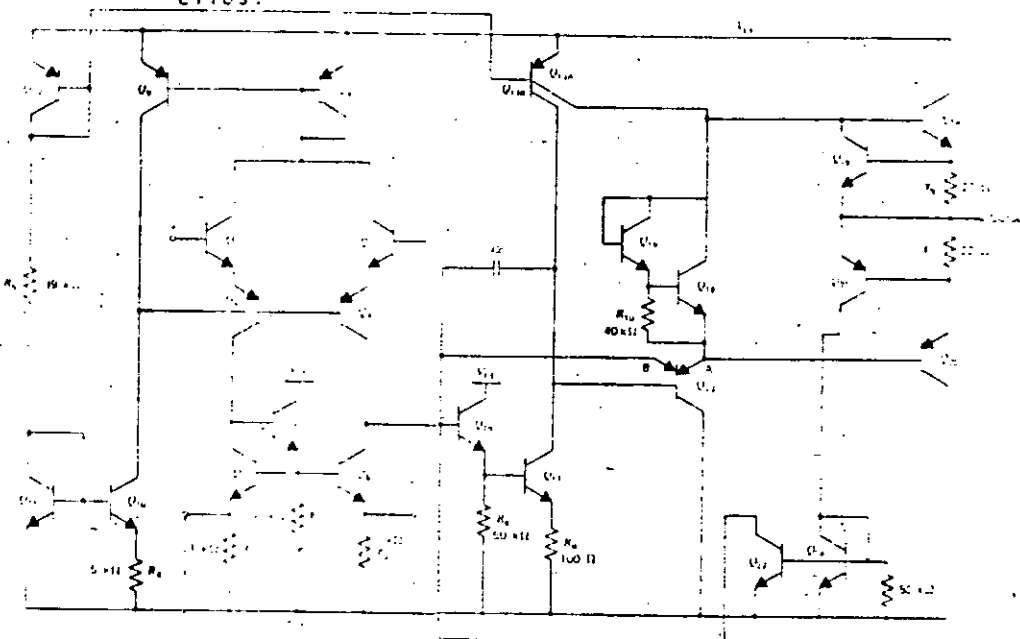


Fig. (1.3) El Amplificador Operacional Integrado. Diagrama de sus circuitos internos.

EL AMPLIFICADOR OPERACIONAL IDEAL

2. EL AMPLIFICADOR OPERACIONAL IDEAL.

El amplificador operacional ideal es un MODELO que se utiliza para representar el amplificador operacional

real y que no considera algunas de las limitaciones del amplificador real, sin embargo es un modelo muy útil para comprender las bases del análisis de circuitos con amplificadores operacionales, así como sus aplicaciones y diseños de primera aproximación.

2.1. CARACTERISTICAS DEL AMPLIFICADOR OPERACIONAL IDEAL.

Las características del Amplificador Operacional Ideal son las siguientes:

- Ganancia de Voltaje Diferencial de malla abierta
 $a_v = \infty$
- Ganancia de voltaje de modo común
 $A_c = 0$
- Resistencia de entrada
 $R_i = \infty$
- Resistencia de salida
 $R_o = 0$
- Ancho de banda
 $B_w = \infty$
- Desajustes y Corrientes
cero
- Rapidez de respuesta
Infinita

2

De acuerdo a las características anteriores, podemos dar la siguiente representación del amplificador operacional ideal.

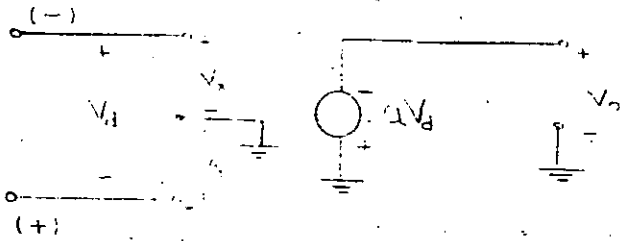


Fig. 2.1 Modelo ideal del amplificador operacional

Donde V_d es el voltaje diferencial aplicado a las entradas del amplificador operacional y está dado por:

$$V_d = V_x - V_y$$

2.2. SIGNIFICADO DE LAS CARACTERÍSTICAS DEL AMPLIFICADOR OPERACIONAL IDEAL.

- GANANCIA DE VOLTAJE DIFERENCIAL DE MALLA ABIERTA

$$a_v = \infty$$

Significa que al aplicar una diferencia de tensión entre las terminales 'X' y 'Y' ó (-) y (+) igual a V_d y diferente de cero; la salida del amplificador operacional tenderá a ir a $+\infty$ ó $-\infty$; dependiendo del signo de V_d .

Hay que notar que la diferencia V_d , necesita ser tan pequeña como sea para ocasionar que V_o vaya a $+\infty$ ó a $-\infty$; en realidad este voltaje está limitado por los voltajes de polarización $+V_{cc}$ y $-V_{cc}$.

- GANANCIA DE MODO COMUN = 0

La ganancia de modo común es el cociente ó la relación del voltaje de la salida y un voltaje aplicado a ambas entradas del amplificador operacional (V_{ic}) como se observa en la Fig. (2.2)

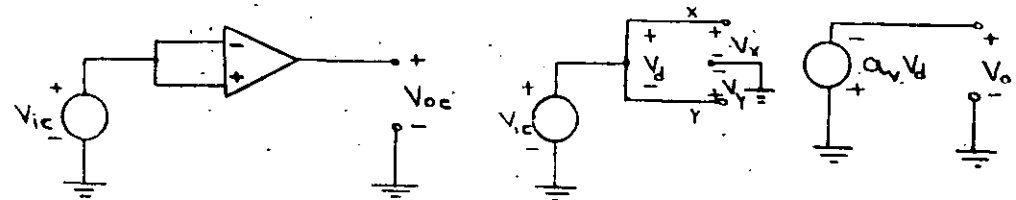


Fig. 2.2 (a) Entrada Común (b) Representación usando el modelo ideal.

- RESISTENCIA DE ENTRADA $R_i = \infty$

Significa que no fluye corriente por ninguna de las entradas del amplificador operacional ¡Aún cuando se le aplique un generador que lo excite! Esto es una gran ventaja ya que permite al amplificador acoplarse a cualquier fuente excitadora Fig. (2.3).

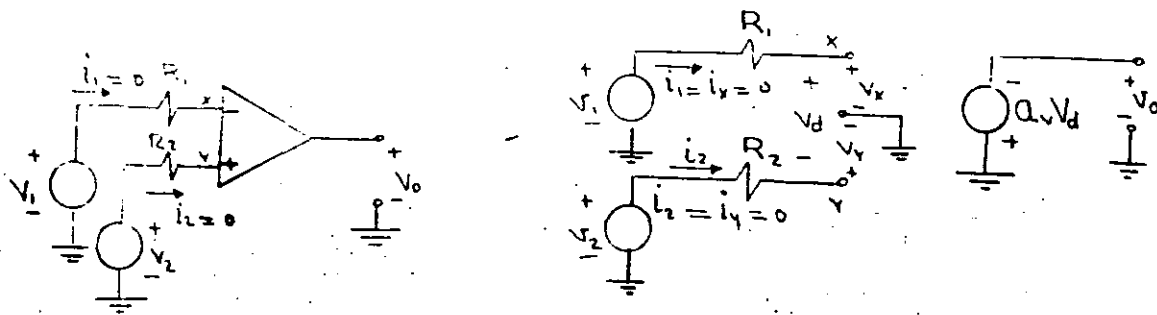


Fig. (2.3) Resistencia de entrada
(a) Circuito; (b) Modelo ideal

- RESISTENCIA DE SALIDA $R_o = 0$

Significa que dentro del operacional ideal no hay pérdidas de energía y que puede transferir toda la potencia que le sea demandada a una carga de cualquier tamaño que le sea conectada en su salida. No debemos olvidar que el amplificador operacional ideal es sólo un modelo.

- ANCHO DE BANDA $B_w = \infty$

Decir que el amplificador operacional ideal tiene un ancho de banda infinito significa que sus características NO se modifican con la frecuencia y que, por lo tanto, puede procesar de igual forma señales de cualquier frecuencia, Fig. (2.4).

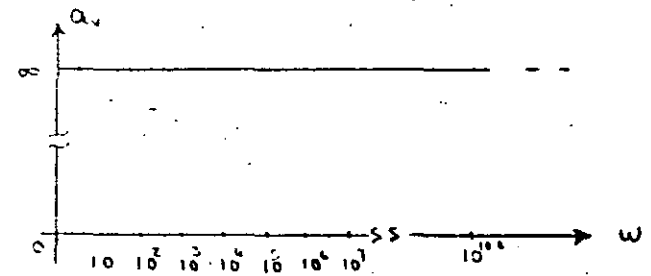


Fig. (2.4) Ancho de Banda Infinito.

- DESAJUSTES Y CORRIMIENTOS = 0

Esta propiedad quiere decir que el operacional presentará una salida igual a cero si la entrada es igual a cero; y que esta propiedad no cambia, ni con el tiempo, ni con la temperatura.

- RAPIDEZ DE RESPUESTA = ∞

Significa que la señal de la salida no presenta ningún retardo con respecto a la entrada; esto es, responde en un tiempo $t = 0$ a una excitación en la entrada.

- CONCLUSIONES:

Podemos decir que el amplificador operacional ideal, es un dispositivo cuya salida responde a una excitación en la entrada en un tiempo igual a cero; que procesa señales de cualquier frecuencia; es capaz de dar cualquier potencia a una carga; no consume poten

cia; su salida es cero si su entrada diferencial es cero y además tiene una ganancia de Voltaje Diferencial de Malla Abierta Infinita!

De las características anteriores; la más importante es la de Alta Ganancia de Malla Abierta, que aunque limita las aplicaciones del amplificador en MALLA ABIERTA, en cambio hace que al utilizar una realimentación; el amplificador operacional se vuelve un Dispositivo de una gran utilidad ya que es sumamente versátil y relativamente fácil de utilizar, puesto que el comportamiento de los circuitos realimentados depende esencialmente de los elementos externos y no del amplificador operacional mismo.

- EJEMPLO:

Se tiene un amplificador operacional ideal conectado a un generador de señales senoidales cuya amplitud es 1mv y frecuencia f_0 , como se muestra en la Fig.-- (2.6).

- a) Diga si el voltaje en la salida es senoidal y porqué.
- b) Si el generador representa un transductor de temperatura-voltaje; diga si se puede usar el circuito de la Fig. (2.7) para medir la temperatura; ¿porqué?

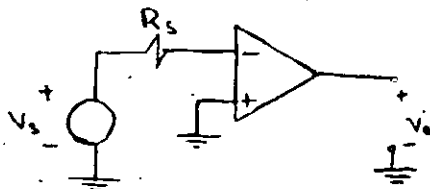


Fig. 2.6 Circuito correspondiente al ejemplo 1.a

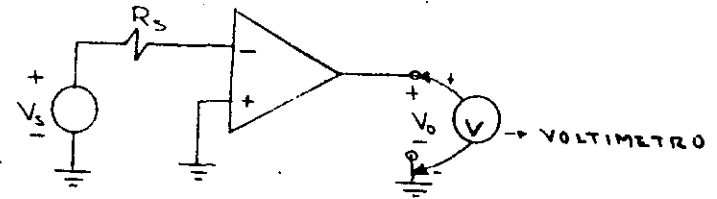


Fig. (2.7) Circuito correspondiente al ejemplo 1.b.

En ambos casos la respuesta en NO y la razón es que debido a que la Ganancia de Malla Abierta tiende a infinito; para cualquier $V_d \neq 0$ $V_o \rightarrow \pm \infty$; por lo que el amplificador estará sólo en 2 estados $+\infty$ ó $-\infty$ según sea el sentido de la diferencia $V_d = V_x - V_y$. Así; para el presente caso; $V_y = -0$ y $V_x = V_s$ y si $V_s > 0$ $V_x - V_y > 0$ y por lo tanto V_o irá a $-\infty$ y en el caso que $V_s < 0$ V_o irá a $+\infty$. Obsérvese la inversión de signos de la salida con respecto a la entrada; por esta razón a la entrada (-) o 'X' se le denomina ENTRADA INVERSORA.

Asimismo debemos observar que si V_s se aplica a la entrada (+) ó Y como se observa en la Fig. (2.8) V_o tiene el mismo signo que V_s por lo que a la entrada (+) ó 'Y' se le denomina entrada NO INVERSORA.

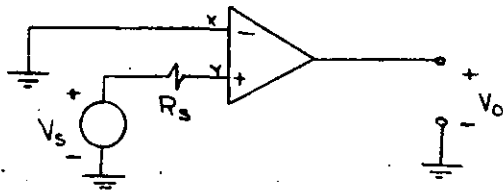


Fig. (2.8) Aplicando V_s a la entrada (+) o 'Y' a la salida V_o tiene el mismo signo que la entrada.

- SISTEMA CON REALIMENTACION NEGATIVA

En un sistema con realimentación negativa como el de la Fig. (2.9); si la ganancia de lazo es muy grande; la ganancia total o de malla cerrada del sistema depende esencialmente de la ganancia del bloque de realimentación; y es el inverso de ésta.

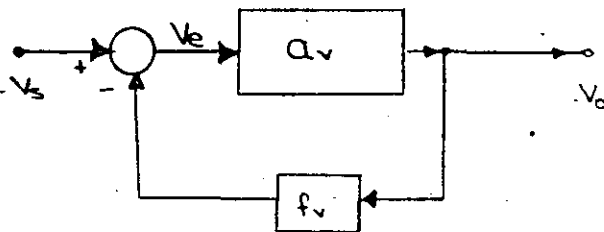


Fig. (2.9) Diagrama de bloques de un sistema con realimentación negativa de una sola malla.

Donde:

- a_v - Ganancia de Malla Abierta de la planta
- V_s - Variable de excitación del sistema
- V_e - Variable de error
- V_o - Variable de salida
- V_f - Variable de realimentación
- f_v - Ganancia del bloque de realimentación

Podemos plantear las siguientes expresiones:

$$V_o = a_v \cdot V_e \quad (2.1)$$

$$V_e = V_s - V_f \quad (2.2)$$

$$V_f = f_v \cdot V_o \quad (2.3)$$

que manipulando algebraicamente podemos ponerla como sigue:

$$\frac{V_o}{V_s} = \frac{a_v}{1 + a_v f_v} \quad (2.4)$$

Al término $a_v f_v$ se le denomina Ganancia de Lazo y se observa que si este término es mucho mayor que la unidad, entonces V_o está dada por la expresión (2.5)

$$A_v = \frac{V_o}{V_s} = \frac{1}{f_v} \quad (2.5)$$

$$A_v = \frac{1}{f_v}$$

Veamos ahora qué sucede con un amplificador operacional con realimentación negativa como el mostrado en la Fig. (2.10).

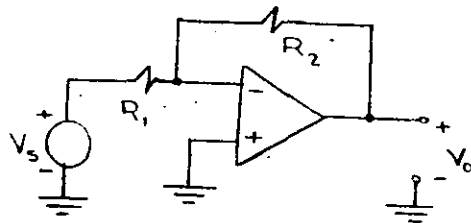


Fig. (2.10) Amplificador Operacional Ideal Realimentado negativamente y con la entrada Vs aplicada a la entrada inversora.

Si sustituimos el amplificador operacional por su modelo ideal, tendremos un circuito como el mostrado en la Fig. (2.11).

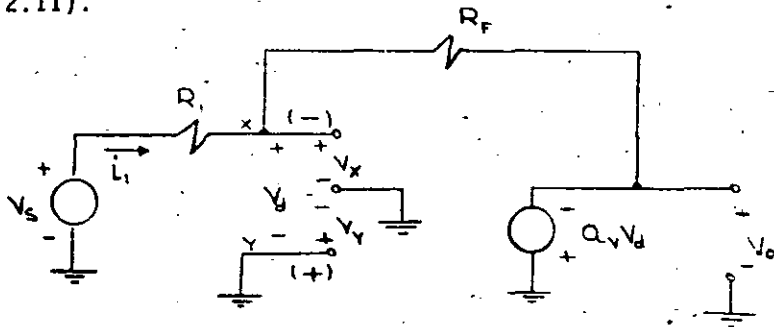


Fig. (2.11) El circuito de la Fig. (2.10) al sustituir el amplificador operacional por su modelo ideal.

Donde podemos plantear las siguientes ecuaciones:

$$V_o = -a_v V_d \quad (2.6)$$

$$i_F + i_1 = 0 \quad (2.7)$$

$$\frac{V_o - V_d}{R_F} + \frac{V_s - V_d}{R_1} = 0 \quad (2.8)$$

$$V_o - V_d + \frac{R_F}{R_1} (V_s - V_d) = 0 \quad (2.9)$$

$$V_o - V_d \left(1 + \frac{R_F}{R_1} \right) = - \frac{R_F}{R_1} V_s \quad (2.10)$$

de: (2.6)

$$V_d = - \frac{V_o}{a_v} \quad (2.11)$$

en (2.10)

$$V_o + \frac{V_o}{a_v} \left(1 + \frac{R_F}{R_1} \right) = - \frac{R_F}{R_1} V_s \quad (2.12)$$

que se puede simplificar a

$$\frac{V_o}{V_s} = \frac{- a_v}{a_v \frac{R_1}{R_F} + \frac{R_1}{R_F} + 1} \quad (2.13)$$

o bien

$$\frac{V_o}{V_s} = - \frac{1}{\frac{R_1}{R_F} + \frac{R_1}{a_v R_F} + \frac{1}{a_v}} \quad (2.14)$$

$$\frac{V_o}{V_s} = - \frac{R_F/R_1}{1 + \frac{1}{a_v} + \frac{R_F}{a_v R_1}} \quad (2.15)$$

Como a_v

En el límite

$$\frac{V_o}{V_s} = - \frac{R_F}{R_1} \quad (2.16)$$

La expresión (2.16) nos dice que la ganancia de voltaje del amplificador depende solamente de la razón de R_F y R_1 , y el signo negativo significa que la señal de salida tendrá una inversión con respecto a la entrada; esto es: si la entrada es positiva, la salida es negativa y viceversa. Por este motivo al amplificador de la Fig. (2.10) se le llama Amplificador Inversor.

Otra forma de hacer el análisis es el considerar que la corriente que fluye hacia dentro del operacional es igual a cero y que la diferencia de potencial entre las terminales inversora (-) y no inversora (+) es cero; esto último se debe a que la ganancia de voltaje de malla abierta es ∞ y a la realimentación negativa.

$$V_o = - a_v V_d \quad (2.17)$$

$$V_d = - \frac{V_o}{a_v} \quad (2.18)$$

$$V_x - V_y = \frac{V_o}{a_v} \quad (2.19)$$

Como $a_v \rightarrow \infty$

$$V_x = V_y \quad (2.20)$$

En este caso; del circuito de la Fig. (2.11) se observa claramente que $V_y = 0$; y como $V_x = V_y$; se tiene que $V_x = 0$.

Por lo que el punto x se comporta como si estuviese conectado a tierra. A esta propiedad se le conoce con el nombre de 'Tierra Virtual'.

Considerando esto; se puede plantear:

$$I_1 = \frac{V_s}{R_1} \quad (2.21)$$

$$I_F = \frac{V_o}{R_F} \quad (2.22)$$

$$\text{Además } I_1 + I_F = 0 \quad (2.23)$$

$$\frac{V_o}{R_F} = - \frac{V_s}{R_1} \quad (2.24)$$

$$\frac{V_o}{V_s} = - \frac{R_F}{R_1} \quad (2.25)$$

Que es la expresión que se había obtenido anteriormente.

EL AMPLIFICADOR NO INVERSOR

A la configuración siguiente Fig. (2.12) se le denomina Amplificador No Inversor, ya que la señal de voltaje a la salida está en fase con la señal de entrada.

Note que el único cambio de conexión con respecto al amplificador inversor es la terminal donde se aplica la señal de entrada. En el caso del amplificador inversor se aplica en la terminal inversora (-) y en el caso del amplificador no inversor se aplica a la terminal (+) o no inversora.

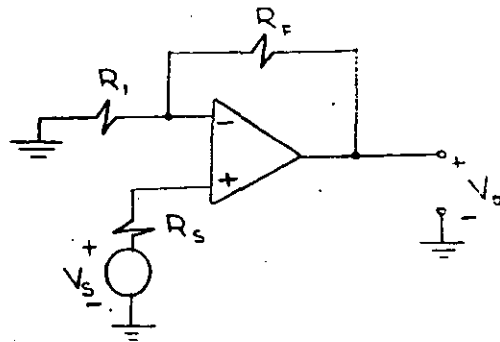


Fig. (2.12) Amplificador No inversor

Si se sustituye el amplificador por su modelo ideal, tenemos el circuito de la Fig. (2.13).

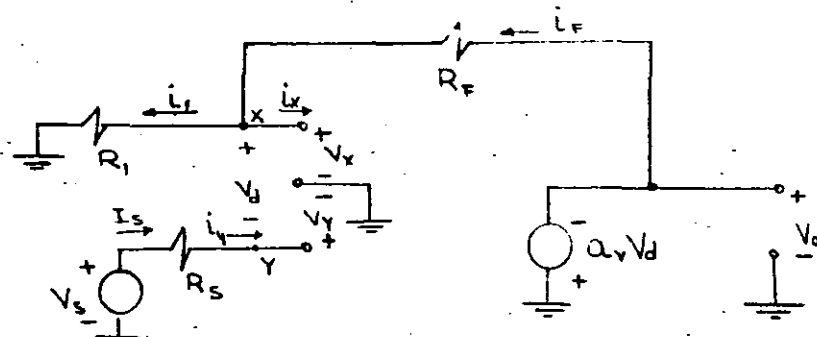


Fig. (2.13) Amplificador no inversor donde el operacional se ha sustituido por su modelo ideal.

Del circuito de la Fig. (2.13) podemos hacer el siguiente análisis para obtener su ganancia.

$$V_o = - a_v V_d \quad (2.26)$$

$$i_x = i_y = I_s = 0 \quad (2.27)$$

$$i_1 = i_F \quad (2.28)$$

$$V_y = V_s \quad (2.29)$$

$$V_x = V_y + V_d \quad (2.30)$$

$$i_1 = \frac{V_x}{R_1} \quad (2.31)$$

$$i_F = \frac{V_o - V_x}{R_F} \quad (2.32)$$

$$i_1 = \frac{V_s + V_d}{R_1} \quad (2.33)$$

$$i_F = \frac{V_o - V_s - V_d}{R_F} \quad (2.34)$$

en (2.26)

$$\frac{V_s + V_d}{R_1} = \frac{V_o - V_s - V_d}{R_F} \quad (2.35)$$

$$\left[\frac{R_F}{R_1} + 1 \right] V_s + \left[\frac{R_F}{R_1} + 1 \right] V_d = V_o \quad (2.37)$$

pero:

$$V_d = - \frac{V_o}{a_v} \quad (2.38)$$

en (2.30)

(2.31)

$$V_o \left[1 + \frac{1}{a_v} \left(\frac{R_F}{R_1} + 1 \right) \right] = \left[\frac{R_F}{R_1} + 1 \right] V_s$$

y despejando:

$$\frac{V_o}{V_s} = \frac{\frac{R_F}{R_1} + 1}{1 + \frac{1}{a_v} \left[\frac{R_F}{R_1} + 1 \right]} \quad (2.39)$$

que se puede escribir como:

$$\frac{V_o}{V_s} = \frac{1 + \frac{R_F}{R_1}}{1 + \frac{1}{a_v} + \frac{R_F}{a_v R_1}} \quad (2.40)$$

Calculando el límite cuando a_v

$$\frac{V_o}{V_s} = \frac{R_F}{R_1} + 1 \quad (2.41)$$

Que es la expresión de la ganancia de un Amplificador No Inversor más conocida.

Hagamos el análisis considerando desde un principio que $i_x = i_y = 0$ y que por la realimentación negativa y la ganancia de malla abierta $a_v = \infty$ tenemos que $V_d = 0$, esto es:

$$V_x = V_y \quad (2.42)$$

Por otro lado calculando una divisora de tensión

$$V_x = V_o \frac{R_1}{R_1 + R_F} \quad (2.43)$$

pero

$$V_x = V_s \quad (2.44)$$

$$\therefore V_o = V_s \frac{R_1 + R_F}{R_1} \quad (2.45)$$

$$\frac{V_o}{V_s} = 1 + \frac{R_F}{R_1} \quad (2.46)$$

Como antes; por lo que en el análisis de circuitos como amplificadores operacionales realimentados negativamente en los que se use el modelo ideal del operacional; basta con suponer dos cosas.

1. La corriente que entra al operacional por cualesquiera de sus terminales es igual a CERO.

$$i_x = i_y = 0$$

2. La diferencia de potencial entre las dos entradas, la inversora y la no inversora es CERO

$$V_d = V_x - V_y = 0$$

Estas dos suposiciones hacen que el análisis se simplifique notablemente y puedan obtenerse las relaciones de salida-entrada en una forma relativamente fácil y sin tener que dibujar el circuito con el modelo ideal.

3. EL AMPLIFICADOR OPERACIONAL REAL

En este capítulo hablaremos de las características del amplificador operacional, comparándolas con las del amplificador operacional ideal así como se darán los modelos para el cálculo de los desajustes (offsets) y las técnicas de compensación usadas.

3.1 PARAMETROS DEL AMPLIFICADOR OPERACIONAL REAL.

- Ganancia de Voltaje Diferencial de Malla Abierta

$$a_v \gg 10^4$$

- Ganancia de Voltaje de Modo Común

$$a_c < 1$$

- Resistencia de entrada

$$R_i > 10^5 \text{ ohms}$$

- Resistencia de salida

$$R_o < 100 \text{ ohms}$$

Hay que hacer notar que con realimentación negativa, estos dos últimos parámetros se modifican, presentan valores de:

$$R_{if} = R_i (a_v \beta) \quad (3.1)$$

$$R_{of} = \frac{R_o}{a_v \beta} \quad (3.2)$$

Donde:

a_v - Es la ganancia de voltaje de malla abierta

y β - Es el factor de realimentación

De esta forma; R_{if} puede adquirir valores de cientos de megohms en tanto que el valor de R_i es inferior a un ohm.

- Ancho de Banda

Es en este parámetro en el que el amplificador operacional real presenta mayor diferencia y mayores limitaciones que el amplificador operacional ideal; ya que la alta ganancia de voltaje diferencial de malla abierta sólo se tiene para un rango de frecuencia muy limitado; para el caso del LM741 es de tan sólo 10 Hz, y para el LM702 es de 1 MHz. A esta frecuencia se le denomina frecuencia del primer polo y en el caso del 741 es el único; pero en el caso del 702 son 3 polos. Después de esta frecuencia la ganancia disminuye con una pendiente de -20 DB, DEC y si hay más polos se sumará por cada polo - 20 DB, DEC más. Dando por resultado los diagramas de ganancia-frecuencia como los mos

trados en las Figs. (3.1) y (3.2).

A la frecuencia en la que la ganancia se hace unitaria (0DB) se le denomina frecuencia de transición de cruce y para el caso del 741 es de 1MHz y el del 702 es de 70 MHz.

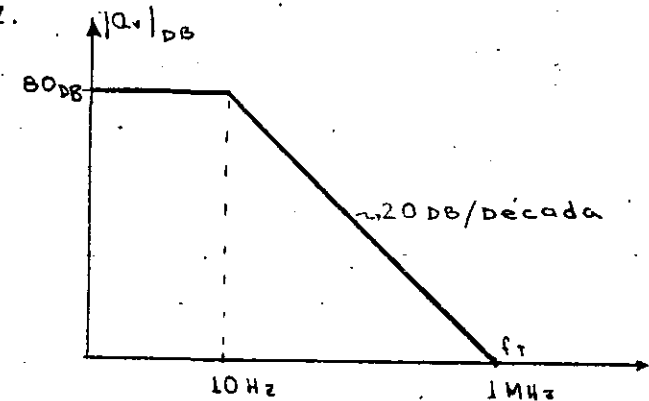


Fig. (3.1) Gráfica de Ganancia - Frecuencia del amplificador LM741.

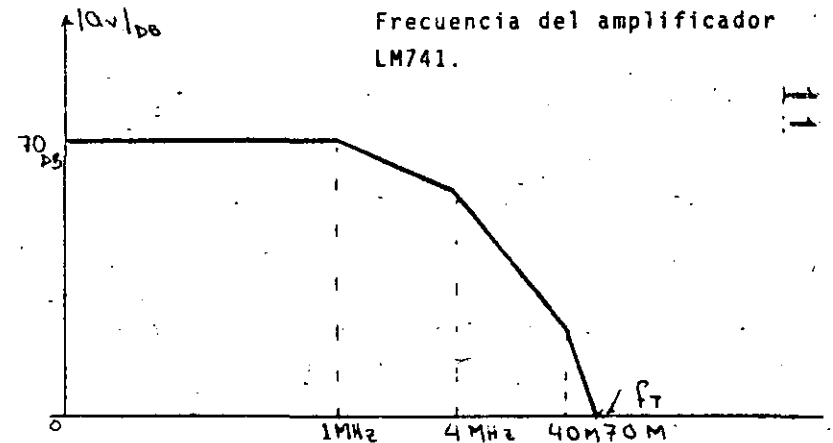


Fig. (3.2) Gráfica de Ganancia - Frecuencia del amplificador LM702.

Podemos observar de las Figs. (3.1) y (3.2) que la ganancia es una función de la frecuencia y como al realimentar negativamente, disminuye la ganancia total a un valor:

$$A_v = \frac{a_v}{1 + a_v \cdot \beta} \quad (3.3)$$

El ancho de banda también aumenta en un valor $1 + a_v \cdot \beta$ a la cantidad $a_v \cdot \beta$ se le conoce como ganancia de lazo y se le designa por la letra T. Entonces:

$$T = a_v \cdot \beta \quad (3.4)$$

Esto se explica de la siguiente manera: Supongamos que tenemos un amplificador cuya ganancia de malla abierta está dada por la expresión (3.5); esto es:

$$a_v(s) = \frac{a_0}{\frac{s}{\omega_0} + 1} \quad (3.5)$$

Donde $\omega_1 = 2\pi f_{p1}$ es la frecuencia del primer polo.

Al realimentar con un factor de realimentación $\beta = \beta_0$ independiente de la frecuencia, tenemos:

$$A_v(s) = \frac{\left(\frac{a_0}{\frac{s}{\omega_0} + 1}\right)}{1 + \left(\beta_0 \left(\frac{a_0}{\frac{s}{\omega_0} + 1}\right)\right)} \quad (3.6)$$

$$A_v(s) = \frac{a_0}{1 + \frac{s}{\omega_0} + a_0 \beta_0} \quad (3.7)$$

Que dividiendo entre $1 + a_0 \beta_0$ queda:

$$A_v(s) = \frac{a_0 / (1 + a_0 \beta_0)}{\frac{s / \omega_0}{1 + a_0 \beta_0} + 1} \quad (3.8)$$

$$A_v(s) = \frac{a_0 / (1 + a_0 \beta_0)}{\frac{s}{\omega_0 (1 + a_0 \beta_0)} + 1} \quad (3.9)$$

$$A_v(s) = \frac{a_0 / (1 + T)}{\frac{s}{\omega_0 (1 + T)} + 1} \quad (3.10)$$

De 3.10 observamos que el polo se desplaza a un valor

$$\omega_{of} = \omega_0 (1 + T) \quad (3.11)$$

y que la Ganancia disminuye en la misma cantidad; por lo que su producto se mantiene constante.

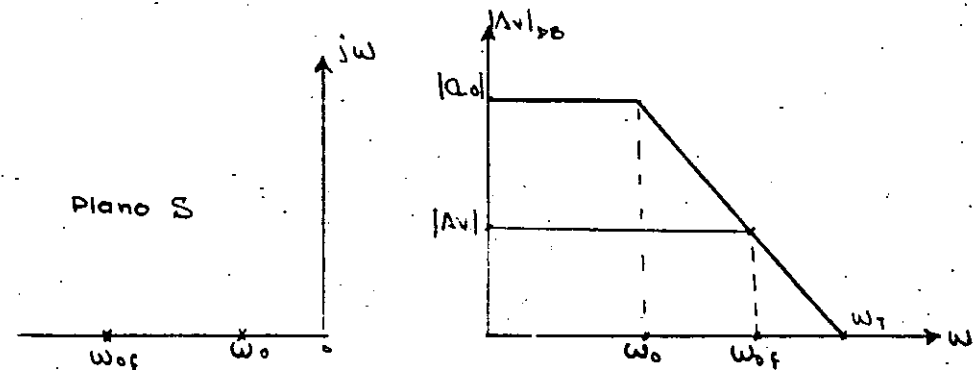


Fig. (3.3) Efectos de Realimentación Negativa en el Ancho de Banda y en la Ganancia.

- Desajustes y corrimientos Diferentes de cero
- Rapidez de respuesta Finita y del orden de los $10 \text{ V}/\mu\text{s}$

3.2 INFLUENCIA DE LOS PARAMETROS

La influencia de la ganancia y las resistencias de entrada y salida no es grande ni determinante para la mayoría de las aplicaciones; así para el amplificador Inversor; el hecho de considerar una ganancia finita conduce a la siguiente expresión:

$$A_v = \frac{-R_F / R_1}{1 + 1/a_v + R_F/R_1 a_v} \quad (3.2.1)$$

y para el no inversor:

$$A_v = \frac{1 + R_F/R_1}{1 + 1/a_v + R_F/a_v R_1} \quad (3.2.2)$$

Donde si consideramos $a_v = 10,000$ y $R_F/R_1 = 100$

$A_v = -99$ para el inversor

$A_v = 99.9$ para el no inversor

El error es del 1 por ciento; y si la ganancia en malla cerrada se reduce a 10; el error es tan sólo del 0.1%.

De donde podemos decir que el error en la ganancia depende de la razón de la ganancia de malla abierta a la ganancia de malla cerrada.

La siguiente tabla ilustra esto.

a_v/A_v	% error en la Ganancia
1	- 50
10	- 9
10 ²	- 1
10 ³	- 0.1
10 ⁴	- 10 ⁻²
10 ⁵	- 10 ⁻³
10 ⁶	- 10 ⁻⁴

La influencia de las Resistencias de entrada y salida se ilustra en las siguientes ecuaciones:

Para el Inversor:

$$(3.2.3) \quad A_v = \frac{-R_F / R_1}{1 + 1/a_v + R_F/a_v R_1 + R_F/a_v R_{id} + R_F/a_v R_{ic}}$$

Para el No Inversor:

$$(3.2.4) \quad A_v = \frac{1 + R_F / R_1}{1 + 1/a_v + R_F/a_v R_1 + R_F/a_v R_{id} + R_F/a_v R_{ic}}$$

Las expresiones (8.2.3) y (8.2.4) son iguales a las (8.2.1) y (8.2.2) excepto en que los términos $R_F/a_v R_{id} + R_F/a_v R_{ic}$ se les han agregado a los denominadores; si estos términos $a_v R_{id}$ y $a_v R_{ic}$ son muy grandes como sucede en la práctica, no afectan al resultado notablemente. El término R_{ic} es la resistencia de entrada de modo común y es muy grande y $R_{ic} \gg R_{id}$. Para ilustrar sus influencias damos a continuación la siguiente tabla de errores.

a_v	R_{id}	% Error en A_v
10 ²	10 ⁴	- 10.7
10 ²	10 ⁶	- 9.92
10 ²	10 ⁸	- 9.91
10 ⁴	10 ⁴	- 0.12
10 ⁴	10 ⁶	- 0.11
10 ⁴	10 ⁸	- 0.11
10 ⁶	10 ⁴	- 0.0012
10 ⁶	10 ⁶	- 0.0011
10 ⁶	10 ⁸	- 0.0011

Esta tabla es para $A_v = -10$
con $R_F = 10 \text{ K}$ y $R_1 = 1 \text{ K}$

- La Resistencia de salida en realidad influye todavfa menos ya que como se mencion6; con rea limentación negativa disminuye, aún más, su ya de por sí pequeño valor; Así:

$$R_{of} \approx \frac{R_o}{\beta a_v} \quad (3.2.5)$$

Donde:

$$\beta = \frac{R_1}{R_1 + R_F} \quad (3.2.6)$$

si $R_o = 100 \Omega$ y si $a_v = 5 \times 10^5$ y $\beta = 0.1$ $R_{of} = 2 \times 10^{-3} \Omega$

3.3 DESAJUSTES.

Los desajustes en el amplificador operacional son originados principalmente por falta de simetría en la etapa de entrada del amplificador que normalmente es un par diferencial. Definiremos algunos elementos; sus desajustes y posteriormente algunas técnicas para minimizar sus efectos.

3.3.1 CORRIENTE DE POLARIZACIÓN DE ENTRADA I_B

Esta corriente es el promedio de las corrientes que fluyen hacia el operacional por cada entrada cuando éstas están conectadas a tierra, como se muestra en la Fig. (3.3) y es necesario que circule para polarizar la etapa de entrada.

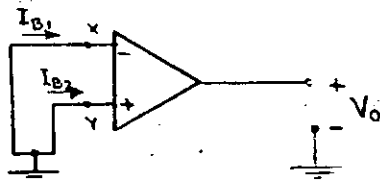


Fig. (3.3) Corrientes de polarización de Entrada.

Donde se define a:

$$I_B = \frac{I_{B1} + I_{B2}}{2} \quad (3.3.1)$$

como la corriente de polarización de entrada.

Nótese que esta corriente fluye hacia dentro del operacional; y recuérdese que en el operacional ideal suponíamos cero.

La presencia de esta corriente genera un voltaje en la entrada al conectarse una resistencia en las terminales inversora y no inversora, lo cual trae como consecuencia un voltaje en la salida diferente de cero aún cuando la señal aplicada a la entrada sea nula, como se ve en la Fig. (3.4) y las corrientes sean iguales.

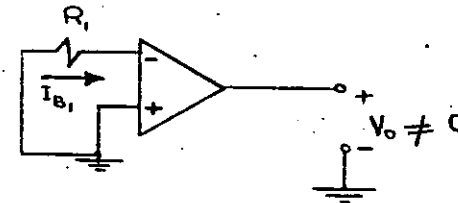


Fig. (3.4) El voltaje en la salida es diferente de cero a causa de la corriente de Polarización de entrada.

3.3.2 CORRIENTE DE DESAJUSTE DE ENTRADA I_{io} .

Esta corriente se debe a la diferencia de los transistores de la etapa diferencial de entrada del operacional y se define como:

$$I_{io} = I_{B1} - I_{B2} \quad (3.3.2.1)$$

El valor máximo de I_{io} para el amplificador operacional LM741 es de:

$$I_{io} = 200 \text{ nA}$$

Hay que notar que cuando la corriente de desajuste de entrada I_{io} es diferente de cero; aún cuando las resistencias conectadas en cada una de las terminales sean iguales, se produce un voltaje diferencial a la entrada, lo cual hace que el voltaje en la salida sea diferente de cero.

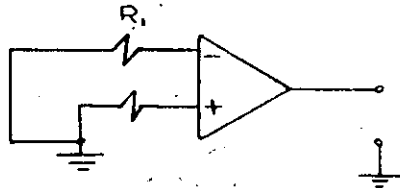


Fig. (3.5) Operacional con desajuste de corriente de entrada.

$$V_d = V_x - V_y \quad (3.3.2.2)$$

$$V_x = -I_{B1} R_1 \quad (3.3.2.3)$$

$$V_y = -I_{B2} R_1 \quad (3.3.2.4)$$

$$V_d = -I_{B1} R_1 + I_{B2} R_1 \quad (3.3.2.5)$$

$$V_d = -R_1 [I_{B1} - I_{B2}] \quad (3.3.2.6)$$

$$V_d = -R_1 I_{io} \quad (3.3.2.7)$$

3.3.3 VOLTAJE DE DESAJUSTE DE ENTRADA

Este voltaje es producto de la falta de simetría en las etapas del amplificador operacional, principalmente de la etapa de entrada y esto provoca que el

voltaje en la salida sea diferente de cero aún cuando las entradas estén conectadas a tierra. Además se observa que si se aplica una diferencia de potencial entre las terminales del operacional de tal forma que el voltaje en la salida se haga cero; el voltaje necesario para lograrlo tiene un valor igual al voltaje de desajuste de entrada ó V_{io} .

El orden de V_{io} es de 1 a 100 mv.

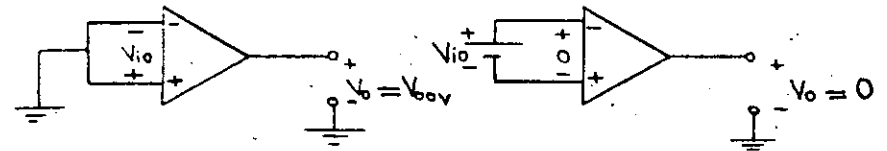


Fig. (3.6) Voltaje de desajuste de entrada
 (a) $V_d = -V_{io}$; $V_o = V_{ooV}$ y $V_i = 0$
 (b) $V_d = 0V$; $V_o = 0V$ y $V_i = V_{io}$

3.4 CALCULO DE LOS DESAJUSTES

Como se vió anteriormente ni R_o ni R_i tienen una influencia grande en la ganancia del amplificador cuando éste se trabaja en malla cerrada; así que considerando que no influyen tendríamos el siguiente modelo para el cálculo del voltaje en la salida debido a los desajustes, ver Fig. (3.7).

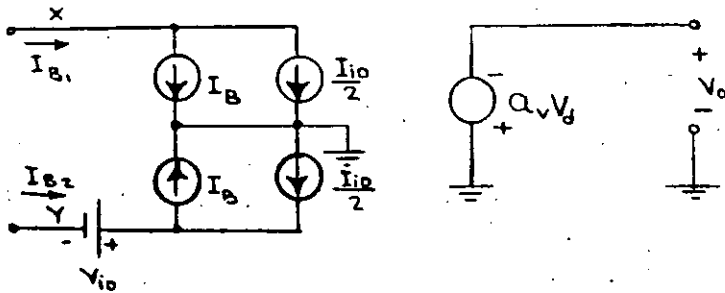


Fig. (3.7) Modelo del amplificador operacional para el cálculo del voltaje de offset ó desajuste en la salida.

De igual forma:

$$I_{B1} = I_B + \frac{I_{io}}{2} \quad (3.4.6)$$

Noten que (3.4.5) y (3.4.6) se cumplen en el modelo de la Fig. (3.7).

Ejemplo cálculo del desajuste de voltaje en la salida para un amplificador inversor.

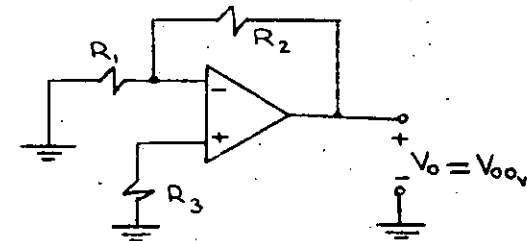


Fig. (3.8) Amplificador Inversor con $V_{oov} \neq 0$

Substituyendo por su modelo tenemos la Fig. (3.8)

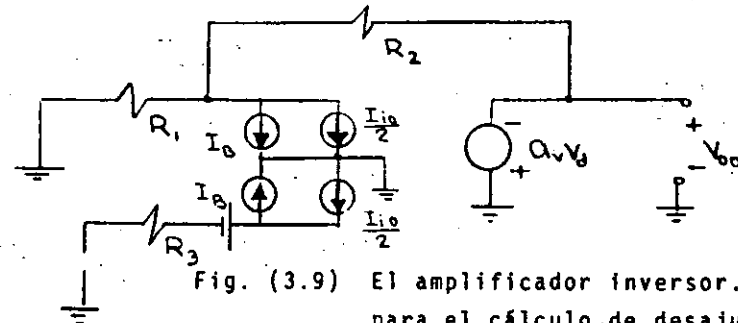


Fig. (3.9) El amplificador inversor. Modelo para el cálculo de desajustes.

Si aplicamos superposición. Y consideramos únicamente el efecto de V_{io} ; además sabiendo que debido a la alta ganancia y la realimentación negativa $V_d = 0$; tenemos el circuito de la Fig. (3.10).

Note que:

$$I_{io} = I_{B1} - I_{B2} \quad (3.4.1)$$

$$\text{y que } I_B = I_{B1} + I_{B2} \quad (3.4.2)$$

de (3.4.2):

$$I_{B1} = 2I_B - I_{B2} \quad (3.4.3)$$

$$I_{B2} = 2I_B - I_{B1}$$

(3.4.3) en (3.4.1)

$$I_{io} = 2I_B - 2I_{B2} \quad (3.4.4)$$

$$\text{y } I_{B2} = I_B - \frac{I_{io}}{2} \quad (3.4.5)$$

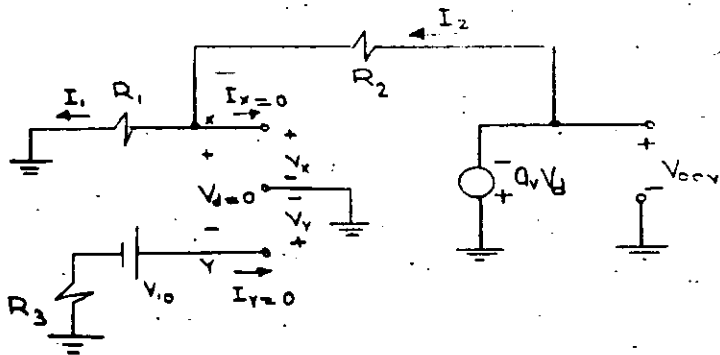


Fig. (3.10) Amplificador inversor considerando únicamente el efecto de V_{io} .

De la Fig. (3.10) podemos plantear que:

$$I_x = I_y = 0 \quad (3.4.7)$$

$$V_x = V_y = V_{io} \quad (3.4.8)$$

pero calculando la divisora de tensión en x tenemos:

$$V_x = \frac{R_1}{R_1 + R_2} V_{oov} \quad (3.4.9)$$

Substituyendo (3.4.8) en (3.4.9)

$$V_{oov} = V_{io} \left[1 + \frac{R_2}{R_1} \right] \quad (3.4.10)$$

Por otro lado si calculamos el voltaje de desajuste de la salida debido a las corrientes tenemos el circuito de la Fig. (3.11).

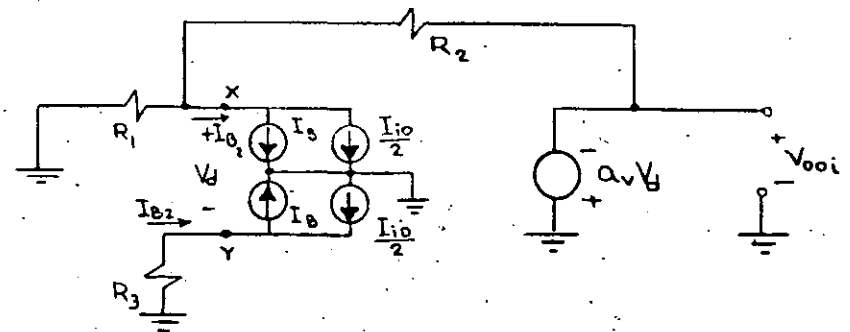


Fig. (3.11) Circuito para el cálculo del voltaje de desajuste debido a las corrientes.

Podemos plantear:

$$V_d = 0 \quad (3.4.11)$$

$$V_x = V_y$$

$$V_y = I_{B2} R_3 \quad (3.4.12)$$

$$V_x = -I_{B1} \left[R_1 \parallel R_2 \right] + V_{oov} \frac{R_1}{R_1 + R_2}$$

$$(3.4.13)$$

$$V_{oov} \frac{R_1}{R_1 + R_2} = I_{B2} R_3 + I_{B1} \left[R_1 \parallel R_2 \right] \quad (3.4.14)$$

Desarrollando:

$$V_{oov} = R_3 \left[\frac{R_1 + R_2}{R_1} \right] I_{B2} + R_2 I_{B1} \quad (3.4.15)$$

pero:

$$I_{B1} = I_B + \frac{I_{io}}{2} \quad (3.4.16)$$

$$I_{B2} = I_B - \frac{I_{io}}{2}$$

Sustituyendo (3.4.16) en (3.4.15)

$$V_{ooi} = R_3 \left[\frac{R_1 + R_2}{R_1} \right] \left[I_B - \frac{I_{io}}{2} \right] + R_2 \left[I_B - \frac{I_{io}}{2} \right] \quad (3.4.17)$$

$$V_{ooi} = I_B \left[R_3 \left(\frac{R_1 + R_2}{R_1} \right) + R_2 \right] + \frac{I_{io}}{2} \left[R_3 \left(\frac{R_1 + R_2}{R_1} \right) - R_2 \right] \quad (3.4.18)$$

Por la diferencia de signos presentada en el primer término de la Ec.3.4.18; se puede hacer que este término sea cero.

Como R_1 y R_2 se usan para fijar la ganancia; veamos qué valor de R_3 nos permite anular el primer término.

$$R_3 \left(\frac{R_1 + R_2}{R_1} \right) - R_2 = 0 \quad (3.4.19)$$

$$R_3 = \frac{R_1 R_2}{R_1 + R_2} \quad (3.4.20)$$

De la expresión (3.4.20) podemos observar que utilizando $R_3 = \frac{R_1 R_2}{R_1 + R_2}$; el voltaje de desajuste a la salida se minimiza y es igual a:

$$V_{oo} = V_{io} \left[1 + \frac{R_2}{R_1} \right] + I_{io} R_2 \quad (3.4.21)$$

Para el caso de un amplificador no inversor como el mostrado en la Fig. (3.12) el voltaje de desajuste total está dado por (3.4.2)

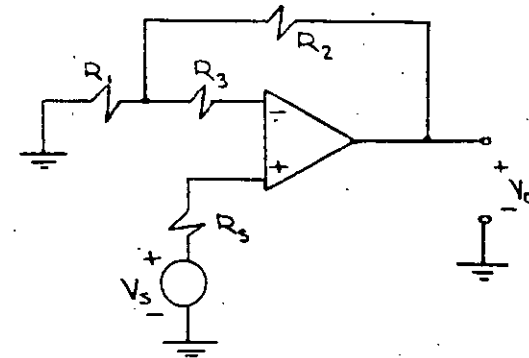


Fig. (3.12) Amplificador No Inversor. Note la presencia de R_3

$$V_{oov} = V_{io} \left[1 + \frac{R_2}{R_1} \right] \quad (3.4.22)$$

$$V_{ooi} = \left(\frac{R_1 + R_2}{R_1} \right) \left(R_s - R_3 - \frac{R_1 R_2}{R_1 + R_2} \right) I_B + \left(\frac{R_1 + R_2}{R_1} \right) \left(R_s + R_3 + \frac{R_1 R_2}{R_1 + R_2} \right) \frac{I_{io}}{2} \quad (3.4.23)$$

Si en (3.4.22) se hace $R_3 = R_s - \frac{R_1 R_2}{R_1 + R_2}$ (3.4.24)

La expresión (3.4.23) se reduce a:

$$V_{ooi} = R_s \left(\frac{R_1 + R_2}{R_1} \right) I_{io} \quad (3.4.25)$$

y el desajuste total está dado por (3.4.26)

$$V_{oo} = V_{io} \left(1 + \frac{R_2}{R_1} \right) + R_s \left(\frac{R_1 + R_2}{R_1} \right) I_{io} \quad (3.4.26)$$

110

3.5 RAPIDEZ DE EXCURSION (SLEW-RATE)

Las curvas de ganancia de voltaje-frecuencia son útiles cuando se manejan señales pequeñas, pero cuando las señales son grandes se tienen desviaciones de su comportamiento y esto es debido a que el capacitor que produce el polo dominante de 1 amplificador compensado, no puede manejar corrientes muy grandes ni tiene una respuesta instantánea; de ahí que se vea afectada la salida del amplificador operacional, observándose una distorsión en ella cuando a la entrada se le aplican señales grandes o de muy alta frecuencia. Esta distorsión se puede predecir mediante el slew-rate que se define como la máxima rapidez de cambio de voltaje en la salida del operacional.

Para una entrada senoidal $V_i = A \sin Wt$, su máximo cambio se produce en el cruce por cero; y la salida correspondiente es:

$$V_o = V_{o\text{MAX}} \sin Wt \quad (3.5.1)$$

$$V_o = V_{o\text{MAX}} \sin 2\pi f t \quad (3.5.2)$$

derivando:

$$\frac{dV_o}{dt} = 2 \pi f V_{o\text{MAX}} \cos 2\pi f t \quad (3.5.3)$$

cuyo valor máximo es en $t = 0$

$$S_r = 2\pi f V_{o\text{MAX}} \quad (3.5.4)$$

Que depende tanto de la frecuencia como de la amplitud $V_{o\text{MAX}}$

Para un LM741; su slew-rate es:

$$S_r = 0.5 \text{ V/us}$$

y en cambio para el LM118 tiene un valor de

$$S_r = 70 \text{ V/us}$$

Ejemplo: Si se desea una amplitud máxima de 14V la señal de mayor frecuencia que se puede procesar es de

$$f_{\text{MAX}} = 6 \text{ KHZ}$$

En el caso de utilizar el LM118

$$f_{\text{MAX}} = 900 \text{ KHZ}$$

3.6 COMPENSACIONES:

3.6.1 Compensación contra I_B .

Para evitar la influencia de la corriente de polarización I_B en el voltaje de desajuste; basta con colocar una resistencia adicional R_3 del valor adecuado. Esto es:

$$R_3 = R_1 // R_2 \quad (3.6.1.1)$$

Para el caso de un amplificador inversor y

$$R_3 = R_s - R_1 // R_2 \quad (3.6.1.2)$$

para el caso de un amplificador no inversor.

En la práctica es conveniente utilizar una resistencia variable de un valor 3 veces mayor al valor calculado. Quedando los circuitos como se muestra en la Fig. (3.13)

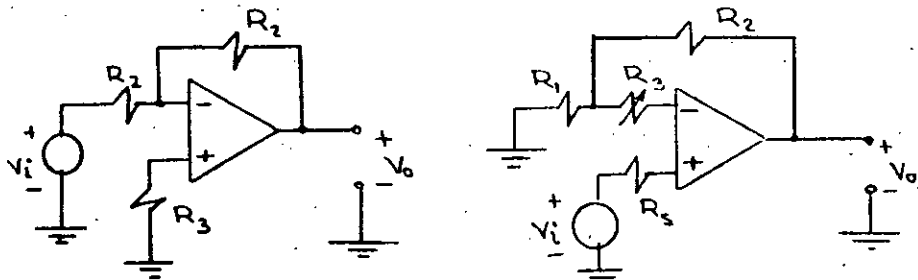


Fig. (3.13) a) Amplificador Inversor y b) Amplificador No inversor. Ambos compensados contra I_B .

3.6.2 Compensación contra I_{io} .

La compensación contra la corriente de desajuste de entrada se logra colocando fuentes de corriente en la entrada correspondiente; de tal forma que se igualen las corrientes en ambas entradas. Algunas formas de hacerlo se muestran en las Figs. (3.14) y (3.15).

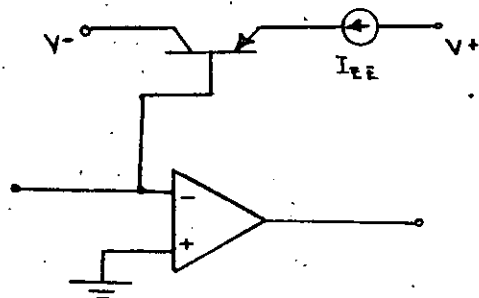


Fig.(3.14) Compensación contra I_{io} utilizando la corriente de la base de un transistor P.N.P.

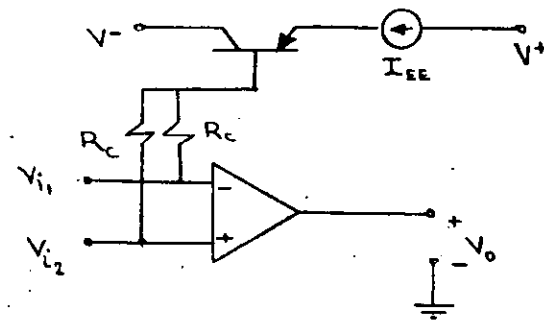


Fig. (3.15) Método para compensar un operacional contra desajustes en la corriente de polarización de entrada.

3.6.3 COMPENSACION CONTRA V_{io} .

La compensación contra V_{io} se logra en las terminales de Ajuste (Offset-null) que traen los operacionales y se hace de la siguiente manera.

Se conectan los extremos de un potenciómetro a cada una de las terminales que el fabricante proporciona para el caso; y la terminal móvil del potenciómetro se conecta $-V_{cc}$ generalmente como se muestra en la Fig. (3.16)

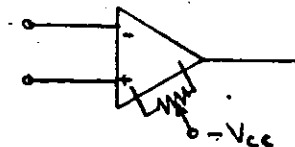


Fig. (3.16) Compensación de Voltaje

Otras formas de compensar son las llamadas Técnicas Universales que no son otra cosa que agregar voltajes y corrientes en ambas entradas para lograr un ajuste a cero del voltaje en la salida. Las figuras (3.17) y (3.18) nos muestran algunos ejemplos de estas técnicas.

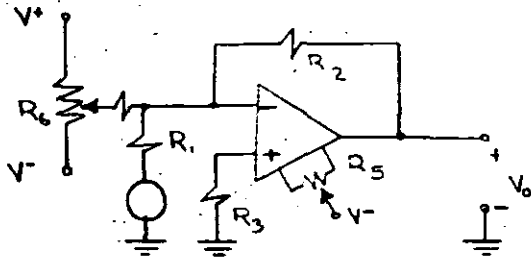


Fig. (3.17) Técnicas Universales de compensación. Amplificador Inversor.

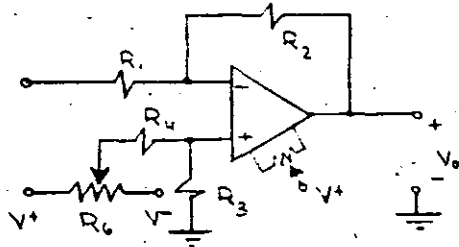


Fig. (3.18) Técnicas Universales de compensación. Amplificador No Inversor.

3.6.4 COMPENSACION EN FRECUENCIA.

Para comprender la compensación en frecuencia hay que estar familiarizados con los Diagramas de Bode y saber que:

- a) Un polo contribuye con -20DB/DEC al Diagrama Asintótico de magnitud de la función de transferencia.
- b) Un polo contribuye con un desfasamiento de -90° en el diagrama asintótico de la fase de la función de transferencia. En la frecuencia del polo f_p el desfasamiento es de -45° y una década antes $0.1 f_p$ es de 0° y una década después; esto es a una frecuencia igual a $10f_p$ el desfasamiento es de -90° ; por lo que la pendiente de la asíntota es de $-45^\circ/\text{DECADA}$.
- c) Un cero contribuye con $+20\text{ DB/DEC}$ al Diagrama de magnitudes.
- d) Un cero contribuye con $+45^\circ/\text{DEC}$ al Diagrama de fases.

Un amplificador es estable si su realimentación es negativa a la frecuencia de operación. Pero como la respuesta ganancia-frecuencia de un amplificador de 2 polos o más produce un desfasamiento total a -180° y sumados a los -180° de la inversión de un amplificador inversor; se tiene un desfasamiento total de -360° ; lo que hace que a una cierta frecuencia el amplificador con realimentación negativa se comporte como si tuviera una realimentación positiva y OSCILE. Esto es lo que hay que evitar y aquí mencionaremos solamente algunos casos sencillos de este amplio tema.

Se tienen Amplificadores ya compensados internamente; como es el caso del LM741 en los cuales el amplificador tiene un solo polo y es incondicionalmente estable para la ganancia que se desee trabajar dentro de sus límites de ancho de banda. Ver Fig. (3.19):

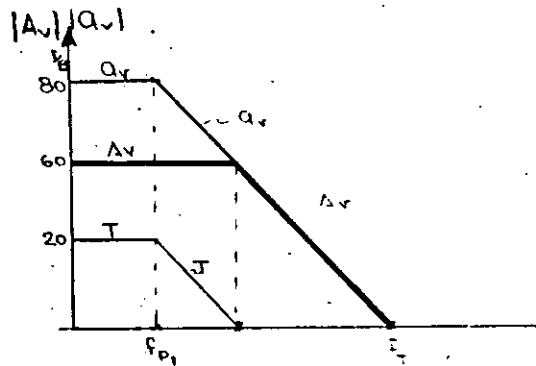


Fig. (3.19) Efectos de la realimentación.

Para el caso del LM 702 cuyo diagrama se presenta en la Fig. (3.20) se observa que si se desea trabajar con una ganancia de malla cerrada de 10 D_B; el diagrama de magnitud de malla cerrada corta al diagrama de malla abierta donde éste tiene una pendiente de -6- DB/DEC lo que nos garantiza un defasamiento mayor de 180° por lo que el amplificador sería inestable.

Lo que hace es generar un polo de tal manera que el sistema compensado se convierta en un sistema de un sólo polo o mejor dicho que los otros polos estén a frecuencias mayores que las de cruce del amplificador realimentado. Como se muestra en la Fig. (3.20).

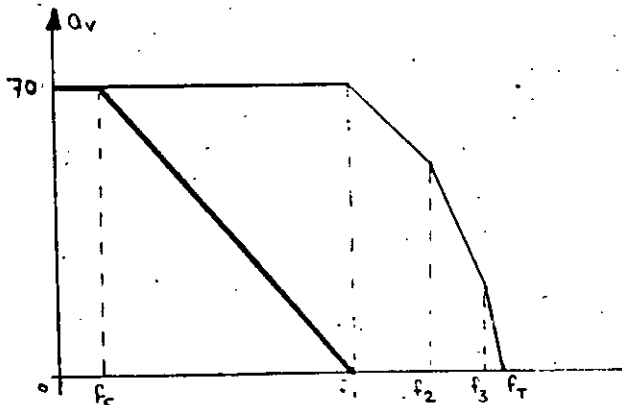


Fig.(3.20) Diagrama del LM 702

a) Sin Compensar b) Compensado.

Para lograr esto se agrega una Red R-C de atraso como la mostrada en la Fig. (3.21) en la que:

$$\omega_c = \frac{1}{R_1 C_x} \quad (3.6.3.1)$$

se hace:

$$\omega_c = 2\pi f_c \quad (3.6.3.2)$$

y el cálculo de C_x se efectúa como sigue:

Se traza una recta con pendiente de -20 DB/DEC a partir de la frecuencia igual a la del primer polo del amplificador no compensado y se observa la frecuencia a la que alcanza el valor de ganancia máximo. A este valor se le designa f_c; una vez hecho esto, se calcula la red C_x como sigue:

$$f_c = \frac{1}{2 R_1 C_x} \quad (3.5.3.1)$$

$$C_x = \frac{1}{2\pi R_1 f_c} \quad (3.5.3.2)$$

Como R₁ es especificada por los fabricantes, se puede calcular C_x directamente de (3.6.3.2)

APLICACIONES

4. APLICACIONES LINEALES.

Las aplicaciones lineales de los amplificadores operacionales son en aquellos circuitos en los que la señal de voltaje en la salida es una función lineal de la señal de voltaje de la entrada y; en general utilizan la

22

realimentación negativa. En este capítulo estudiaremos algunas de estas aplicaciones en circuitos clásicos y el análisis se efectuará utilizando el modelo ideal estudiado en el capítulo dos.

4.1 EL AMPLIFICADOR INVERSOR.

El circuito se muestra en la Fig. (4.1) y ya se calculó su ganancia en el capítulo anterior.

4.1.1 Ganancia

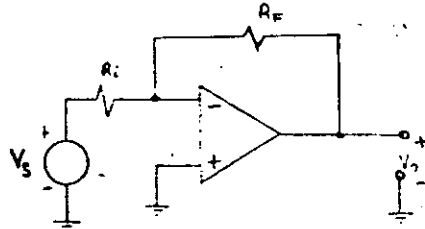


Fig. (4.1) Amplificador inversor.

4.1.2 RESISTENCIAS DE ENTRADA Y DE SALIDA.

Para el cálculo de las resistencias de entrada y de salida usamos el método conocido de sustituir las fuentes independientes por su impedancia; conservar las fuentes controladas y abrir en el punto de medición colocando una fuente de prueba que en sus extremos tiene una diferencia de potencial V_t y hace fluir una corriente de valor I_T . A continuación se calcula la relación $\frac{V_t}{I_T}$ y ésta es la Resistencia vista en los puntos de medición. Hagámoslo.

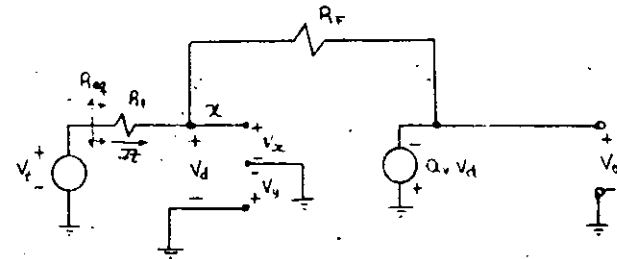


Fig. (4.2) Circuito equivalente para el cálculo de la Resistencia de entrada. $R_i = \frac{V_t}{I_t}$

Como: $V_y = 0$ (4.1.2)

y $V_d = 0$ (4.1.3)

$V_x = V_y = 0$ (4.1.4)

El punto x se 've' como si estuviera conectado a tierra.

$$I_t = \frac{V_t}{R_1} \quad (4.1.5)$$

$$\therefore R_i = R_1 \quad (4.1.6)$$

Para el cálculo de la Resistencia de salida tenemos el circuito de la Fig. (4.3).

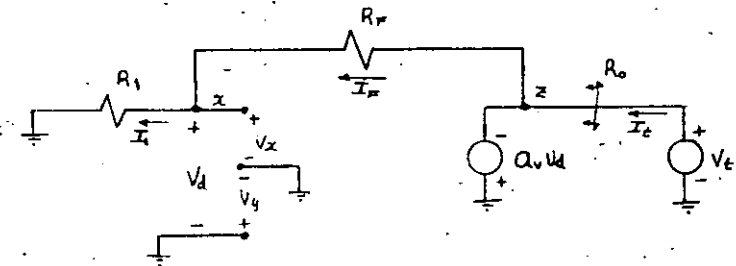


Fig. (4.3) Circuito resultante para el cálculo de R_o .

Como $V_y = V_x = 0$ (4.1.7)

$I_1 = 0$ (4.1.8)

$\therefore I_F = 0$ (4.1.9)

y el punto z queda a tierra y la corriente I_T no está limitada por ningún elemento por lo que

$R_o = 0$ (4.1.10)

De (4.6) y (4.9) podemos observar que la resistencia R_1 fija la resistencia de entrada para un amplificador inversor por lo que ésta disminuye notablemente comparándola con la del operacional ideal. En cambio R_o permanece en su valor original.

4.2 EL AMPLIFICADOR NO INVERSOR

El circuito se muestra en la Fig. (4.4) y el cálculo de la ganancia ya se realizó en el capítulo anterior.

4.2.1 Ganancia

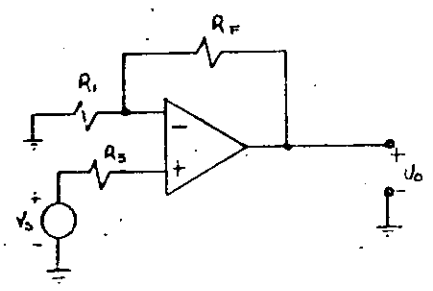


Fig. (4.4) Amplificador No inversor

$\frac{V_o}{V_s} = \frac{R_F}{R_1} + 1$ (4.2.1)

4.2.2 RESISTENCIA DE ENTRADA Y DE SALIDA.

Primero calcularemos la resistencia de entrada con el método utilizado en la sección anterior; para lo cual usaremos el circuito de la Fig. (4.5).

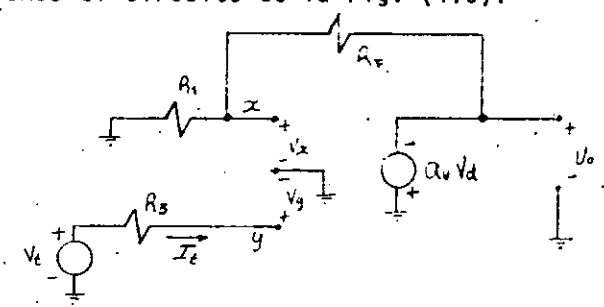


Fig. (4.5) Circuito equivalente del amplificador inversor utilizado para obtener su Resistencia de entrada.

Del circuito de la Fig. (4.5) tenemos que:

$I_t = 0$ (4.2.2)

Por lo que:

$R_i \rightarrow \infty$ (4.2.3)

Es decir el Amplificador No Inversor conserva la característica de alta impedancia de entrada del amplificador operacional.

Para obtener la Resistencia de salida; el circuito utilizado es el mismo que el de la Fig. (3.3) y el resultado obtenido es idéntico.

$R_o = 0$ (4.2.4)

4.3 EL SEGUIDOR

Este circuito se caracteriza por tener una ganancia de voltaje igual a la unidad, un defasamiento de 0°; impedancia de entrada infinita e impedancia de salida igual a cero. Debido a estas características se usa principalmente como un elemento de acoplamiento de impedancias.

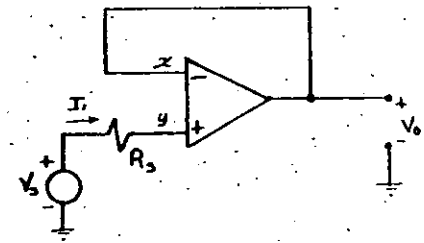


Fig. (4.6) Seguidor de voltaje

Aplicando nuestras reglas de análisis; tenemos que:

$$I_1 = I_y = 0 \quad (4.3.1)$$

$$\therefore V_y = V_s \quad (4.3.2)$$

y como: $V_x = V_y \quad (4.3.3)$

y en este caso $V_x = V_o \quad (4.3.4)$

tenemos que: $V_o = V_s \quad (4.3.5)$

y $\frac{V_o}{V_s} = 1 \quad (4.3.6)$

Para el cálculo de Resistencias podemos ver que el circuito resultante para evaluar la resistencia de entrada es el mostrado en la Fig. 4.7 y que su valor es $R_i = \infty$

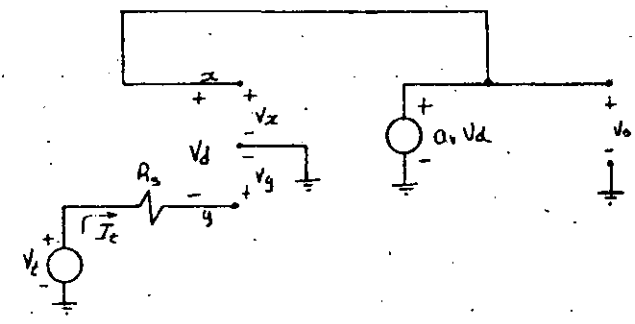


Fig. (4.7) Circuito para calcular la Resistencia de entrada.

$$I_T = 0 \quad (4.3.7)$$

$$\therefore R_i = \frac{V_T}{I_T} = \infty \quad (4.3.8)$$

Para el cálculo de la Resistencia de salida; el circuito equivalente es el mostrado en la Fig. (4.8)

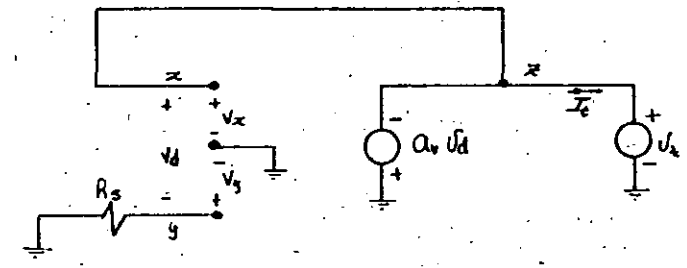


Fig. (4.8) Circuito para el cálculo de la Resistencia de salida del seguidor.

De la Fig. (3.8), tenemos que:

Vy = 0 (4.3.9)

Vx = Vy = Vt (4.3.10)

pero It -> infinity (4.3.11)

por no haber ninguna resistencia que la limite.

Por lo tanto:

Ro = 0 (4.3.12)

4.4. EL SUMADOR

Este circuito es uno de los más utilizados en computación analógica y se muestra en la Fig. (4.9). El análisis se efectúa considerando que el punto x es una tierra virtual.

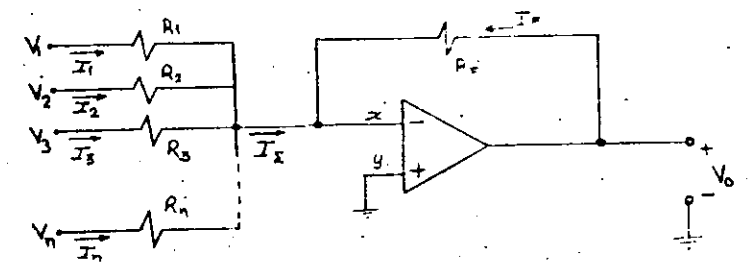


Fig.(4.9) El sumador inversor.

Del circuito de la Fig. (4.9) tenemos:

Ix = I1 + I2 + I3 + + In (4.4.1)

Además If = - Ix (4.4.2)

Como Vx = 0

I1 = V1 / R1

I2 = V2 / R2 (4.4.3)

In = Vn / Rn

además If = Vo / Rf (4.4.4)

por lo que sustituyendo (4.4.3) y (4.4.4) en (4.4.2) tenemos que:

Vo / Rf = - [V1 / R1 + V2 / R2 + V3 / R3 + + Vn / Rn] (4.4.5)

Donde podemos observar que si

R1 = R2 = R3 = = Rn = R

tenemos:

Vo = - (Rf / R1) [V1 + V2 + V3 + + Vn] (4.4.6)

Que es la suma de los voltajes V1, V2, ..., Vn multiplicados por la ganancia - Rf / R1.

3.5 EL SUBTRACTOR O DIFERENCIAL.

Este circuito proporciona una señal de voltaje en la salida que es proporcional a la diferencia de señales de voltaje aplicadas a cada una de sus entradas, Fig. (3.10).

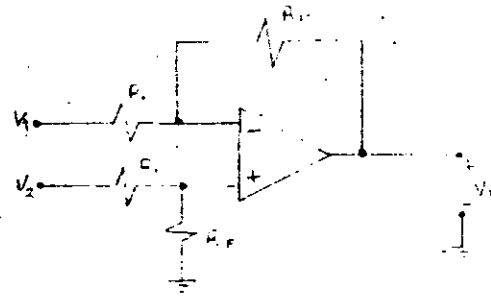


Fig. (3.10) Circuito substractor ó diferencial donde aplicando el principio de superposición se puede obtener que:

$$V_0 = \frac{R_F}{R_1} [V_2 - V_1] \quad (4.5.1)$$

4.6 EL INTEGRADOR.

Este circuito tiene la propiedad de entregar un voltaje a la salida que es proporcional a la Integral de la señal de entrada aplicada. El circuito se muestra en la Fig. (4.11).

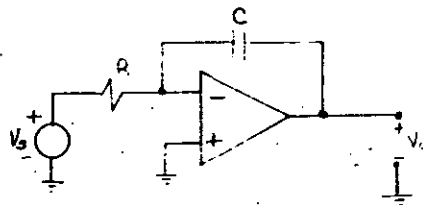


Fig. (4.11) Circuito Integrador

El circuito; sustituyendo por su modelo ideal obtenemos el circuito de la Fig. (4.12).

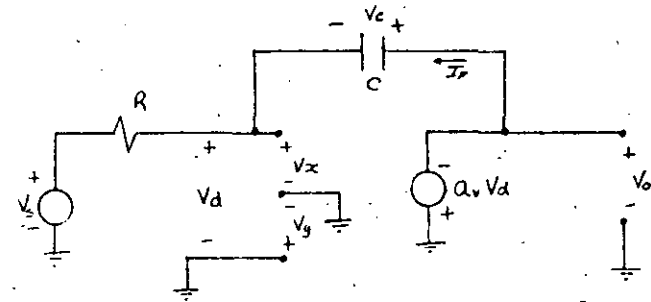


Fig. (4.12) Integrador con el operacional sustituido por su modelo ideal.

Del circuito de la Fig. (4.12) podemos escribir:

$$V_y = 0 \quad (4.6.1)$$

$$V_x = 0 \quad (4.6.2)$$

Además

$$I_F = - I_1 \quad (4.6.3)$$

pero

$$I_F = c \frac{dV_c}{dt} \quad (4.6.4)$$

y

$$V_c = V_0 \quad (4.6.5)$$

sustituyendo (4.6.5) en (4.6.4)

tenemos:

$$I_F = c \left(\frac{dV_0}{dt} \right) \quad (4.6.7)$$

Además:

$$I_1 = \frac{V_s}{R} \quad (4.6.8)$$

por lo que nos queda:

$$\frac{V_s}{R} = - c \frac{dV_0}{dt} \quad (4.6.9)$$

y finalmente integrando (4.6.9) queda:

$$V_0 = - \frac{1}{RC} \int V_s \cdot dt \quad (4.6.10)$$

4.7 EL DERIVADOR.

El circuito derivador se muestra en la Fig. (4.13) y lo único que se ha hecho con respecto al Integrador es intercambiar los elementos. Esta es una propiedad de los circuitos con operacionales realimentados negativamente. Cuando se intercambian los elementos se obtiene la función inversa.

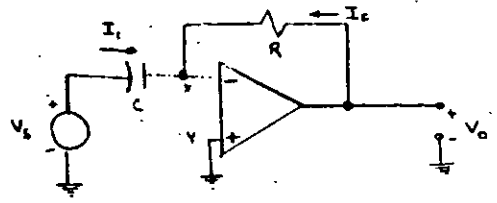


Fig. (4.13) Circuito Derivador.

La señal de salida es proporcional a la derivada de la señal de voltaje aplicada a la entrada.

Donde: $V_o = I_F R$ (4.7.1)

pero $I_F = - I_1$ (4.7.2)

$I_1 = I_C = c \frac{dV_s}{dt}$ (4.7.3)

$\therefore V_o = - RC \frac{dV_s}{dt}$ (4.7.4)

8. EL AMPLIFICADOR DE TRANSRESISTENCIA O CONVERTIDOR DE CORRIENTE A VOLTAJE.

Este circuito se comporta como si fuera una Resistencia pero con ganancia de potencia. Proporciona un voltaje en la salida que es proporcional a su corriente de entrada. La Fig. (4.14) nos muestra el circuito.

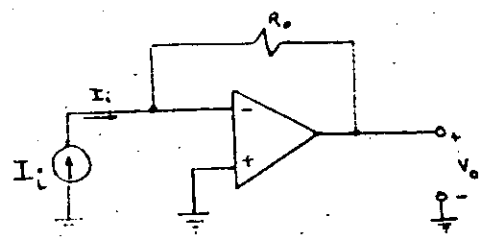


Fig. (4.14) Convertidor de Corriente a Voltaje.

y su voltaje en la salida es:

$V_o = - I_i R_F$ (4.8.1)

4.9 EL AMPLIFICADOR DE TRANSCONDUCTANCIA O CONVERTIDOR DE VOLTAJE A CORRIENTE.

Este circuito proporciona una corriente en R_L proporcional al voltaje de entrada aplicado V_i . La corriente en la salida es sensada por la resistencia R_s , este voltaje es realimentado en serie con la entrada V_i .

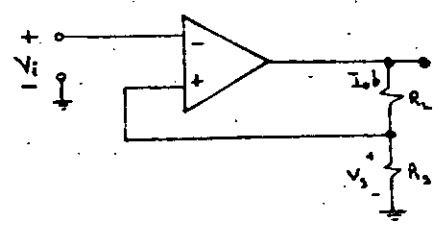


Fig. (4.15) El Amplificador de Transconductancia.

Del circuito de la Fig. (4.15); tenemos:

$$V_o = \frac{V_i (R_s + R_L)}{R_s} \quad (4.9.1)$$

y la corriente en R_L es:

$$i_o = \frac{V_o}{R_s + R_L} \quad (4.9.2)$$

$$\therefore i_o = \frac{V_i}{R_s} \quad (4.9.3)$$

Como puede observarse de (4.9.3) la corriente i_o es independiente de R_L .

5. APLICACIONES NO LINEALES.

A continuación describiremos algunas de las aplicaciones de los amplificadores operacionales a los circuitos no lineales.

5.1 EL AMPLIFICADOR LOGARITMICO.

Este amplificador se caracteriza porque su voltaje de salida es proporcional al logaritmo natural del voltaje de entrada aplicado. El circuito se muestra en la Fig. (4.1).

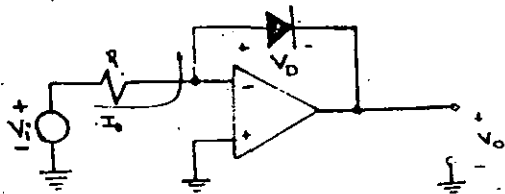


Fig. (4.1) Amplificador Logarítmico

Podemos observar que:

$$V_o = - V_D \quad (5.1.1)$$

Además
$$I_D = I_s e^{V_D/V_T} \quad (5.1.2)$$

Pero
$$I_D = \frac{V_i}{R} \quad (5.1.3)$$

Sustituyendo (5.1.3) en (5.1.2) y despejando V_D

$$V_D = V_T L_n \frac{V_i}{I_s R} \quad (5.1.4)$$

Finalmente sustituyendo (5.1.1) en (5.1.4)

$$V_o = - V_T L_n \frac{V_i}{R I_s} \quad (5.1.5)$$

Observando la ecuación (5.1.5) debemos percatarnos que se cumple sólo si $V_i > 0$.

5.2 EL AMPLIFICADOR ANTILOGARITMICO

En este circuito se obtiene la función inversa que en el circuito anterior; lo cual se logra intercambiando el diodo por la resistencia como se muestra en la Fig. (5.2)

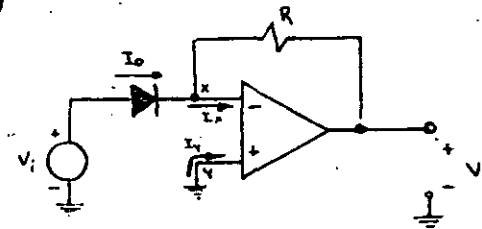


Fig.(5.2) El Amplificador Antilogarítmico.

Del circuito de la Fig. (5.2) tenemos:

$$\text{Como } V_y = V_x = 0 \quad (5.2.1)$$

$$\text{y } I_x = I_y = 0 \quad (5.2.2)$$

$$V_o = - I_D R \quad (5.2.3)$$

pero:

$$V_D = V_i \quad (5.2.4)$$

$$I_D = I_s e^{V_i/V_T} \quad (5.2.5)$$

$$V_o = - R I_s e^{V_i/V_T} \quad (5.2.6)$$

De (5.2.6) tenemos que V_o es proporcional a e^{V_i/V_T} que es el antilogaritmo natural de V_i .

Con estos dos amplificadores, el Logarítmico y el Antilogarítmico, el Sumador y el Substractor, se pueden realizar bloques de cálculo para multiplicar, dividir, extraer raíces n -ésimas ó exponenciar en forma analógica.

5.3 EL RECTIFICADOR DE PRECISION DE MEDIA ONDA.

Este circuito opera como un Diodo Ideal ya que se elimina el voltaje de umbral proporcionando una curva de transferencia como la mostrada en la Fig. (5.3) y una de sus principales aplicaciones es como detector de A.M.

El circuito rectificador se muestra en la Fig. (5.4).

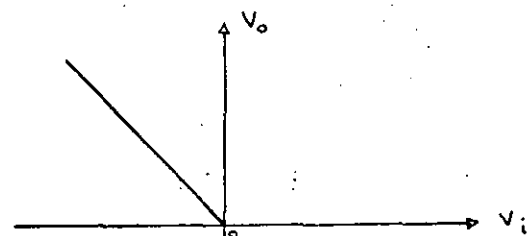


Fig. (5.3) Característica de respuesta del circuito rectificador de precisión.

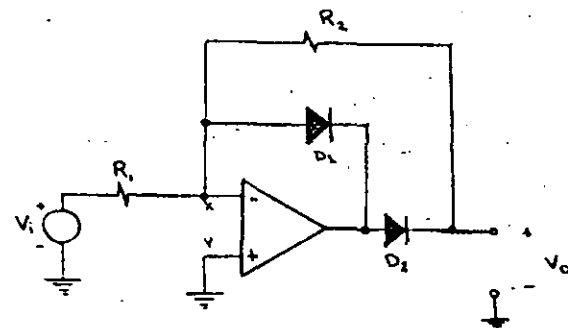


Fig. (5.4) Rectificador de precisión; opera para voltajes de entrada negativos.

Su operación es como sigue:

Cuando $V_i > 0$ fluye I_1 hasta el punto x donde la única trayectoria posible es a través del diodo D_1 ya que D_2 bloquea la corriente en R_2 y la Corriente hacia dentro del operacional es cero, por otro lado $V_x = V_y = 0$ y $V_o = -V_{R_2}$ pero si no hay corriente en R_2 $V_o = 0$.

Cuando $V_i < 0$ la corriente invierte su sentido en R_1 y D_1 bloquea la corriente y ésta fluye a través de D_2 y R_2 y $V_o = I_{R_2}$ ya que $V_x = 0$.

Para el caso en que se quiera rectificar una señal positiva solamente se invierten las polaridades de los diodos.

5.4 EL RECTIFICADOR DE PRECISION DE ONDA COMPLETA.

Este circuito se muestra en la Fig. (5.5)

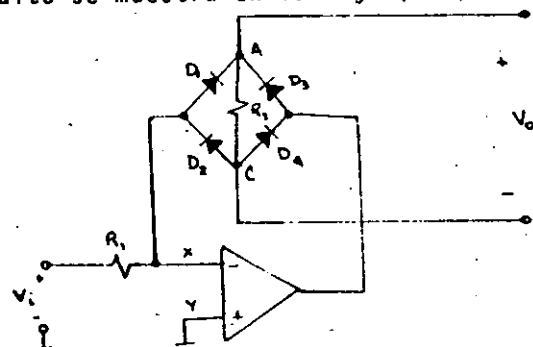


Fig. (5.5) El Rectificador de Precisión de Onda Completa.

Su comportamiento es el siguiente:

Para un voltaje $V_i > 0$; la corriente de entrada al circuito es:

$$i_1 = \frac{V_i}{R_1} \quad (5.4.1)$$

Esta corriente fluye a través de D_1 y es bloqueada por D_2 . Al llegar al punto A fluye a través de la Resistencia R_2 ya que el Diodo D_3 le impide el paso. Al llegar al punto C fluye a través de D_4 a la salida del operacional.

$$V_o = R_2 i_1 \quad (5.4.2)$$

$$V_o = \frac{R_2}{R_1} V_i \quad (5.4.3)$$

En el caso que $R_2 = R_1$

$$V_o = V_i \quad (5.4.4)$$

Cuando $V_i < 0$

La dirección de i_1 se invierte y ahora fluye a través del Diodo D_3 , R_2 y D_2 y es bloqueada por D_4 . Esto es muy importante ya que en R_2 fluye en la misma dirección que antes y V_o es positivo.

$$V_o = R_2 I_1 > 0 \quad (5.4.5)$$

$$I_1 = \frac{V_i}{R_1} \quad (5.4.6)$$

$$V_o = \frac{R_2}{R_1} |V_i| \quad (5.4.7)$$

La característica de voltaje de salida-voltaje de entrada está en la Fig. (5.6) a este circuito también se le conoce como CIRCUITO DE VALOR ABSOLUTO.

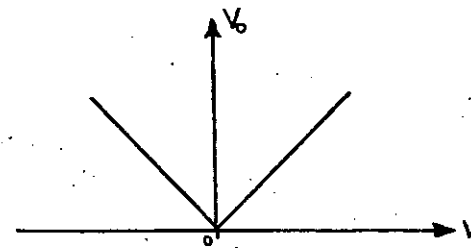


Fig. (5.6) Transferencia del circuito Rectificador de onda completa de precisión.

5.5 EL COMPARADOR DE VOLTAJE

En este circuito, el amplificador operacional se trabaja en malla abierta. Conectado de esta manera, cualquier señal, por muy pequeña que sea lo lleva a saturación ya sea al voltaje de polarización Positivo ó al Negativo, dependiendo del sentido de la diferencia $V_d = V_x - V_y$, en general si $V_x > V_y$ el voltaje en la salida es negativo e igual a $-V_{cc}$; si $V_x < V_y$ el voltaje en la salida es positivo e igual a $+V_{cc}$.

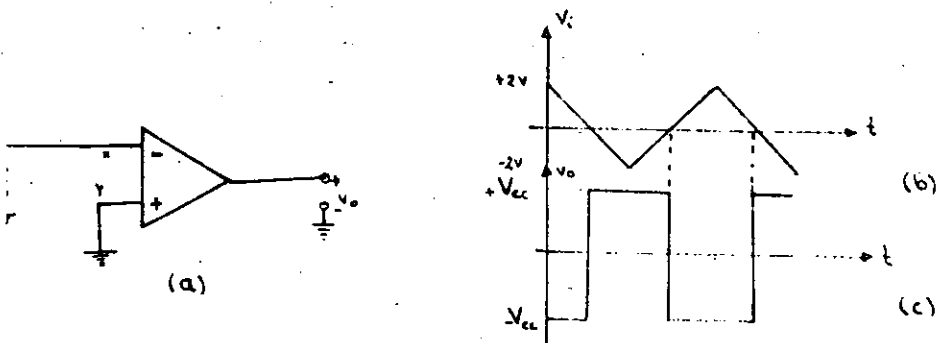


Fig. (5.7) a) El comparador, b) Si V_i es la señal triangular mostrada; se obtiene la Fig. (c) en la salida.

Desde luego se puede tener un nivel diferente de cero en la terminal no inversora y aún una señal que este variando con el tiempo.

Uno de los problemas que se tienen con los comparadores es su disparo por la presencia de una señal de ruido, por lo que es conveniente dar un margen de seguridad en la comparación. Esto se logra agregando histé-

resis al circuito. Al circuito comparador con histéresis se le llama Disparador de SCHMITT y lo estudiaremos a continuación.

5.6 EL SCHMITT TRIGGER.

Este circuito es un comparador con histéresis para eliminar las conmutaciones debidas a la presencia de ruido; la histéresis se logra con una realimentación positiva como se muestra en la Fig. (5.8).

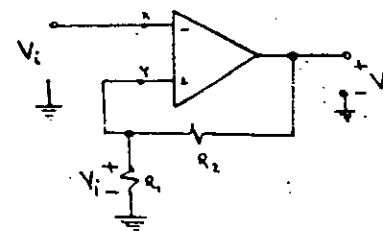


Fig. (5.8) El Schmitt Trigger

Del circuito tenemos que:

$$V_f = \frac{R_1}{R_1 + R_2} V_o \quad (5.6.1)$$

donde V_f es el voltaje de realimentación

$$V_f = V_y \quad (5.6.2)$$

$$V_f = \beta V_o \quad (5.6.3)$$

Donde
$$\beta = \frac{R_1}{R_1 + R_2} \quad (5.6.4)$$

Además:

$$V_o = a (V_x - V_y) \quad (5.6.5)$$

32

Si

$$V_x > V_y$$

$$V_o = V_{o\text{MAX}} = V_{cc} \quad (5.6.6)$$

y si $V_y < V_x$

$$V_o = V_{o\text{MIN}} = -V_{cc} \quad (5.6.7)$$

Supongamos que:

$$V_o = V_{o\text{MAX}} = V_{cc} \quad (5.6.8)$$

$$\text{luego: } V_f = \beta V_{cc} \quad (5.6.9)$$

$$\text{y } V_y = \beta V_{cc} \quad (5.6.10)$$

Ahora sólo ocurrirá un cambio de estado cuando:

$$V_i > V_y \quad (5.6.11)$$

$$\text{pues } V_i = V_x \quad (5.6.12)$$

esto ocurre únicamente cuando

$$V_i > \beta V_{cc} \quad (5.6.13)$$

$$V_o = -V_{cc} \quad (5.6.14)$$

y un nuevo cambio ocurrirá cuando

$$V_i < V_y \quad (5.6.15)$$

$$\text{pero ahora: } V_y = -\beta V_{cc} \quad (5.6.16)$$

y cuando

$$V_i \leq -\beta V_{cc} \quad (5.6.17)$$

$$V_o = V_{cc} \quad \text{nuevamente} \quad (5.6.18)$$

La Fig. (5.9) muestra la característica de operación. Podemos observar que dependiendo del valor de β se puede fijar el grado de histéresis.

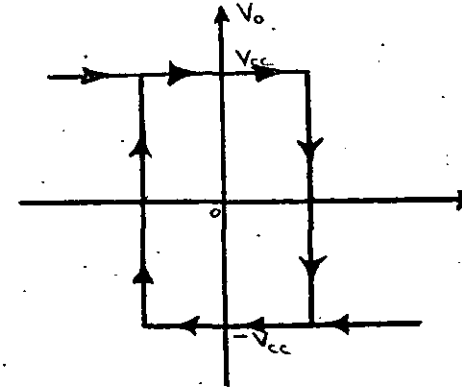


Fig. (5.9) Transferencia V_o V_i del circuito SCHMITT TRIGGER.

6. FILTROS ACTIVOS

En esta sección hablaremos brevemente de los Filtros Activos. Un estudio más profundo se encuentra en las referencias presentadas al final.

Los Filtros Activos son dispositivos discriminadores de frecuencia que utilizan amplificadores operacionales, y redes RC; esto es no utilizan inductores; por lo que su tamaño y costo es reducido. Su aplicación principal es en el acondicionamiento de señales analógicas y en la discriminación y detección de señales digitales, todo esto en un rango de frecuencias que van desde D.C. hasta 1MHZ más o menos, aunque con amplificadores especiales se pueden lograr filtrar frecuencias mayores. Pero es precisamente en las frecuencias bajas donde los filtros pasivos resultan caros, pesados y voluminosos; de allí el gran auge de los Filtros Activos.

Hemos dicho que un filtro es un elemento discriminador de frecuencias; esto es, estos circuitos permiten el paso a una gama de frecuencias y rechaza a otras. A la gama de frecuencias que pasan libremente se le conoce como Banda de Paso, y las frecuencias que son rechazadas se dice que pertenecen a la Banda de Rechazo.

De acuerdo a las frecuencias que son contenidas en la Banda de Paso y en la Banda de Rechazo los filtros pueden ser:

- Filtros de Paso Bajo
- Filtros de Paso Alto
- Filtros de Paso-Banda

- Filtro Supresor de Banda

La Fig. (6.1) muestra las características de cada uno de los filtros mencionados.

A continuación hablaremos brevemente de cada uno de ellos en su versión de segundo orden y ganancia unitaria. Cabe decir que existen con diferentes ganancias y de orden superior, aunque los de segundo orden se utilizan como elemento constitutivo de orden superior.

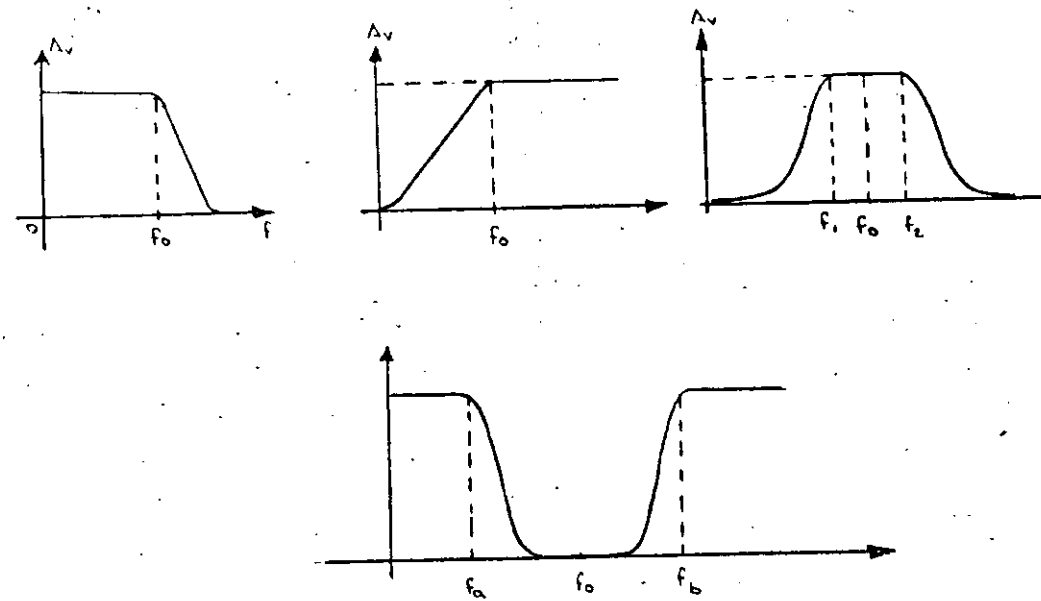


Fig. (6.1) Características Ganancia-frecuencia de los Filtros Activos a) Paso Bajo b) Paso Alto, c) Paso Banda, d) Supresor de Banda. f_c , f_{c1} y f_{c2} son las frecuencias de corte.

34

6.1 FILTROS ACTIVOS DE PASO BAJO DE SEGUNDO ORDEN.

Este circuito se muestra en la Fig. (6.1.2) en su versión de ganancia unitaria en la Banda de Paso.

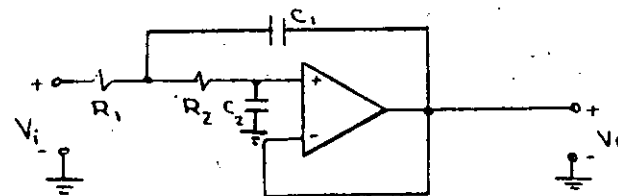


Fig. (6.1.2) Filtro activo de Paso-Bajo de Segundo orden y Ganancia Unitaria.

Cuya función de transferencia está dada por la expresión (6.1.1)

$$A_v = \frac{1}{s^2(C_1 C_2 R_1 R_2) + s \left[C_2 (R_1 + R_2) \right] + 1} \quad (6.1.1)$$

Cuyas raíces se encuentran en:

$$s_1 s_2 = \frac{-C_2 (R_1 + R_2) \pm \left[C_2^2 (R_1 + R_2)^2 - 4 C_1 C_2 R_1 R_2 \right]^{1/2}}{2 C_1 C_2 R_1 R_2} \quad (6.1.2)$$

En la Fig. (6.1.3) se muestra la localización de las raíces para los diferentes polinomios de aproximación de la ecuación característica Butterworth, Chebyshev y Bessel.

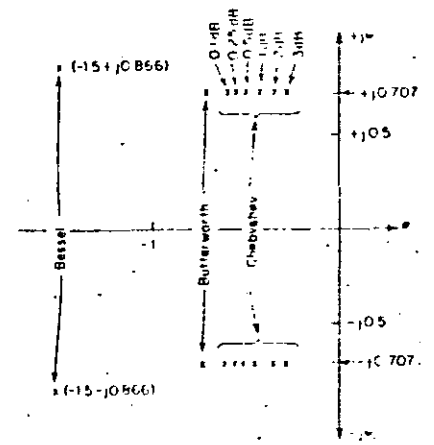


Fig. (6.1.3) Localización de los polos en el Dominio de s para la ecuación (6.1.2)

La ecuación (6.1.1) se puede poner de la siguiente manera:

$$A_v = \frac{1/R_1 R_2 C_1 C_2}{s^2 + \left[\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} \right] s + 1/R_1 R_2 C_1 C_2} \quad (6.1.3)$$

La ecuación (6.1.2) es de la forma:

$$A_v = \frac{\omega_0^2}{s^2 + 2\zeta\omega_0 s + \omega_0^2} \quad (6.1.4)$$

donde:

$$\omega_0 = \frac{1}{R_1 R_2 C_1 C_2} \quad (6.1.5)$$

$$\zeta = \frac{1}{2Q} \quad (6.1.6)$$

ω_0 es la frecuencia natural ó frecuencia de corte del filtro y ζ es el factor de amortiguamiento. Entre menor sea el factor de amortiguamiento, mayor es el pico resultante en ω_0 en la respuesta en frecuencia del filtro. Este factor de amortiguamiento está dado por:

$$\zeta = \frac{R_1 + R_2}{2} \left(\frac{C_2}{R_1 R_2 C_1} \right)^{1/2} \quad (6.1.7)$$

A continuación damos una tabla para los capacitores del filtro de 2º orden de paso bajo y ganancia unitaria de la Fig. (6.1.1) en cada una de sus versiones.

Tipo de Filtro	ζ	C_1 "F	C_2 " F
Bessel	0.8659	0.9066	0.6799
Butlerworth	0.7072	1.414	0.7071
Cheb. (0.1 DB)	0.6516	1.638	0.6955
Cheb. (0.25 DB)	0.6179	1.778	0.6789
Cheb. (0.5 DB)	0.5789	1.949	0.6533
Cheb. (1.0 DB)	0.5228	2.218	0.6061
Cheb. (2 DB)	0.4431	2.672	0.5246
Cheb. (3 DB)	0.3833	3.103	0.4558

Tabla de valores de capacitores

Pasos para el Diseño

1. Escoja C_1'' y C_2'' de la Tabla dada, de acuerdo al tipo de filtro requerido.
2. Usando la frecuencia de corte f_0 realice el siguiente escalamiento en frecuencia.

$$C_1 = \frac{C_1''}{2 f_0} \quad (6.1.8)$$

$$C_2 = \frac{C_2''}{2 f_0} \quad (6.1.9)$$

3. Escoja un valor $R = R_1 = R_2$ de tal manera que obtenga valores prácticos para C_1 y C_2 . Para esto se realiza lo que se llama un escalamiento de impedancia.

$$C_1 = \frac{C_1'}{R} \quad (6.1.10)$$

$$C_2 = \frac{C_2'}{R} \quad (6.1.11)$$

A continuación, ilustraremos con un ejemplo.

Ejemplo:

$$f_0 = 1,000 \text{ HZ}$$

Tipo Chebyshev 3 D.B.

Máximo tamaño del capacitor 0.01 μf

De la tabla obtenemos:

$$C_1'' = 3.103 \text{ F}$$

$$y \quad C_2'' = 0.4558 \text{ F}$$

Usando un escalamiento en frecuencia

$$C_1' = \frac{C_1''}{2\pi f_0}$$

$$C_1' = \frac{3.103}{2\pi \times 10^3} = 4.94 \times 10^{-4}$$

$$C_2' = \frac{C_2''}{2\pi \times f_0}$$

$$C_2' = \frac{0.4558}{2\pi \times 10^3} = 7.25 \times 10^{-5}$$

Escogiendo $C_1 = 0.01 \mu\text{f}$

$$R = \frac{C_1'}{C_1} = 49.400 \Omega$$

$$C_2 = \frac{C_2'}{R} = 1,470 \text{ pf}$$

6.2 FILTRO ACTIVO DE SEGUNDO ORDEN Y GANANCIA UNITARIA DE PASO ALTO.

Este circuito se muestra en la Fig. (6.4) y proporciona ganancia unitaria para frecuencias mayores que f_0 y en cambio impide el paso de D.C.

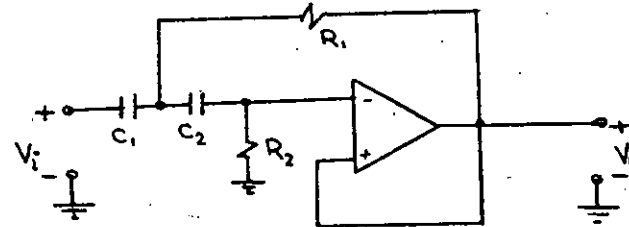


Fig. (6.4) Filtro de segundo orden y ganancia unitaria de Paso Alto.

La función de transferencia está dada por la ecuación (6.2.1)

$$A_v = \frac{s^2}{s^2 + s(1/R_2 C_1 + 1/R_2 C_2) + 1/R_1 R_2 C_1 C_2} \quad (6.2.1)$$

La localización de los polos complejos es en

$$s_{P1} s_{P2} = -\frac{1}{2R_2} \left[\frac{C_1 + C_2}{C_1 C_2} \right] \pm \left[\left(\frac{C_1 + C_2}{2R_2 C_1 C_2} \right)^2 - \frac{1}{R_1 R_2 C_1 C_2} \right]^{1/2} \quad (6.2.2)$$

La siguiente tabla muestra los valores del amortiguamiento y las resistencias para un filtro de 2º orden de paso alto y ganancia unitaria cuando se utilizan las diferentes aproximaciones.

TABLE 11.1 Unscaled Resistor Values for Fig. 11.1

Type of two-pole high-pass filter	ζ	R_1	R_2
Bessel	0.959	1.103	1.471
Butterworth	0.7072	0.7072	1.314
Chebyshev (0.1-dB peak)	0.6516	0.6305	1.438
Chebyshev (0.25-dB peak)	0.6179	0.5624	1.473
Chebyshev (0.5-dB peak)	0.5789	0.5131	1.531
Chebyshev (1-dB peak)	0.5228	0.4599	1.650
Chebyshev (2-dB peak)	0.4431	0.3713	1.906
Chebyshev (3-dB peak)	0.3843	0.3223	2.194

TABLA 2 de Filtros Paso Alto

Procedimiento de Diseño.

1. Escoja R_1' y R_2' de la tabla 2 de acuerdo al tipo de filtro requerido.
2. Realice el siguiente escalamiento en frecuencia

$$C = \frac{1}{2\pi f_0} \quad (6.2.3)$$

3. Escoja una constante K que dará valores prácticos para C_1 y C_2 ; de acuerdo a la siguiente expresión:

$$C_1 = C_2 = \frac{C}{K} \quad (6.2.4)$$

4. Calcule los valores para las resistencias con:

$$\begin{aligned} R_1 &= K R_1' \\ R_2 &= K R_2' \end{aligned} \quad (6.2.5)$$

6.3 FILTRO PASO BANDA

La curva característica de este filtro se da en la Fig. (6.5). En la cual se observa que es un filtro que permite el paso a las frecuencias contenidas entre f_{c1} y f_{c2} .

En esta parte hablaremos del filtro de paso banda con realimentación múltiple que se muestra en la Fig. (6.5) cuyas ventajas son:

1. Usa un solo amplificador
2. El ajuste de la frecuencia central f_0 se hace con una sola resistencia R_2 .
3. Para Q bajas (menores que 10), la sensibilidad del factor de calidad Q y de la frecuencia central f_0 con respecto a las variaciones en las componentes es baja.
4. Para Q bajas el cálculo corresponde bastante al valor real obtenido.

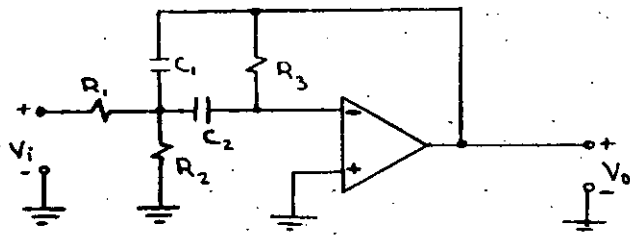


Fig. (6.5) Filtro Paso-Banda con realimentación múltiple.

Su función de transferencia es:

$$A_v = \frac{-ds}{s^2 + as + b} \quad (6.3.1)$$

Donde:

$$d = \frac{1}{R_1 C_1} \quad (6.3.2)$$

$$a = \frac{1/C_1 + 1/C_2}{R_3} \quad (6.3.3)$$

$$b = \frac{1/R_1 + 1/R_2}{R_3 C_1 C_2} \quad (6.3.4)$$

Normalmente se hace:

$$C_1 = C_2 = C \quad (6.3.5)$$

$$R_1 = \frac{1}{2\pi d f H C} \quad (6.3.6)$$

$$R_2 = 2\pi C \left(\frac{2f_0^2}{\Delta f} - \Delta f H \right)^{-1/2} \quad (6.3.7)$$

$$R_3 = \frac{1}{\pi \Delta f C} \quad (6.3.8)$$

Invirtiendo estas ecuaciones, podemos tener:

$$f_0 = \frac{1}{2\pi} \left[\frac{1}{R_3 C_1 C_2} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \right]^{1/2} \quad (6.3.9)$$

$$Q = \frac{f_0}{\Delta f} = \frac{R_3 (1/R_1 + 1/R_2)^{1/2}}{(C_2/C_1)^{1/2} + (C_1/C_2)^{1/2}} \quad (6.3.10)$$

$$H = \frac{R_3 C_2}{R_1 (C_1 + C_2)} \quad (6.3.11)$$

Diseño del Filtro Paso Banda

1. Escoga los valores de f_0 , H y Q de acuerdo a las necesidades de su diseño.

2. Haga $C = C_1 = C_2$ de un valor práctico.

3. Calcule $R_3 = \frac{2Q}{2\pi f_0 H}$

Notando que si R_3 es muy grande tendremos un voltaje de desajuste dado por:

$$V_{oo} = I_B R_3$$

Si este valor es grande, escoja un valor mayor de C y vuelva a calcular R_3 .

4. Calcule R_2 de:

$$R_2 = \frac{Q}{(2\pi f_0) (2Q^2 - H)}$$



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

GENERADORES DE ONDAS Y CONVERTIDORES A/D Y D/A

ING. ROBERTO MACIAS PEREZ

SEPTIEMBRE, 1984.

7.- GENERADORES DE ONDAS

7.1 El Generador de Ondas Cuadradas

Este circuito proporciona a la salida señales de forma cuadrada de una frecuencia y amplitud fijas; las cuales puede fijar el diseñador.

Su principio de operación se basa en el uso de un Schmitttrigger en cuya salida se conecta una red RC de paso bajo y el voltaje desarrollado en el capacitor se aplica a la terminal inversora en lugar de la señal externa que se aplica al circuito de Schmitt como se muestra en la fig. (7.1). Los diodos son únicamente para limitar la excursión del voltaje en la salida.

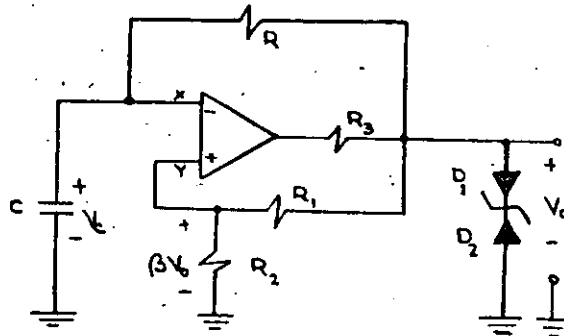


Fig. (7.1) Generador de Ondas Cuadradas

La señal de onda generada se muestra en la fig. (7.2); en la cual se ha señalado también el voltaje en el capacitor; a este circuito se le conoce como multi vibrator astable porque no presenta ningún estado estable y solamente tiene dos estados casi estables uno a un valor $V_{o_{max}}$ y otro a $-V_{o_{max}}$

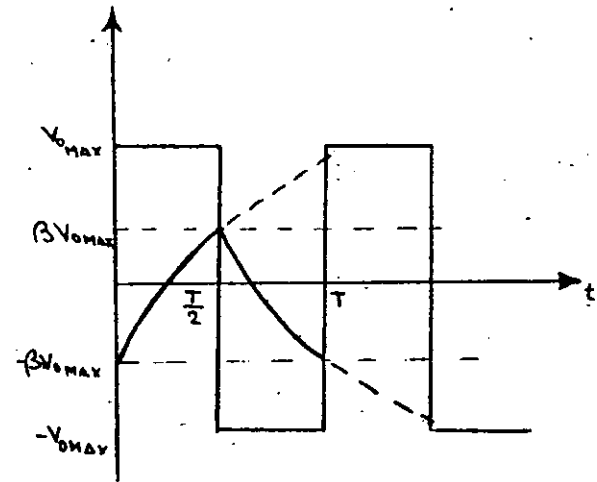


Fig. (7.2) Voltajes en la salida y en el capacitor del generador de ondas cuadradas.

Del circuito podemos ver que:

$$V = \beta V_o \quad (7.1.1)$$

donde

$$\beta = \frac{R}{R+R} \quad (7.1.2)$$

por otro lado:

$$V_x = V_c \quad (7.1.3)$$

donde V_c es el voltaje en el capacitor el cual está dado por:

$$V_c(t) = V_{o_{max}} \left[1 - (1+\beta) e^{-t/\tau} \right] \quad (7.1.4)$$

donde $\tau = RC$ (7.1.5)

por otro lado sabemos que $-Q_v(V_x - V_c) = V_o$ (7.1.6)

y que si $V_x < V_y$ (7.1.7)

$V_o = V_{o_{max}}$ (7.1.8)

y si $V_x < V_y$ (7.1.9)

$V_o = -V_{o_{max}}$ (7.1.10)

En este caso $V_{o_{max}}$ está limitado por el voltaje del diodo zener más el voltaje de encendido ó de umbral de un diodo en directa, esto es:

$V_o = V_z + V_D$ (7.1.11)

Consideremos que $V_x < 0$ esto es la diferencia V_d es negativa donde V_d está dada por (7.1.12)

$V_d = V_x - V_y$ (7.1.12)

Esto implica, según (7.1.7) que V_o es positivo e igual a $V_{o_{max}}$; por lo que V_y también es positivo y está dado por (7.1.2)

El circuito de carga del capacitor es el mostrado en la fig. (7.3) y su salida tiende a $V_{o_{max}}$ en forma exponencial.

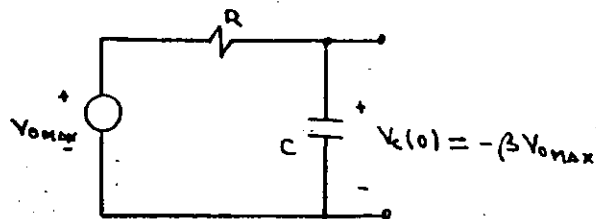


Fig. (7.3) Circuito de carga del capacitor para $V_o = V_{o_{max}}$

Quando el voltaje en el capacitor C alcanza un valor igual al que presenta V_y ; esto es cuando $V_c = \beta V_{o_{max}}$; el voltaje en la salida del operacional conmuta a un valor aproximadamente igual a su voltaje negativo de polarización ($-V_{cc}$) y la salida del circuito va a un voltaje igual a $-V_{o_{max}}$. Esto hace que el voltaje en y se haga negativo e igual a $-\beta V_{o_{max}}$ y el circuito del capacitor está dado por la fig. (7.4).

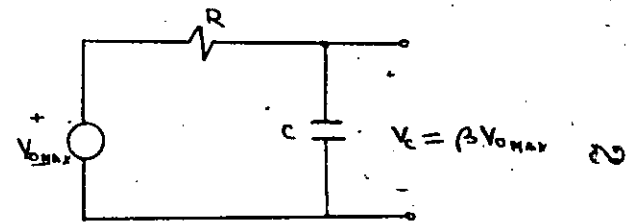


Fig. (7.4) Circuito del capacitor para $V_o = -V_{o_{max}}$;

Note que $V_c = V_{o_{max}}$ inicialmente.

Ahora el voltaje en el capacitor tiende a ir a $-V_{o_{max}}$ siguiendo una curva exponencial y mientras no alcance un valor igual a $-\beta V_{o_{max}}$; la salida del circuito permanecerá en un valor igual a $-V_{o_{max}}$ y así; cuando V_c iguale a $-\beta V_{o_{max}}$ el circuito conmuta a un valor igual a $V_{o_{max}}$ y se repite el ciclo.

Si hacemos $t=0$ cuando $V_c = -8V_o$; para el primer semiciclo; tenemos (ya que V_c va a $V_{o\max}$ con una constante de tiempo $\tau = RC$),

$$V_c(t) = V_{o\max} - (1+\beta) e^{-t/\tau} \quad (7.1.13)$$

puesto que cuando $t = \frac{T}{2}$; $V_c = 8 V_{o\max}$; podemos calcular el periodo resolviendo la expresión (7.1.13) y obtener (7.1.14)

$$T = 2 \tau \ln \frac{1+\beta}{1-\beta} \quad (7.1.14)$$

$$T = 2 RC \ln \left(1 + \frac{2R_1}{R_2} \right) \quad (7.1.15)$$

Note que T es independiente de V_o

Este generador se usa en un rango de 10 Hz. En frecuencias mayores el Slew-Rate del operacional limita la pendiente de la onda cuadrada de salida. La amplitud depende del voltaje de los diodos Zener y un buen "apareo" hace que haya simetría en la amplitud.

7.2 GENERADOR DE ONDAS TRIANGULARES

Del circuito generador de ondas cuadradas, podemos observar que el voltaje en el capacitor tiene una forma triangular; sólo que los lados del triángulo son exponenciales más bien que rectas. Para linealizar los triángulos es necesario que el capacitor se cargue con una fuente de corriente constante. Aquí se puede usar un transistor ya sea bipolar o FET para general las rampas; pero en esta parte usaremos un circuito integrador con un operacional; el cual tiene un comportamiento mejor. El circuito generador de ondas triangulares se muestra en la Fig. (7.5).

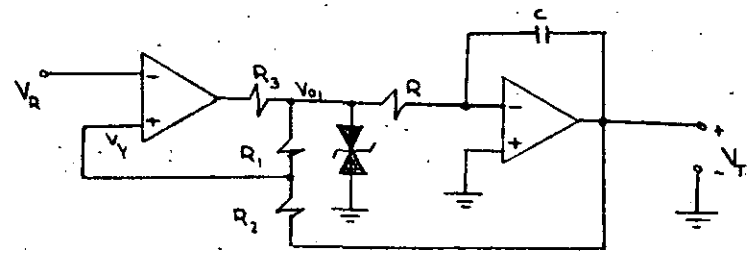


Fig. (7.5) Generador de Ondas Triangulares

Debido a la inversión de la señal en el integrador; este voltaje es realimentado a la terminal no inversora del comparador y no a la inversora como en el caso del generador de ondas cuadradas. En otras palabras, el comparador se comporta como un Schmitt Trigger no inversor.

La Fig. (7.6) muestra la señal triangular obtenida.

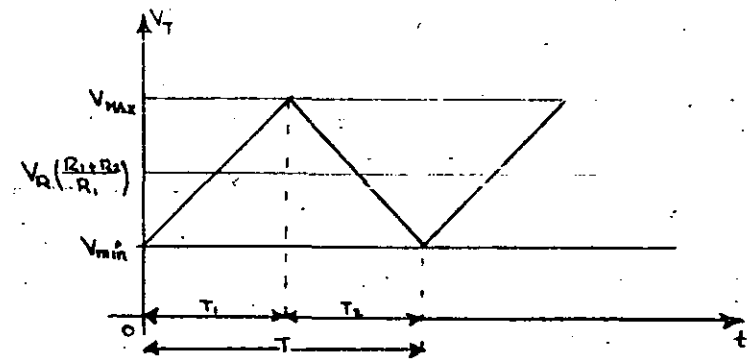


Fig. (7.6) Señal triangular obtenida en el circuito de la Fig. (7.5).

Para encontrar el valor máximo de la señal triangular; asumamos que el voltaje V_{o1} que es la salida del comparador está en su valor negativo; esto es: $V_{o1} = -V_{oMAX}$ donde V_{oMAX} es como antes igual a $V_D + V_Z$, la suma de voltajes en los diodos Zener. Con la entrada negativa; la salida del integrador V_T es una rampa de pendiente positiva. El voltaje V_y en el comparador está dado por (7.2.1). Esta expresión se obtiene utilizando el principio de superposición.

$$V_y = \frac{V_{oMAX} \cdot R_2}{R_1 + R_2} + \frac{V_T \cdot R_1}{R_1 + R_2} \quad (7.2.1)$$

Cuando V_T llega a un valor igual a V_R ; el comparador cambia de estado y V_{o1} se hace igual a $+V_{oMAX}$, lo cual hace que V_T comience a decrecer en forma lineal; por lo tanto, el valor de pico de la señal triangular ocurre para $V_y = V_R$. De la ecuación (7.2.1)

$$V_{MAX} = V_R \frac{R_1 + R_2}{R_1} + V_{oMAX} \frac{R_2}{R_1} \quad (7.2.2)$$

Por medio de un argumento similar podemos encontrar que:

$$V_{mfn} = V_R \frac{R_1 + R_2}{R_1} - V_{oMAX} \frac{R_2}{R_1} \quad (7.2.3)$$

y el swing de pico a pico está dado por:

$$V_{MAX} - V_{mfn} = 2 V_o \frac{R_2}{R_1} \quad (7.2.4)$$

Hay que notar que el valor promedio está dado por:

$$V_{prom} = V_R (R_1 + R_2)/R_1 \quad (7.2.5)$$

y si $V_R = 0$ la señal va de $-V_o R_2/R_1$ a $V_o R_2/R_1$. Este desplazamiento en voltaje es controlado por V_R y el swing de pico a pico es controlado por la relación de R_2/R_1 .

Para calcular los tiempos T_1 y T_2 , debemos considerar que la corriente de carga en el capacitor está dada por (7.2.6)

$$i_c = c \frac{dV_c}{dt} \quad (7.2.6)$$

pero: $V_c = -V_T$

por lo que:

$$i_c = -c \frac{dV_T}{dt} \quad (7.2.7)$$

para $V_{o1} = -V_{oMAX}$ (7.2.8)

$$i = -\frac{V_{oMAX}}{R} \quad (7.2.9)$$

$$y \quad \frac{dv}{dt} = \frac{V_{oMAX}}{RC} \quad (7.2.10)$$

por tanto:

$$T_1 = \frac{V_{MAX} - V_{mfn}}{V_{oMAX}/RC} \quad (7.2.11)$$

finalmente:

$$T_1 = \frac{2R_2 RC}{R_1} \quad (7.2.12)$$

Puesto que la velocidad del barrido negativo tiene la misma magnitud que la calculada arriba, $T_2 = T_1 = T/2 = 1/2f$, donde la frecuencia f está dada por (7.2.13)

$$f = \frac{R_1}{4R_2 RC} \quad (7.2.13)$$

Note que la frecuencia es independiente de la amplitud. La máxima frecuencia está limitada por el Slew-Rate del integrador o por su máxima corriente de salida, la cual determina la velocidad de carga del capacitor.

7.3 OSCILADORES SENOIDALES

La Fig. (7.7) muestra un amplificador, una red de realimentación y un circuito mezclador; la malla no se ha cerrado como puede observarse. El amplificador proporciona una salida X_o como consecuencia de la entrada X_i aplicada directamente al amplificador. La salida de la red de realimentación es $X_f = \beta X_o = \beta a X_i$ y la salida del circuito mezclador, que es solamente un inversor, está dada por:

$$X_i = -X_f = -\beta a X_i$$

y la ganancia de lazo T es

$$T = \frac{X_f}{X_i} = -\frac{X_f}{X_i} = \beta a$$

si la señal X_f es idéntica a la señal externa aplicada X_i ; puesto que el amplificador no puede distinguir la fuente de la señal de entrada aplicada a él, y de repente se desconecta la fuente y se conecta el punto 2 al 1; el amplificador seguirá proporcionando la misma salida que antes. Note que hemos supuesto que $X_f = X_i$ significa que son exactamente iguales todo el tiempo. La condición $X_f = X_i$ es equivalente a que $-\beta a = 1$; la ganancia de lazo debe ser igual a la unidad.

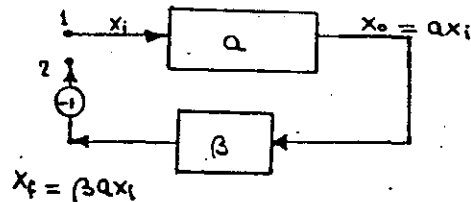


Fig. (7.7) Amplificador de ganancia A , red de realimentación β . No conectados aún.

7.3.1. EL CRITERIO DE BARKHAUSEN

Para una onda senoidal $X_f = X_i$ es equivalente a que la Amplitud, la Fase y la Frecuencia de X_i y X_f son idénticas. Por lo tanto, tenemos el siguiente principio.

La frecuencia a la que un oscilador senoidal opera es la frecuencia para la que el corrimiento total introducido por el amplificador y la red de realimentación es exactamente cero (o un múltiplo de 2π). Dicho de otra manera.

La frecuencia de un oscilador senoidal está determinada por la condición que el defasamiento de su ganancia de lazo es cero.

Además:

Las oscilaciones no se sostendrán si, a la frecuencia de oscilación, la magnitud del producto de la ganancia de lazo es menor que la unidad.

A la condición de Ganancia de Lazo Unitaria se le denomina Criterio de Barkhausen.

Esta condición implica, desde luego que:

$$|a\beta| = 1 \quad (7.3.1)$$

y la fase de $a\beta$ es cero.

El principio enunciado es consistente con la ecuación de la realimentación (7.3.2)

$$A_f = \frac{a}{1 + \beta a} \quad (7.3.2)$$

Para la que si $-a\beta = 1$; $Af = 1$ lo que puede interpretarse como que "existe un voltaje de salida aún cuando ningún voltaje se aplique a la entrada".

En la realización de osciladores prácticos, la ganancia de lazo se hace ligeramente mayor que la unidad y la amplitud de las oscilaciones es limitada por la saturación del sistema, o limitadores de amplitud tales como Diodos Zener.

7.3.2. EL OSCILADOR DE PUENTE DE WIEN.

La Fig. (7.8) muestra el circuito denominado oscilador de puente de Wien; en el cual podemos observar que se tiene un amplificador No Inversor; cuya señal de entrada es V_y .

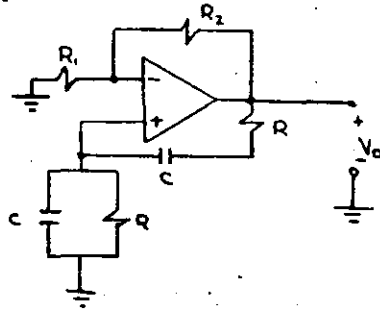


Fig. (7.8) Puente de Wien

$$\text{Esto es } V_0 = V_y \left(1 + \frac{R_2}{R_1} \right) \quad (7.3.3)$$

$$\text{Además } V_y = V_0 \frac{Z_2}{Z_1 + Z_2} \quad (7.3.4)$$

De las expresiones (7.3.3) y (7.3.4) podemos identificar tanto la ganancia del amplificador como el factor de realimentación.

La ganancia de voltaje del amplificador está dada por (7.3.5)

$$A_V = \left(1 + \frac{R_2}{R_1} \right) \quad (7.3.5)$$

Y el factor de realimentación está dado por la expresión (7.3.6)

$$\beta = \frac{-Z_2}{Z_1 + Z_2} \quad (7.3.6)$$

Donde Z_1 y Z_2 están dados por (7.3.7)

$$Z_1 = R + \frac{1}{sC} \quad (7.3.7)$$

$$Z_2 = R \parallel 1/sC$$

Esto es:

$$Z_2 = \frac{R}{Rcs + 1} \quad (7.3.8)$$

Calculemos la ganancia de lazo

$$T = A_V \beta \quad (7.3.9)$$

$$T = A_V \frac{Z_2}{Z_1 + Z_2} \quad (7.3.10)$$

Que se puede escribir:

$$T = A_V \frac{R / (1 + Rcs)}{1 + Rcs + R + \frac{1}{sC}} \quad (7.3.11)$$

Que se puede simplificar a la expresión (7.3.12)

$$T = A_v \frac{s/R_c}{s^2 + (3/R_c) s + 1/(R_c)^2} \quad (7.3.12)$$

Aplicando el criterio de Barkhausen que nos dice que la parte real de la ganancia de lazo (T) debe ser igual a la unidad y la parte imaginaria igual a cero; lo que es equivalente a decir que su defasamiento es cero y su magnitud igual a la unidad.

$$T(s) = A_v \frac{s/R_c}{s^2 + (3/R_c) s + 1/(R_c)^2} \quad (7.3.12)$$

$$T(j\omega) = A_v \frac{j\omega/R_c}{(j\omega)^2 + (3/R_c) j\omega + 1/(R_c)^2} \quad (7.3.13)$$

$$T(j) = \frac{\text{Re}T(j\omega)^2 + \{\text{Im}T(j\omega)\}^2}{\text{Re}T(j\omega)^2 + \{\text{Im}T(j\omega)\}^2} \quad (7.3.14)$$

Desarrollando y haciendo $\text{Im} T(j\omega)=0$ se obtiene la frecuencia de oscilación

$$\omega_0 = \frac{1}{RC} \quad (7.3.15)$$

o bien; como $\omega_0 = 2\pi f_0$

$$f_0 = \frac{1}{2\pi RC} \quad (7.3.16)$$

Substituyendo (7.3.15) en (7.3.14) y haciendo que la magnitud de la ganancia de lazo sea igual a uno; obtenemos que

$$A_v = 3 \quad (7.3.17)$$

Este valor garantiza que las oscilaciones se sostendrán; en la práctica se hace un poco mayor que 3.

La condición dada por (7.3.17) implica que:

$$R_2 = 2R_1 \quad (7.3.18)$$

Aunque por lo mencionado anteriormente; normalmente se hace:

$$R_2 > 2R_1 \quad (7.3.19)$$

para garantizar que la oscilación se mantiene.

En estos tipos de osciladores, la principal limitación es la respuesta en frecuencia del amplificador operacional y desde luego el slew-rate; por lo que eligiendo adecuadamente el amplificador se pueden lograr oscilaciones hasta de 10 MHz.

7.3.3 EL OSCILADOR POR CAMBIO DE FASE

La Fig. (7.9) muestra un esquema general del oscilador con red cambiadora de fase. En él se puede observar la presencia de tres secciones Z_1-Z_2 en la red de realimentación, cuyo objeto es conseguir 180 grados de defasamiento que, junto con los 180 propios del amplificador inversor permite tener una ganancia de lazo cuyo defasamiento es 360 grados 0 0.

Puesto que cada una de las secciones produce un defasamiento que no puede llegar a los 90°, serán necesarias como mínimo tres secciones para lograr los 180° necesarios.

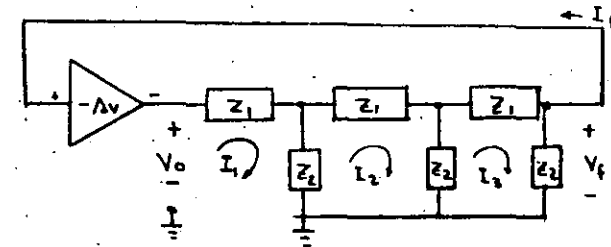


Fig. (7.9) Oscilador por Cambio de Fase.

Del circuito de la Fig. (7.9) se pueden plantear las siguientes ecuaciones:

$$V_o = i_1 (Z_1 + Z_2) - i_2 Z_2 \quad (7.3.20)$$

$$V_o = i_1 Z_2 + i_2 (Z_1 + 2Z_2) - i_3 Z_2 \quad (7.3.21)$$

$$0 = -i_2 Z_2 + i_3 (Z_1 + 2Z_2) \quad (7.3.22)$$

$$V_f = i_3 Z_2 \quad (7.3.23)$$

Manipulando algebraicamente se puede obtener la expresión (7.3.24); la cual nos representa el factor de realimentación B .

$$\frac{V_f}{V_o} = \frac{1}{\left(\frac{Z_1}{Z_2}\right)^3 + 5\left(\frac{Z_1}{Z_2}\right)^2 + 6\left(\frac{Z_1}{Z_2}\right) + 1} \quad (7.3.24)$$

Si observamos la expresión (7.3.24); la parte imaginaria está dada por las potencias impares, por lo que, si consideramos a A_v real; la expresión (7.3.25) nos da la frecuencia de oscilación.

$$\left(\frac{Z_1}{Z_2}\right)^2 + 6\left(\frac{Z_1}{Z_2}\right) = 0 \quad (7.3.25)$$

Para el caso de celdas R-C; se tiene que la red defasadora es la mostrada en la Fig. (7.10)

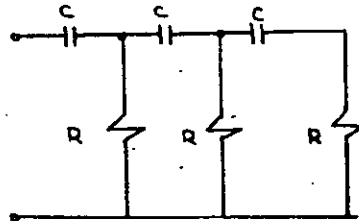


Fig. (7.10) Red Defasadora R-C.

Con la red defasadora de la Fig. (7.10) tenemos que:

$$Z_1 = \frac{1}{sC} \quad (7.3.26)$$

y

$$Z_2 = R \quad (7.3.27)$$

Por lo que si sustituimos (7.3.26) y (7.3.27) en la expresión (7.3.25); queda:

$$\left(\frac{1}{RCs}\right) + 6\left(\frac{1}{RCs}\right) = 0 \quad (7.3.28)$$

Si en la expresión (7.3.28) sustituimos s por $j\omega$, tendremos:

$$\frac{1}{-j(\omega RC)^3} + 6\frac{1}{j\omega RC} = 0 \quad (7.3.29)$$

o bien multiplicando por j^2 ambos términos, tenemos:

$$j\left\{\frac{1}{R^3 C^3} - 6\frac{\omega^2}{RC}\right\} = 0 \quad (7.3.30)$$

y finalmente haciendo la parte imaginaria igual a cero y resolviendo para ω ; se tiene la expresión (7.3.31) donde ω_0 es la frecuencia de oscilación:

$$\omega_0 = \frac{1}{\sqrt{6} RC} \quad (7.3.31)$$

Si consideramos que $B = \frac{V_f}{V_o}$

y en la ecuación (7.3.24) sustituimos el valor de ω_0 dado por la ecuación (7.3.31); tenemos que los términos de potencia impar son cero; por lo que nos queda:

$$B(\omega_0) = \frac{1}{5\left(\frac{1}{j\omega_0 RC}\right)^2 + 1} \quad (7.3.32)$$

y finalmente

$$B(\omega_0) = \frac{1}{-29} \quad (7.3.33)$$

y como la ganancia de lazo debe ser unidad en su parte real:

$$A_v B(\omega_0) = 1 \quad (7.3.34)$$

$$A_v \left(-\frac{1}{29}\right) = 1$$

$$A_v = -29 \quad (7.3.35)$$

La expresión (7.3.35) da la condición para que oscile el circuito oscilador por corrimiento de fase; el cual produce una señal senoidal cuya frecuencia de oscilación f_0 está dada por (7.3.36)

$$f_0 = \frac{\omega_0}{2\pi} \quad (7.3.36)$$

En este circuito; la principal limitante es la respuesta de frecuencia del amplificador operacional; para lograr oscilaciones de frecuencias mayores a 1 MHz. es necesario usar un operacional de banda ancha como el 702 u otros.

1.- INTRODUCCION

1.1 CANTIDADES ANALOGICAS Y DIGITALES

Las variables analógicas, cualquiera que sea su origen son frecuentemente convertidas, por transductores, en voltajes o corrientes. Estas señales eléctricas pueden aparecer como señales de corriente directa, o de corriente alterna como son las salidas de termopares, potenciómetros, puentes o elementos ópticos. Las variables analógicas tratadas con más frecuencia son aquellas que envuelven corrientes o voltajes que representan el fenómeno físico y pueden ser de banda ancha o angosta, pueden estar escaladas o representar una medición directa. Las palabras digitales son representadas por la presencia o ausencia de niveles de voltaje fijos. Los números digitales son básicamente binarios. Esto es, cada bit o unidad de información tiene dos estados posibles "uno" o "cero". Estas palabras pueden aparecer en paralelo, esto es, teniendo un bit en cada línea, o en serie, es decir un bit tras otro en una sola línea.

1.2 PORQUE ES NECESARIA LA CONVERSION A/D Y D/A

En su estado natural, todas las variables físicas, tales como presión, distancia, tiempo, temperatura, velocidad etc., aparecen en forma analógica. Sin embargo, a menudo es necesario manejarlas en forma digital donde se tiene necesidad de un procesamiento rápido de las señales.

Los elementos sensores miden tanto la amplitud como la polaridad de las variables físicas y sus salidas son usualmente voltajes o corrientes analógicas. (fig. 1)

Los actuadores electromecánicos mueven las componentes físicas y generan velocidad, aceleración, presión, etc., y sus entradas generalmente son voltajes o corrientes analógicas (fig. 2)

Con salidas analógicas de los sensores y entradas analógicas requeridas por los actuadores, parece lógico desarrollar sistemas que así funcionan.

Pero con el desarrollo actual de sistemas y equipos digitales, ha surgido la necesidad de lograr una conversión de los dos tipos de señales con el fin de poder desarrollar sistemas analógicos-digitales, es decir, sistemas donde la variable medida, siendo analógica, pueda procesarse en forma digital.

Esta necesidad llevó a la creación de dispositivos que realizan una conversión de señal analógica a señal digital y de señal digital analógica llamados convertidores A/D y D/A.

El propósito de los convertidores A/D es traducir el dominio real o analógico, al dominio digital. Esto es el convertidor acepta voltajes o corrientes analógicas como entradas y proporciona salidas digitales (fig. 3)

Similarmente, un convertidor D/A, acepta entradas en niveles de voltaje o corriente digitales y proporciona salidas analógicas (fig. 4)

1.3 APLICACIONES

Existe diversas aplicaciones de los convertidores A/D y D/A de las cuáles mencionamos algunas.

Sistemas de Control Digital

Sistemas de Telemedición

Sistemas de Computación Híbrida

Sistemas de Comunicación Digital

Sistemas de Medición y Prueba

10

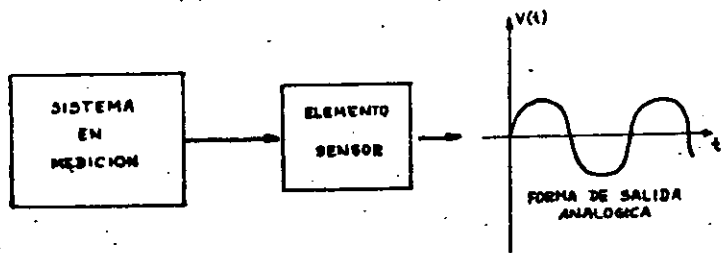


Fig. 1 Señal Analógica que representa una variable física. (Entrada)

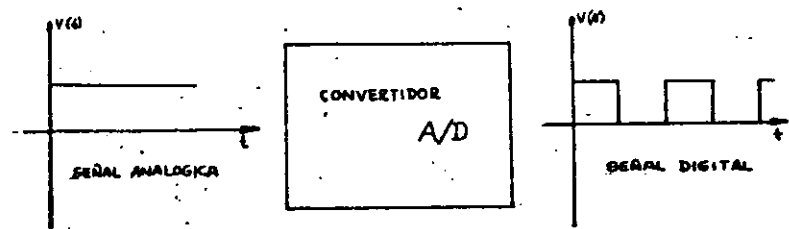


Fig. 3 Diagrama de bloques de un convertidor Analógico Digital

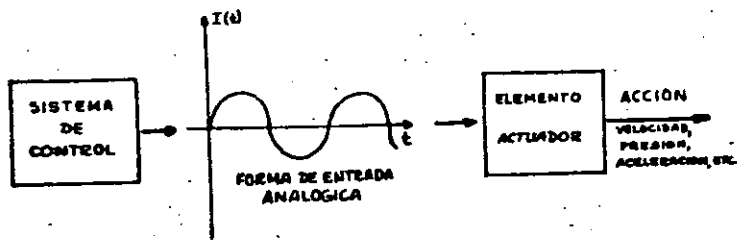


Fig. 2 Señal analógica de control Elemento Final

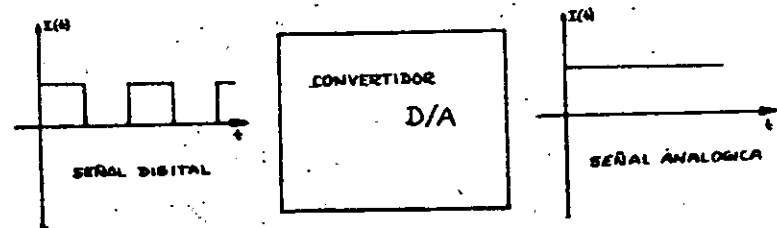


Fig. 4 Diagrama de bloques de un convertidor Digital-Analógico.

2.- CONVERSION A/D

Las señales digitales son aquellas que se representan por formas onda que cambian abruptamente entre dos valores, como un tren de pulsos; en cambio las señales analógicas pueden adquirir cualquier valor en un rango continuo.

Cuando se desea procesar señales analógicas, a menudo es muy ventajoso hacer una conversión de la señal analógica en una señal digital y realizar el proceso de una forma digital.

Las ventajas de realizar una conversión de una señal analógica en una señal digital es la inmunidad al ruido de la señal digital y la facilidad del procesamiento digital debido a las herramientas existentes en la actualidad. Sin embargo si esa señal digital la queremos usar para accionar un elemento, como un motor de D.C. por ejemplo; es necesario realizar la operación inversa y hacer la conversión de la señal digital en una señal analógica.

Un ejemplo de sistema que utiliza ambas conversiones es el llamado Sistema de Comunicación PCM. En este sistema, primeramente la señal analógica se convierte en una señal digital, se trasmite y en el receptor se reconstituye la señal analógica original mediante una conversión de la señal digital recibida en la señal analógica equivalente.

En la conversión de una señal analógica en una señal digital, se necesitan cuatro procesos que son:

- Muestreo
- Retención
- Cuantización
- Codificación

Estos cuatro procesos no necesariamente se realizan en forma separada; sino más bien se efectúan por parejas, esto es, el muestreo y la retención se llevan a cabo en un circuito muestreador-retenedor como el de la figura (1) y la cuantización y codificación, también se efectúan simultáneamente en el convertidor A/D. Una vez que se ha completado el proceso en forma digital, la reconstitución de una señal analógica de salida se realiza por medio de un convertidor digital-analógico (D/A) seguido de filtros integradores que hacen la señal analógica más suave.

2.1. EL CIRCUITO DE MUESTREO-RETENCION (S/H)

12

Un circuito de muestreo y retén en su forma más simple se muestra en la fig. (1) y no es otra cosa que un switch S en serie con un capacitor C

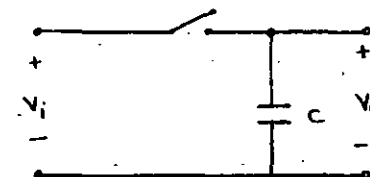


Fig. (5) Sample/Hold en su forma esquemática

Su funcionamiento es como sigue, durante el tiempo de muestreo el interruptor S se cierra y permite el paso de la señal analógica $V_i(t)$; haciendo que el voltaje en el capacitor sea igual a $V_i(t)$ y en el tiempo de retención se abre el interruptor S obligando al capacitor a sostener el voltaje aplicado un instante antes que se abriera S.

La figura (5) muestra un circuito de muestreo-retención formado por dos amplificadores operacionales que funcionan como seguidor de voltaje y un FET que hace las veces de interruptor.

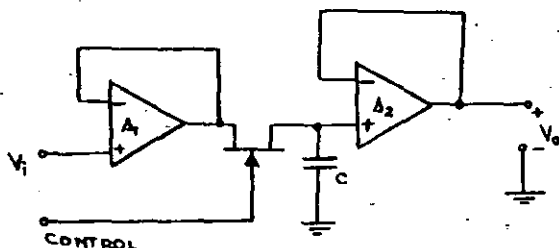


Fig. (6) Circuito de Muestreo-Retención (SIH) implementado con dos operacionales y un FET.

El funcionamiento del circuito de la fig. (6) es como sigue:

Se aplica un pulso positivo a la compuerta del FET canal N el cual hace que se comporte como un interruptor cerrado y el capacitor se carga al valor instantáneo del voltaje de entrada con una constante de carga $\tau = (R_0 + r_{DS(on)})C$ donde R_0 es la resistencia de salida del amplificador operacional y $r_{DS(on)}$ es la resistencia de encendido del FET. En ausencia del pulso el F.E.T.

Se comporta como un interruptor abierto y el capacitor está aislado de toda carga y descarga por medio del LM110, lo que hace que sostenga el voltaje de entrada presente un instante antes que ocurriera el cese del pulso positivo a la compuerta del F.E.T. Es recomendable: utilizar capacitores de polietileno, mylar o teflón para evitar las pérdidas de carga.

Dos factores más influyen en la operación del circuito: uno es el tiempo de apertura que es el retraso entre el tiempo en que aparece el pulso en la compuerta del FET y el tiempo en que se "cierra" el interruptor; normalmente este tiempo de adquisición que es el tiempo que la toma al capacitor para cambiar de un nivel de voltaje de sostenimiento a otro nuevo valor de un voltaje de entrada después que el interruptor se cierra.

Quando se usa un capacitor mayor que 0.05 uf es necesario poner una resistencia de aislamiento del orden de 10 K entre el capacitor y la entrada no inversora del amplificador operacional. Esta resistencia es necesaria para proteger al amplificador operacional en caso de que la salida sea puesta en corto circuito.

2.2 VELOCIDAD DE MUESTREO

En una conversión de una señal analógica a digital, se le presentan muestras de la señal analógica al convertidor; para que estas muestras sean representativas de la señal analógica; deben ser tomadas por el circuito de muestreo y reten a una frecuencia del doble de la ...

13

frecuencia máxima de la señal analógica correspondiente. Esta condición se conoce como el teorema del muestreo y se estudia con rigor en los cursos de comunicaciones y de análisis de sistemas.

Si $M(t)$ es una señal analógica cuya frecuencia máxima de sus componentes espectrales es f_m y T_s son los intervalos regulares de tiempo a los que se van a tomar las muestras de la señal, T_s debe cumplir con la siguiente condición

$$T_s \leq 1/2 f_m \quad (2.2.1)$$

para que las muestras representen efectivamente a la señal $M(t)$ y esta a su vez pueda ser reconstruida a partir de las muestras. La señal $M(t)$ puede reconstruirse a partir de las muestras, pasando estas en un filtro pasabajo que tenga una respuesta plana al menos hasta una frecuencia igual a f_m y una frecuencia de cruce igual a $f_s - f_m$ donde $f_s = \frac{1}{T_s}$. esto se ilustra en la fig.(7)

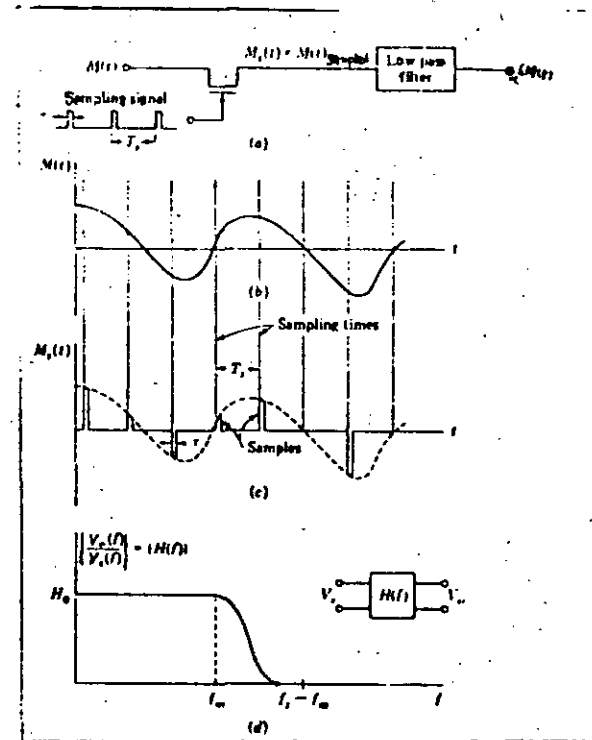


Fig. (7) (a) La Señal $M(+)$ es muestreada y reconstruida.
 (b) Una señal $M(+)$ cualquiera.
 (c) La señal $M(+)$ muestreada.
 (d) La curva de transferencia requerida por el filtro.

2.3 CUANTIZACION.

La validez del teorema de muestreo hace posible la transmisión ó el procesamiento de una señal analógica por medios digitales. Por lo tanto no es necesario tener la señal analógica siempre presente, sino solamente en los tiempos de muestreo, y de esta forma, en los intervalos de tiempo entre cada muestra se puede realizar la conversión de cada muestra de la señal analógica en su equivalente digital.

Las muestras son señales analógicas que varían en una forma continua con el tiempo; sin embargo en una representación digital, esta variación no es continua, por lo que la representación digital difiere en el dígito menos significativo de los dígitos empleados en la representación digital. De aquí que el proceso de representar las muestras analógicas en señales digitales es tan sólo una buena aproximación. A este proceso de digitalización se le conoce como cuantización y se representa en la Fig. (8).

En la Fig. (8) vemos que se tiene una señal $M(t)$ en (a), esta señal es el voltaje analógico que se va a cuantizar y es igual a V_i ; la salida del cuantizador la llamamos V_o . El cuantizador tiene una función de transferencia en forma de escalera como la mostrada en (b); como consecuencia, al aplicar una señal como V_i al cuantizador, se obtiene la señal V_o de la figura (c), denominada $M_q(t)$. Debe observarse que mientras $V_i = M(t)$ varía en forma continua en su rango; la señal cuantizada $V_o = M_q(t)$ se mantiene en uno o en otro valor fijo como M_{-1} , M_0 ... etc.

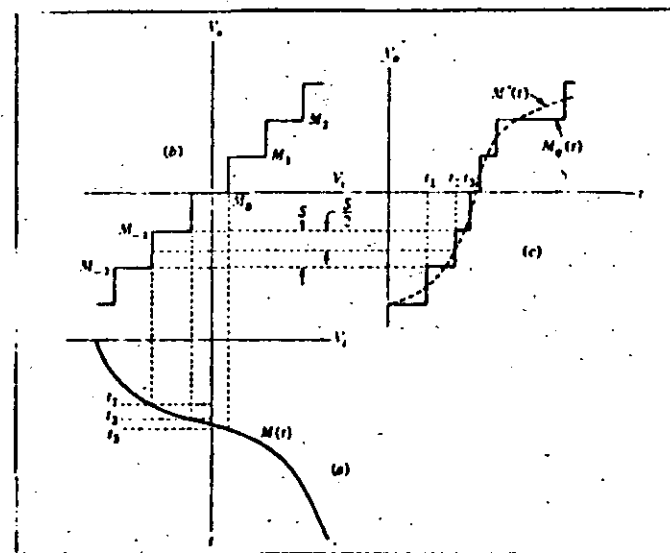


Fig. (8) La operación de cuantización. El quantum es S . (a) La señal $M(t)$. (b) La característica entrada-salida del cuantizador. (c) La salida del cuantizador en línea continua. La línea punteada representa la salida correspondiente a una característica de transferencia lineal.

Por lo que la señal $M_q(t)$ no cambia en forma continua sino que o no cambia o cambia abruptamente dando un salto de un valor fijo S este valor S es precisamente un quantum.

La señal $M'(t)$ que es la figura punteada de la Fig. (3) (c), representa la forma de onda en la salida. Si el factor de proporcional es uno, $V_o = V_i$ y $M'(t) = M(t)$. Podemos observar que el nivel sostenido por $M_q(t)$ es el nivel al que $M'(t)$ está más cerca y que la transición entre un nivel y el siguiente ocurre en el instante que $M'(t)$ cruza el punto medio entre los niveles adyacentes.

Por lo que la señal cuantizada $M_q(t)$ es tan sólo una aproximación de la señal de entrada $M(t)$. La calidad de esta aproximación puede aumentarse reduciendo el tamaño de S o sea incrementando el número de niveles disponibles.

Si queremos cuantizar una señal que tiene un rango de pico R y deseamos utilizar Q niveles de cuantización, el tamaño del quantum S es determinado por (2.3.1).

$$R = QS \quad (2.3.1)$$

Podemos localizar los niveles de cuantización como se muestra en la Fig. (8); donde se puede observar que el máximo error de cuantización es de $S/2$.

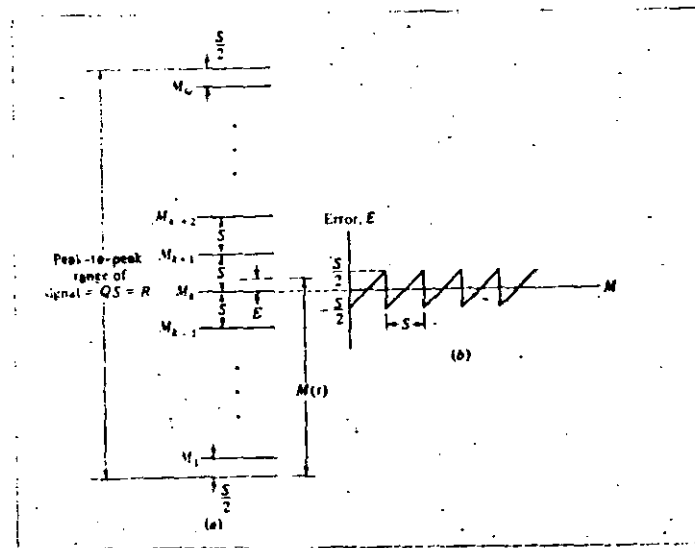


Fig. (9) (a) El rango de voltaje de la señal $M(t)$ dividido en Q niveles donde el paso de cuantización es S . Los niveles de cuantización están localizados en el centro del rango. (b) El error de voltaje $E(t)$ como una función del valor instantáneo de la señal $M(t)$.

3.- PRINCIPIO DE CONVERSION A/D Y D/A

3.1 CONVERSION D/A

El convertidor digital/analógico (D/A) puede ser considerado como un dispositivo decodificador que acepta una señal codificada digitalmente D y una referencia analógica R como entradas, y proporciona una salida analógica A relacionada con la entrada como:

$$A = R \times D \quad \dots (3.1)$$

donde D es el término digital de un número dado de bits y puede ser representado como:

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n} \quad \dots (3.2)$$

n es el número total de bits y b_1, b_2, \dots, b_n son los coeficientes del bit, los cuales son cuantizados por "1" o por un "0". En términos de una cantidad de referencia R y la salida analógica A, la función de transferencia generalizada de un convertidor D/A puede ser descrita como:

$$A = R \left[2^{-1}b_1 + 2^{-2}b_2 + \dots + 2^{-n}b_n \right] \quad \dots (3.3)$$

El sistema de un convertidor D/A contiene actualmente cuatro partes separadas:

Una cantidad de referencia correspondiente al parámetro R de la ecuación 3.3.; un conjunto de interruptores analógicos para simular los coeficientes binarios b_1, b_2, \dots, b_n ; una malla resistiva de peso; y sumador a la salida.

Una configuración, incorporando estos cuatro componentes básicos, se muestra en la figura 1.1; en éste caso, los pesos relativos de los bits de corriente I_1, I_2, \dots, I_n se establecen por una malla resistiva de pesos binario. Se usa un amplificador operacional con alta impedancia de entrada y una alta ganancia inversa A_1 , como un medio sumador de los bits individuales de corriente, y genera el voltaje analógico correspondiente.

La corriente analógica total I_o aparece en el modo sumador por lo que la entrada inversa o negativa del amplificador operacional está relacionada con la entrada de referencia como:

$$I_o = \frac{2 V_{ref}}{R} \left[2^{-1}b_1 + 2^{-2}b_2 + \dots + 2^{-n}b_n \right] \quad \dots (3.4)$$

donde los coeficientes binarios b_1, b_2, \dots, b_n están en "1" o en "0", dependiendo de que el interruptor correspondiente S_j esté en la posición 1 ó 0, respectivamente, en la figura.

El voltaje de salida V_o es directamente proporcional a I_o como:

$$V_o = -I_o R_o = -V_{ref} \left[2^{-1}b_1 + 2^{-2}b_2 + \dots + 2^{-n}b_n \right] \quad \dots (3.5)$$

donde la resistencia de realimentación R_o disminuye la corriente, es decir, sirve como un factor de escala y se establece igual a $R/2$ por conveniencia.

Como se muestra en la ecuación 1.5, para un número dado (n) de bits, la salida presenta 2^n niveles discretos de voltaje, fluctuando de cero a un valor máximo de:

$$(V_o)_{\text{máx}} = V_{ref} \left[\frac{2^{n-1}}{2^n} \right] \quad \dots (3.6)$$

con el cambio mínimo dado por:

$$(\Delta V_o)_{\text{mín.}} = \frac{V_{ref}}{2^n} \quad \dots (3.7)$$

17

Los coeficientes de los bits binarios son determinados por las posiciones de los interruptores correspondientes. Se tiene la opción de conmutar un voltaje o una corriente en el circuito, como una función de la entrada digital. En el circuito A de la figura 10, es empleada la ...

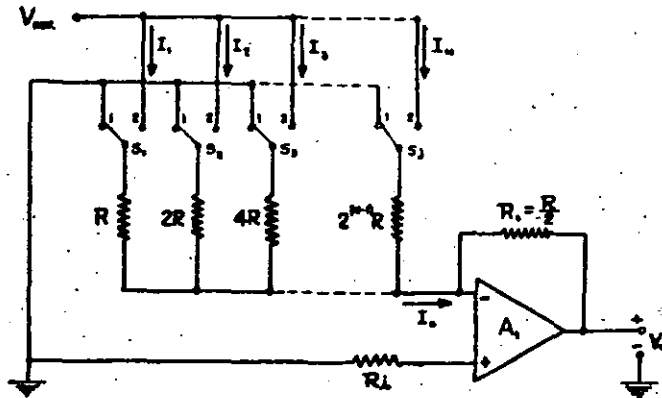


Fig. 10 (a) Convertidor A/D con conmutación de voltaje.

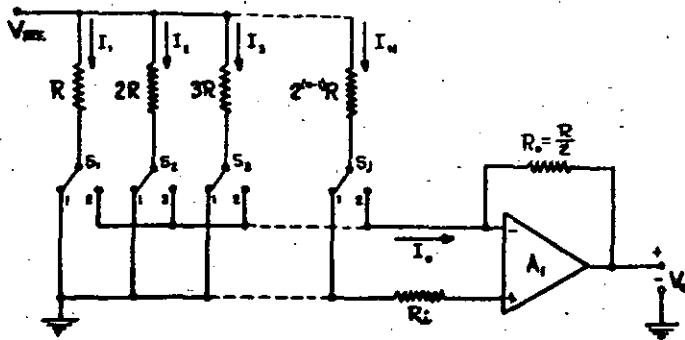


Fig. 10 (b) Convertidor A/D con conmutación de corriente.

conmutación de voltaje, donde el voltaje neto a través de cualquiera de las resistencia de peso, es conmutado a tierra o al voltaje de referencia (V_{ref}). La figura 10(b) muestra un arreglo de conmutación alternada para el mismo circuito. En este caso, una terminal de cada resistencia permanece conectada al V_{ref} ; la otra terminal es conmutada entre la tierra actual (posición) y la tierra virtual formada en la entrada del amplificador operacional. Este método de conmutación es llamado "conmutación de corriente".

En muchas aplicaciones, y particularmente en circuitos integrados, la conmutación de corriente es normalmente preferida a la de voltaje, por que ofrece ventajas importantes de velocidad de conmutación. De ésta manera, durante la conmutación de corriente, los voltajes de modo permanecen sin cambio. Esto minimiza los transitorios de conmutación y su correspondiente tiempo de asentamiento.

3.2. CONVERSION A/D.

La función de un convertidor analógico/digital (A/D) es convertir una señal analógica continua en un término digital. Los convertidores A/D realizan una operación inversa que los convertidores D/A, es decir, codifican una señal analógica dada en una salida digital de una longitud predeterminada de bits.

En un convertidor A/D, la entrada de voltaje analógico V_a es aproximada como una fracción binaria de un voltaje de referencia V_{ref} . Así, la salida del convertidor, correspondiente a un término digital D , está dada por:

$$D = \frac{V_a}{V_{ref}} \left[2^{-1}b_1 + 2^{-2}b_2 + \dots + 2^{-n}b_n \right] \dots \quad (3.2.1)$$

donde n es la longitud (medida) del término digital en bits, y b_1, b_2, \dots, b_n son los coeficientes de los bits binarios, teniendo un valor de "1" ó "0". Los coeficientes de los bits que forman la salida digital, pueden ser obtenidos de la salida del convertidor A/D, simultáneamente, en la forma de n salidas paralelas (figura 11A), o puede ser secuencialmente desplazada en la misma terminal de salida (fig. 12B).

Estos formatos de salida son llamados "paralelo" y "serie", respectivamente.

En el formato de salida serie, el coeficiente b_1 , corresponde al bit más significativo (M.S.B.) que normalmente es calculado y desplazado primero, seguido por bits de importancia sucesivamente decreciente.

Al codificar un voltaje analógico V_a en una salida binaria codificada, dada por la ecuación 1.8, un voltaje V_{ref} "cuantizada" efectivamente dentro de cualquier número de niveles discretos separados por un bit menos significativo (L.S.B.) del término digital. Esto nos lleva a una resolución finita o un error de cuantización en el proceso de conversión A/D, el cual puede tener un valor máximo de $\pm 1/2$ L.S.B. En términos de un voltaje analógico arbitrario V_a , V_{ref} esto conduce a un error de cuantización V_a , donde:

$$0 \leq |\Delta V_a| \leq \frac{V_{ref}}{2^{n-1}} \dots\dots(3.2.2)$$

Nótese que el error de cuantización es inherente al proceso de codificación digital y por lo tanto está presente en cualquier convertidor A/D.

Durante el proceso de conversión, la entrada analógica V_a es muestreada y su contraparte digital es generada en un intervalo de tiempo finito después, debido al rango finito de conversión del convertidor A/D. Este tiempo, tomado para completar la conversión de una entrada analógica a un término digital, es llamado tiempo de conversión o de "apertura".

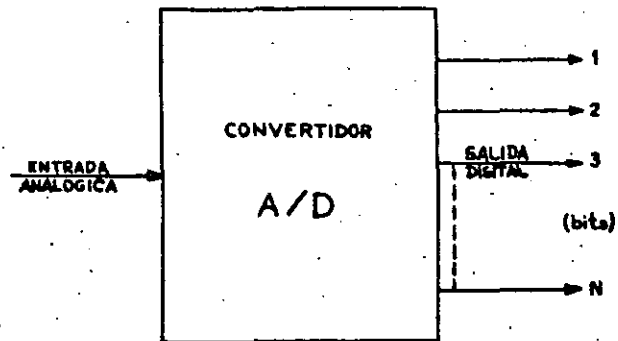


Fig. 11 (a) Convertidor A/D con salida en Paralelo

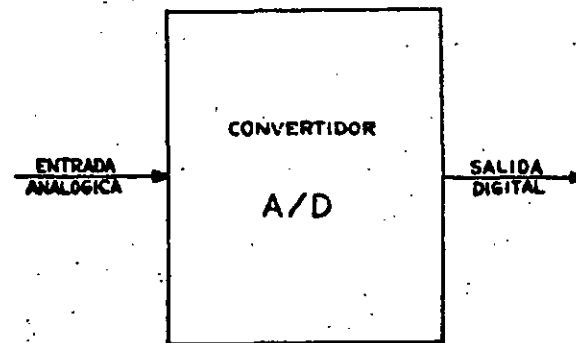


Fig. 11(b).- Convertidor A/D con salida en Serie.

La rapidez con que debe ser realizada la conversión A/D, está determinada por la frecuencia contenida en la entrada analógica y por la precisión de conversión requerida, o por una combinación de ambos factores.

Si la entrada analógica varía como una función de tiempo, la presencia de un tiempo de apertura finito puede conducir a un error adicional en la entrada codificada.

Por ejemplo, si la entrada es una función linealmente variable en tiempo, el error de apertura V_x puede ser relacionado a la entrada analógica como:

$$V_x = \frac{dV_a}{dt} t_x \dots\dots (3.2.3)$$

donde t_x denota el tiempo de apertura, Así, si la frecuencia contenida en la entrada se incrementa, el error de apertura debido a un rango de conversión finito se incrementa también y rápidamente.

4. TIPOS DE CONVERTIDORES.

En éste capítulo trataremos algunos tipos de convertidores D/A y A/D.

Los convertidores D/A por su configuración se pueden clasificar en dos grupos, que son:

Convertidores D/A tipo paralelo

Convertidores D/A tipo serie.

Esta clasificación se basa en la forma como entra la señal digital al convertidor. Si es un tren de pulsos, se necesitará una sola línea para introducir la señal y el convertidor será tipo serie. En cambio, si la señal digital entra en varias líneas (una por cada bit), necesitaremos un convertidor D/A tipo paralelo.

4.1 CONVERTIDORES D/A TIPO PARALELO

Este tipo de convertidores se caracteriza porque acepta como entrada una señal binaria en paralelo S_p y tiene, por consiguiente, tantos interruptores como bits contenga la palabra S_p . Cada línea de entrada o para un interruptor que conecta a la malla resistiva ya sea a un voltaje de referencia o a tierra. La malla resistiva convierte el voltaje en una corriente de magnitud específica, la cuál es sumada en un amplificador operacional o a través de una resistencia de carga, obteniéndose a la salida un voltaje analógico correspondiente a la palabra digital S_p .

Una forma general de éste tipo de convertidores se ve en la fig. 3.1, donde cada línea tiene un valor específico.

si:

$$S_p = a_1 2^{-1} + a_2 2^{-2} + \dots + a_n 2^{-n} \quad (4.1.1)$$

y:

$$V_o = V_R \times S_p \quad (4.1.2)$$

20

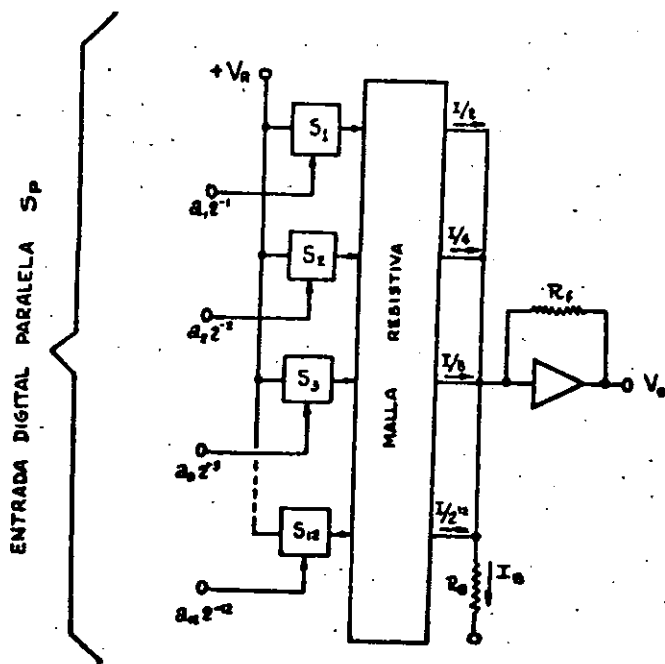


Fig. (12) Convertidor D/A Tipo paralelo.

entonces:

$$V_o = V_R (a_1 2^1 + a_2 2^2 + \dots + a_n 2^n) \quad (4.1.3)$$

Si el *i*ésimo bit de S_p tiene un uno lógico se generará una corriente $I/2^i$, donde: $I = -V_R / R$ (4.1.4)

R es la resistencia efectiva de entrada de la malla. V_R es el voltaje de referencia.

Si el *i*ésimo bit es un cero lógico, no fluye ninguna corriente. Así, por último, si la palabra S_p contiene puros unos lógicos la corriente en el punto de sumas será:

$$I_T = \frac{I}{2} + \frac{I}{4} + \frac{I}{8} + \dots + \frac{I}{2^n} \quad (4.1.5)$$

y el voltaje de salida V_o estará dado por:

$$V_o = R_f \left[a_1 \frac{I}{2^i} \right] \quad (4.1.6)$$

o bien por:

$$V_o = I R_f (a_1 2^1 + a_2 2^2 + \dots + a_n 2^n) \quad (3.1.7)$$

donde:

$$a_i \text{ es "1" ó "0" } \quad I = -V_R / R. \quad (4.1.8)$$

R es la resistencia efectiva de entrada a la malla V_R es el voltaje de referencia.

Para una representación bipolar, donde el bit más significativo es el bit signo, el convertidor se arregla de tal forma que para:

$S_p = 1000.00$, la corriente total en el punto de suma sea cero. Esto se lleva a cabo haciendo circular una corriente de polarización

$I_B = -I/2$, permanentemente en la entrada del amplificador; y así se obtiene:

$$I_t = \frac{I}{2} + \frac{I}{4} + \frac{I}{8} + \dots + \frac{I}{2^n} - \frac{I}{2} \quad (4.1.9)$$

Los convertidores D/A tipo paralelo, pueden ser de diferentes formas, de acuerdo como se genera la corriente proporcional a los bits de la palabra digital. Así, tenemos:

Convertidor D/A en paralelo con "Resistencias de Peso"
 Convertidor D/A en paralelo con "Malla Resistiva Escalera"

Convertidor D/A en paralelo con "Voltaje de Peso"

El convertidor D/A en paralelo con "resistencias de peso" se muestra en la fig. (13). Es el más simple y requiere solamente una resistencia por bit. Las corrientes de magnitud $I/2$, $I/4$, $\dots I/n$, son generadas por medio de resistencia de valor R , $2R$, $\dots 2^n R$, las cuáles se conectan a un voltaje de referencia $-V_R$, y al punto suma como se observa en la figura (13). Los interruptores son activados directamente por la señal de entrada y las corrientes son sumadas y convertidas a voltaje por medio del amplificador operacional.

El convertidor D/A en paralelo con malla resistiva tipo escalera (R , $2R$), es más usado que el anterior y su circuito se muestra en la fig. (14).

Su característica es que las impedancias de entrada de las tres ramas de cualquier modo son iguales y que la corriente I que fluye hacia el modo a través de una rama, ocasione una corriente $I/2$ que fluye hacia afuera a través de las otras ramas.

Un circuito equivalente se muestra en la fig. (15), donde las generadoras de voltaje pueden estar en cualquiera de dos estados, encendido o apagado, esto es, a V_R o a 0. Cuando la salida del generador es cerc, acuta como un corto circuito ya que su impedancia debe ser baja para no cambiar la impedancia de la rama.

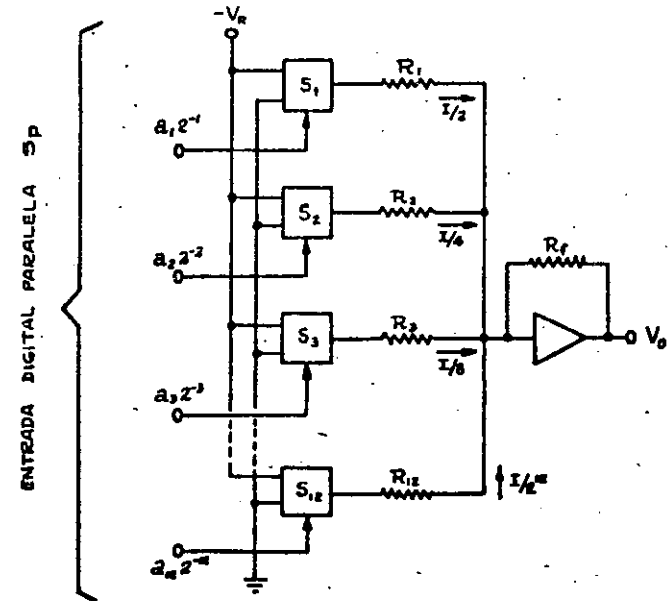
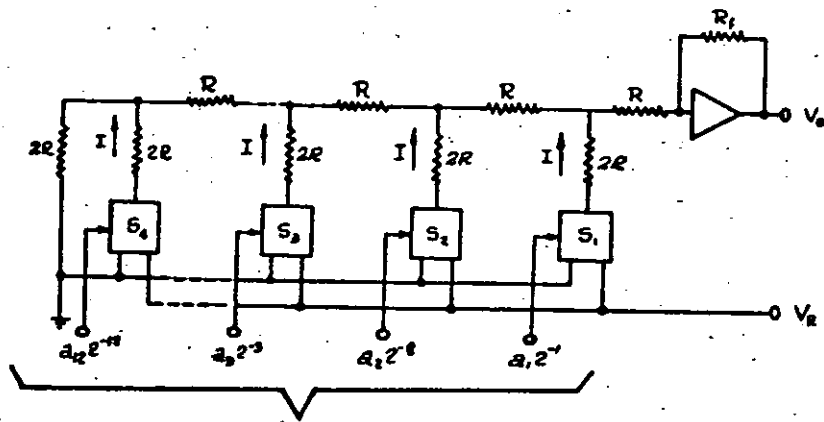


Fig. (13) Convertidor D/A paralelo con resistencias de peso

22



Entrada Digital Paralela S_p

Fig. (14) Convertidor D/A con malla resistiva escalera.

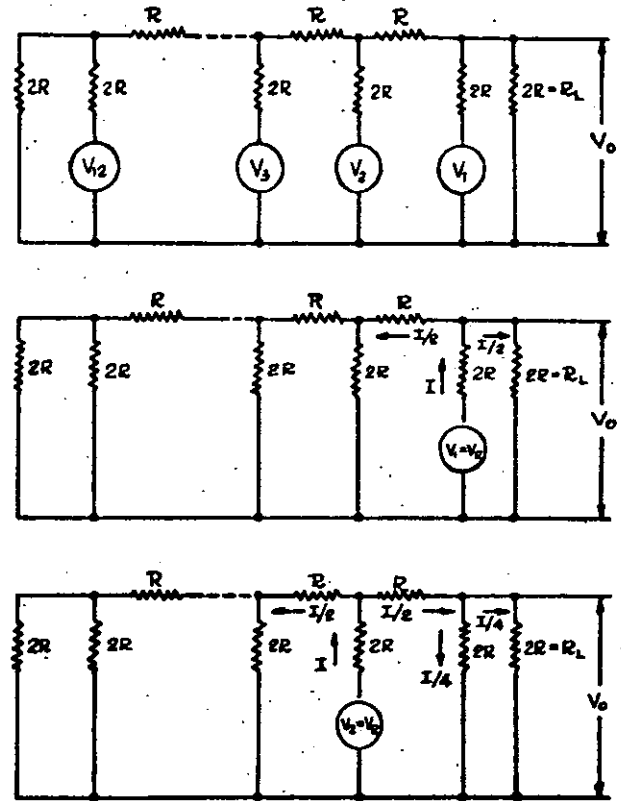


Fig. (15) corrientes en la Red R-2R

Como la impedancia que ve cada generador es $3R$ como se produce una corriente $I = V_R / 3R$, la cual se va dividiendo por mitad al llegar a un nodo, lo que hace que al llegar a la carga R_L pase por ella una corriente que es proporcional a la posición del generador que la envía. Así, el generador V_1 , cuando está conectado a V_R , envía una corriente $I/2$. El generador V_2 envía una corriente a la carga igual a $I/4$, y así sucesivamente hasta llegar al enésimo generador, el cual envía una corriente a la carga $I/2^n$.

El convertidor D/A en paralelo tipo voltaje de peso, se muestra en la figura (16) y su funcionamiento es semejante al del tipo $R, 2R$.

La generación de las corrientes fraccionarias $I/2, I/4, \dots, I/2^n$, se lleva a cabo dividiendo el voltaje de referencia en las fracciones binarias $V_R/2, V_R/4, \dots, V_R/2^n$, por medio de divisores de voltaje y conectando el voltaje así generado a un conjunto de resistencias central. Las corrientes resultantes son combinadas al punto suma del amplificador operacional.

Cada transistor es un interruptor y es usado para cada bit de la señal de entrada y cada interruptor es controlado por una línea diferente.

Cuando se tiene un cero lógico a la entrada, el transistor queda en corte y se produce un flujo de corriente a través de la resistencia de entrada del interruptor correspondiente, hacia el punto de suma.

Cuando se tiene un uno lógico a la entrada, el transistor entra en saturación, lo cual hace que la resistencia de entrada esté puenteada a tierra, y el voltaje a la salida será proporcional a la palabra digital de entrada.

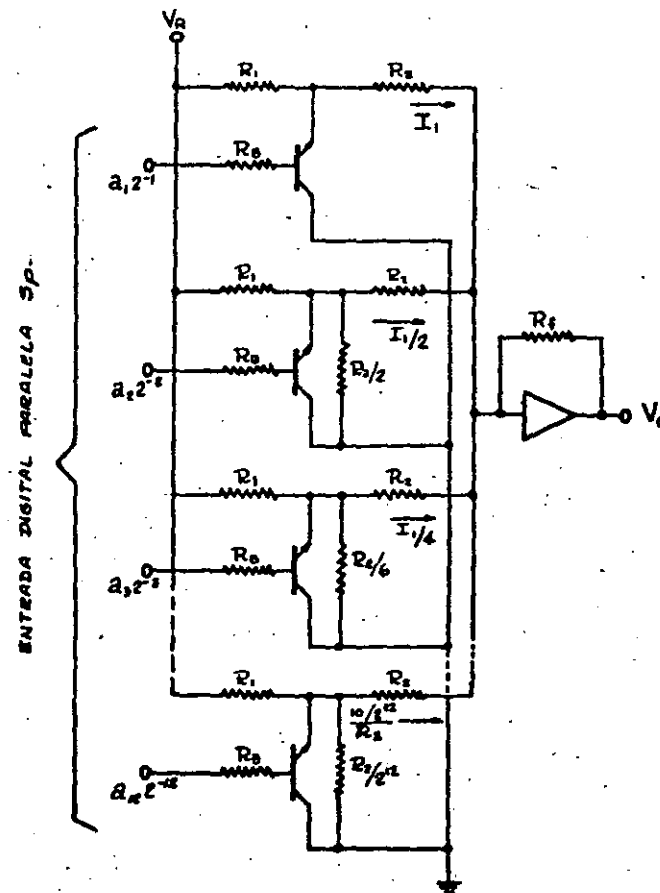


Fig. (16) Convertidor D/A con voltaje de peso.

4.2 CONVERTIDORES D/A TIPO SERIE.

Este tipo de convertidores se caracteriza por aceptar como señal de entrada un tren de pulsos S_s .

Para realizar la conversión, éste tipo de dispositivos necesitan un elemento de memoria analógica para ir almacenando el valor analógico correspondiente a la conversión de cada bit e irlo sumando, para que al finalizar la palabra digital S_s , se tenga el voltaje analógico equivalente. La Fig. (17) muestra una forma generalizada de éste tipo de convertidores, y su funcionamiento es como sigue.

La señal S_s controla la operación del convertidor sobre una base de bit por bit. Si ésta señal es un uno durante el periodo de reloj T_1 , un voltaje de referencia es agregado al voltaje de V , almacenado por un capacitador y la suma resultante es reducida a la mitad. Si la señal es un cero lógico durante el periodo de reloj T_1 , solamente el voltaje del capacitador es reducido a la mitad. El resultado de esta operación es un voltaje V_{i+1} , el cuál es almacenado en un capacitador, de tal manera que el siguiente periodo de reloj T_{i+1} estará presente. Matemáticamente, V_{i+1} puede expresarse como:

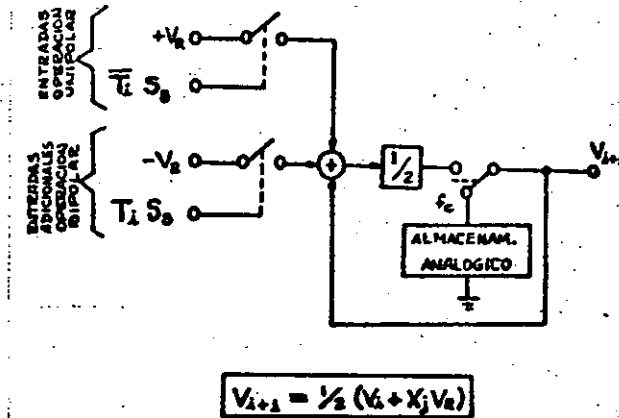
$$V_{i+1} = \frac{1}{2} (V_i + a_i V_R) \quad (4.2.1)$$

donde V_i es el voltaje del capacitor y a_i es un uno o un cero lógico, dependiendo del valor de S_s durante el periodo T_1 .

El voltaje almacenado en el capacitor, una vez que fue convertido el último bit de S_s , representa el valor analógico de salida del convertidor y es equivalente a la señal

digital de entrada.

Puesto que esta señal está disponible en un intervalo corto de tiempo, que es el que transcurre entre una palabra y otra se le agrega normalmente un circuito sostenedor de nivel a la salida para así obtener un valor constante de voltaje durante el tiempo necesario de lectura.



25

Figura (17).- Convertidor D/A TIPO SERIE.

Los convertidores D/A en serie, operan generalmente sincronizados con la señal de entrada S_s , la cual presenta primero el bit menos significativo. A continuación se mencionan algunos convertidores de este tipo.

Convertidor D/A en serie con "Sample-Hold"
Convertidor D/A en serie tipo Cíclico

El convertidor D/A en serie tipo "Sample-Hold" (muestrear-retener) se muestra en la figura (18).

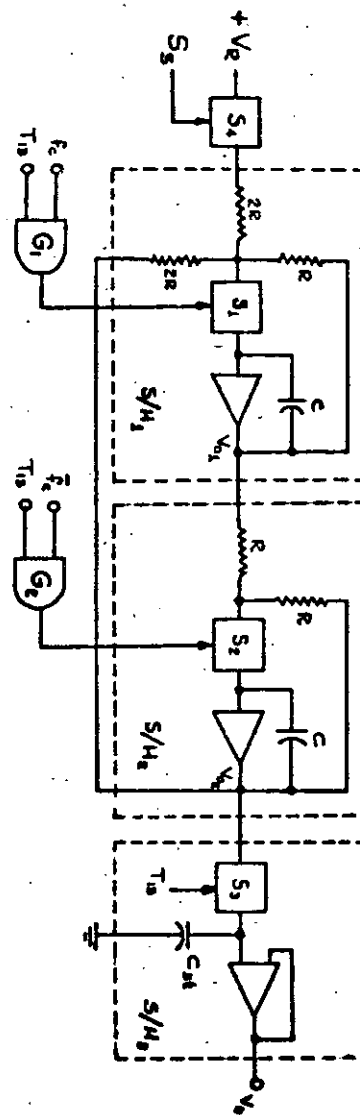
Este convertidor consiste en tres circuitos S-H en cascada. La operación de cada circuito puede dividirse en dos partes:

- a) Cuando los interruptores S_1, S_2, S_3 están cerrados, el capacitor C es cargado a un voltaje V_0 , el cual es la suma de los voltajes de entrada, multiplicados por un factor de escala.
- b) Cuando los interruptores están abiertos, la salida permanece constante a V_0 .

El primer circuito S-H₁ de la Fig. (18), suma el voltaje de referencia V_r con la salida del segundo circuito S-H₂ con valor V_{02} y lo multiplica por un factor de escala igual a 0.5.

El segundo circuito S-H₂ tiene solamente una entrada, que es la salida del primero (V_{01}); su factor de escala es la unidad y por lo tanto, V_{02} es igual en magnitud a V_{01} . Los dos circuitos anteriores son conectados en una malla, con V_{01} conectado a la entrada del segundo y V_{02} a la entrada del primero.

Fig. (18) Convertidor D/A "Sample/hold".



Los interruptores S_1 y S_2 se alternan en operación, de tal manera que cuando V_{01} cambia, V_{02} permanece constante y viceversa.

El tercer circuito S-H₃ muestra V_{02} solamente por un corto tiempo al término de cada conversión y lo retiene al final de la siguiente conversión.

Una gráfica del funcionamiento de este circuito se vé en la Fig. (19) en la que:

$$S_5 = 000000101011 = 43 \text{ decimal}$$

$$T_i = T_1, T_2, T_3, \dots, T_{12}$$

$$T_i = t_i + \bar{t}_i$$

La señal de "Reset" es siempre cero excepto en el periodo T_{13} .

El tiempo de carga de los capacitadores en los circuitos S-H es pequeño en comparación con T_1 .

El interruptor S_1 siempre está cerrado durante t_1 y S_2 permanece cerrado durante \bar{t}_1 .

El interruptor S_3 solamente permanece cerrado durante la primera mitad de T_{13} .

El circuito del convertidor D/A tipo cíclico se muestra en la Fig. 20 usa dos interruptores S_1 y S_2 para conectar el voltaje de referencia o tierra, al amplificador operacional de entrada; tres interruptores S_3 , y S_5 para conectar el amplificador de salida a los capacitores de memo-

ria C_A , C_B y C_{st} ; y tres interruptores S_6 , S_7 y S_8 , para alimentar el voltaje de C_A y C_B , o tierra al amplificador de entrada que funciona con una ganancia de 0.5.

Cerrando el interruptor S_1 y S_8 se produce un voltaje en el amplificador de salida $V_k = V_R/2$; cerrado S_2 y S_6 , $V_k = V_{Ca}/2$; ésto es la mitad del voltaje en el capacitor C_A . Energizando S_1 y S_6 simultáneamente, se tiene un voltaje de $V_A = 1/2 (V_R + V_{Ca})$ lo cual es un caso específico de la ecuación.

$$V_{i+1} = \frac{1}{2} (V_i + a_i V_R) \tag{4.2.2}$$

El interruptor S_1 es operado siempre que aparece un "1" en la palabra S_5 y S_2 es operado siempre que aparece un "0". Los interruptores de salida S_3 , S_4 , S_5 , son controlados, por el bit más significativo, la frecuencia del reloj f_c y su complemento f_c , respectivamente.

Similarmente, los interruptores de realimentación S_6 , S_7 y S_8 son conmutados por f_c , y f_c y T_1 , que es el pulso de la señal durante el primer periodo de la conversión.

Un uno en el bit menos significativo, producirá un voltaje:

$$V_k = \frac{V_R}{2} \text{ durante } T_1 \tag{4.2.3}$$

$$V_k = \frac{V_R}{4} \text{ durante } T_2 \tag{4.2.4}$$

$$V_k = \frac{V_R}{8} \text{ durante } T_3 \tag{4.2.5}$$

27

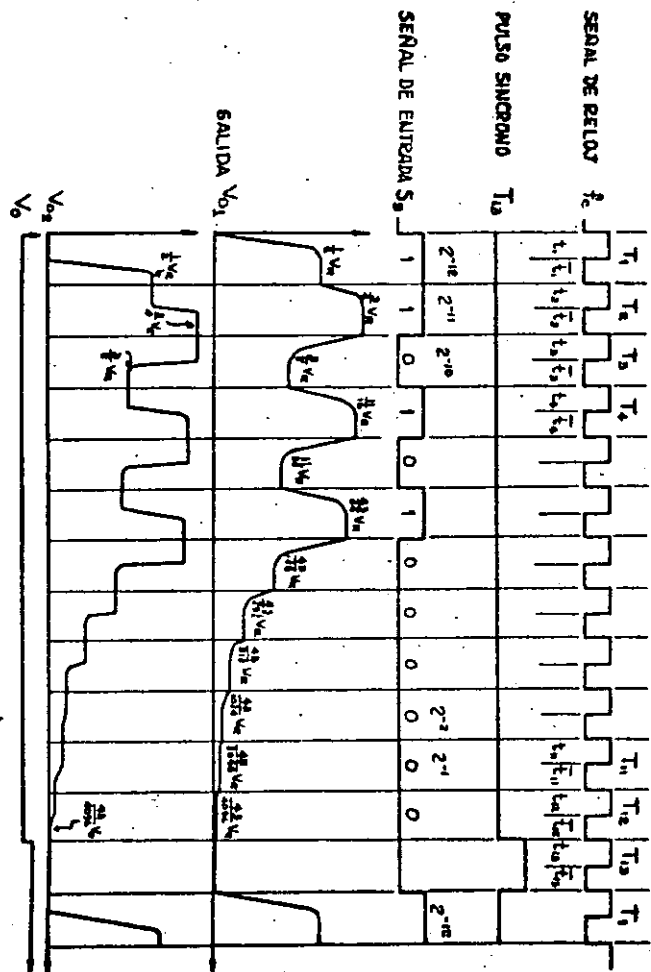


Fig. (19) Funcionamiento del Convertidor de la Fig. (18).

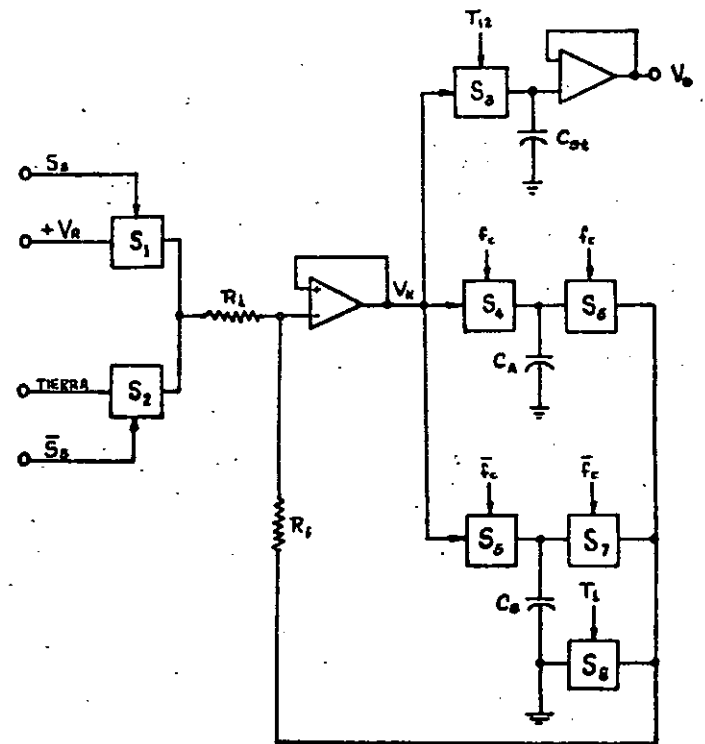


Figura 20. Convertidor D/A Cíclico.

Similarmente, un uno en el bit más significativo producirá un voltaje:

$$V_k = \frac{V_R}{2} \text{ durante } T_n \quad (4.2.6)$$

donde n es el número de bits de la palabra digital.

5. CONVERTIDORES A/D.

Para los convertidores A/D existen varias clasificaciones, una de las cuales es la siguiente:

- 1) Programables - No Programables
- 2) De Malla Abierta - Malla Cerrada
- 3) Por carga de capacitor

Este último grupo comprende los convertidores A/D más conocidos y a continuación trataremos algunos de ellos.

CONVERTIDORES A/D POR CARGA DE CAPACITOR.

La conversión A/D por método de carga de capacitor consiste básicamente en codificar el tiempo de carga del capacitor a algún voltaje de referencia o al valor de la entrada analógica.

Los convertidores A/D por carga de capacitor se pueden clasificar en los siguientes tipos.

- a) Convertidor A/D de voltaje a frecuencia.
- b) Convertidor A/D modulador de ancho de pulso
- c) Convertidor A/D por integración doble

5.1 CONVERTIDOR A/D DE VOLTAJE A FRECUENCIA.

Un circuito a bloques de este tipo de convertidor se muestra en la Fig. (21) y su funcionamiento es como sigue:

La entrada de voltaje analógico es convertida a una corriente constante proporcional, la cual es integrada en un circuito integrador, y la salida de éste está acoplada a los circuitos comparadores (uno, si se requiere un funcionamiento unipolar). La integración continúa hasta que la salida del integrador excede a V_R o a $V_{R'}$, y en este momento, uno de los comparadores genera un pulso el cual es utilizado para poner el integrador en cero.

Este proceso se repite con todos los comparadores y por último se obtiene un número de pulsos por segundo, que son contados durante un período fijo de tiempo, en un contador binario y la cantidad de pulsos resultantes será proporcional a la entrada analógica.

5.2. CONVERTIDOR A/D MODULADOR DE ANCHO DE PULSO.

El convertidor A/D modulador de ancho de pulso es de los más sencillos y su nombre lo deriva del hecho de que la señal de entrada analógica es primeramente, convertida en un pulso cuyo ancho en duración, es una función del valor de la propia entrada analógica. El ancho de pulso es convertido en un formato digital, contando el número de pulsos de un reloj de frecuencia fija durante el tiempo de duración de dicho pulso.

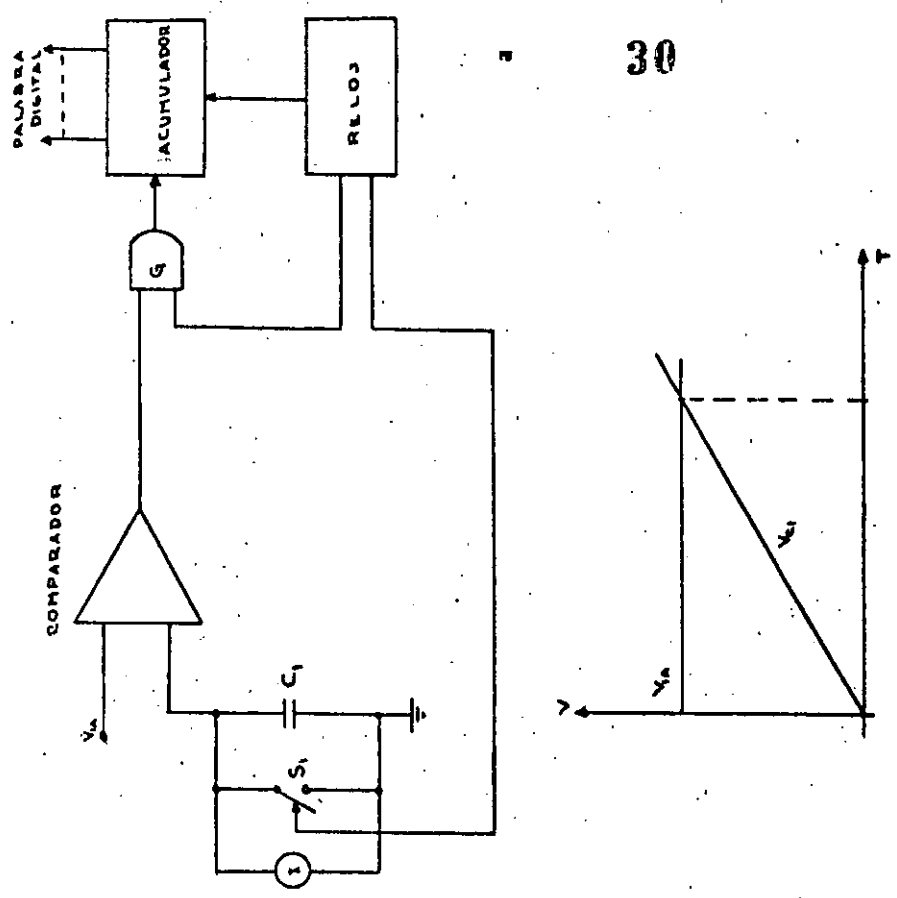


Fig. (22) Convertidor A/D por Ancho de Pulso.

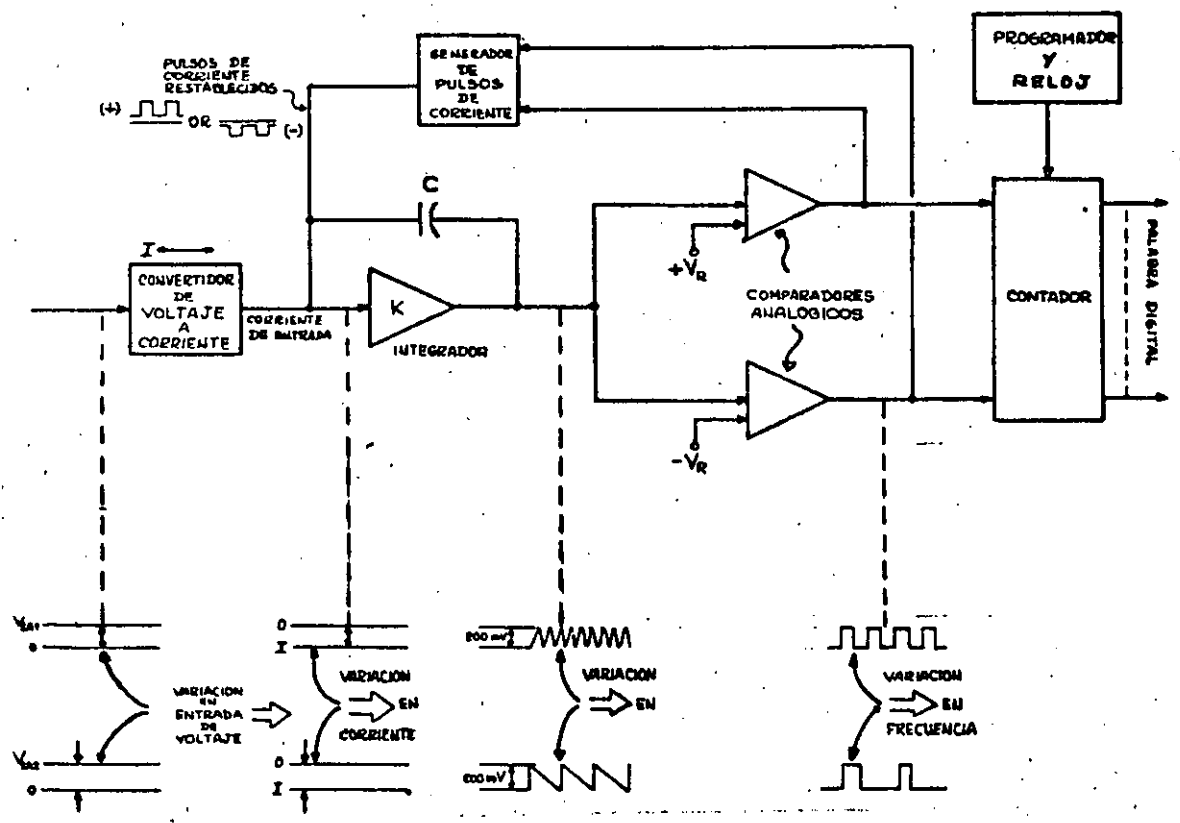


Fig. (21).- Conversión Voltaje a Frecuencia.

La Fig. (22) muestra el principio básico de operación de este convertidor.

El interruptor S_1 permanece cerrado hasta un momento antes de iniciar la conversión. Cuando entra el primer pulso, el interruptor S_1 se abre y el capacitor G_1 se carga linealmente por medio de la fuente de corriente constante I .

Cuando el capacitor se carga, desde 0 V., el contador binario cuenta los ciclos de la frecuencia del reloj. Al igualarse el voltaje del capacitor V_C el voltaje analógico $-V_{IA}$, de entrada, la salida del comparador cambia de estado lo que da como resultado el fin del ancho de pulso.

La señal del comparador inhibe la entrada de la frecuencia del reloj al contador, y la cuenta final es la palabra digital equivalente al voltaje analógico de entrada.

5.3 CONVERTIDOR A/D POR INTEGRACIÓN DOBLE.

El convertidor A/D por integración doble es otra forma del convertidor por ancho de pulso, pero más preciso y su circuito se muestra en la Fig. (23).

El principio básico de este convertidor es generar un ancho de pulso proporcional al voltaje analógico de entrada y luego hacer una comparación del tiempo entre dos integraciones, una hacia arriba y otra hacia abajo. De esta manera muchos de los errores generados en la integración se eliminan.

La primera integración es del voltaje analógico de entrada, esta integración dura un tiempo fijo t_1 . Una vez

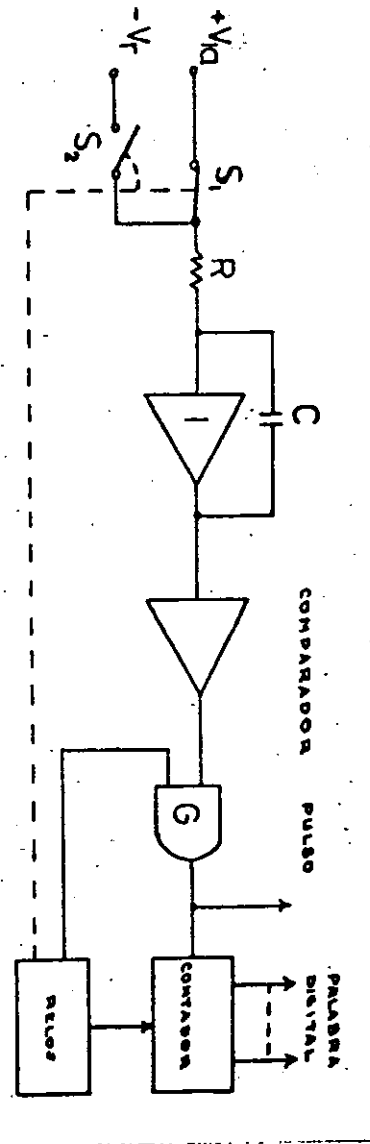


Fig. (23) Convertidor A/D por Integración Doble.

transcurrido este intervalo de tiempo, se conmuta la entrada a un voltaje negativo fijo de referencia ($-V_R$). El tiempo que tarda a partir de este momento y hasta que la salida alcanza el valor fijo de referencia, da una medida del voltaje analógico de entrada. Durante todo este tiempo se cuentan los pulsos de un reloj en un contador binario y el número de ellos deberá ser equivalente a la entrada analógica.

5.4 CONVERTIDOR A/D POR COMPARACION DE VOLTAJES DISCRETOS.

Se tienen varios tipos de estos convertidores y como ejemplo se dan los siguientes:

- a) Convertidor A/D por Contador de Rampa
- c) Convertidor A/D por Aproximaciones Sucesivas
- d) Convertidor A/D Simultáneo.

CONVERTIDOR A/D POR CONTADOR DE RAMPA.

El convertidor A/D por contador de rampa es uno de los más simples dentro de este grupo. La Fig. (24) muestra su circuito a bloques y su funcionamiento es como sigue:

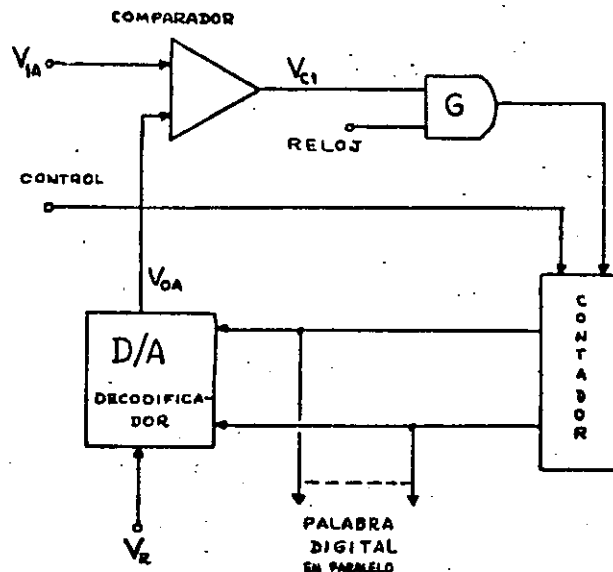
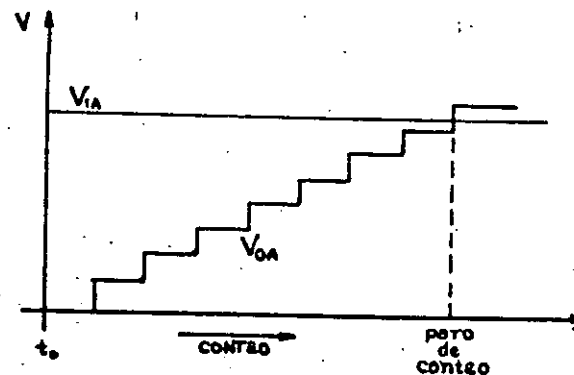


Fig. (24).- A/D Tipo Contador de Rampa.



La conversión comienza con un pulso de borrado para el contador, en el instante t_0 . Al poner el contador en cero, la salida del decodificador queda a 0 V. En este estado, el circuito queda listo para realizar la conversión.

Se aplica una entrada de voltaje analógico V_{IA} al circuito comparador, y como en ese momento V_{OA} es igual a 0 V., se tendrá un uno a la salida; cada que entre un pulso en la compuerta G_1 , se obtienen pulsos en el contador, el cual los registra y a su vez los envía como entrada al decodificador D/A, que puede ser del tipo R, 2R, obteniéndose un voltaje analógico equivalente a la palabra digital en V_{OA} , que se compara con V_{IA} , y mientras el primero no sea mayor que el segundo el ciclo se repite. En el momento en que V_{OA} sea mayor que V_{IA} , el comparador cambia de estado e inhibe la compuerta G_1 . El contador, al terminar, tendrá la cantidad binaria equivalente al voltaje analógico de entrada V_{IA} .

5.5 CONVERTIDOR A/D POR APROXIMACIONES SUCESIVAS.

La conversión por aproximaciones sucesivas consiste, básicamente, en hacer una comparación del voltaje analógico de entrada V_{IA} , con un voltaje de realimentación V_{OA} , el cual adquiere sucesivamente los valores analógicos correspondientes al bit más significativo ($V_R/2$) primero, después adquiere el valor del bit más significativo más el bit más próximo a éste y así sucesivamente.

Cada vez que V_{OA} adquiere un valor $V_R/2$, $V_R/2 + V_R/4$, $V_R/2 + V_R/4 + V_R/8$, etc., se realiza la comparación y si la entrada analógica es mayor se pasa al siguiente valor y así hasta que V_{OA} sea mayor. En este momento, el último bit agregado a la entrada del decodificador D/A, es removido

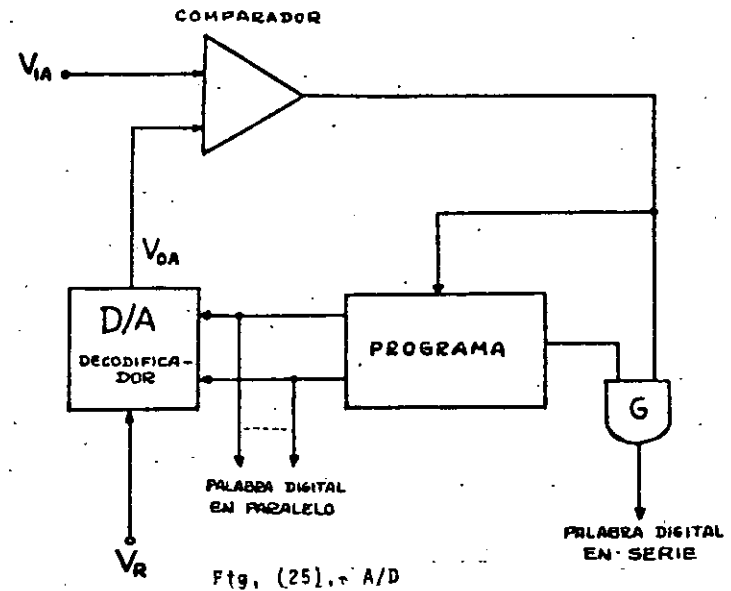
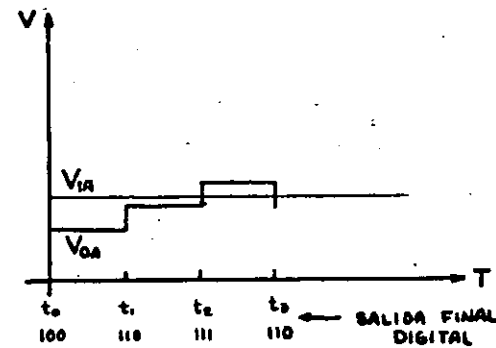


Fig. (25). A/D



33

y la palabra digital equivalente al voltaje analógico de entrada aparece a la salida del convertidor. La Fig. (25) muestra el circuito para este convertidor.

5.6 CONVERTIDOR A/D SIMULTANEO.

El convertidor A/D simultáneo utiliza un comparador analógico, con una de sus entradas fijará un voltaje de referencia V_{Ri} , para cada nivel de cuantización en la palabra digital, como se muestra en la Fig. 26. La otra terminal - de todos y cada uno de los comparadores va a la entrada analógica. De esta forma se hace una comparación con cada uno de los niveles de cuantización de la palabra digital. Las salidas de los comparadores van a una lógica digital de decodificación, para obtener así la palabra digital equivalente a la entrada analógica.

5.7 VENTAJAS Y DESVENTAJAS.

En general, se puede decir que un convertidor A/D en serie, es mucho más sencillo en su estructura, más económico y mucho más versátil que en paralelo, ya que se puede adaptar a diferentes códigos digitales de una manera relativamente sencilla.

Por otra parte, presentan la desventaja de ser muy lentos, ya que al entrar la señal en serie, se necesitan 2^{n-1} ciclos de conversión para cada palabra digital. Además, si la conversión se hace de esta manera, se suman los errores de compensación, para evitar esos errores se usan circuitos de retención, y una vez que se tiene toda la palabra digital se realiza la conversión.

En los circuitos en paralelo, se tiene la gran ventaja de

que la conversión se efectúa en un sólo ciclo de tiempo, lo que los hace ser más rápidos. Pero tienen la desventaja de contener muchos más elementos. Además, un convertidor D/A en paralelo, se diseña para trabajar bajo un código binario específico y no es fácilmente adaptable a otro código.

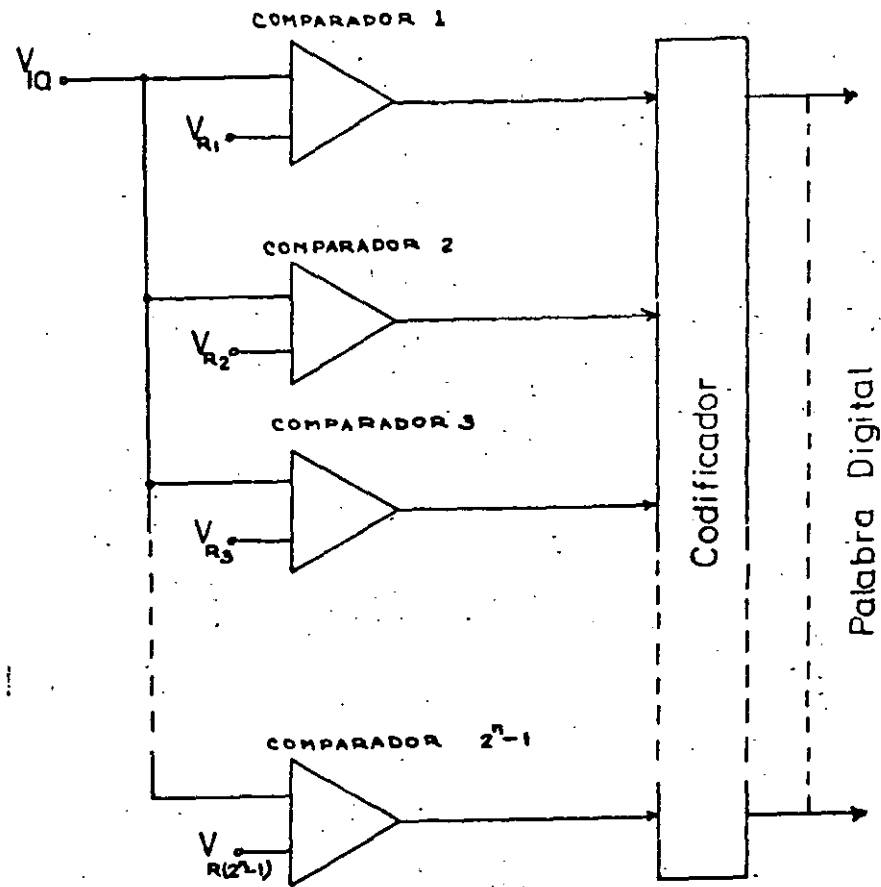


Fig. (26).- Convertidor A/D Simultáneo.



**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

CIRCUITOS DIGITALES

ING. EDUARDO RAMIREZ SANCHEZ

SEPTIEMBRE, 1984.

CAPITULO I

1.- SISTEMAS NUMERICOS.

1.1.- Introducción.

Un número de n dígitos enteros y m dígitos fraccionarios se puede representar de las siguientes formas :

(1-1) $N = d_{n-1} d_{n-2} d_{n-3} \dots d_1 d_0 . d_{-1} d_{-2} \dots d_{-m}$

(1-2) $N = d_{n-1} r^{n-1} + d_{n-2} r^{n-2} + \dots + d_0 r^0 + d_{-1} r^{-1}$

donde :

- d : representa un dígito.
- r : representa la base del sistema numérico.
- n : representa el número de dígitos enteros
- m : representa el número de dígitos fraccionarios.

- Un dígito de un sistema numérico es un símbolo que representa una cantidad entera.
- Un número es una cantidad representada por una serie de dígitos. El número de dígitos diferentes permitida en un sistema numérico se llama base.
- El dígito d_{n-1} en la expresión 1-1 anterior se llama : dígito más significativo.
- El dígito d_{-m} en la expresión 1-1 se llama dígito menos significativo (al término dígito binario se le llama frecuentemente : bit).

En las expresiones 1-1 y 1-2, si :

- i) $m = 0$, el número es entero.
- ii) $n = 0$, el número es fraccionario.
- iii) $n \neq 0$, el número es mixto.

1.2.- Conversión de Base :

Veremos en primer lugar, la idea general de conversión de una base a otra y posteriormente se darán algunos algoritmos de conversión. Consideremos en primer lugar la conversión de base de números enteros.

1.2.1.- Conversión de Base de números enteros.

Sean N_r y N_s dos números enteros de bases r y s respectivamente. Supongamos que queremos convertir N_r a la base S y que $r > S$. Luego, N_r se puede representar en la base S de la siguiente forma :

(1.3) $N_r = b_{n-1} S^{n-1} + b_{n-2} S^{n-2} + \dots + b_1 s + b_0$

donde los coeficientes $\{b_{n-1}, b_{n-2}, \dots, b_0\}$ son desconocidos.

Factorizando en s los $n - 1$ primeros términos, obtendremos :

(1.4) $N_r = S [b_{n-1} S^{n-2} + b_{n-2} S^{n-3} + \dots + b_1] + b_0$

Haciendo

(1-5) $A_1 = b_{n-1} S^{n-2} + b_{n-2} S^{n-3} + \dots + b_1$

La expresión (1-4) queda :

$$(1-6) \quad N_r = S A_n + b_0$$

donde b_0 es el residuo de N_r/S , expresado en base S y corresponde al dígito menos significativo de la representación de N_r en la base S .

Regresando a la expresión (1-5), factoricemos nuevamente, esta vez los $n-2$ primeros términos de A_n y obtenemos :

$$(1-7) \quad A_1 = S A_2 + b_1$$

donde :

$$(1-8) \quad A_2 = b_{n-1} S^{n-3} + b_{n-2} S^{n-4} + \dots + b_2$$

Procediendo de esta forma, se pueden generar

$$A_1 = S A_2 + b_1$$

$$A_2 = S A_3 + b_2$$

$$A_3 = S A_4 + b_3$$

$$A_i = S A_{i+1} + b_i$$

donde A_i es un polinomio en s , un grado mayor que A_{i+1} y b_i es el residuo correspondiente al i -ésimo dígito de N_r representado en la base S .

Originalmente supusimos que $r > s$. Esta suposición no es restrictiva. Si $r < s$ y queremos ir de $N_r + N_{s_1}$ procedemos en forma idéntica, pero ahora las operaciones se deben

efectuar en base r .

1.2.2. Conversión de Base de Números Fraccionarios.

Sean N_r y N_s dos números fraccionarios en bases r y s respectivamente. Supongamos que $r > s$, entonces :

$$(1-9) \quad N_r = b_{-1} S^{-1} + b_{-2} S^{-2} + \dots + b_{-m} S^{-m}$$

donde los coeficientes $(b_{-1}, b_{-2}, \dots, b_{-m})$ son desconocidos.

Multiplicando la expresión (1-9) por S , obtenemos :

$$(1-10) \quad S N_r = b_{-1} + [b_{-2} S^{-1} + b_{-3} S^{-2} + \dots + b_{-m} S^{-m+1}]$$

donde b_{-1} es el dígito más significativo de la representación de N_r en la base S , y la expresión entre paréntesis sigue siendo fraccionaria. Multiplicando m veces por S , obtenemos $b_{-1}, b_{-2}, \dots, b_{-m}$

El proceso termina cuando :

- i) La parte fraccionaria de N_r se hace cero.
- ii) Se haya obtenido la exactitud deseada.

1.2.3.- Conversión de Base de Números Mixtos.

Un número mixto se puede representar como la suma de un número entero y un número fraccionario.

$$(1-11) \quad N_r = d_{n-1} r^{n-1} + d_{n-2} r^{n-2} + \dots + d_0 r^0 + d_{-1} S^{-1} + d_{-2} S^{-2} + \dots + d_{-m} r^{-m}$$

ó bien :

$$(1-12) \quad N_r = A_r + B_r$$

donde

$$(1-13) \quad A_r = d_{n-1} r^{n-1} + d_{n-2} r^{n-2} + \dots + d_0 r^0$$

$$(1-14) \quad B_r = d_{-1} s^{-1} + d_{-2} s^{-2} + \dots + d_{-m} s^{-m}$$

Luego, se pueden emplear los procedimientos anteriores para las partes respectivas de N_r .

1.3.- Algoritmos de Conversión de Base empleando Aritmética Decimal.

Nota : Todos los algoritmos que se presentan en esta sección serán válidos sólo para números positivos.

El procedimiento para tratar números negativos, será : convertir los números negativos (a tratarse posteriormente) a positivos; proceder con la conversión a la nueva base y finalmente el número positivo resultante, convertirlo a número negativo.

Se considerarán 4 casos :

- i) Conversión de enteros de base r a base 10
- ii) Conversión de enteros de base 10 a base r
- iii) Conversión de fracciones de base r a base 10
- iv) Conversión de fracciones de base 10 a base r

En todos los casos se empleará una tabla de correspondencia entre sistemas numéricos : Tabla 1-1 (en pag. II-4).

CASO 1 : Convertir un número en base r a base 10.

Fundamento del algoritmo :

$$(1-15) \quad N_r = d_3 r^3 + d_2 r^2 + d_1 r^1 + d_0 r^0$$

Usando la tabla de correspondencia, buscar los símbolos de la base 10, correspondientes a $\{d_3, d_2, d_1, d_0\}$. Sean $\{C_3, C_2, C_1, C_0\}$. Luego : $N_{10} = C_3 r^3 + C_2 r^2 + C_1 r^1 + C_0$. (1-16)

Tabla 1-1: Tabla de Correspondencia entre varios Sistemas Numéricos III-4

N_{10}	N_2	N_3	N_4	N_5	N_6	N_8	N_{12}	N_{16}
0	0	0	0	0	0	0	0	0
1	<u>1</u>	1	1	1	1	1	1	1
2	10	<u>2</u>	2	2	2	2	2	2
3	11	10	<u>3</u>	3	3	3	3	3
4	100	11	<u>10</u>	<u>4</u>	4	4	4	4
5	101	12	11	10	<u>5</u>	5	5	5
6	110	20	12	11	10	6	6	6
7	111	21	13	12	11	<u>7</u>	7	7
8	1000	22	20	13	12	10	8	8
9	1001	100	21	14	13	11	9	9
10	1010	101	22	20	14	12	U	A
11	1011	102	23	21	15	13	V	B
12	1100	110	30	22	20	14	10	C
13	1101	111	31	23	21	15	11	D
14	1110	112	32	24	22	16	12	E
15	1111	120	33	30	23	17	13	F
16	10000	121	100	31	24	20	14	10

La expresión (1-16) se puede reescribir de la siguiente forma :

$$(1-17) N_{10} = (((C_3 r + C_2) r + C_1) r + C_0)$$

Esta expresión es la base del algoritmo.

ALGORITMO 1-1

- 1.- Usando la tabla de correspondencia, convertir cada dígito de base a r, d_i , a su correspondiente en base 10, C_i .

$$N_r = (C_{n-1} C_{n-2} \dots C_1 C_0)_R$$

- 2.- $I = 0, X_0 = 0$
- 3.- $I = I + 1$
- 4.- Calcular $X_I = X_{I-1} \cdot R + C_{n-I}$
- 5.- Si $I < N$, regresar al paso 3, si no, proseguir con el paso 6.
- 6.- STOP. El número deseado en base 10 es $(N_{10} = X_n)$.

CASO II : Convertir un número entero base 10 a base r.

ALGORITMO 1-2.

- 1.- Hacer $I = 0$ y $X_0 = (N)_{10}$; el número en base 10 a ser convertido.
- 2.- Dividir X_I por r ; la base de la nueva representación.
- 3.- Hacer $X_{I+1} = |X_I/r|$; la parte entera de la división del paso 2.
- 4.- Hacer $C_I =$ residuo resultante de la división del paso 2.
- 5.- Si $X_{I+1} \neq 0$, incrementar I en 1 y regresar al paso 2; si no, proceder con el paso 6.
- 6.- Usando la Tabla de Correspondencia, convertir las c_i a los símbolos correspondientes de la base r.

1.3.1.- Problemas de Exactitud en Conversión de Números Fraccionarios.

Antes de presentar los algoritmos correspondientes al Caso III y Caso IV estudiaremos brevemente el problema de exactitud en la representación de número fraccionarios.

Problema : A diferencia de los números enteros, los números fraccionarios no se convierten exactamente de una base a otra. De hecho, una fracción que puede representarse exactamente en una base numérica, puede requerir una secuencia infinita de dígitos en otra base.

Ejemplo : La fracción decimal $(1/10)_{10} = (.1)_{10}$ no puede expresarse por una serie finita de dígitos binarios. De hecho :

$$(.1)_{10} = (0.00111)_2 = \text{el grupo de dígitos subrayados se repite infinitamente.}$$

Verificación :

$$(1-18) \text{ Si } (X)_{10} = (0,0001100110011 \dots)_2$$

$$(1-19) (2^4 X)_{10} = (0001.1001100110011 \dots)_2$$

Sustrayendo (1-18) de (1-19) tenemos :

$$(2^4 X - X)_{10} = (1.1)_2 = (1.5)_{10}$$

$$(15X)_{10} = (1.5)_{10}$$

$$X_{10} = (.1)_{10}$$

4

Por lo general, se requiere que la conversión tenga una exactitud de ± 1 en su dígito menos significativo.

Determinemos una relación que nos dé un límite aceptable en el número de dígitos requeridos en la nueva representación, manteniendo la exactitud.

Para ésto, debemos resolver la ecuación :

$$(1-20) \quad (.1)_B^j = (.1)_A^k$$

para j en términos de k , donde k es el límite en la exactitud del número en base A .

Tomando el logaritmo en base A de la expresión (1-20), tenemos:

$$(1-21) \quad j \log_A (.1)_B = k \log_A (.1)_A$$

o bien :

$$(1-22) \quad -j \log_A (10)_B = -k \log_A (10)_A$$

Como en cualquier base numérica se cumple que :

$$(1-23) \quad r = 10_r$$

La expresión (1-22) queda :

$$-j \log_A (B) = -k \log_A (A) = -k$$

Luego

$$(1-24) \quad j = \frac{k}{\log_A (B)} \quad k = j \log_A (B)$$

Usando la identidad

$$\log_A (B) = \frac{\log_{10} (B)}{\log_{10} (A)}$$

Tenemos

$$(1-25) \quad j = k \frac{\log_{10} (A)}{\log_{10} (B)}$$

Sin embargo, como j no será un entero (por lo general), - seleccionaremos j como el entero que cumpla con la siguiente desigualdad.

$$(1-26) \quad k \frac{\log_{10} (A)}{\log_{10} (B)} \leq j < k \frac{\log_{10} (A)}{\log_{10} (B)} + 1$$

o bien, seleccionaremos k como el entero que cumpla con la sig. designación.

$$j \frac{\log_{10} (B)}{\log_{10} (A)} \leq k < j \frac{\log_{10} (B)}{\log_{10} (A)} + 1$$

Para nuestro caso, en que trabajaremos con una base arbitraria r y con la base 10, las desigualdades anteriores -

(1-26) y (1-27) se pueden escribir como sigue :

$$A = 10$$

$$B = r$$

$$(1-28) \quad \frac{k}{\log_{10} (r)} \leq j < \frac{k}{\log_{10} (r)} + 1$$

$$(1-29) \quad j \log_{10} (r) \leq k < j \log_{10} (r) + 1$$

Regresemos a analizar los dos casos restantes.

CASO 3 : Convertir un número fraccionario en base r a base 10. El procedimiento es muy parecido al que se empleó con enteros. La diferencia reside en la exactitud que se requiera en la conversión.

Si tenemos un número fraccionario en base r con j dígitos debe convertirse a decimal manteniendo una exactitud de $\pm (.1)_r^j$; luego, debemos seleccionar el número k de dígitos a ser retenidos en su representación decimal.

$$j \log_{10} (r) \leq k < j \log_{10} (r) + 1$$

El algoritmo se puede establecer del siguiente procedimiento. Sea :

$$N_r = (.d_{-1} d_{-2} \dots d_{-j})_r \quad \text{donde } \{d_{-1}, d_{-2}, \dots, d_{-j}\} \text{ son símbolos base } r$$

Usando la tabla de correspondencia, convertimos las d_{-i} a sus equivalentes c_{-i} en base 10.

Escribiendo el número en forma de serie, tenemos :

$$(1-30) \quad N_{10} = \sum_{i=-j}^{-1} c_i R^i = \sum_{i=1}^h \frac{c_{-i}}{R^i}$$

Factorizando el denominador, obtenemos

$$(1-31) \quad N_{10} = \frac{1}{R^j} \sum_{i=1}^j c_{-i} R^{j-i}$$

Esta expresión nos conduce directamente al siguiente algo

ritmo.

ALGORITMO 1-3 :

Conversión de un número fraccionario base r de j dígitos a base 10, manteniendo una exactitud de $(.1)_r^j$

$$N_r = (.d_{-1} d_{-2} \dots d_{-j})_r$$

- 1.- Usando la Tabla de Correspondencia, convertir los coeficientes base r, d_{-i} a sus correspondientes en base 10, c_{-i} .
- 2.- Calcular k; el número de lugares decimales a retenerse después de la conversión. Escoger k como el entero que cumpla con la siguiente desigualdad.

$$j \log_{10} (r) \leq k < j \log_{10} (r) + 1$$

- 3.- Hacer $i = 0$ y $x_0 = 0$
- 4.- Incrementar i en 1.
- 5.- Calcular $x_i = x_{i-1} r + c_{-i}$
- 6.- Si $i < j$, regresar al paso 4; si no proceder con el paso 7.
- 7.- Dividir x_j por R^j reteniendo sólo k dígitos. STOP.

$$N_{10} \approx x_j / R^j$$

CASO 4 : Convertir una fracción decimal de k dígitos a una base r, manteniendo una exactitud de $\pm (.1)_{10}^k$

Para mantener dicha exactitud, se deben seleccionar j dígitos de la representación en base r, tal que j cumpla con la siguiente desigualdad :

$$\frac{k}{\log_{10}(r)} \leq j < \frac{k}{\log_{10}(r)} + 1$$

ALGORITMO 1-4.

Conversión de una fracción decimal de k dígitos, a base r , manteniendo una exactitud de $\pm \frac{(.1)^k}{10}$.

$$N_{10} = (.a_{-1} a_{-2} \dots a_{-k})_{10}$$

- 1.- Calcular j ; el número de dígitos base r a retenerse después de la conversión. Escoger j como el entero que cumpla con la siguiente desigualdad.

$$\frac{k}{\log_{10}(r)} \leq j < \frac{k}{\log_{10}(r)} + 1$$

- 2.- Hacer $i = 0$ y $x_0 = N_{10}$
 3.- Incrementar i en 1.
 4.- Calcular $Y = r \cdot x_{i-1}$
 5.- Hacer $c_{-i} = |Y|$ parte entera de Y .
 6.- Hacer $X_i = |Y|$ parte fraccionaria de Y .
 7.- Si $i < j$ regresar al paso 3; si no, proseguir con el paso 8.
 8.- Usando la Tabla de Correspondencia, convertir cada c_{-i} a su equivalente en base r , d_i . STOP. $N_r = (.d_{-1} d_{-2} \dots d_{-j})_r$.

1.4. Conversión de Bases r^k

- A) Cuando se quiere convertir de una base r a otra base S

y SE cumple que $S = r^k$, donde k es un entero, se procede de la siguiente forma :

- i) Agrupar los dígitos de N_r en grupos de k dígitos, hacia ambos lados del punto radical y comenzando la agrupación desde éste.
 - ii) Convertir en forma directa (mediante la Tabla de Correspondencia), cada grupo de k dígitos a la base S .
- B) Cuando se quiere convertir de una base S a otra base r y se cumple que $S = r^k$ donde k es un entero, se procede convirtiendo directamente (mediante la Tabla de Correspondencia) cada dígito en base S a sus correspondientes k dígitos en base r .

Algoritmo : (D. E. Knuth : the Art of Computer Programming Vol. I)

Un algoritmo es un conjunto finito de reglas, que dan una secuencia de operaciones para resolver un problema específico y debe poseer las siguientes características :

- i) Finito : debe terminar después de un número finito de pasos.
- ii) Definido : cada paso debe estar definido en forma precisa.
- iii) Entrada : debe tener cero o más entradas, todas de un conjunto específico de

objetos.

- iv) Salida : una o más salidas, que tienen una relación específica con las entradas.
- v) Efectividad : todas las operaciones deben ser suficientemente básicas como efectuarlas en un tiempo finito.

1.5.- Conversión entre base A y base B usando aritmética base A:

A continuación se dan cuatro algoritmos equivalentes a los desarrollados en la sección 1.3, esta vez, empleando aritmética base A. El desarrollo de estos algoritmos es una extensión directa de aquellos de la sección 1.3 y por lo tanto se dejan como ejercicio voluntario. Al final de esta sección se incluyen algunas tablas aritméticas en otras bases (las más comunes).

Algoritmo 1.5 : Conversión de un entero de k dígitos base B, a un número base A

$$N_B = (d_{n-1} d_{n-2} \dots d_1 d_0)_B$$

Todas las operaciones de deben realizar en base A.

- 1.- Usando la Tabla de Correspondencia, convertir cada uno de los dígitos Base B a su correspondiente base A, C_i .

$$N_B = (C_{k-1} C_{k-2} \dots C_1 C_0)_B$$

- 2.- Hacer $i = 0$ y $x_0 = 0$

- 3.- Incrementar i en uno.

- 4.- Calcular $x_i = x_{i-1} B + C_{k-1}$
- 5.- Si $i < k$ regresar al paso 3, si no, continuar con el paso 6.
- 6.- STOP. El entero en Base A es : $N_A = X_k$

TABLAS : OPERACIONES ARITMETICAS EN BASES MAS COMUNES.

Tabla 1.2.- Adición - Binario

+	0	1
0	0	1
1	1	(1) 0

Tabla 1.3.- Adición - Octal

+	0	1	2	3	4	5	6	7
0	0	1	2	3	4	5	6	7
1	1	2	3	4	5	6	7	10
2	2	3	4	5	6	7	10	11
3	3	4	5	6	7	10	11	12
4	4	5	6	7	10	11	12	13
5	5	6	7	10	11	12	13	14
6	6	7	10	11	12	13	14	15
7	7	10	11	12	13	14	15	16

8

Tabla 1 - 4 Adición - Hexadecimal

+	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
1	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	10
2	2	3	4	5	6	7	8	9	A	B	C	D	E	F	10	11
3	3	4	5	6	7	8	9	A	B	C	D	E	F	10	11	12
4	4	5	6	7	8	9	A	B	C	D	E	F	10	11	12	13
5	5	6	7	8	9	A	B	C	D	E	F	10	11	12	13	14
6	6	7	8	9	A	B	C	D	E	F	10	11	12	13	14	15
7	7	8	9	A	B	C	D	E	F	10	11	12	13	14	15	16
8	8	9	A	B	C	D	E	F	10	11	12	13	14	15	16	17
9	9	A	B	C	D	E	F	10	11	12	13	14	15	16	17	18
A	A	B	C	D	E	F	10	11	12	13	14	15	16	17	18	19
B	B	C	D	E	F	10	11	12	13	14	15	16	17	18	19	1A
C	C	D	E	F	10	11	12	13	14	15	16	17	18	19	1A	1B
D	D	E	F	10	11	12	13	14	15	16	17	18	19	1A	1B	1C
E	E	F	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D
F	F	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E

Tabla 1-5 : Multipliacación Binario.

x	0	1
0	0	0
1	0	1

Tabla 1 - 6 : Multipliacación - Octal.

x	1	2	3	4	5	6	7
1	1	2	3	4	5	6	7
2	2	4	6	10	12	14	16
3	3	6	11	14	17	22	25
4	4	10	14	20	24	30	34
5	5	12	17	24	31	36	43
6	6	14	22	30	36	44	52
7	7	16	25	34	43	52	61

Tabla 1-7 : Multipliacación - Hexadecimal

X	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
1	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
2	2	4	6	8	A	C	E	10	12	14	16	18	1A	1C	1E
3	3	6	9	C	F	12	15	18	1B	1E	21	24	27	2A	2D
4	4	8	C	10	14	18	1C	20	24	28	2C	30	34	38	3C
5	5	A	F	14	19	1E	23	28	2D	32	37	3C	41	46	4B
6	6	C	12	18	1E	24	2A	30	36	3C	42	48	4E	54	5A
7	7	E	1E	1C	23	2A	31	38	3F	46	4D	54	5B	62	69
8	8	10	18	20	28	30	38	40	48	50	58	60	68	70	78
9	9	12	13	24	2D	36	3F	48	51	5A	63	63	75	7E	87
A	A	14	1E	28	32	3C	46	50	5A	64	6E	78	82	8C	96
B	B	16	21	2C	37	42	4D	58	63	6E	79	84	8F	9A	A5
C	C	18	24	30	3C	48	54	60	6C	78	84	90	9C	A8	B4
D	D	1A	27	34	41	4E	5B	68	75	82	8F	9C	A9	B6	C3
E	E	1C	2A	38	46	54	62	70	7E	8C	9A	A8	B6	C4	D2
F	F	1E	2D	3C	4B	5A	69	78	87	96	A5	B4	C3	D2	E1

6

Algoritmo 1-6: Conversión de un entero Base A a un entero Base B empleando aritmética Base A.

- 1.- Hacer $i = 0$ y $x_0 = N_A$.
- 2.- Calcular $Y = x_0/B$.
- 3.- Hacer x_{i+1} igual a la parte entera de Y .
- 4.- Hacer C_i igual al residuo de la división del paso 2.
- 5.- Si $x_{i+1} \neq 0$, incrementar i en uno y regresar al paso 2; si no, proceder con el paso 6.
- 6.- Usando la tabla de correspondencia, convertir las C_i del paso 4 a los símbolos correspondientes d_i en base B. --- STOP.

$$N_B = (d_i d_{i-1} \dots d_1 d_0)_B$$

Algoritmo 1-7: Conversión de una fracción de j dígitos, base B, a una fracción base A, manteniendo una exactitud de $\pm (j)_B$.

$$N_B = (.d_{-1} d_{-2} \dots d_{-j+1} d_{-j})_B$$

Toda la aritmética se hará en base A.

- 1.- Convertir los coeficientes d_i en base B a sus valores correspondientes c_i , en base A, empleando la Tabla de Correspondencia.
- 2.- Calcular k , el número de dígitos base A a ser retenidos después de la conversión. Escoger k como un entero que cumpla con la desigualdad.

$$j \frac{\log_{10}(B)}{\log_{10}(A)} \leq k < j \frac{\log_{10}(B)}{\log_{10}(A)} + 1$$

- 3.- Hacer $i = 0$ y $x_0 = 0$.
- 4.- Incrementar i en uno.
- 5.- Calcular $x_i = x_{i-1} \cdot B + c_{-i}$ (efectuar operaciones en aritmética Base A).
- 6.- Si $i < j$ regresar al paso 4; si no, proseguir con paso 7.
- 7.- Dividir x_i por B^j , reteniendo k dígitos. STOP

$$N_A = x_i / B^j$$

Algoritmo 1-8: Conversión de una fracción de k dígitos, base A, a una fracción de j dígitos base B, manteniendo una exactitud de $\pm (.1)_A^k$.
 $N_A = (.a_{-1} a_{-2} \dots a_{-k})_A$
 Toda la aritmética se hará en base A.

- 1.- Calcular el número de dígitos j , a retenerse en el número en base B después de la conversión. Escoger j como el entero que cumpla con la desigualdad:

$$k \frac{\log_{10}(A)}{\log_{10}(B)} \leq j < k \frac{\log_{10}(A)}{\log_{10}(B)} + 1$$

- 2.- Hacer $i = 0$ y $x_0 = (N)_A$.
- 3.- Incrementar i en 1.
- 4.- Calcular $Y = B \cdot x_{i-1}$.

- 5.- Hacer c_{-i} igual a la parte entera de Y.
- 6.- Hacer x_i igual a la parte fraccionaria de Y.
- 7.- Si $i < j$ regresar al paso 3; si no proseguir con paso 8.
- 8.- Usando la Tabla de Correspondencia, convertir cada C_i al símbolo correspondiente en base B, d_i , STOP.

$$N_B = (.d_{-1} d_{-2} \dots d_{-j})_B$$

1.6 Números Negativos

Hay tres formas comúnmente empleadas para representar números negativos :

- * Magnitud signada.
- * Complemento a la base disminuida.
- * Complemento a la base.

1.6.1.- Magnitud Signada:

Es la notación que empleamos comúnmente al trabajar con números decimales : empleamos el signo "+" para indicar un número positivo y un signo "-" para indicar un número negativo.

Como el signo ocupa el mismo espacio que un dígito, se puede establecer una convención muy simple :

El primer dígito indicará el signo con $\begin{cases} 0 \text{ para números positivos} \\ R-1 \text{ para números negativos.} \end{cases}$

Luego, para negar o complementar un número, es necesario sólo cambiar el indicador de signo, manteniendo inalterada su magnitud.

Algoritmo 1.9 : Complementación de un número base k representado en magnitud signada.

Sea N un número en base R, con el indicador de signo S :

$$S = \begin{cases} 0 & \text{si N es positivo} \\ R-1 & \text{si N es negativo} \end{cases}$$

$$N_R = (S d_{n-1} d_{n-2} \dots d_1 d_0 . d_{-1} d_{-2} \dots d_{-k})_R$$

- 1.- Sustraer S de (R-1) para obtener el nuevo signo.
- 2.- Agregar el nuevo S a la magnitud del número original.

$$(-N)_R = ((R-1-S) d_{n-1} d_{n-2} \dots d_1 d_0 . d_{-1} \dots d_{-k})_R$$

1.6.2. Complemento a la base disminuida.

Los números positivos se escriben en la misma forma que en la representación en magnitud signada.

Los números negativos se forman sustrayendo el número positivo de n posiciones, de $(R^n)_R$ y luego sustrayendo 1 de la posición menos significativa.

Luego, si N_R es un número de n dígitos con n posiciones enteras y k posiciones fraccionarias,

$$(-N)_R = (R^n)_R - (N)_R - (.1)_k$$

Obsérvese que empleando esta representación, se preserva la convención del signo, y por lo tanto resultan dos representaciones para el número 0 : +0 y -0.

$$(+0)_R = 0000.0000$$

$$(-0)_R = (R-1)_R (R-1)_R \dots (R-1)_R (R-1)_R \dots (R-1)_R$$

El hecho de tener dos representaciones para 0 produce un problema que se observa sumando $(N)_R$ a $(-N)_R$.

$$(N)_R + (-N)_R = (N)_R + (R^n)_R - (N)_R - (.1)_R^k$$

$$= (R^k)_R - (.1)_R^k$$

que equivale a $(-0)_R$, el número con todos los dígitos iguales a $(R-1)_R$.

Algoritmo 1.10 : Obtención del complemento a la base disminuida de un número base R.

Sea N_R un número base R de m dígitos, con n posiciones enteras incluyendo el signo y dígitos fraccionarios.

1.- Substraer cada dígito incluyendo el signo, de

$$(R-1)_R$$

2.- STOP

$$(-N)_R = (R^n)_R - N_R - (.0.1)_R^k$$

1.6.3. Complemento a la Base.

Los números positivos se representan en la misma forma

que en magnitud signada, con el primer dígito igual a cero y los dígitos restantes correspondiendo a en magnitud.

Los números negativos se forman sustrayendo el número positivo, de $(R^n)_R$, donde n es el número de posiciones enteras incluyendo el dígito de signo. Luego

$$(-N)_R = (R^n)_R - (N)_R$$

Existen dos problemas con este tipo de representación :

1) El número +0 se representa 0000.....0. Si aplicamos la fórmula anterior para obtener el complemento, obtendríamos el número $(R^n)_R$ para el número $(-0)_R$. Sin embargo, este número tiene una posición más que el número original. Por convención, ignoraremos dicho 1 extra, truncando el resultado a un número con puros ceros.

2) Si tenemos un número negativo con los demás dígitos iguales a cero, al aplicar la fórmula anterior debería darnos un número positivo, en cambio, obtenemos un número con magnitud cero e indicador de signo igual a 1; es decir, obtenemos un número inválido.

$$Ej.: N_{10} = 9.00_{10} \quad -N_{10} = 1.00_{10}$$

Esto no ocurre en base, donde la (negación) complemento de 1.00 ... 0 es 1.00 ... 0

Lo que sucede en este caso es que se está obteniendo el

12

negativo de $(R^n)_R$. Este problema es fácil de detectar debido al indicador inválido de signo.

Estos dos problemas están relacionados con el hecho que existe una sola representación para el 0, suponiendo un número fijo de dígitos.

Algoritmo 1-11 : Obtención del complemento a la base de un número base R.

- 1.- Localizar el dígito menos significativo distinto de cero. Si todos los dígitos son cero, STOP : $(-N)_R = 0$, - si no, proseguir con el paso 2.
- 2.- Substraer el dígito menos significativo, de R.
- 3.- Substraer cada uno de los dígitos restantes (hacia la izquierda), incluyendo el dígito de signo, de R-1.
- 4.- STOP. $(-N)_R = (R^n)_R - (N)_R$, donde n es el número de posiciones enteras incluyendo posición del signo.

Obsérvese que empleando complemento a la base :

$$(N_R) + (-N)_R = (N)_R + (R^n)_R - (N)_R = (R^n)_R$$

lo que según la convención anterior es igual a cero (ignorando el 1 en la posición más significativa).

Comparando las notaciones de complemento a la base disminuida :

$$N_R = (R^n)_R - N_R - (0.1)_R^k$$

Con la de complemento a la base, vemos que esta última la podemos obtener de la primera, sumando 1.

$$N_R = (R^n)_R - N_R - (0.1)_R^k + (0.1)_R^k$$

$(N)_{10}$	Magnitud Signada	Complemento a 1	Complemento a 2
7/8	0.111	0.111	0.111
6/8	0.110	0.110	0.110
1/8	0.001	0.001	0.001
0/8	0.000	0.000	0.000
-0/8	1.000	-	1.111
-1/8	1.001	1.111	1.110
-2/8	1.010	1.110	1.101



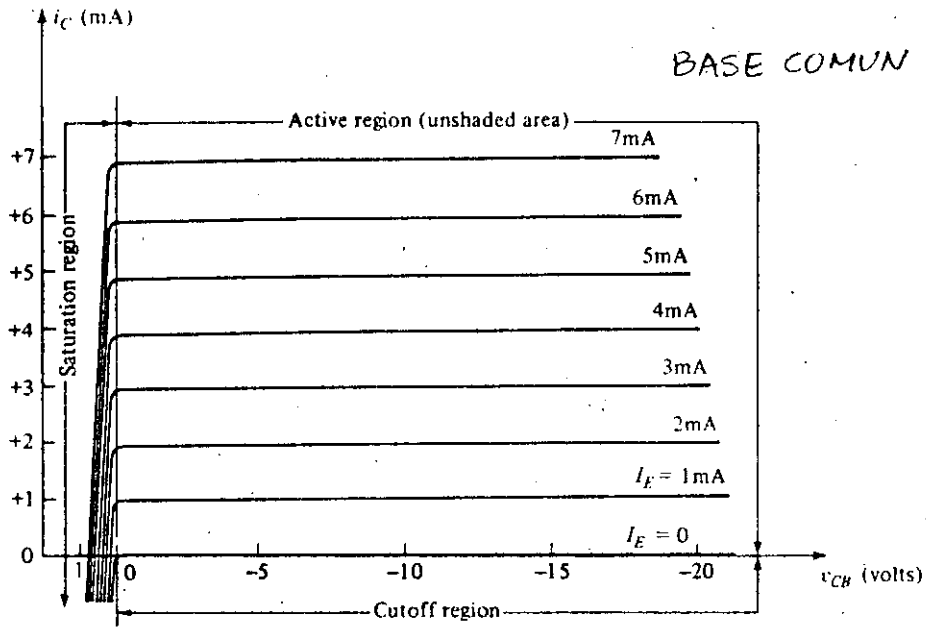
**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

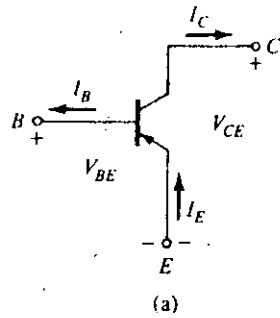
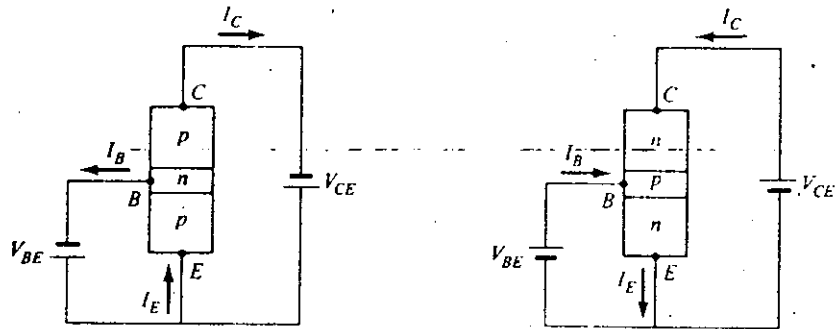
- COMPLEMENTO -

ING. ANASTASIO MONTIEL MAYORGA

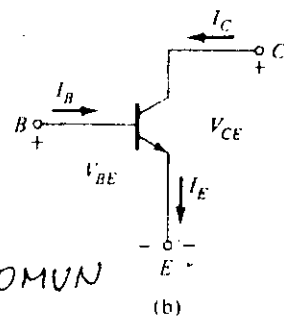
SEPTIEMBRE, 1984

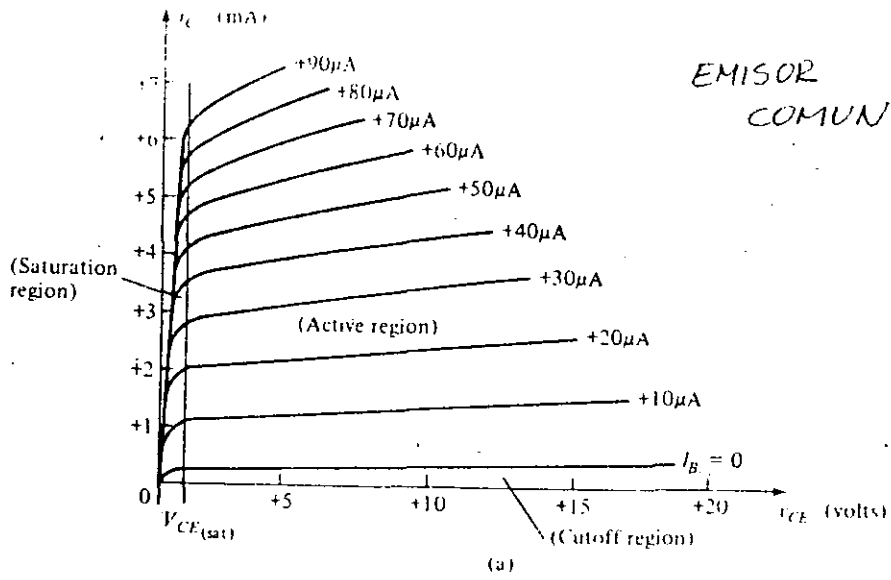
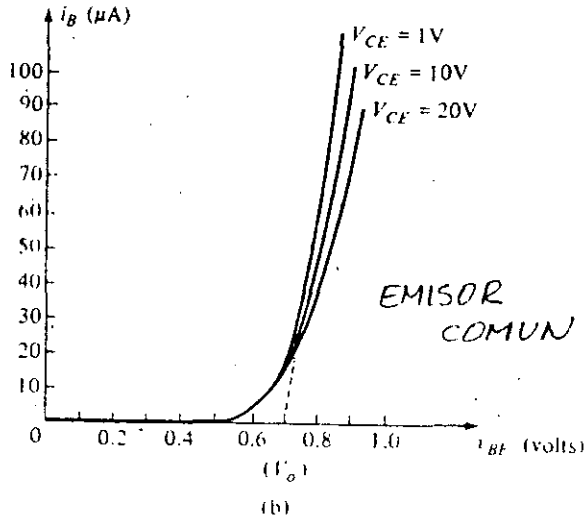


(a)



EMISOR COMUN





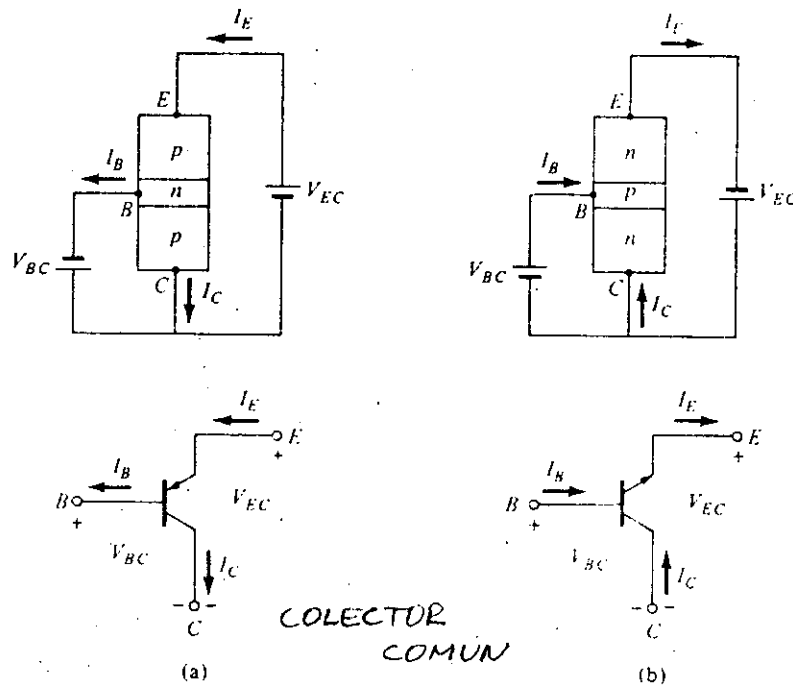


Figura 2.8 Configuraciones básicas y curvas características del transistor.

Para este último caso, se usan las mismas curvas del emisor común.

2.4 POLARIZACION.

Para que el transistor funcione en la región que se desee, es necesario suministrarle los voltajes y corrientes correspondientes, es decir, polarizarlo.

Para usar al transistor como amplificador se polariza en la región activa directa, en cambio, cuando se utiliza como interruptor o "switch", generalmente se polariza en la región de corte y se conmuta a la región de saturación.

La región activa está limitada por las regiones de corte y saturación, y además, por los regímenes máximos de

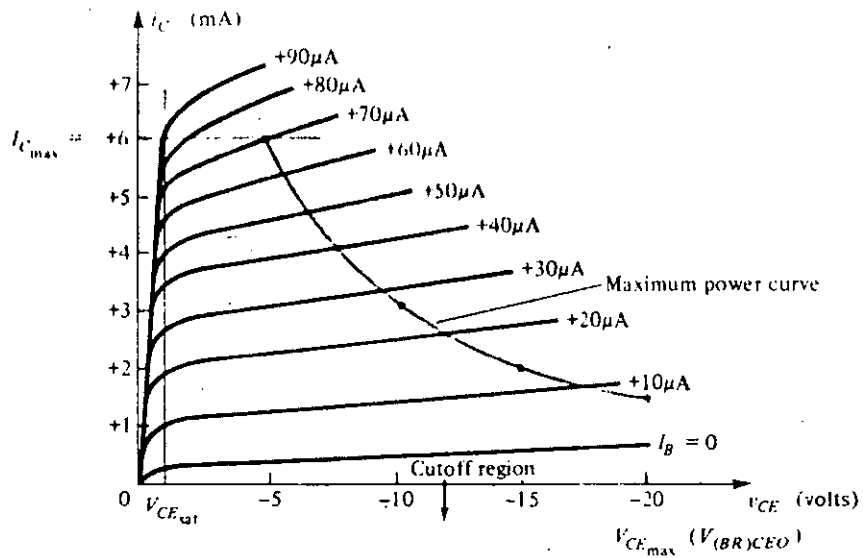


Figura 2.9 Límites de la región activa.

operación, característicos de cada transistor en particular. En la Figura 2.9 se muestra esta situación.

La curva de máxima potencia está descrita por la ecuación

$$P_T = V_{CE} i_C \quad (2.9)$$

que es la potencia máxima que puede disipar el transistor.

Existen una gran variedad de circuitos de polarización, los más comunes se muestran en la Figura 2.10, a excepción del primero que no se utiliza por necesitar 3 diferentes fuentes de alimentación.

El criterio para escoger uno de ellos, depende de qué tan estable se requiera el punto de operación, a pesar de que varíen algunos parámetros del transistor, así como variaciones en la temperatura de operación.

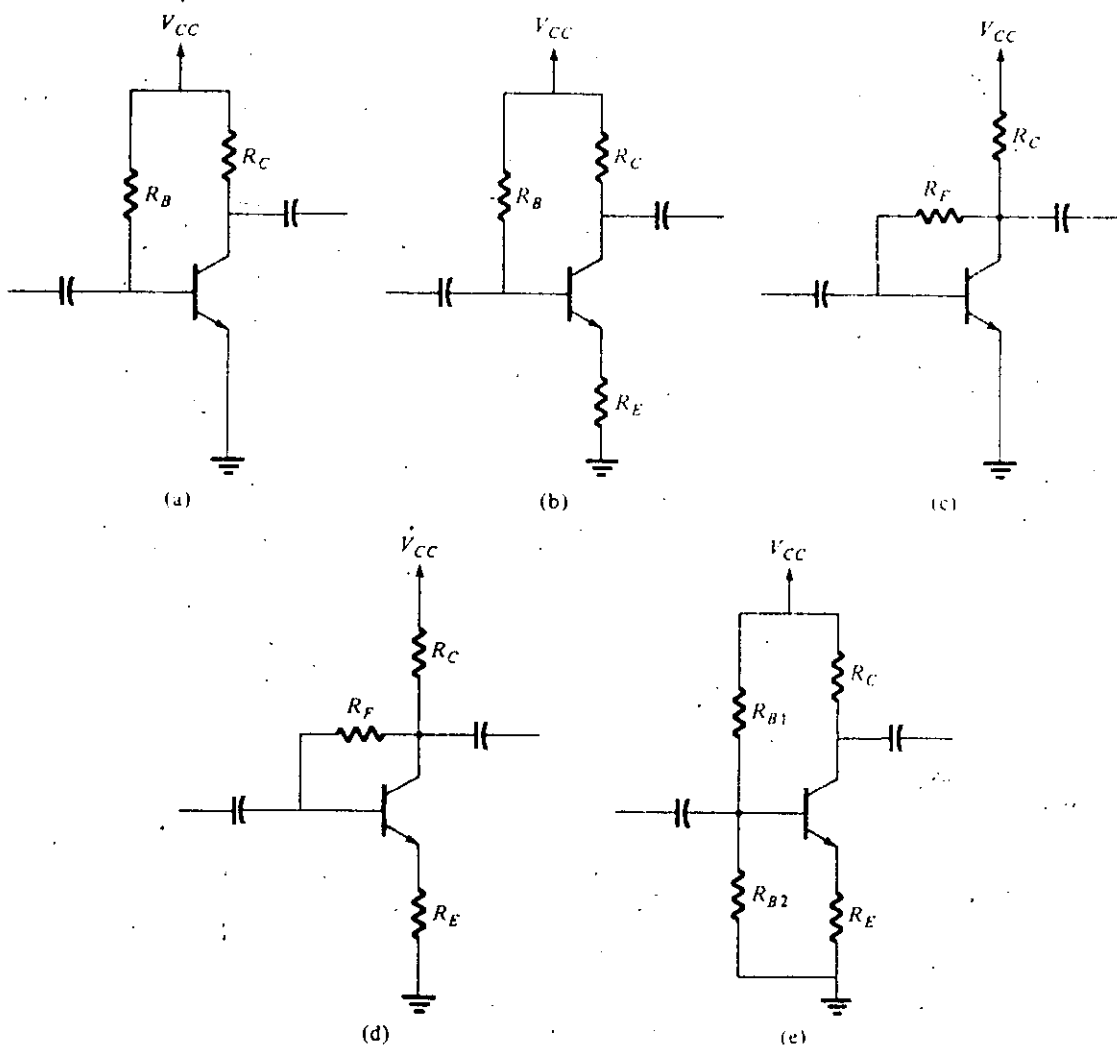
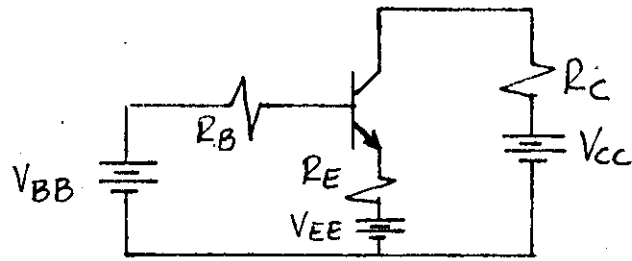


Figura 2.10 Circuitos de polarización.

Para el análisis y diseño de estos circuitos de polarización, puede hacerse uso del modelo de Ebers-Moll, o bien del modelo simplificado si a priori sabemos en qué región está polarizado el transistor. En el caso de polarización en la región activa, puede usarse el modelo descrito anteriormente:

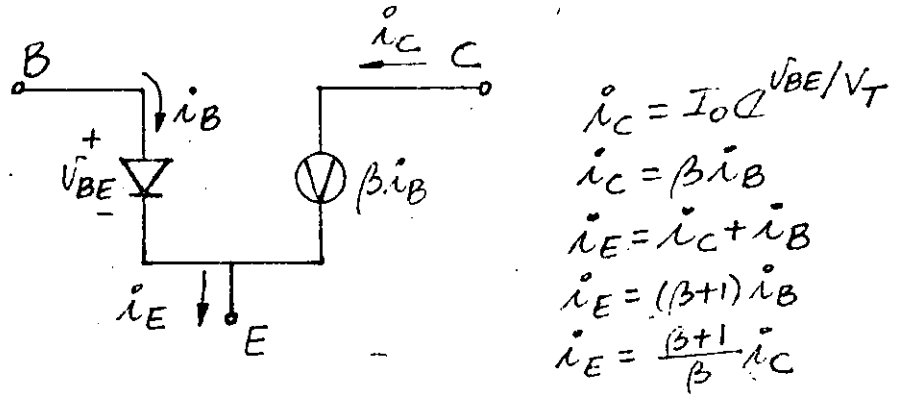
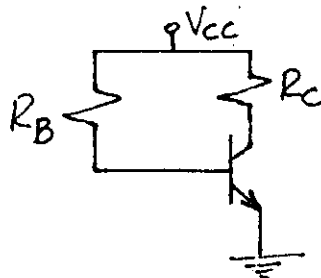


Figura 2.11: Modelo simplificado del TBJ

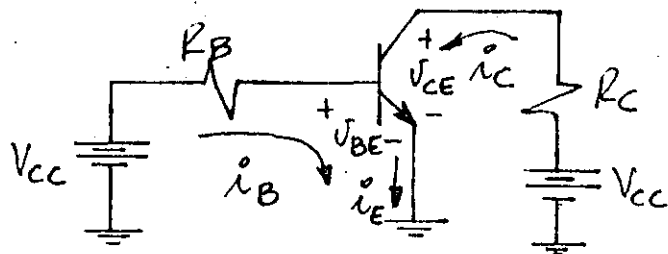
Dado que la ecuación de la corriente es una exponencial, la problemática del análisis de circuitos es la misma -- que la del diodo, para mostrar ésto, considérese el siguiente ejemplo:

EJEMPLO 2.1.

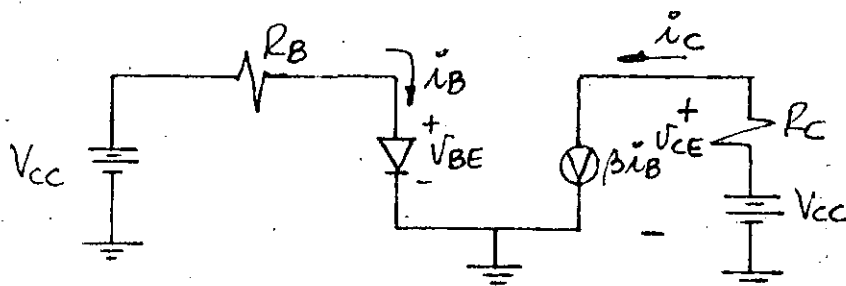
Determine el punto de operación (V_{CEQ} , I_{CQ}) del siguiente circuito:



Redibujando el circuito para hacer patentes las mallas, se tiene:



sustituyendo al transistor por su modelo,



De la malla B-E:

$$V_{cc} = i_B R_B + V_{BE} \quad (2.10)$$

y de la C-E:

$$V_{cc} = i_C R_C + V_{CE} \quad (2.11)$$

y como: $i_C = \beta i_B$

sustituyendo en (2.10) se obtiene:

$$i_C = \frac{V_{cc} - V_{BE}}{R_B / \beta} \quad (2.12)$$

y también, se sabe:

$$i_C = I_0 e^{V_{BE}/V_T}$$

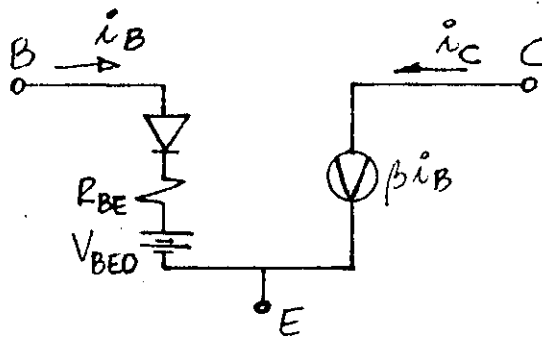
$$V_{BE} = V_T \ln \left(\frac{i_C}{I_0} \right) \quad (2.13)$$

Las ecuaciones (2.12) y (2.13) constituyen el mismo sistema de ecuaciones trascendentes que se obtuvo en el ca-

so del diodo. Por lo tanto, se hace exactamente lo mismo, la solución se encuentra gráficamente, si se tiene la característica $i_c - V_{BE}$, o analíticamente haciendo iteraciones.

Una vez encontrado I_{CQ} , puede determinarse V_{CEQ} a partir de la ecuación (2.11), o bien puede determinarse gráficamente también. Conocida I_{CQ} , se conocen todas las corrientes, I_{BQ} e I_{EQ} , porque están relacionadas a través de β .

Nuevamente, como en el caso del diodo, este procedimiento resulta exagerado para la gran mayoría de las aplicaciones normales. Lo que generalmente se hace, es utilizar un modelo todavía más simple, como el que se obtiene al sustituir al diodo base-emisor por un modelo piezolineal. Es decir,



Como la resistencia R_{BE} es muy pequeña, se acostumbra a despreciarla, resultando aún más sencillo el modelo.

En clase se resolverán algunos ejemplos para mostrar la facilidad en el análisis que se obtiene usando este modelo.

2.5 EL AMPLIFICADOR BASICO

Antes de analizar el comportamiento de los circuitos amplificadores, veamos cómo es que el transistor amplifica.

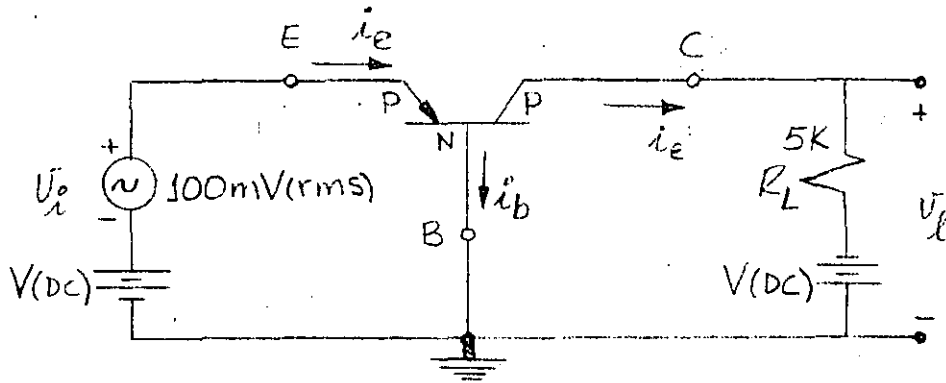


Figura 3.12 Circuito básico de amplificación.

En la Fig. 3.12 se muestra un circuito amplificador en la configuración base común. Las fuentes de CD suministran los voltajes y corrientes de polarización, de tal forma que opera en la región activa directa. Bajo estas condiciones, la juntura Base-Emisor presenta una baja resistencia al estar polarizada en directa, y Base-Collector una alta resistencia por estar polarizada en inversa. Considerando exclusivamente la componente de alterna y tomando como resistencia típica de entrada unos 100Ω , la corriente de entrada será:

$$i_e = \frac{100 \text{ mV}}{100 \Omega} = 1\text{mA}$$

y como $i_1 = i_c \approx i_e$ para $\alpha \approx 1$, el voltaje a la salida será:

$$v_1 = i_1 R_L = (1\text{mA})(5\text{K}\Omega)$$

$$v_1 = 5\text{V}$$

Entonces, la amplificación o ganancia de voltaje es:

$$A_v = \frac{v_1}{v_i} = \frac{5\text{V}}{100\text{mV}} = 50$$

La acción amplificadora se obtiene al transferir una corriente de un circuito de baja resistencia a otro de alta. Precisamente, de la combinación de estos dos términos se deriva el nombre de transistor: TRANSferencia + reSISTOR → TRANSISTOR.

El circuito típico de amplificación se muestra en la Fig. 3.13. Los capacitores C_1 y C_2 se denominan capacitores de acoplamiento a la entrada y a la carga, respectivamente. Su función es bloquear la componente directa para que no circule a través de la fuente de señal ni de la carga. C_3 es un capacitor de derivación o "bypass", que deriva la componente de alterna a tierra para que no hayan pérdidas en la resistencia R_E .

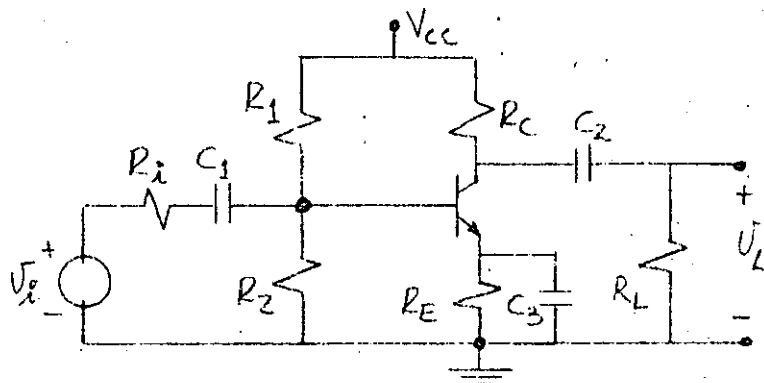


Figura 3.13 Amplificador típico en Emisor Común.

Como se desea que la señal de salida sea una réplica de la señal de entrada, nada más que amplificada, es decir, que la distorsión sea mínima, el transistor siempre debe operar en la región activa, sin llegar a corte o saturación. Únicamente bajo estas condiciones se puede considerar que la amplificación es lineal, con baja distorsión.

Por otro lado, si la amplificación se puede considerar lineal, como en el caso del diodo, podemos utilizar un modelo

lineal para el transistor y también, como el comportamiento del circuito es lineal, se puede aplicar superposición: efectuar el análisis de CD primero y después el de CA.

Un modelo de señal pequeña bastante simple, se obtiene sustituyendo al diodo base-emisor del modelo simplificado de la Fig. 3.11, por su resistencia dinámica, que como se recordará es:

$$r_{be} = \frac{V_T}{I_{BQ}} \quad (3.14)$$

que es la misma ecuación (2.51) para el caso del diodo y $\eta = 1$.

A esta resistencia dinámica del diodo base-emisor se le acostumbra a representar en función de I_{CQ} y se le denomina r_{π} :

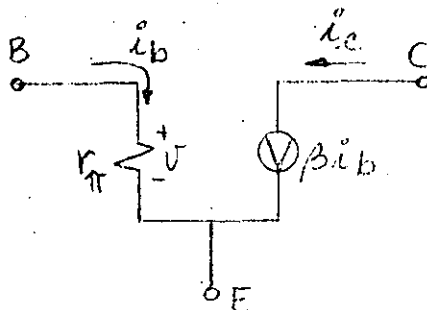
$$\text{como, } I_{BQ} = \frac{I_{CQ}}{\beta}$$

sustituyendo en (3.14):

$$r_{\pi} = \frac{V_T}{I_{CQ}/\beta}$$

$$r_{\pi} = \frac{\beta V_T}{I_{CQ}}$$

quedando el modelo:



llamado modelo π - Híbrido.

Este modelo de señal pequeña involucra una fuente de corriente controlada por corriente, que puede convertirse a una fuente de corriente controlada por voltaje, de la siguiente forma:

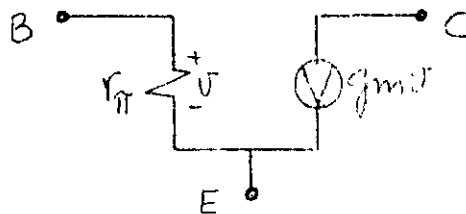
Del modelo,

$$\begin{aligned} i_c &= \beta i_b \\ e \quad i_b &= \frac{v}{r_{\pi}} \\ \text{luego: } i_c &= \frac{\beta}{r_{\pi}} v \\ i_c &= g_m v \end{aligned} \quad (3.15)$$

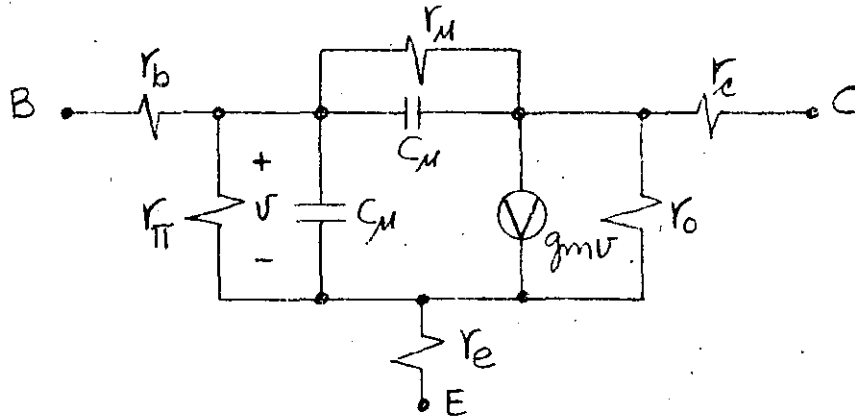
$$\text{donde: } g_m = \frac{\beta}{r_{\pi}} \quad (3.16)$$

que es la transconductancia del transistor porque tiene unidades de conductancia y relaciona la corriente de salida i_c , con el voltaje efectivo de entrada v .

La forma más común de representar el modelo de señal pequeña del transistor es:



Un modelo más completo, considera la resistencia de salida del dispositivo y las capacitancias de las junturas P-N, así como la resistencia de la juntura Colector-Base y las resistencias de contacto de las terminales:

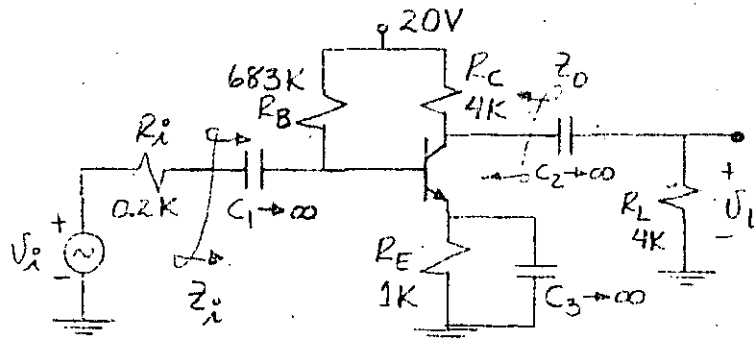


Obviamente, es un modelo más completo pero se requiere una computadora para utilizarlo en el análisis y diseño de los circuitos. Afortunadamente, para un rango de frecuencias medias, y para señales de entrada de nivel medio y sin cambios rápidos o abruptos, todos estos efectos parásitos pueden despreciarse y la aproximación que se obtiene utilizando el modelo más simple, es aceptable.

Para ilustrar la mecánica del análisis, consideremos el siguiente ejemplo:

EJEMPLO 3.2.

En el circuito amplificador mostrado, determine el punto de operación del transistor (V_{CEQ} , I_{CQ}), la ganancia de voltaje (A_v), la ganancia de corriente (A_i) y las impedancias de entrada (Z_i) y de salida (Z_o).

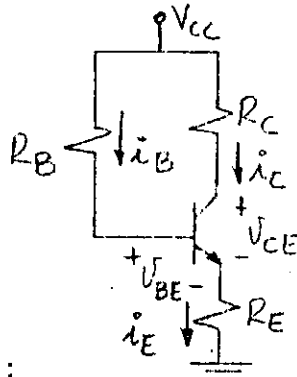


$\beta = 100$
 $V_{BEQ} = 0.6V$
 $V_{CE(sat)} \approx 0$

Figura 3.14 Circuito amplificador en emisor común.

ANALISIS DE CD

Para CD, considerando los capacitores idealmente grandes, el circuito queda:



De la malla B-E:

$$i_E = \frac{V_{CC} - v_{BE}}{R_E + R_B / (\beta + 1)}$$

$$i_E = \frac{20 - 0.6}{1 + 683/101}$$

$$I_{EQ} \cong 2.5 \text{ mA}$$

como β es grande: $I_{CQ} \cong I_{EQ} = 2.5 \text{ mA}$

De la malla C-E:

$$V_{CC} \cong i_C (R_C + R_E) + v_{CE}$$

$$V_{CEQ} = 20 - 2.5 (4+1)$$

$$V_{CEQ} = 7.5 \text{ Volts.}$$

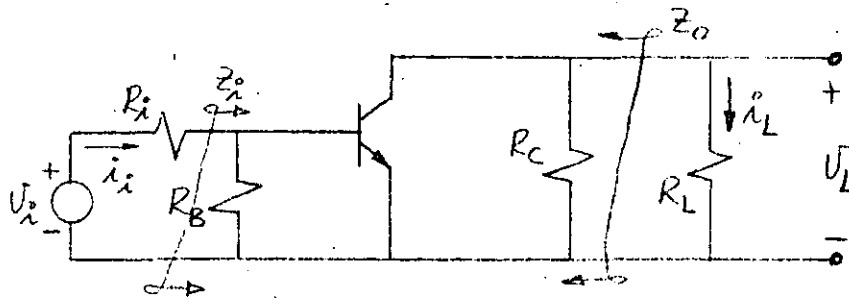
ANALISIS DE CA

Determinando los parámetros de alterna, se tiene:

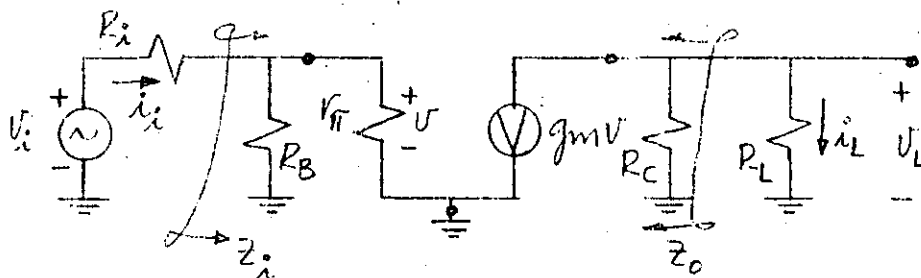
$$r_{\pi} = \frac{\beta V_T}{I_{CQ}} = \frac{(100) (0.026)}{2.5} \cong 1 \text{ k}\Omega$$

y
$$g_m = \frac{\beta I_{CQ}}{r_{\pi}} = \frac{100}{1} = 100 \text{ mA/V}$$

Haciendo las fuentes de CD cero y los capacitores corto circuito, se tiene:



Sustituyendo al transistor por su modelo,



De este circuito, se tiene:

$$\frac{v}{v_i} = \frac{r_{\pi} \parallel R_B}{R_i + (r_{\pi} \parallel R_B)} = \frac{1 \parallel 683}{0.2 + (1 \parallel 683)} = 0.83$$

$$\frac{v_L}{v} = -g_m (R_C \parallel R_L) = -100 (4 \parallel 4) = -200$$

luego: $A_v = \frac{v_L}{v_i} = \left(\frac{v}{v_i}\right) \left(\frac{v_L}{v}\right) = (0.83) \cdot (-200) = -166$

La ganancia de corriente puede calcularse fácilmente sabiendo que:

$$v_L = i_L R_L \quad \therefore i_L = \frac{v_L}{R_L}$$

y $v_i = i_i \{ R_i + (R_B \parallel r_{\pi}) \} \quad \therefore i_i = \frac{v_i}{R_i + (R_B \parallel r_{\pi})}$

dividiendo ambas expresiones:

$$\frac{i_L}{i_i} = \frac{v_L / R_L}{v_i / \{ R_i + (R_B \parallel r_{\pi}) \}}$$

es decir:

$$A_i = \frac{i_L}{i_i} = A_v \frac{R_i + (R_B || r_{\pi})}{R_L}$$

sustituyendo valores:

$$A_i = (-166) \frac{0.2 + (1 || 683)}{4}$$

$$A_i = -49.74$$

Los signos negativos en ambas ganancias indican que la señal de salida está desfasada 180° con respecto a la señal de entrada.

Para el cálculo de las impedancias de entrada y salida, puede verse fácilmente del circuito de alterna que:

$$Z_i = R_B || r_{\pi} = 683 || 1 \cong 1K\Omega.$$

$$y \quad Z_o = R_C = 4K\Omega.$$

En la Fig. 3.15 se muestran los circuitos amplificadores básicos en las otras dos configuraciones.

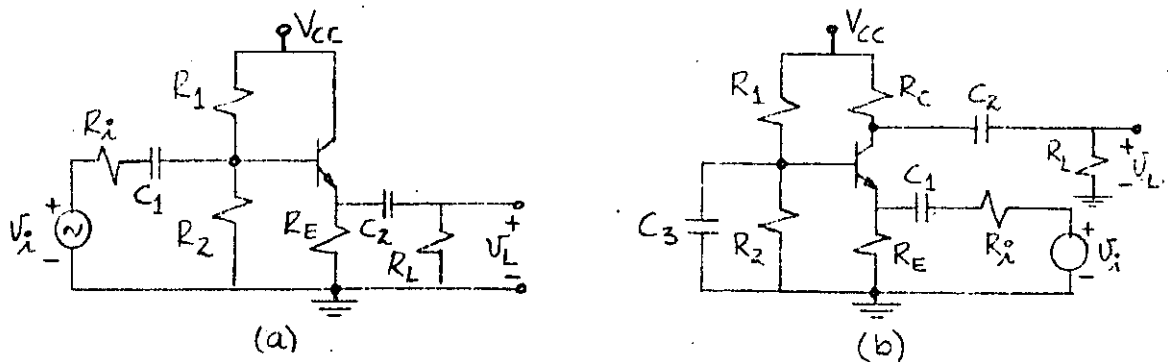


Figura 3.15 Circuitos amplificadores básicos, a) en colector común b) en base común.

Nuevamente, los capacitores C1 y C2 son de acoplamiento y C3 de "bypass".

En la mayoría de las aplicaciones, la ganancia que se obtiene a partir de una etapa amplificadora no satisface nuestras necesidades, en estos casos, se conectan etapas en cascada para aumentar el nivel de la señal a la salida.

La conexión entre las etapas puede hacerse a través de circuitos RC, transformadores o directamente. En algunas aplicaciones especiales se usan acoplamientos ópticos. A continuación se muestran algunos circuitos amplificadores de dos etapas que presentan estos tipos de acoplamientos.

El análisis de CD de los amplificadores multietapa acoplados por RC o transformador, se efectúa etapa por etapa como se ilustró anteriormente, ya que el capacitor y el transformador desacoplan las etapas en CD. En cambio, en los acoplados directamente las polarizaciones de las etapas interactúan. En este último caso, es necesario plantear todas las ecuaciones independientes de mallas y nodos y operar con ellas, o bien, utilizar un método de aproximación sucesiva, como se ilustrará en clase.

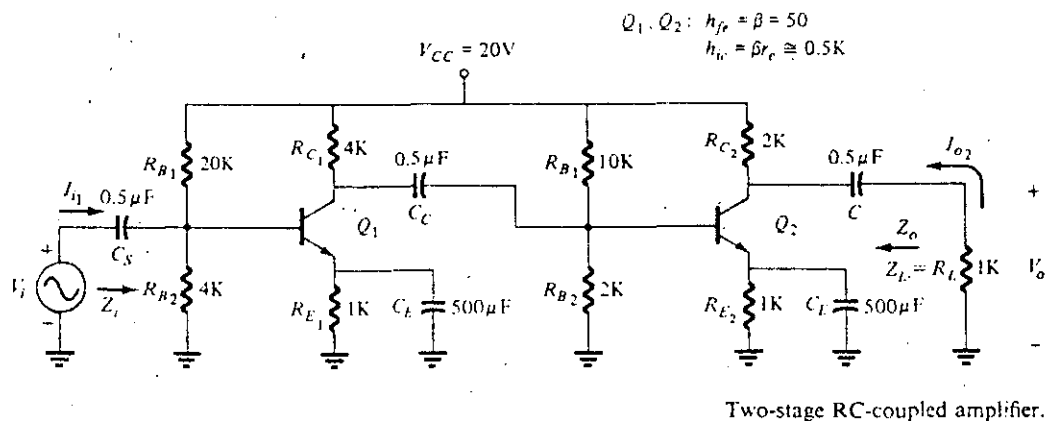
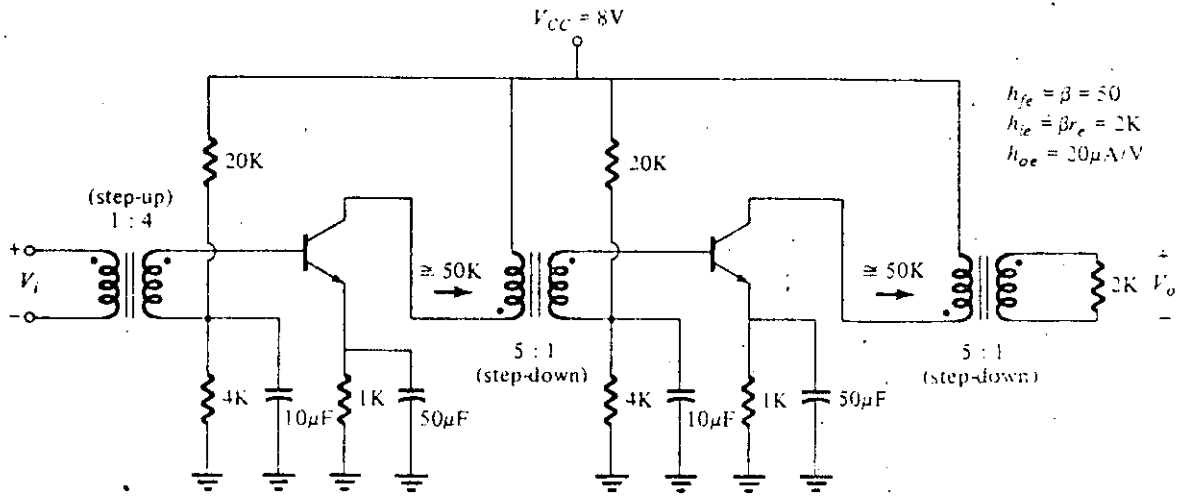


Figura. 3.16 Ejemplos de Amplificadores Multietapa.



Two-stage transformer-coupled transistor amplifier.

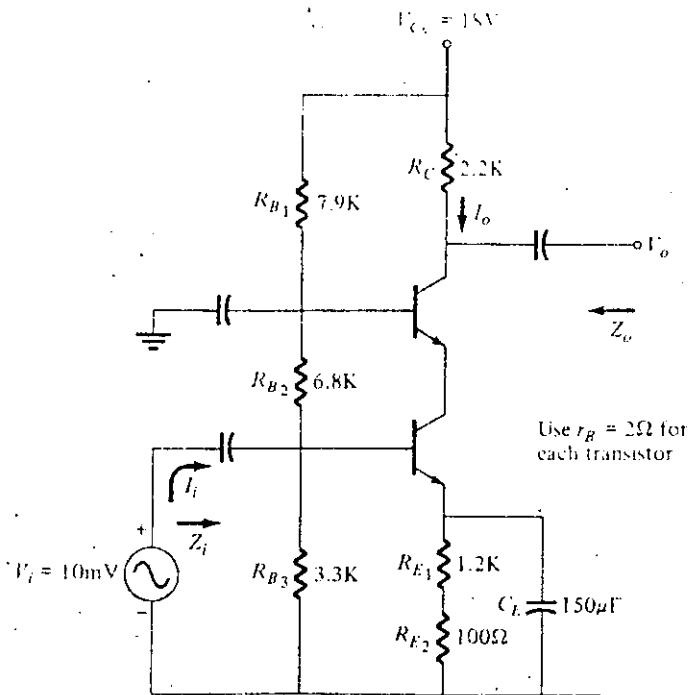
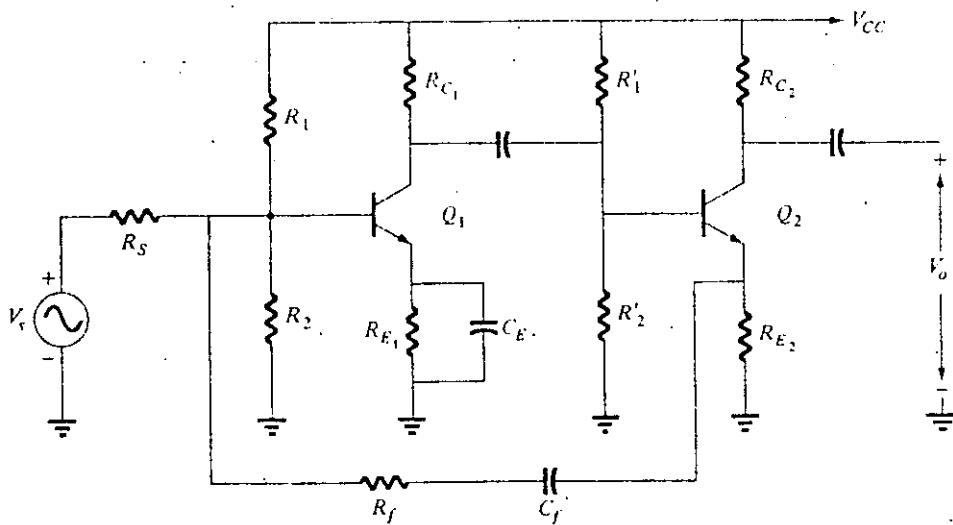
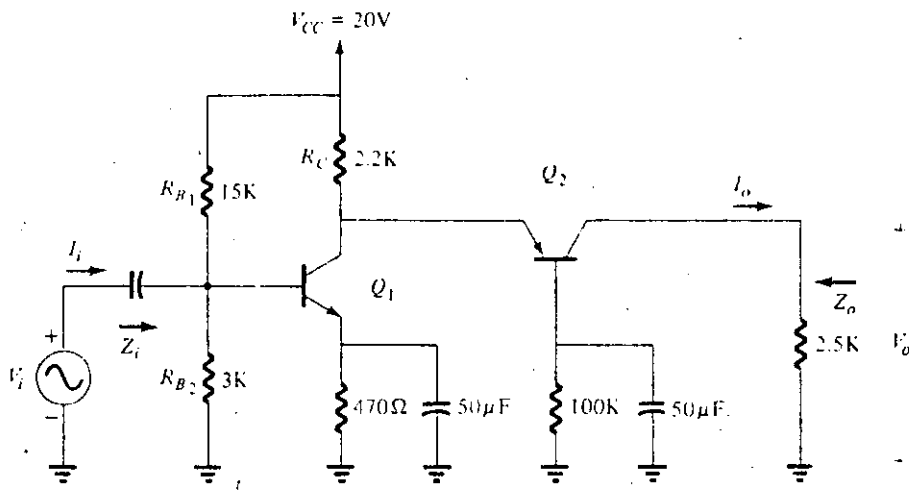
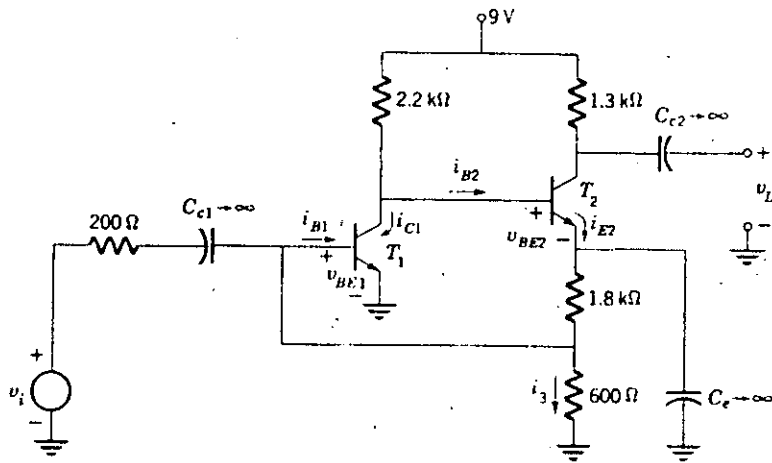


Figura 3.16 (Continuación)



Amplifier with current-shunt negative feedback connection.

Figura 3.16 (Continuación).



Integrated-circuit amplifier.

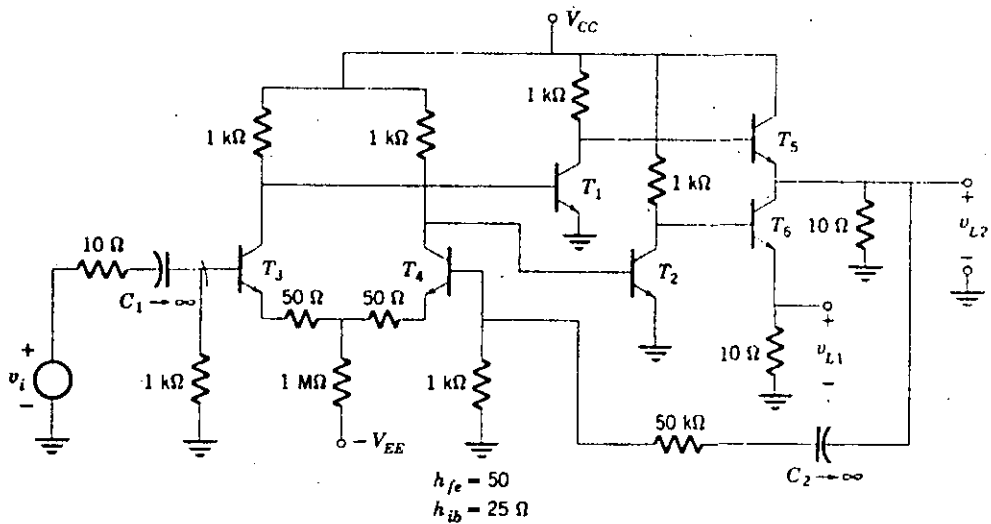
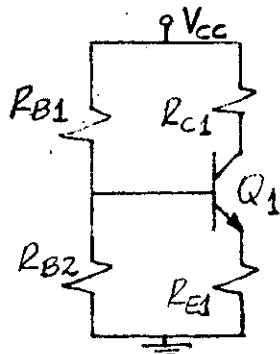


Figura 3.16 (Continuación)

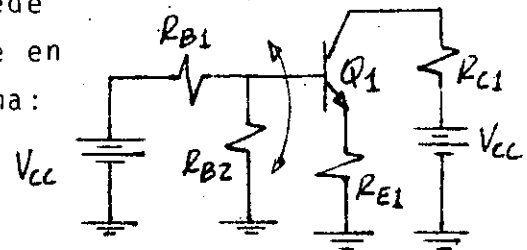
Para el análisis de CA se procede de la misma forma, se sustituye cada transistor por su modelo y se analiza el circuito resultante. Considérese el amplificador con acoplamiento RC. Como se dijo anteriormente, los capacitores aíslan cada etapa en CD, por lo tanto se analiza la polarización de cada etapa por separado. Para la primera, se tiene:



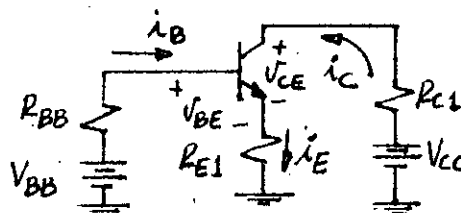
que puede ponerse en la forma:

$$V_{BEQ} = 0.6V$$

$$\beta = 50$$



y encontrando el Thévenin entre base y tierra:



donde: $V_{BB} = \frac{V_{CC} R_{B2}}{R_{B1} + R_{B2}} = 3.33V$

$R_{BB} = R_{B1} || R_{B2} = 3.33K$

De este circuito:

$$I_{EQ1} = \frac{V_{BB} - V_{BEQ}}{R_{E1} + \frac{R_{BB}}{\beta + 1}} = 2.56 \text{ mA}$$

Luego:

$$I_{CQ1} = \frac{\beta}{\beta + 1} I_{EQ1} = \frac{50}{51} (2.56) = 2.5 \text{ mA}$$

De la malla C-E:

$$V_{CEQ1} = V_{CC} - I_{CQ1} R_{C1} - I_{EQ1} R_{E1}$$

$$V_{CEQ1} = 7.44V.$$

Para la segunda etapa se repite el mismo análisis y se encuentra:

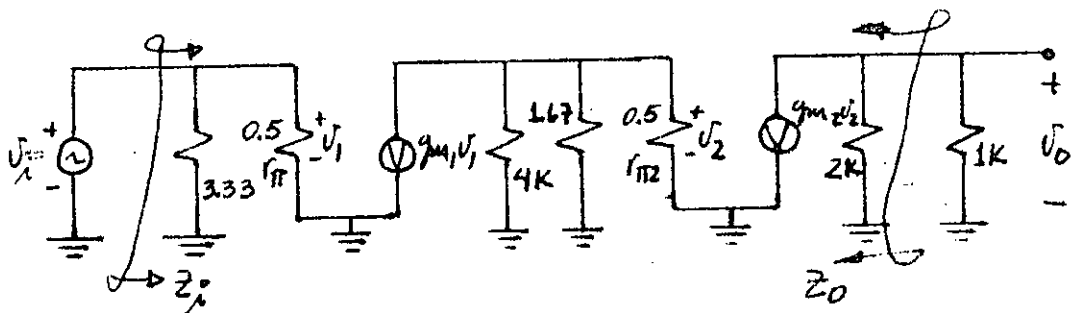
$$I_{CQ2} = 2.6\text{mA} \text{ y } V_{CEQ2} = 12.2\text{V}$$

Calculando los parámetros de CA:

$$r_{\pi 1} = \frac{\beta V_T}{I_{CQ1}} = \frac{50(0.026)}{2.5} \approx 0.5\text{K} \quad g_{m1} = \frac{\beta}{r_{\pi 1}} = \frac{50}{0.5} = 100\text{mA/V}$$

$$r_{\pi 2} = \frac{\beta V_T}{I_{CQ2}} = \frac{50(0.026)}{2.6} = 0.5\text{K} \quad g_{m2} = \frac{\beta}{r_{\pi 2}} = \frac{50}{0.5} = 100\text{mA/V}$$

y sustituyendo a cada transistor por su modelo, el circuito queda:



De aquí: $\frac{v_1}{v_i} = 1$, $\frac{v_2}{v_1} = -g_m(4 \parallel 1.67 \parallel 0.5) = -35.1$

$$\frac{v_o}{v_2} = -g_{m2}(2 \parallel 1) = -66.67 \text{ y } A_v = \frac{v_o}{v_i} = \left(\frac{v_o}{v_2}\right) \left(\frac{v_2}{v_1}\right) \left(\frac{v_1}{v_i}\right) \approx 2,340$$

y también:

$$Z_i = 3.33 \parallel 0.5 = 0.43\text{K} \quad Z_o = 2\text{K}.$$

Nótese que para obtener el circuito equivalente, los capacitores y la fuente de alimentación se cortocircuitan.

3.6 -CONFIGURACIONES BASICAS DE DOS DISPOSITIVOS-

Existen algunas combinaciones típicas de dos dispositivos, ya -- sean del mismo tipo o de tipo diferente, que por sus características son ampliamente usadas en los circuitos electrónicos, a tal grado que algunas de ellas se fabrican en forma integrada aprovechando así, las ventajas que ofrecen los circuitos integrados monolíticos para mejo-- rar su funcionamiento.

En esta sección estudiaremos las más conocidas y trataremos de -- representarlas por un modelo que resuma sus características, con el -- fin de reducir la complejidad de los circuitos en que se presentan.

- CONFIGURACION DARLINGTON.

Esta combinación consiste básicamente en dos o más transistores, NPN'S y/o PNP'S, conectados en cascada como se muestra en la Figura - 3.17a. Dadas sus características de alta impedancia de entrada, alta ganancia de corriente y baja impedancia de salida, su uso es muy co-- mún ya sea en forma discreta o integrada.

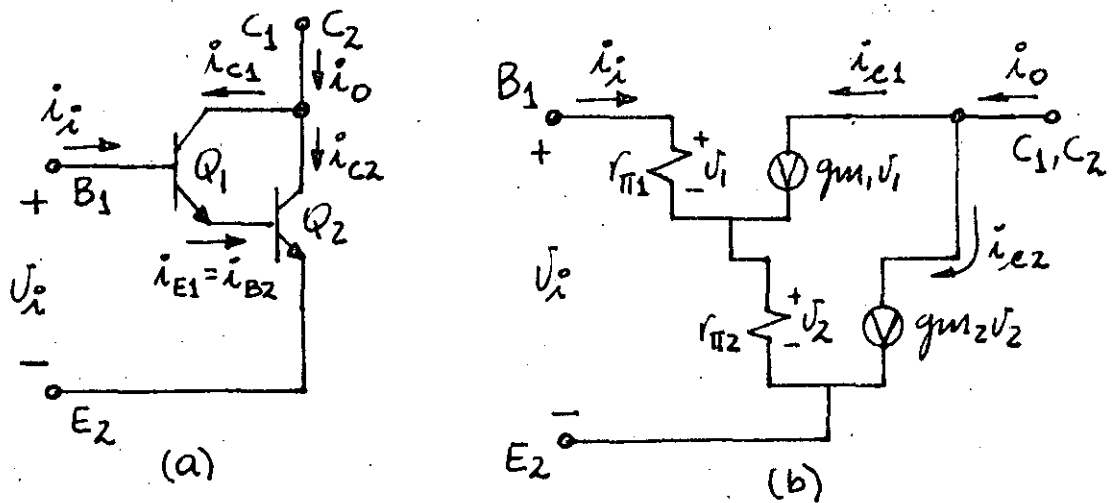


Fig. 3.17.- CONFIGURACION DARLINGTON DE DOS TRANSISTORES NPN. (a) CIRCUITO, (b) MODELO DE SEÑAL PEQUEÑA.

La Fig. 3.17b muestra el circuito resultante al substituir a cada transistor por su modelo π -híbrido de primer orden. De este circuito, podemos determinar la resistencia de entrada ($r_{\pi eq}$) y la transconductancia total de la configuración (g_{meq}) para obtener un modelo más simple que facilite el análisis.

Del circuito, tenemos que:

$$V_i = V_1 + V_2 \quad (3.17)$$

$$V_1 = i_i r_{\pi 1} \quad (3.18)$$

$$V_2 = \left(\frac{V_1}{r_{\pi 1}} + g_{m1} V_1 \right) r_{\pi 2} = \frac{r_{\pi 2}}{r_{\pi 1}} (\beta_1 + 1) V_1 \quad (3.19)$$

$$i_o = g_{m1} V_1 + g_{m2} V_2 \quad (3.20)$$

Sustituyendo las ecuaciones (3.19) y (3.18) en la (3.17), se obtiene:

$$V_i = V_1 \left(1 + \frac{r_{\pi 2}}{r_{\pi 1}} (\beta_1 + 1) \right) = i_i \left[r_{\pi 1} + (\beta_1 + 1) r_{\pi 2} \right]$$

$$\therefore \frac{V_i}{i_i} = r_{\pi eq} = r_{\pi 1} + (\beta_1 + 1) r_{\pi 2} \quad (3.21)$$

Por otro lado, del circuito de la Fig. 3.17b es notorio que $I_{EQ1} = I_{BQ2}$, es decir, $I_{CQ2} = \beta_2 I_{EQ1}$ y sabemos que:

$$r_{\pi 2} = \frac{\beta_2 V_T}{I_{CQ2}}$$

luego,

$$r_{\pi 2} = \frac{\beta_2 V_T}{\beta_2 I_{EQ1}} = \frac{\beta_1 V_T}{(\beta_1 + 1) I_{CQ1}} = \frac{r_{\pi 1}}{(\beta_1 + 1)}$$

y llevando este resultado a la ecuación (3.21), obtenemos:

$$r_{\pi eq} = 2r_{\pi 1} \quad (3.22)$$

Como puede notarse en esta última ecuación, la resistencia de entrada de la configuración Darlington es el doble de la que presenta

un sólo transistor.

También, de la ecuación (3.20) se tiene:

$$i_o = V_1 \left(gm_1 + gm_2 \frac{V_2}{V_1} \right)$$

y sustituyendo la (3.19) y la (3.18):

$$i_o = i_i r_{\pi 1} \left(gm_1 + \frac{gm_2 r_{\pi 2}}{r_{\pi 1}} (\beta_1 + 1) \right)$$

$$\therefore \frac{i_o}{i_i} = \beta_1 + \beta_2 (\beta_1 + 1) = \beta_{eq} \quad (3.23)$$

que representa la ganancia de corriente de la configuración y obviamente, es mucho mayor que la de un transistor (β).

La transconductancia equivalente puede obtenerse de las ecuaciones (3.21) y (3.23):

$$gm_{eq} \triangleq \frac{i_o}{V_i} = \left(\frac{i_o}{i_i} \right) \left(\frac{i_i}{V_i} \right) = \frac{\beta_1 + \beta_2 (\beta_1 + 1)}{r_{\pi 1} + (\beta_1 + 1) r_{\pi 2}} \quad (3.24)$$

o bien:

$$gm_{eq} : gm_{eq} = \frac{\beta_1 + \beta_2 (\beta_1 + 1)}{2r_{\pi 1}} = \frac{\beta_{eq}}{r_{\pi eq}} \quad (3.25)$$

Representando las ecuaciones (3.21), (3.23) y (3.24) por un circuito, se obtiene el modelo equivalente para la configuración Darlington que se muestra en la Fig. 3.18. Este modelo es válido también para la combinación Darlington de dos transistores PNP, únicamente se cambian la polaridad de V_{eq} y la dirección de la fuente de corriente con el fin de obtener el signo real de la ganancia.

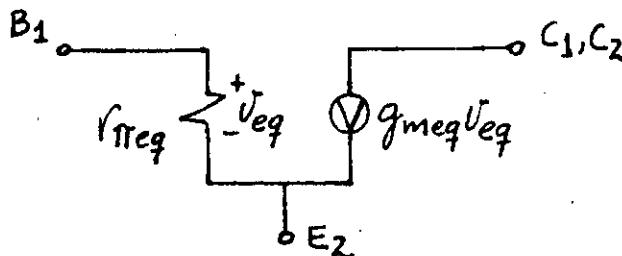


Fig. 3.18.- MODELO EQUIVALENTE PARA LA CONFIGURACION DARLINGTON.

Para el caso particular en el que $\beta_1 \beta_2 \gg (\beta_1 + \beta_2)$, la β_{eq} se puede aproximar por (De ecuación (3.23)):

$$\beta_{eq} \approx \beta_1 \beta_2 \quad (3.26)$$

o

$$\beta_{eq} \approx \beta^2 \text{ si } \beta_1 = \beta_2 \quad (3.27)$$

por lo tanto: $g_{m_{eq}} = \frac{\beta_1 \beta_2}{2r_{\pi 1}}$

y como $r_{\pi 1} = (\beta_1 + 1) r_{\pi 2}$

$$g_{m_{eq}} = \frac{\beta_1 \beta_2}{2(\beta_1 + 1) r_{\pi 2}} \approx \frac{\beta_2}{2r_{\pi 2}} \quad (\beta_1 \gg 1)$$

$$\therefore g_{m_{eq}} = \frac{g_{m_2}}{2} \quad (3.28)$$

Resumiendo, si el producto de las β 's es mucho mayor que la suma y β_1 mucho mayor que 1, se pueden utilizar las expresiones (3.22), (3.26) y (3.28) para computar los valores de los parámetros de señal pequeña del modelo equivalente.

La configuración Darlington puede implementarse utilizando un transistor NPN y el otro, PNP. En la Fig. 3.19 se muestran dos posibilidades de hacer el arreglo, la primera se comporta como un transistor NPN y la segunda, como transistor PNP.

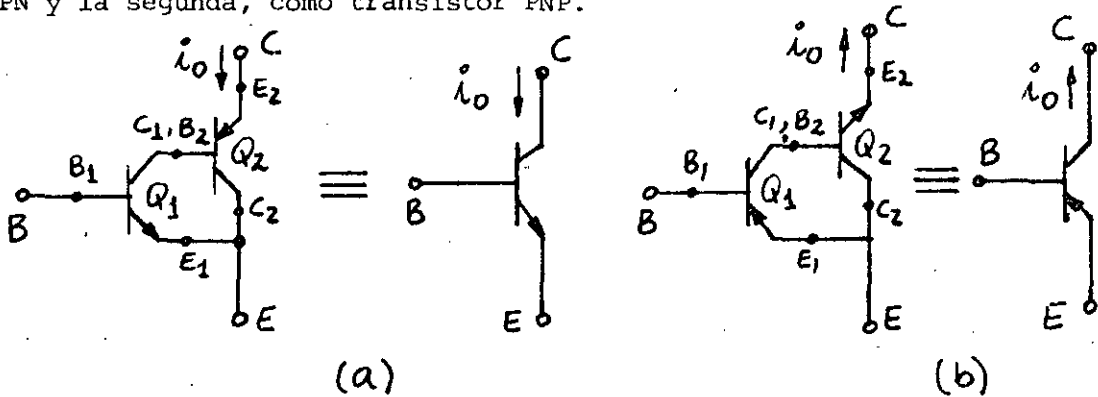


Fig. 3.19.- CONFIGURACIONES DARLINGTON. (a) NPN/PNP y (b) PNP/NPN.

Algunas veces estos arreglos son identificados con el nombre de "Darlington invertido" y se utilizan frecuentemente en etapas de potencia de simetría complementaria, como se verá más adelante.

Para estos casos, el valor de los parámetros del modelo equivalente son diferentes a los encontrados anteriormente. La Fig. 3.20 muestra el circuito obtenido al substituir cada TBJ por su modelo π híbrido de primer orden.

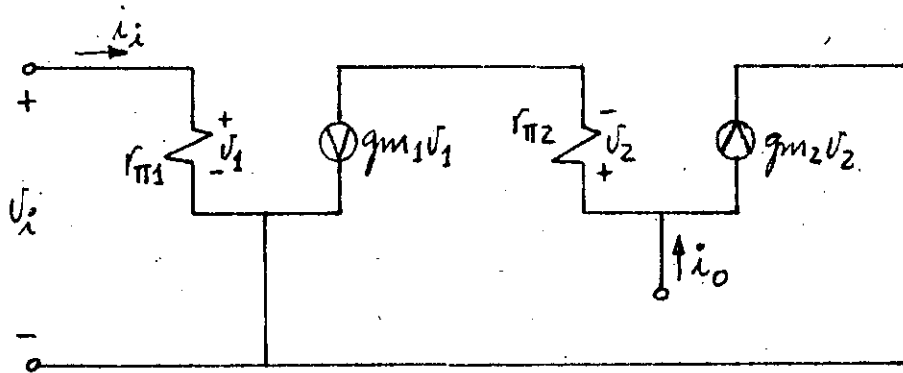


Fig. 3.20.- CIRCUITO DE SEÑAL PEQUEÑA PARA LA CONFIGURACION DARLINGTON NPN/PNP.

De este circuito, se obtienen las siguientes ecuaciones:

$$V_i = V_1 \quad (3.29)$$

$$V_1 = i_i r_{\pi 1} \quad (3.30)$$

$$V_2 = g_{m1} r_{\pi 2} V_1 \quad (3.31)$$

$$i_o = \left(\frac{V_2}{r_{\pi 2}} + g_{m2} V_2 \right) = V_2 \left(\frac{\beta_2 + 1}{r_{\pi 2}} \right) \quad (3.32)$$

De (3.29) y (3.30):

$$\frac{V_i}{i_i} = r_{\pi eq} = r_{\pi 1} \quad (3.33)$$

Sustituyendo (3.31) y (3.29) en (3.32):

$$g_{m_{eq}} = \frac{i_o}{v_i} = g_{m_1}(\beta_2 + 1) = \frac{\beta_1(\beta_2 + 1)}{r_{\pi_1}} \quad (3.34)$$

y sustituyendo (3.30), obtenemos:

$$\beta_{eq} = \frac{i_o}{i_i} = \beta_1(\beta_2 + 1) \quad (3.35)$$

De tal forma que:

$$g_{m_{eq}} = \frac{\beta_{eq}}{r_{\pi_{eq}}}$$

Como en el primer caso, si $\beta_1\beta_2 \gg \beta_1$

$$\beta_{eq} \approx \beta_1\beta_2 \quad (3.36)$$

y:

$$g_{m_{eq}} = \frac{\beta_1\beta_2}{r_{\pi_1}} = \frac{\beta_1\beta_2}{\frac{\beta_1 V_T}{I_{CQ1}}} = \frac{\beta_2}{\frac{V_T}{I_{BQ2}}} = \frac{\beta_2}{\frac{\beta_2 V_T}{I_{CQ2}}}$$

$$g_{m_{eq}} = \frac{\beta_2}{r_{\pi_2}} = g_{m_2} \quad (3.37)$$

Como generalmente $\beta_1\beta_2 \gg \beta_1$, las ecuaciones (3.33), (3.36) y (3.37) definen el valor de cada parámetro del modelo equivalente de los arreglos de la Fig. 3.19.

También es posible tener una configuración Darlington utilizando un JFET en cascada con un TBJ, como se muestra en la Fig. 3.21. Este arreglo da origen a un modelo equivalente que presenta una resistencia de entrada infinita y una ganancia de corriente infinita también, debido al modelo de primer orden que se utiliza para el JFET.

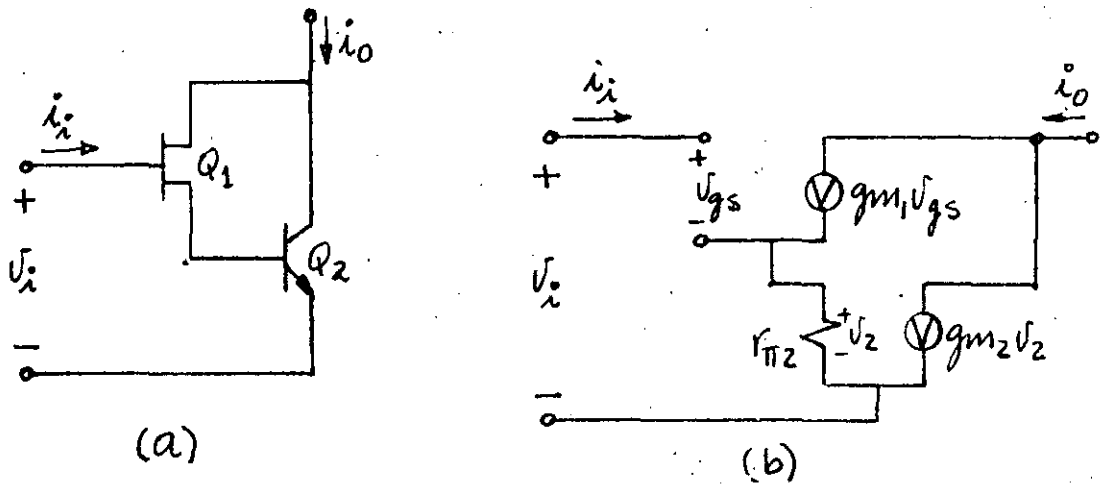
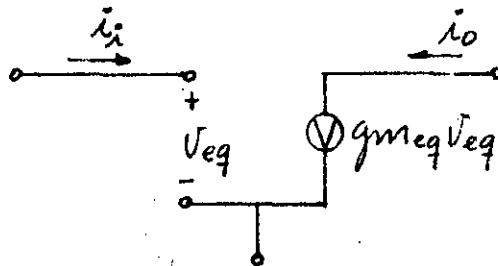


Fig. 3.21.- CONFIGURACION DARLINGTON CON JFET/TBJ.
 (a) CIRCUITO, (b) MODELO.

Analizando el circuito de la Fig. 3.21b se llega al siguiente modelo equivalente:



en donde: $g_{m_{eq}} \approx g_{m_2}$ (si $g_{m_1} r_{\pi 2} \gg 1$) (3.38)

- EL AMPLIFICADOR DIFERENCIAL.

Conocido también como "par acoplado por emisor" consiste en dos transistores del mismo tipo (NPN ó PNP), acoplados por el emisor. Su característica principal consiste en el hecho de que las corrientes en los colectores dependen principalmente de la diferencia de voltajes en las bases de ambos dispositivos.

La Fig. 3.22 muestra el circuito básico. La fuente de corriente I_{EE} es la característica esencial del par diferencial, y de ella dependen tanto su polarización como su funcionamiento ante señales pequeñas.

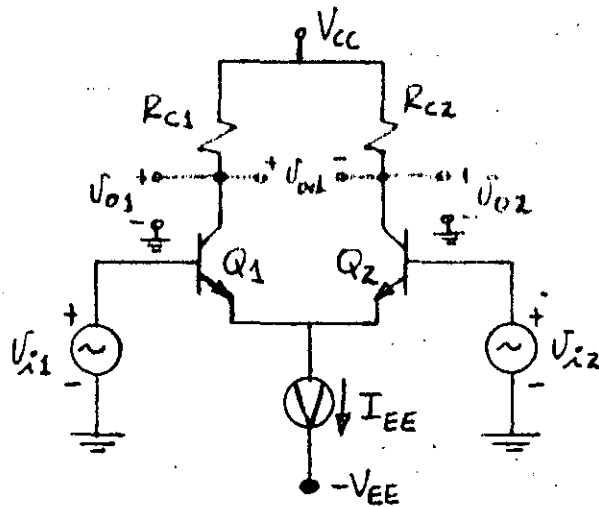


Fig. 3.24 .- CIRCUITO BASICO DEL AMP. DIFERENCIAL.

El circuito es llamado amplificador diferencial o de diferencia - porque cualquiera de las salidas mostradas, es esencialmente proporcional a la diferencia de las señales de entrada V_{i1} y V_{i2} . Las salidas V_{o1} y V_{o2} son llamadas salidas simples y V_{od} , entre los colectores de ambos transistores, es conocida como salida diferencial. A la señal de entrada efectiva, la diferencia $V_{i1} - V_{i2}$, se le llama entrada diferencial V_{id} .

Es importante hacer notar desde ahora, que el voltaje en las bases se puede considerar en función de una componente común y de una diferencia como se muestra en la Fig. 3.25.

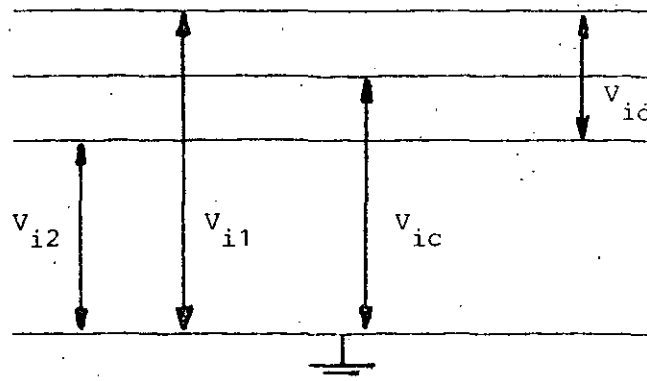


Fig. 3.25.- REPRESENTACION DE LOS VOLTAJES DE ENTRADA EN FUNCION DE UNA COMPONENTE COMUN Y DE UNA DIFERENCIA.

De la figura tendremos:

$$V_{id} = V_{i1} - V_{i2} \quad (3.39)$$

que es la señal diferencial de entrada, y del circuito de la Fig. --- 3.22:

$$V_{od} = V_{o1} - V_{o2} \quad (3.40)$$

luego, la ganancia diferencial está definida como:

$$A_d = \frac{V_{od}}{V_{id}} = \frac{V_{o1} - V_{o2}}{V_{i1} - V_{i2}} \quad (3.41)$$

De la Fig. 3.25 , la señal de entrada común queda definida de la siguiente forma:

$$V_{ic} = \frac{V_{i1} + V_{i2}}{2} \quad (3.42)$$

Similarmente, se define la salida de modo común como:

$$V_{oc} = \frac{V_{o1} + V_{o2}}{2} \quad (3.43)$$

y la ganancia de modo común queda:

$$A_c = \frac{V_{oc}}{V_{ic}} = \frac{V_{o1} + V_{o2}}{V_{i1} + V_{i2}}$$

Por supuesto, se requiere que esta última ganancia sea muy pequeña en comparación con la ganancia diferencial. Si el amplificador diferencial es perfectamente simétrico ($Q_1 = Q_2$, $R_{c1} = R_{c2}$) la ganancia de modo común es cero, pero si existe algún desbalanceo en el circuito o bien, la impedancia de la fuente de corriente constante no es infinita, puede demostrarse que el voltaje de salida V_{od} tendrá dos componentes:

$$V_{od} = A_d (V_{i1} - V_{i2}) + A_c \left(\frac{V_{i1} + V_{i2}}{2} \right) \quad (3.44)$$

En la práctica A_d es del orden de unas 1,000 ó 1,000,000 de veces mayor que A_c .

La relación $\left| \frac{A_d}{A_c} \right|$ es conocida con el nombre de relación de -- rechazo de modo común:

$$\text{CMRR} = \left| \frac{A_d}{A_c} \right| \quad (3.45)$$

y normalmente se expresa en decibeles $[20 \log \text{CMRR}]$.

Las señales de entrada y salida, pueden relacionarse con las señales de entrada y salida de modo común y diferencial. Por ejemplo, -- combinando las ecuaciones (3.39) y (3.42), se obtienen:

$$v_{i1} = v_{ic} + \frac{v_{id}}{2} \quad (3.46)$$

y

$$v_{i2} = v_{ic} - \frac{v_{id}}{2} \quad (3.47)$$

De igual forma, con (3.40) y (3.43):

$$v_{o1} = v_{oc} + \frac{v_{od}}{2} \quad (3.48)$$

y

$$v_{o2} = v_{oc} - \frac{v_{od}}{2} \quad (3.49)$$

Adicionalmente, sustituyendo el hecho que:

$$v_{oc} = A_c v_{ic} \quad \text{y} \quad v_{od} = A_d v_{id}$$

se tiene:

$$v_{o1} = A_c v_{ic} + \frac{A_d v_{id}}{2} \quad (3.50)$$

$$v_{o2} = A_c v_{ic} - \frac{A_d v_{id}}{2} \quad (3.51)$$

Las expresiones (3.46) y (3.47) indican que se puede representar el circuito básico de la Fig. 3.24 de la forma:

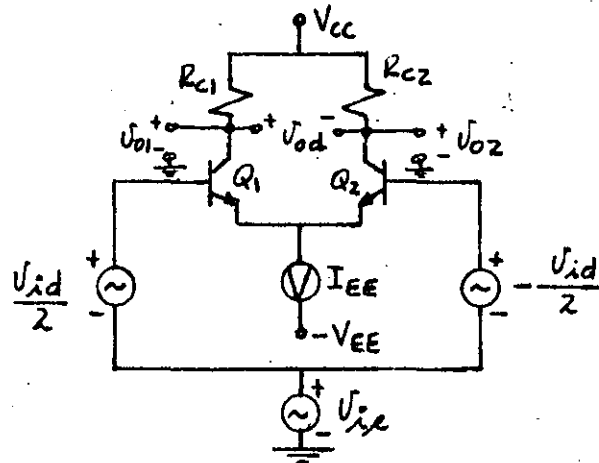
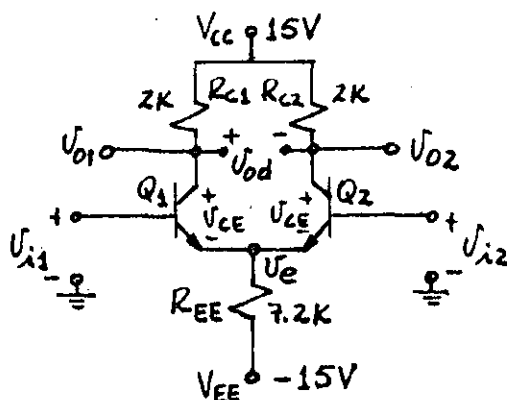


Figura 3.26 Entradas en función de las señales de modo común y diferencial.

y las salidas \$v_{o1}\$ y \$v_{o2}\$ están determinadas por las expresiones (3.48) y (3.49), respectivamente.

EJEMPLO 3.4.

Para el circuito diferencial mostrado, determine las ganancias diferencial y de modo común, así como las resistencias de entrada diferencial y de modo común.



$$\beta_1 = \beta_2 = 100$$

$$V_{BEQ1} = V_{BEQ2} = 0.6$$

Figura 3.27.

Para el análisis de corriente directa, las fuentes de alterna se hacen cero (cortocircuito), quedando:

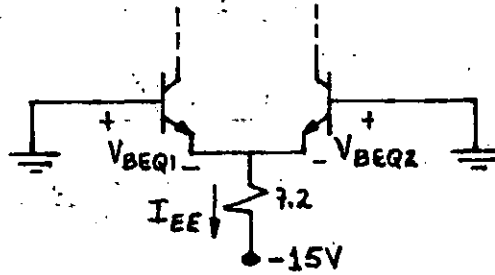


Figura 3.28

De este circuito:

$$I_{EE} = \frac{15 - 0.6}{7.2} = 2 \text{ mA}$$

como: $I_{EE} = I_{EQ1} + I_{EQ2}$ e $I_{EQ1} = I_{EQ2}$

luego: $I_{EQ1} = I_{EQ2} = 1 \text{ mA} \approx I_{CQ1} = I_{CQ2}$

porque la β es grande.

Y analizando la malla C-E:

$$15 = I_{CEQ1}(2K) + V_{CEQ1} + I_{EE}R_{EE} - 15$$

$$V_{CEQ1} = 30 - 1(2K) - 2(7.2)K$$

$$V_{CEQ1} = V_{CEQ2} = 13.6 \text{ V}$$

Calculando los parámetros de alterna:

$$r_{\pi 1} = r_{\pi 2} = \frac{\beta V_T}{I_{CQ}} = \frac{100(0.026)}{1 \text{ mA}} = 2.6 \text{ K}$$

$$g_{m1} = g_{m2} = \frac{\beta}{r_{\pi}} = \frac{100}{2.6} = 38.46 \text{ mA/V}$$

Sustituyendo las entradas v_{i1} y v_{i2} por las señales diferenciales y de modo común, se tiene:

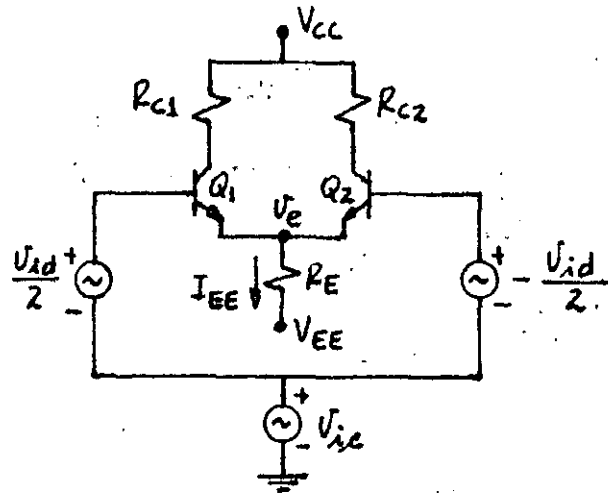


Figura 3.29

En este circuito para calcular la ganancia diferencial se hace $v_{ic} = 0$. Otro aspecto que se tiene que considerar es que cuando aumenta v_{id} , se incrementa i_{E1} pero i_{E2} disminuye en la misma proporción, es decir, I_{EE} permanece constante cuando la señal de entrada es diferencial. Para CA como el voltaje V_e permanece constante, se dice que el punto donde se unen los emisores es una tierra virtual. Quedando el circuito para CA:

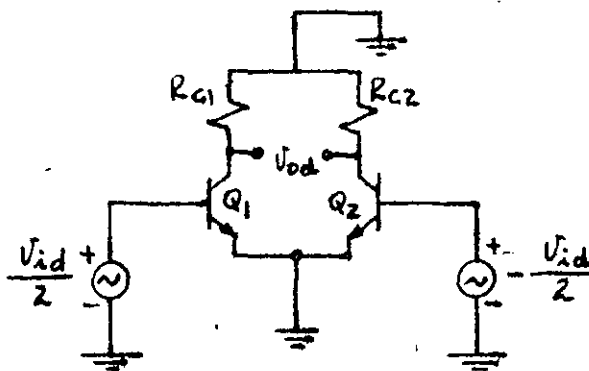


Figura 3.40

Como el circuito es simétrico, se puede partir en dos medios circuitos y analizar uno de ellos. Quedando:

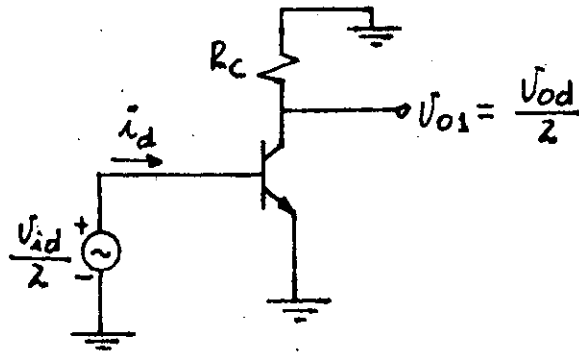


Figura 3.41

De la expresión (3.48), para $v_{oc} = 0$, se tiene que $v_{o1} = v_{od}/2$.
Sustituyendo al transistor por su modelo, se tiene:

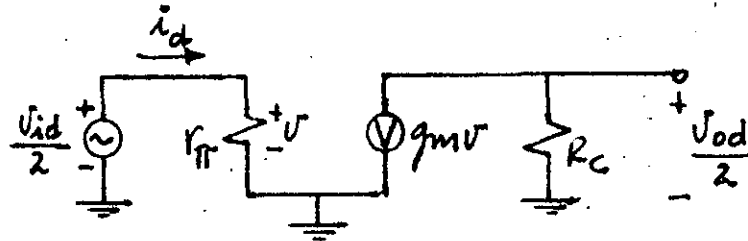


Figura 3.42

luego:

$$\frac{v}{v_{id}} = \frac{1}{2} \qquad \frac{v_{od}}{v} = -2g_m R_C$$

$$\therefore A_d = \frac{v_{od}}{v_{id}} = -g_m R_C = -(38.46) 2 \approx -77$$

y también, la resistencia de entrada diferencial es r_{id} :

$$r_{id} = \frac{v_{id}}{i_d} = 2r_{\pi} = 5.2 \text{ K.}$$

Para el cálculo de la ganancia en modo común, las señales diferenciales de entrada se hacen cero en la Fig.3.29, obteniéndose:

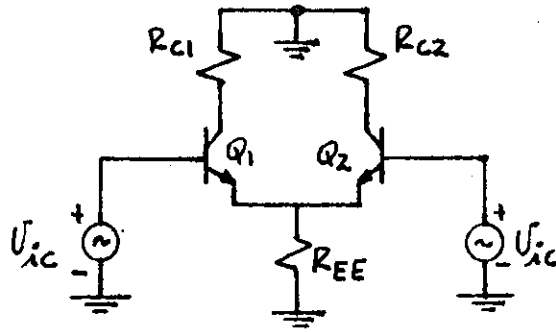
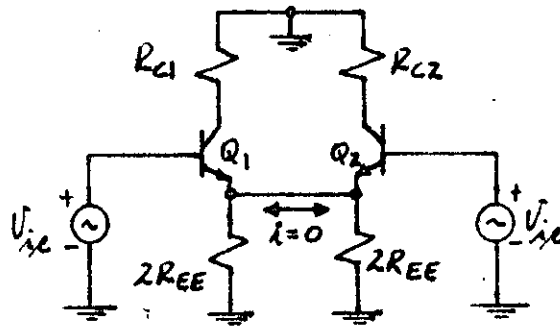
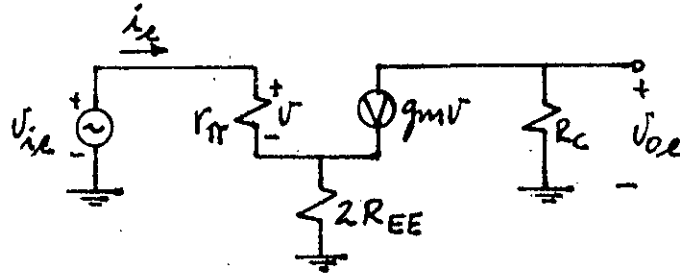


Figura 3.43

Redibujando este circuito para hacerlo simétrico:



De esta forma puede analizarse una mitad, que sustituyendo por el modelo del transistor queda:



de aquí:

$$\frac{v}{v_{ic}} = \frac{r_{\pi}}{r_{\pi} + (\beta + 1) 2R_{EE}} \quad \frac{v_{oc}}{v} = -g_m R_C$$

$$A_C = \frac{v_{oc}}{v_{ic}} = -\frac{g_m r_{\pi} R_C}{r_{\pi} + (\beta + 1) 2R_{EE}}$$

que sustituyendo valores, se obtiene:

$$A_C = -0.14$$

y la resistencia de entrada en modo común:

$$r_{ic} = \frac{v_{ic}}{i_c} = r_{\pi} + (\beta + 1) 2R_{EE} = 1,457 \text{ K.}$$



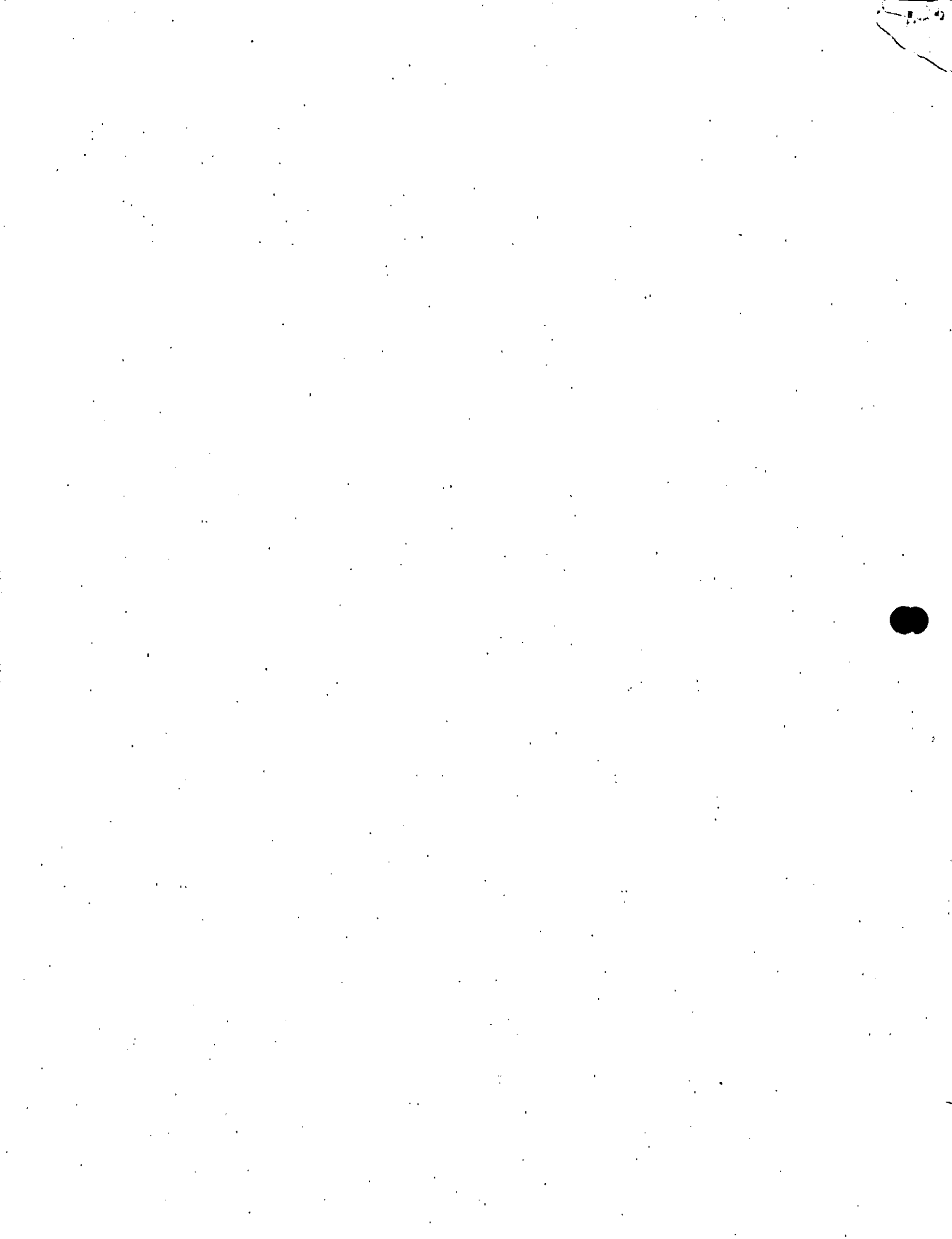
**DIVISION DE EDUCACION CONTINUA
FACULTAD DE INGENIERIA U.N.A.M.**

DISPOSITIVOS Y CIRCUITOS ELECTRONICOS

DISEÑO LOGICO

ING. EDUARDO RAMÍREZ SÁNCHEZ

SEPTIEMBRE, 1984



ALGEBRA DE BOOLE

Definición 3.1: Un álgebra booleana es un triplete $(K, +, \cdot)$ que consiste de un conjunto finito de elementos K , sujetos a una relación de equivalencia "=" y a dos operaciones binarias "+" y " \cdot ", tales que $x, y \in K$, las operaciones $x + y$ y $x \cdot y$ están unívocamente definidas y cumplen con los postulados de Huntington.

Postulados de Huntington:

P1.- Las operaciones son cerradas: $x, y \in K$

i) $x + y \in K$

ii) $x \cdot y \in K$

P2.- Para cada operación existe un elemento de identidad

i) $0 \in K$ tal que $x \in K$

$$x + 0 = x$$

ii) $1 \in K$ tal que $x \in K$

$$x \cdot 1 = x$$

P3.- Las operaciones son conmutativas: $x, y \in K$

i) $x + y = y + x$

ii) $x \cdot y = y \cdot x$

P4.- Las operaciones son distributivas $x, y, z \in K$

i) $x + (y \cdot z) = (x + y) \cdot (x + z)$

ii) $x \cdot (y + z) = x \cdot y + x \cdot z$

P5.- $x \in K$ $\bar{x} \in K$, llamado complemento de x , tal que

i) $x + \bar{x} = 1$

ii) $x \cdot \bar{x} = 0$

P6.- Existen al menos dos elementos x y y en K , tal que $x \neq y$.

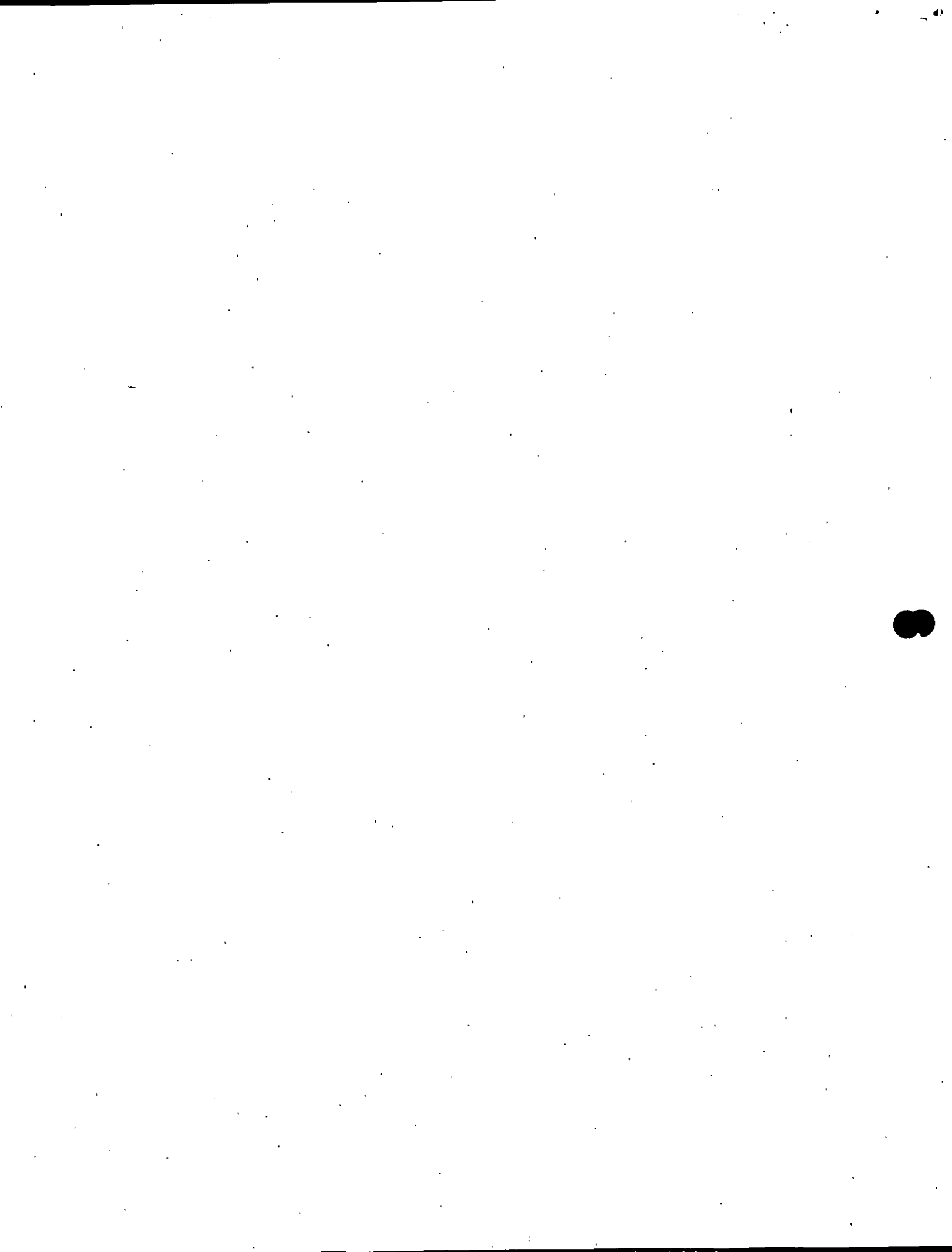
Dualidad:

Dada una expresión válida, la expresión dual también será válida.

$$\text{ii) } X + ((X \cdot y) \cdot Z) = X$$

12. X y K i) $(X + y) + Z = X + (y + Z)$
 ii) $(X \cdot y) \cdot Z = X \cdot (y \cdot Z)$

13. X y K i) $\overline{X + y} = \overline{X} \cdot \overline{y}$ (Ley de De Morgan)
 ii) $\overline{X \cdot y} = \overline{X} + \overline{y}$



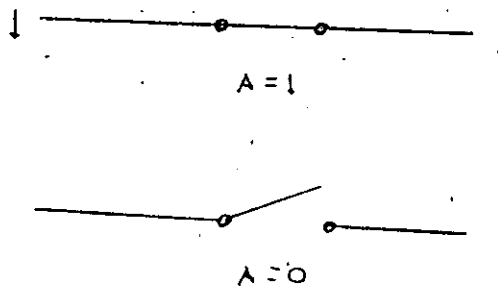
OPERADORES BOOLEANOS

Restringiendo el conjunto K a 2 elementos, i.e, $K = 0,1$, el álgebra booleana resultante es particularmente adecuada para bajarla como álgebra de conmutación

DEFINICION 3.3:

Una variable binaria X es una cantidad tal que:

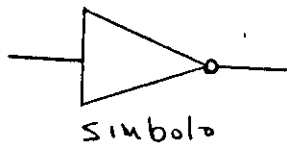
- i) Si $X \neq 1 \Rightarrow X = 0$
- ii) Si $X \neq 0 \Rightarrow X = 1$



DEFINICION 3.4:

El operador booleano "complemento", también llamado "inversor" se define por la siguiente tabla de verdad.

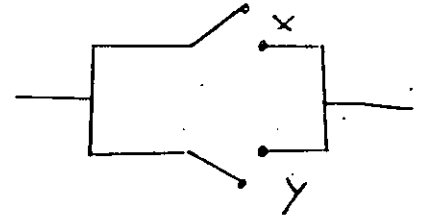
X	\bar{X}
0	1
1	0



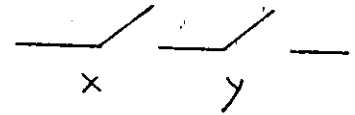
DEFINICION 3.5:

Los operadores booleanos "+" y "." llamados "OR" y "AND" se define por la siguiente tabla de verdad.

x	y	x+y
0	0	0
0	1	1
1	0	1
1	1	1



x	y	x·y
0	0	0
0	1	0
1	0	0
1	1	1



En términos del algebra booleana de dos elementos, definida en la sección anterior, podemos definir una función booleana de la siguiente forma:

DEFINICION 3.6:

Una función booleana de n variables X_1, \dots, X_n definida sobre el conjunto $K = \{0, 1\}$ es una asignación de los valores "0" ó "1" a cada una de las 2^n combinaciones posibles de las variables.

Ejemplo:

$$f(A, B, C) = AB + \bar{A}C + A\bar{C}$$

Si $A = 1$

$B = 0 \Rightarrow f = 1$

$C = 0$

$$f(1, 0, 0) = 1 \cdot 0 + 0 \cdot 0 + 1 \cdot 1 = 0 + 0 + 1 = 1$$

CONVENCION:

Una variable tendrá originado el valor 1 y su complemento el valor 0.

En el ejemplo anterior.

$$\begin{aligned} f(A,B,C) &= AB + \bar{A}C + A\bar{C} \\ &= 1.1 + 0.1 + 1.0 = 1 \end{aligned}$$

Una forma de describir una función booleana es mediante su "Tabla de Verdad".

La Tabla de Verdad muestra todas las combinaciones posibles de entrada y los valores que toma la función para cada una de ellas.

Por ejemplo, para la función

$$\begin{aligned} f(0,0,0) &= 0 \\ f(0,0,1) &= 1 \\ f(0,1,0) &= 0 \\ f(0,1,1) &= 1 \\ f(1,0,0) &= 1 \\ f(1,0,1) &= 0 \\ f(1,1,0) &= 1 \\ f(1,1,1) &= 1 \end{aligned}$$

Esto lo podemos escribir en forma tabular:

A	B	C	A.B.	A. \bar{C} .	\bar{A} .C.	$AB + \bar{A}C + A\bar{C}$ f(A,B,C,)
0	0	0	0	0	0	0
0	0	1	0	0	1	1
0	1	0	0	0	0	0
0	1	1	0	0	1	1
1	0	0	0	1	0	1
1	0	1	0	0	0	0
1	1	0	1	1	0	1
1	1	1	1	0	0	1

En la tabla siguiente se muestra la tabla de verdad de una función de n variables $f(X_1, X_2, \dots, X_n)$

X_1	X_2	X_n	$f(X_1, X_2, \dots, X_n)$
0	0	0	a_0
0	0	...	1	a_1
0	0	0	a_2
		⋮		⋮
		⋮		⋮
		⋮		⋮
1	1	0	a_{2^n-2}
1	1	1	a_{2^n-1}

Como hay n variables ya cada variable puede tomar 2 valores, hay 2^n formas de asignar valores a las n variables; por lo tanto, la tabla de verdad tendrá 2^n filas.

Además, para cualquier combinación de las variables X_1, X_2, \dots, X_n , la función $f(X_1, X_2, \dots, X_n)$ puede tomar 2 valores, por lo tanto, podemos hacer 2^N tablas de verdad para n variables donde $N = 2^n$.

Es decir, para n variables, se pueden definir 2^{2^n} funciones booleanas.

n	2^n	2^{2^n}
0	1	2
1	2	4
2	4	16
3	8	256
4	16	65.536
5	32	$n \ 4.295 \times 10^9$
10	1024	$n \ 1.787 \times 10^{308}$

$$n = 0 \quad f_1(0) = 0$$

$$f_2(0) = 1$$

$$n_1 = 1$$

X	$f_1(X)$	$f_2(X)$	$f_3(X)$	$f_4(X)$
0	0	1	0	1
1	0	0	1	1

$$n = 2$$

A	B	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9
0	0	0	0	0	0	0	0	0	0	1	1
0	1	0	0	0	0	1	1	1	1	0	0
1	0	0	0	1	1	0	0	1	1	0	0
1	1	0	1	0	1	0	1	0	1	0	1

$$f_0(A,B) = 0$$

$$f_1(A,B) = AB$$

$$f_2(A,B) = A\bar{B}$$

$$f_3(A,B) = A\bar{B} + AB = A$$

$$f_4(A,B) = \bar{A}B$$

$$f_5(A,B) = \bar{A}B + AB = B$$

$$f_6(A,B) = \bar{A}B + A\bar{B} = A \oplus B$$

$$f_7(A,B) = \bar{A}B + A\bar{B} + AB = \bar{A}B + A(\bar{B} + B) = A$$

$$f_8(A,B) = \bar{A}\bar{B} = \overline{A+B}$$

$$f_9(A,B) = \bar{A}\bar{B} + AB = A \cdot B$$

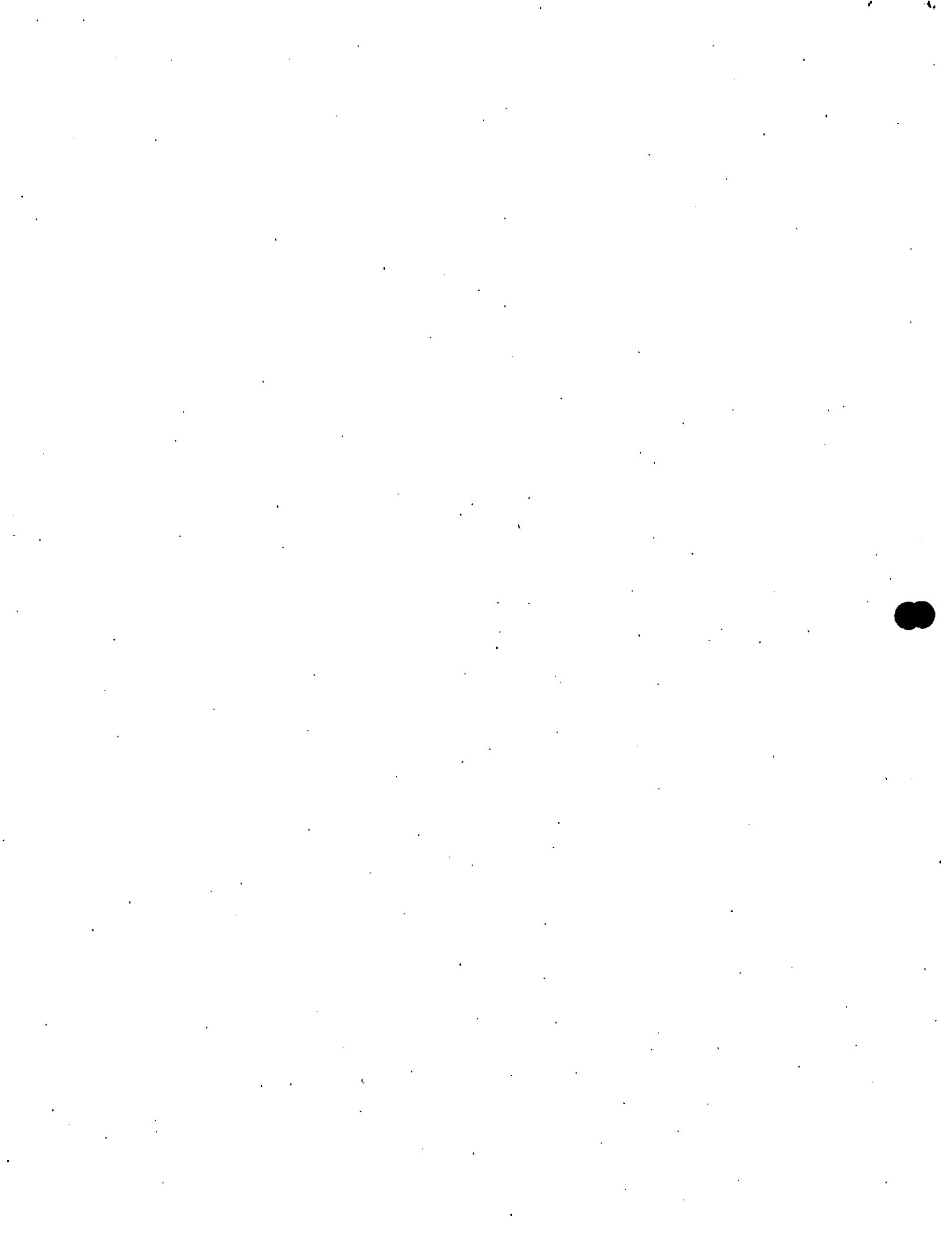
$$f_{10}(A,B) = \bar{A}\bar{B} + A\bar{B} = \bar{B}$$

$$f_{11}(A,B) = \bar{A}\bar{B} + AB + A\bar{B} = A + \bar{B}$$

$$f_{12}(A,B) = \bar{A}\bar{B} + \bar{A}B = \bar{A}$$

$$f_{13}(A,B) = \bar{A}\bar{B} + \bar{A}B + AB = \bar{A} + B$$

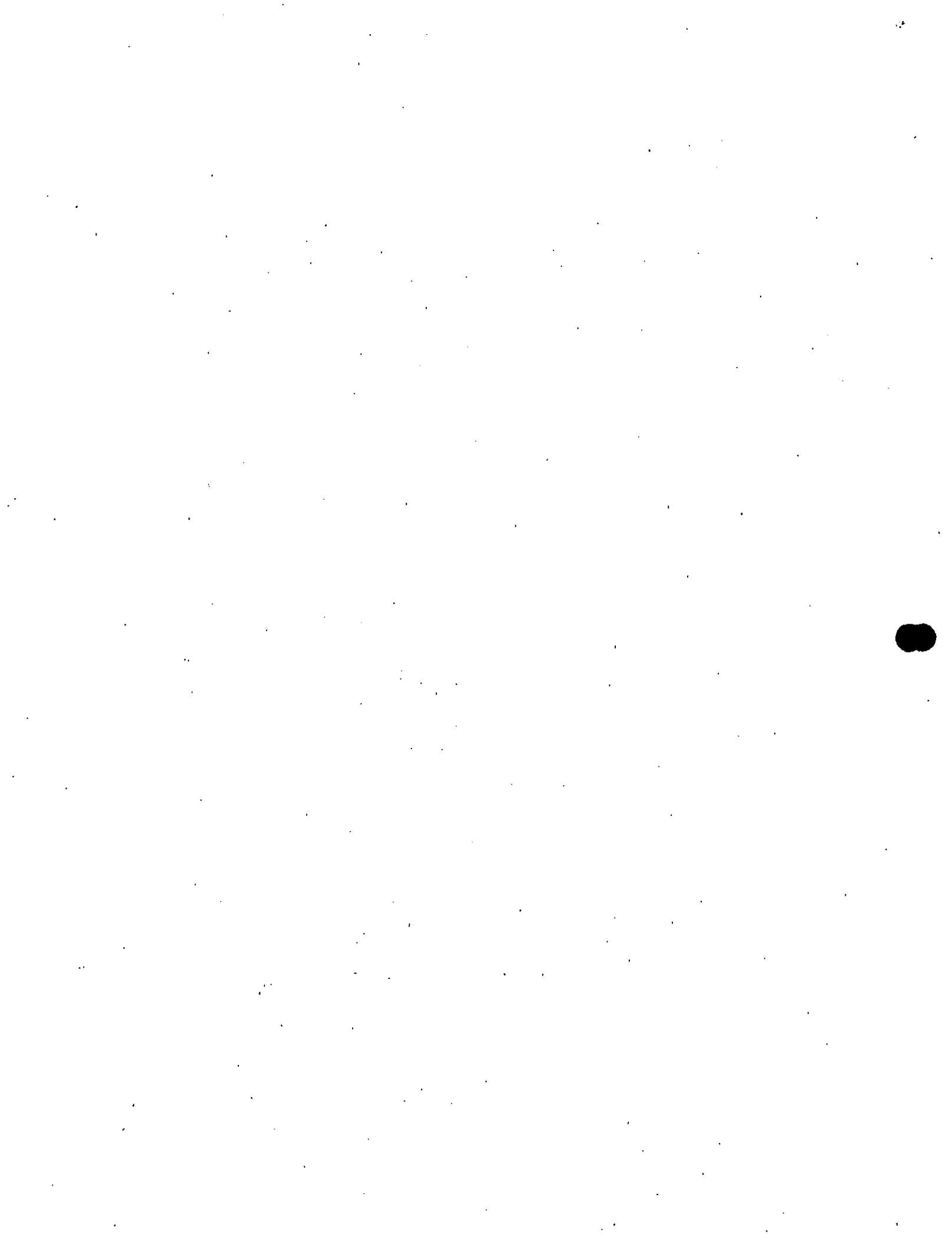
$$f_{14}(A,B) = \bar{A}\bar{B} + \bar{A}B + A\bar{B} = \bar{A} + \bar{B} + \overline{A \cdot B}$$



$$f_{15}(A,B) = \bar{A}\bar{B} + \bar{A}B + A\bar{B} + AB = 1$$

$$\begin{aligned} f(X,Y,Z) &= \bar{X}Y(Z + \bar{Y}X) + \bar{Y}Z \\ &= \bar{X}YZ + \bar{X}Y\bar{Y}X + \bar{Y}Z \\ &= \bar{X}YZ + \bar{Y}Z \\ &= Z(\bar{X}Y + \bar{Y}) \\ &= Z(\bar{Y} + \bar{X}) \\ &= Z\bar{X}\bar{Y} \end{aligned}$$

$$\begin{aligned} f(A,B,C,D) &= ABC + ABD + \bar{A}\bar{B}\bar{C} + \\ &= ABC + \bar{A}\bar{B}\bar{C} + CD + B(\bar{D} + \\ &= ABC + \bar{A}\bar{B}\bar{C} + CD + B\bar{D} \\ &= ABC + \bar{A}\bar{B}\bar{C} + CD + B \\ &= (\bar{A}\bar{C} + A)B + ABC + C \\ &= (\bar{C} + A)B + ABC + cd \\ &= \bar{B}\bar{C} + AB + ABC + \\ &= \bar{B}\bar{C} + AB(1 + C) + \\ &= \bar{B}\bar{C} + AB + CD + \bar{B}\bar{D} \\ &= AB + B(\bar{C} + \bar{D}) + CD \\ &= AB + \bar{B}\bar{C}\bar{D} + CD \\ &= AB + B + CD \\ &= B(A+1) + CD \\ &= B + CD \end{aligned}$$



Análisis de

$$f = \quad + 5 + 6$$

$$4 = D \cdot 3$$

$$5 = \bar{C} + 2$$

$$6 = B \cdot \bar{C}$$

$$3 = 1 + 2$$

$$2 = \bar{A} \cdot C$$

$$1 = A\bar{B}C$$

Luego:

$$f = D \cdot 3 + \bar{C} + 2 + B\bar{C}$$

$$f = D (1 + 2) + \bar{C} + \bar{A}C + B\bar{C}$$

$$f = D (ABC + AC) + \bar{C} + \bar{A}C + B\bar{C}$$

Pero esta función podemos simplificarla.

$$f = A\bar{B}CD + \bar{A}CD + \bar{A}C + B\bar{C} + \bar{C}$$

$$f = CD (\bar{A} + A\bar{B}) + \bar{A}C + \bar{C} (B + 1)$$

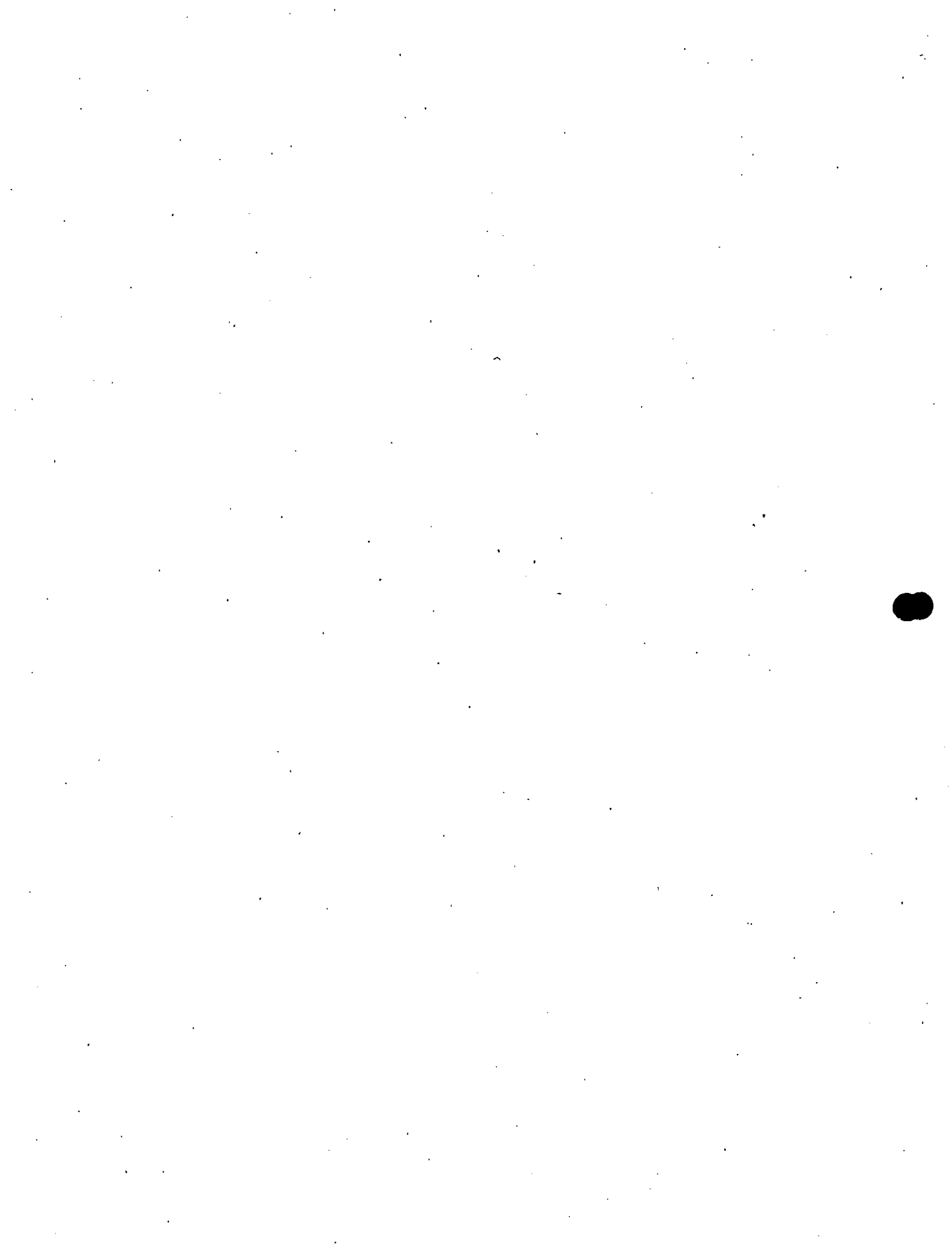
$$f = CD (\bar{A} + \bar{B}) + \bar{A}C + \bar{C}$$

$$f = \bar{A}CD + \bar{B}CD + \bar{A}C + \bar{C}$$

$$f = \bar{A}C (1 + D) + \bar{C} + \bar{B}D$$

$$f = \bar{A}C + \bar{C} + \bar{B}D$$

$$f = \bar{A} + \bar{C} + \bar{B}D$$



Formas Algebraicas de Funciones

Cualquier función booleana se puede expresar en una de sus dos formas.

Formas Canónicas:

Suma de Productos
Formas Canónicas
Productos de Sumas.

Ventaja de las F.C.

Conducen a expresiones que implementadas mediante 2 niveles de propagación (inversión).

Forma Suma de Productos (S.P)

Se construyen mediante el OR terminos en forma de producto los cuales a su vez se obtienen mediante el AND de variables complementadas o sin complementar.

Terminos Productos: $A \bar{B} C$

Expresión en forma suma de Productos (S.P) : $A\bar{B}C + \bar{B}D + \bar{A}C\bar{D}$

Formas Productos de Suma (P.S.)

Esta se construyen mediante el AND de términos suma, lo que a su vez se obtienen mediante el OR de variables complementadas y sin complementar.

Términos Suma: $\bar{A} + B + C$
 $\bar{B} + C + \bar{D}$

Forma productos de Suma: $(\bar{A} + B + C) (\bar{B} + C + D)$

FORMAS CANONICAS .- Sin formas SP y PS algunas características especiales.

Mintérminos (Definición) :

Es un término producto de una función de n variables que contiene las n variables, en forma complementada o sin complementar, dicho producto se llama Mintérmino.

Si la función esta compuesta solamente de mintérminos, se dice que la función esta en forma canónica de S.P.

Ejemplo:

$$f(A,B,C) = \bar{A} B \bar{C} + A B \bar{C} + \bar{A} B C + A B C$$

es una función de tres variables en forma canónica, compuesta por 4 mintérminos.

CODIFICACION.- Para simplificar la notación

Para simplificar la notación de mintérminos, las variables se codifican según la siguiente convención:

" Variables sin complementar"	1
Variables complementadas	0

Empleando este código, los mintérminos se pueden escribir de la siguiente forma:

<u>Mintérmino</u>	<u>Código</u>	<u>Número de lista.</u>
$\bar{A} B \bar{C}$	010	m_2
$A B \bar{C}$	110	m_6
$\bar{A} B C$	011	m_3
$A B C$	111	m_7

Luego:

$$\begin{aligned} f(A,B,C) &= m_2 + m_3 + m_6 + m_7 \\ &= m(2,3,6,7) \end{aligned}$$

Es importante observar el orden en que se escriben las variables en la notación funcional, ya que dicho orden afecta la codificación y decodificación en de listas de minterminos:

Ejemplo:

$$\begin{aligned} f(\overline{B}CA) &= m(2,3,6,7) \\ &= m_2 + m_3 + m_6 + m_7 \\ &\quad 010 \quad 011 \quad 110 \quad 111 \\ &= \overline{B}C\overline{A} + \overline{B}CA + B\overline{C}\overline{A} + BCA \\ f(ABC) &= m(2,3,6,7) \\ &= \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC \end{aligned}$$

Consideremos la función:

$$\begin{aligned} f(A,B,C) &= \overline{A} \overline{B} C + \overline{A} B C + A \overline{B} C + A B C \\ &= m_1 + m_3 + m_5 + m_7 \\ &= m(1,3,5,7) \end{aligned}$$

Construyamos la tabla de verdad de dicha función:

En general: los 2^n minterminos de las variables, aparecerán siempre en la forma canónica de S.P. para $f(X_1, X_2 \dots X_n)$ o para $\overline{F}(X_1, X_2, \dots, X_n)$.

Por ejemplo si:

$$\begin{aligned} f(A,B,C,D) &= m(0,1,6,7) \\ \text{el complemento de } \overline{F} \text{ tendrá } 2^4 - 4 &= 12 \text{ minterminos:} \end{aligned}$$

$$\begin{aligned} f(A,B,C,D) &= m(2,3,4,5,8,9,10,11,12,13,14,15) \\ &= m(2-5,8-15) \end{aligned}$$

Finalmente, del álgebra de Boole

$$f(X_1, X_2, \dots, X_n) + \overline{F}(X_1, X_2, \dots, X_n) = 1$$

Pero como:

$$f(X_1, X_2, \dots, X_n) + \bar{f}(X_1, X_2, \dots, X_n) =$$

Tenemos que:

En otras palabras, la disyunción (OR) de todos los mintérminos de n variables es igual a 1.

MAXTERMINOS:

Si un término suma de una función de n variables contiene las n variables en forma complementada o sin complementar, dicho término suma se llama MAXTERMINO.

Si una función esta compuesta de maxtérminos, se dice que la función está en forma canónica de productos de suma.

Ejemplo:

$$f, (A,B,C) = (A + B + C) (A + B + \bar{C}) (\bar{A} + B + C) (\bar{A} + B + \bar{C})$$

f, es una función en forma canónica con tres variables y cuatro max términos.

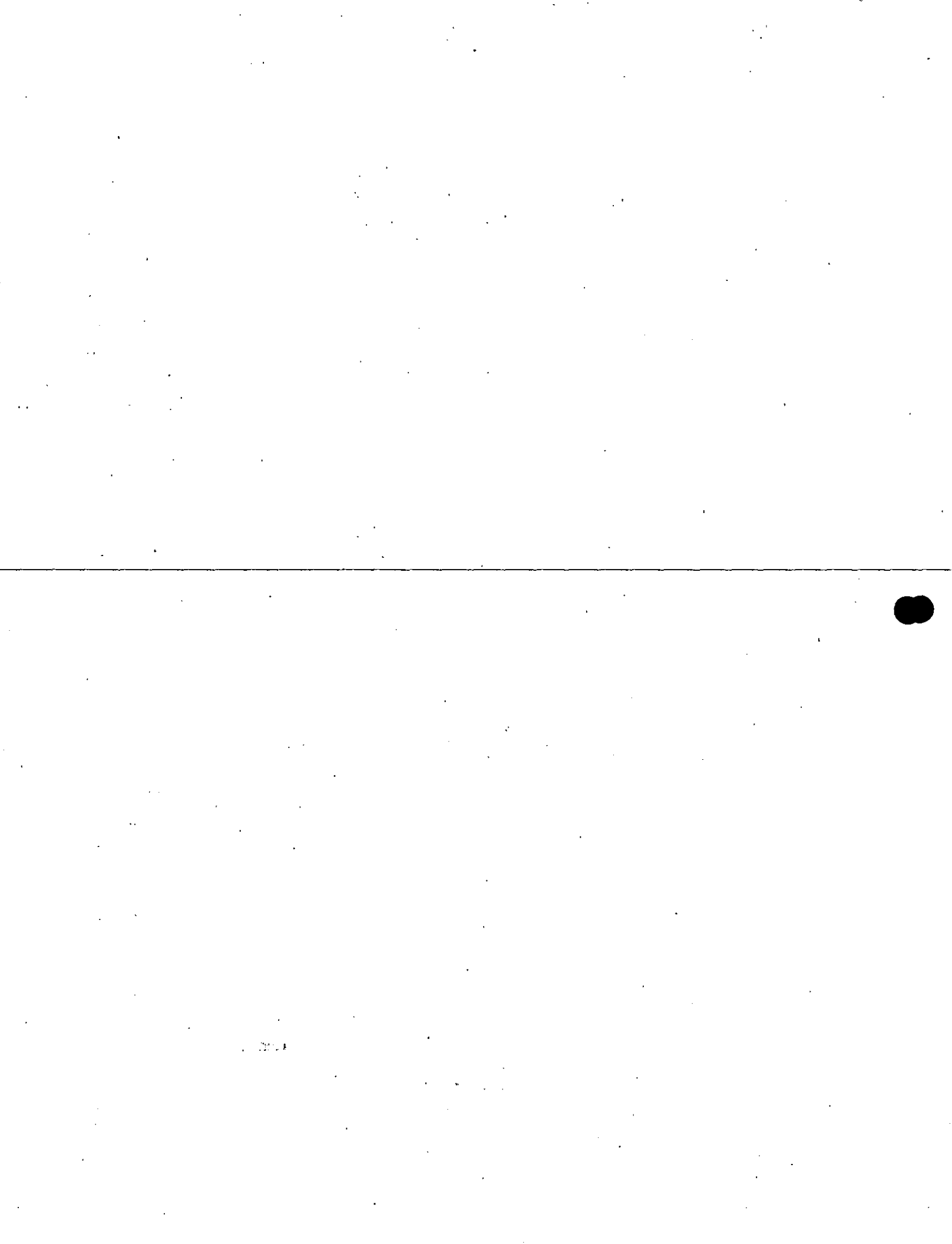
Así como para los mintérminos, existe una forma de codificación de maxtérminos, basada en la siguiente convención:

Variables sin complementar : 0

Variables complementadas : 1

Usando esta convención para la función f, tenemos:

	Código	Lista
A + B + C	000	M ₀
A + B + \bar{C}	001	M ₁
\bar{A} + B + C	100	M ₄
\bar{A} + B + \bar{C}	101	M ₅



Los maxtérminos se abrevian M_i , donde i es el decimal correspondiente al código binario del maxtérmino. Luego, la función f_1 del ejemplo quedaría:

$$f_1(A,B,C) = M_0 M_1 M_4 M_5$$

O bien, escribiéndola en forma de lista de maxtérminos

$$f_1(A,B,C) = \Pi M(0,1,4,5)$$

Las dos últimas expresiones para f , están en forma canónica de productos de suma.

Tal como en el caso de los mintérminos, el orden de las variables en la notación funcional, es muy importante.

La tabla de verdad para la función f , anterior es:

Fila No.	A B C	M_0 A+B+C	M_1 A+B+C̄	M_4 Ā+B+C	M_5 Ā+B+C̄	$f_1(A,B,C)$
0	0 0 0	0	1	1	1	0
1	0 0 1	1	0	1	1	0
2	0 1 0	1	1	1	1	1
3	0 1 1	1	1	1	1	1
4	1 0 0	1	1	0	1	0
5	1 0 1	1	1	1	0	0
6	1 1 0	1	1	1	1	1
7	1 1 1	1	1	1	1	1

Observese que el único cero que aparece en la tabla, está en la fila i y es producido por el maxtérmino M_i . Por lo tanto, como en el caso de los mintérminos, la tabla de verdad puede ser generada por inspección de la lista de mintérminos.

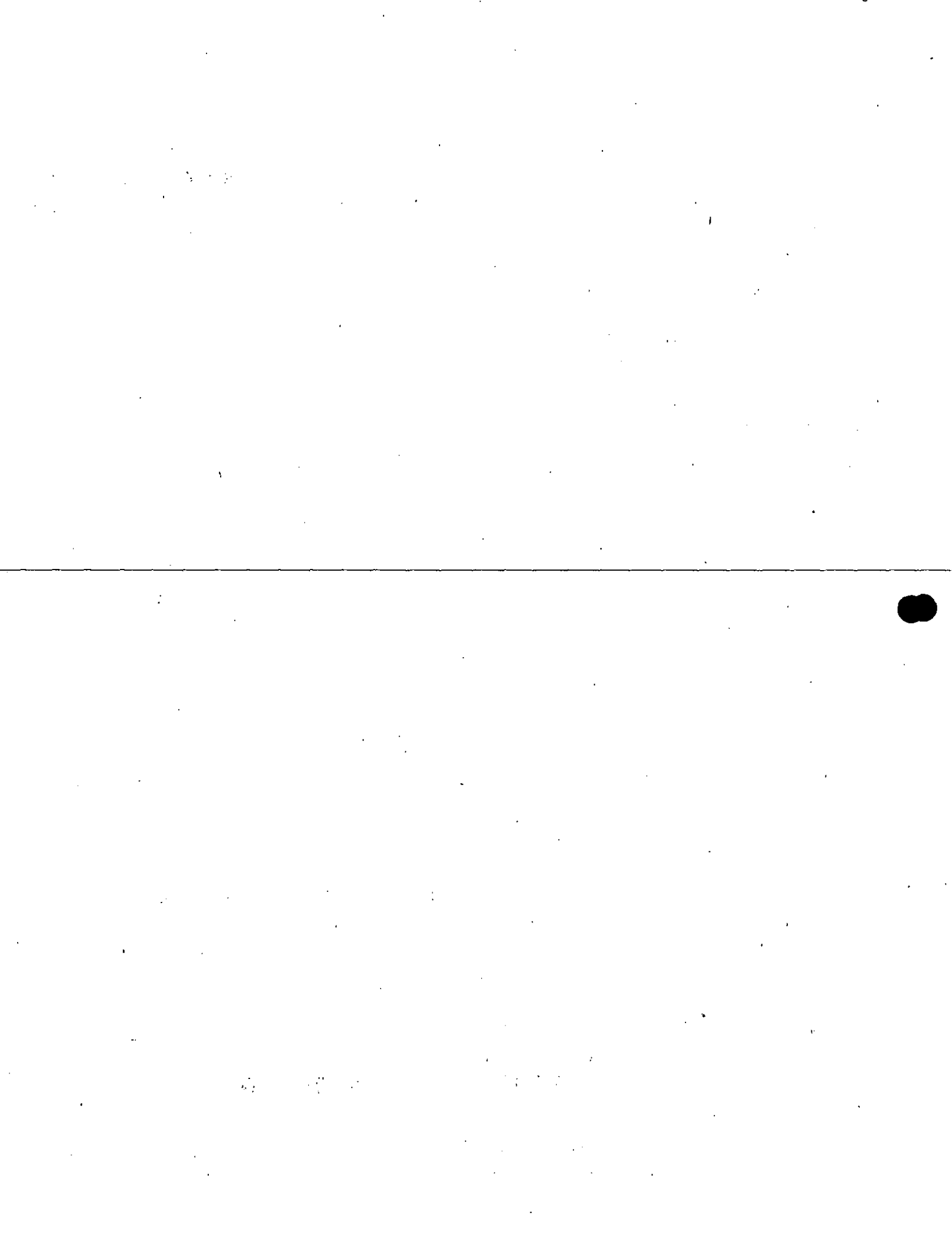
Examinemos la función siguiente:

$$f(A,B,C) = (A+B+C̄) (A+B̄+C̄) (Ā+B+C̄) (Ā+B̄+C)$$

001 011 101 111

$$f(A,B,C) = M_1 M_3 M_5 M_7$$

$$f(A,B,C) = \Pi M(1,3,5,7)$$



Los maxtérminos de la función, ubican los ceros en las filas 1,3, 5,7 de la T. de V.

Fila	A B C	f(A,B,C)
0	0 0 0	1
1	0 0 1	0
2	0 1 0	1
3	0 1 1	0
4	1 0 0	1
5	1 0 1	0
6	1 1 0	1
7	1 1 1	0

Observando la Tabla de Verdad, vemos que:

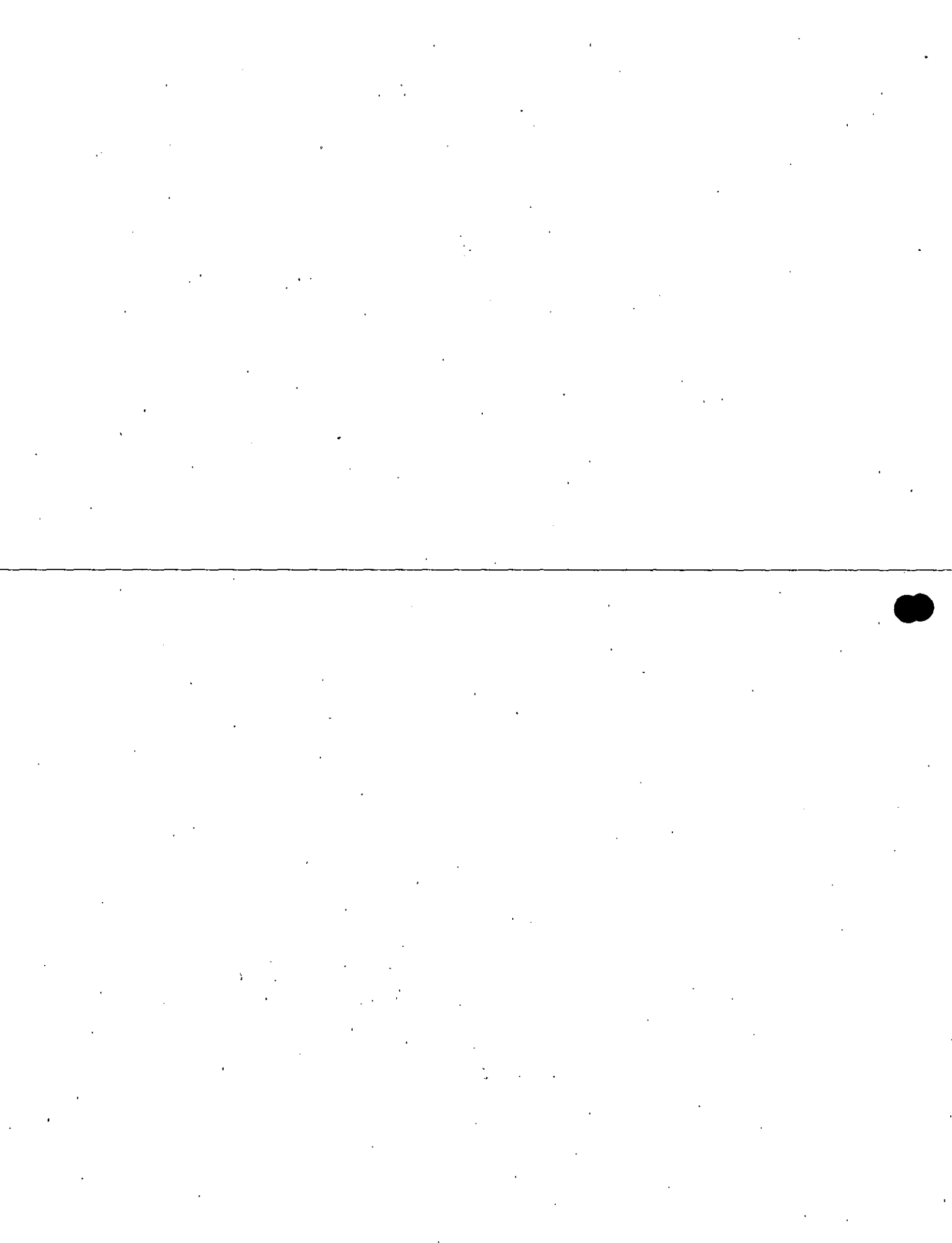
$$f(A,B,C) = m (0,2,4,6)$$

Luego:

$$\begin{aligned} \bar{f}(A,B,C) &= m (1,3,5,7) \\ &= m_1 + m_3 + m_5 + m_7 \\ &\quad 001 \quad 011 \quad 101 \quad 111 \\ &= \bar{A} \bar{B} C + \bar{A} B C + A \bar{B} C + A B C \end{aligned}$$

De donde:

$$\begin{aligned} f(A,B,C) &= \overline{\bar{A} \bar{B} C + \bar{A} B C + A \bar{B} C + A B C} \\ &= \overline{\bar{A} \bar{B} C} \cdot \overline{\bar{A} B C} \cdot \overline{A \bar{B} C} \cdot \overline{A B C} \\ &= (A+B+\bar{C}) (A+\bar{B}+\bar{C}) (\bar{A}+B+\bar{C}) (\bar{A}+\bar{B}+C) \\ &\quad 001 \quad 011 \quad 101 \quad 111 \\ &= M_1 M_3 M_5 M_7 \\ &= \prod M (1,3,5,7) \end{aligned}$$



De donde, hemos demostrado que:

$$f(A,B,C) = \text{TT } M(1,3,5,7) = m(0,2,4,6)$$

Lo cuál, además resulta evidente de la tabla de verdad.

De las manipulaciones algebraicas anteriores, resultan aparentes ciertas relaciones entre mintérminos y maxtérminos:

$$\bar{m}_1 = \overline{A \bar{B} C} + A + B + \bar{C} + M_1$$

001 001

$$m_3 = \overline{A \bar{B} C} = A + \bar{B} + \bar{C} = M_3$$

011 011

En general:

$$\bar{m}_i = M_i$$

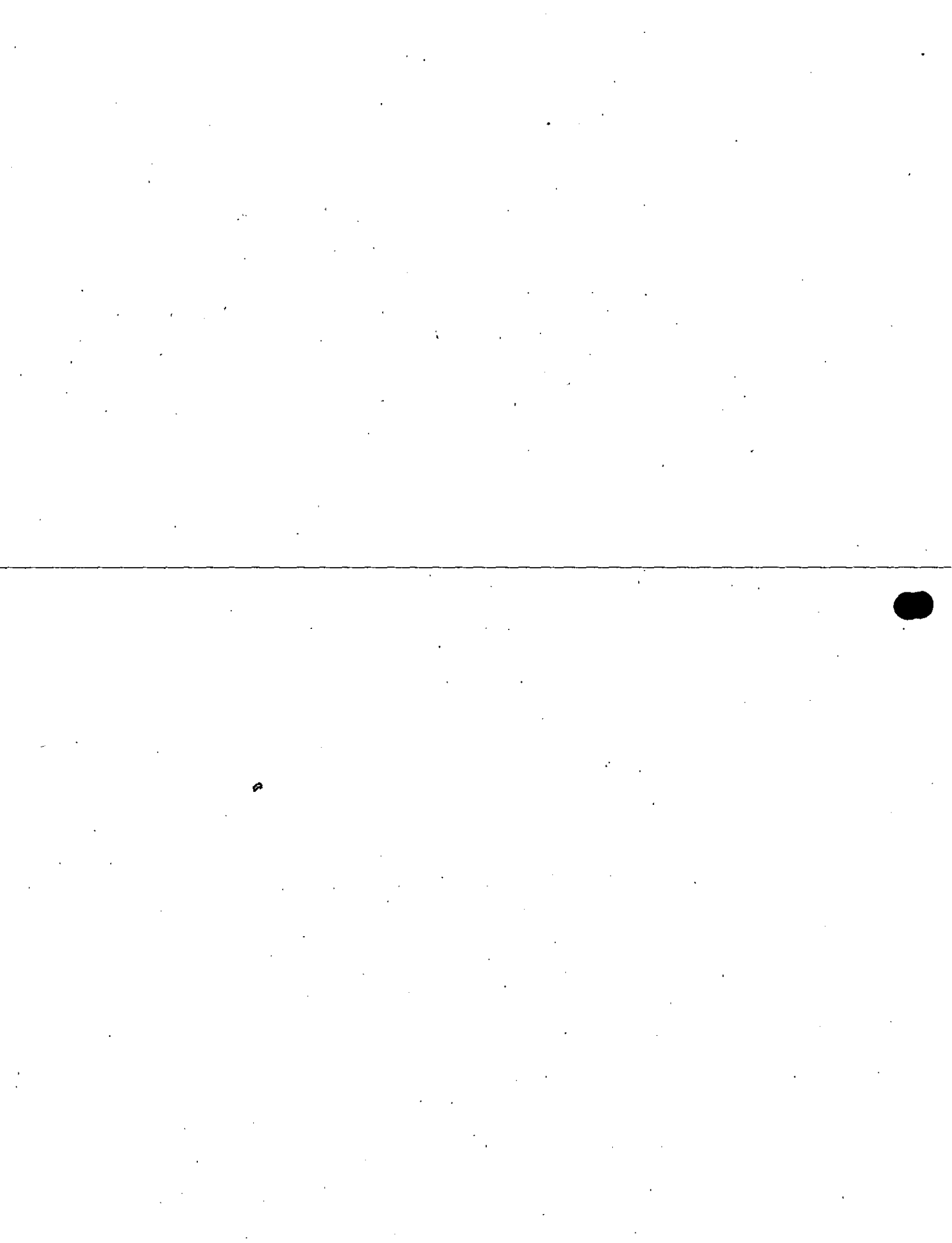
$$\bar{M}_i = m_i$$

Es decir, los mintérminos y maxtérminos son complementos el uno del otro.

Observemos la tabla de verdad del complemento de la función del ejemplo anterior:

$$f(A,B,C) = \text{TT } M(1,3,5,7)$$

Fila	A B C	f(A,B,C)	$\bar{f}(A,B,C)$
0	0 0 0	1	0
1	0 0 1	0	1
2	0 1 0	1	0
3	0 1 1	0	1
4	1 0 0	1	0
5	1 0 1	0	1
6	1 1 0	1	0
7	1 1 1	0	1



Fila No.	A B C	$\overline{m_1}$ \overline{ABC}	$\overline{m_3}$ \overline{ABC}	$\overline{m_5}$ \overline{ABC}	$\overline{m_7}$ ABC	f
0	0 0 0	0	0	0	0	0
1	0 0 1	1	0	0	0	1
2	0 1 0	0	0	0	0	0
3	0 1 1	0	1	0	0	1
4	1 0 0	0	0	0	0	0
5	1 0 1	0	0	1	0	1
6	1 1 0	0	0	0	0	0
7	1 1 1	0	0	0	1	1

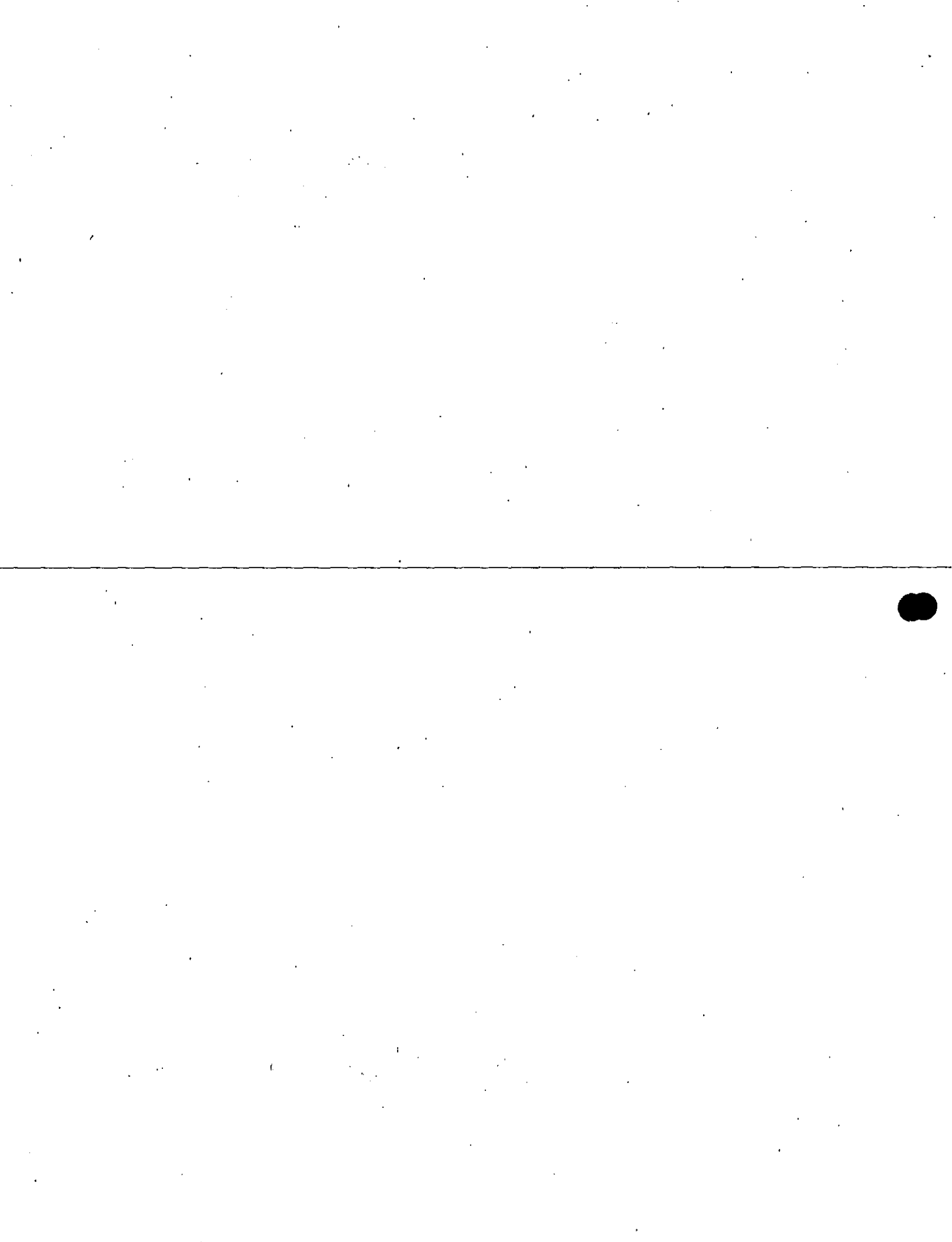
Observese en la tabla que cada fila esta numerada de acuerdo al código decimal y que los únicos 1 que aparecen en la tabla son aquellos en la fila i , producidos por el mintérmino n_i .

Por lo tanto, podemos eliminar todos los pasos intermedios y escribir la tabla de verdad directamente de la lista de mintérminos.

Ejemplo:

Fila No	A B C	f(A,B,C)	f(A,B,C) = m (2,3,6,7)
0	0 0 0	0	
1	0 0 1	0	
2	0 1 0	1	
3	0 1 1	1	
4	1 0 0	0	
5	1 0 1	0	
6	1 1 0	1	
7	1 1 1	1	

importante es observar la tabla de verdad comple
mento de la función



Fila No	A B C	f(ABC)	\bar{f} (ABC)
0	0 0 0	0	1
1	0 0 1	0	1
2	0 1 0	1	0
3	0 1 1	1	0
4	1 0 0	0	1
5	1 0 1	0	1
6	1 1 0	1	0
7	1 1 1	1	0

$$\bar{f}(A,B,C) = m(0,1,4,5)$$

La tabla indica que $\bar{f}(A,B,C)$ tiene "1" en las filas 0,1,4,5 y por lo tanto:

$$\begin{aligned} \bar{f}(A,B,C) &= m(0,1,4,5) \\ f(A,B,C) &= m(2,3,6,7) \end{aligned}$$

Observese que todos los mintérminos compuestos de tres variables (8 en total) están contenidos en una de las dos expresiones.

De la tabla vemos que los ceros están las filas 0,2,4 y 6. Luego

$$\begin{aligned} \bar{f}(A,B,C) &= \text{TT } M(0,2,4,6) \\ f(A,B,C) &= \text{TT } M(1,3,5,7) \end{aligned}$$

Es decir, todos los maxtérminos por tres variables aparecen en) ó en $\bar{f}(A,B,C)$. Además, del álgebra de Boole, tenemos que:

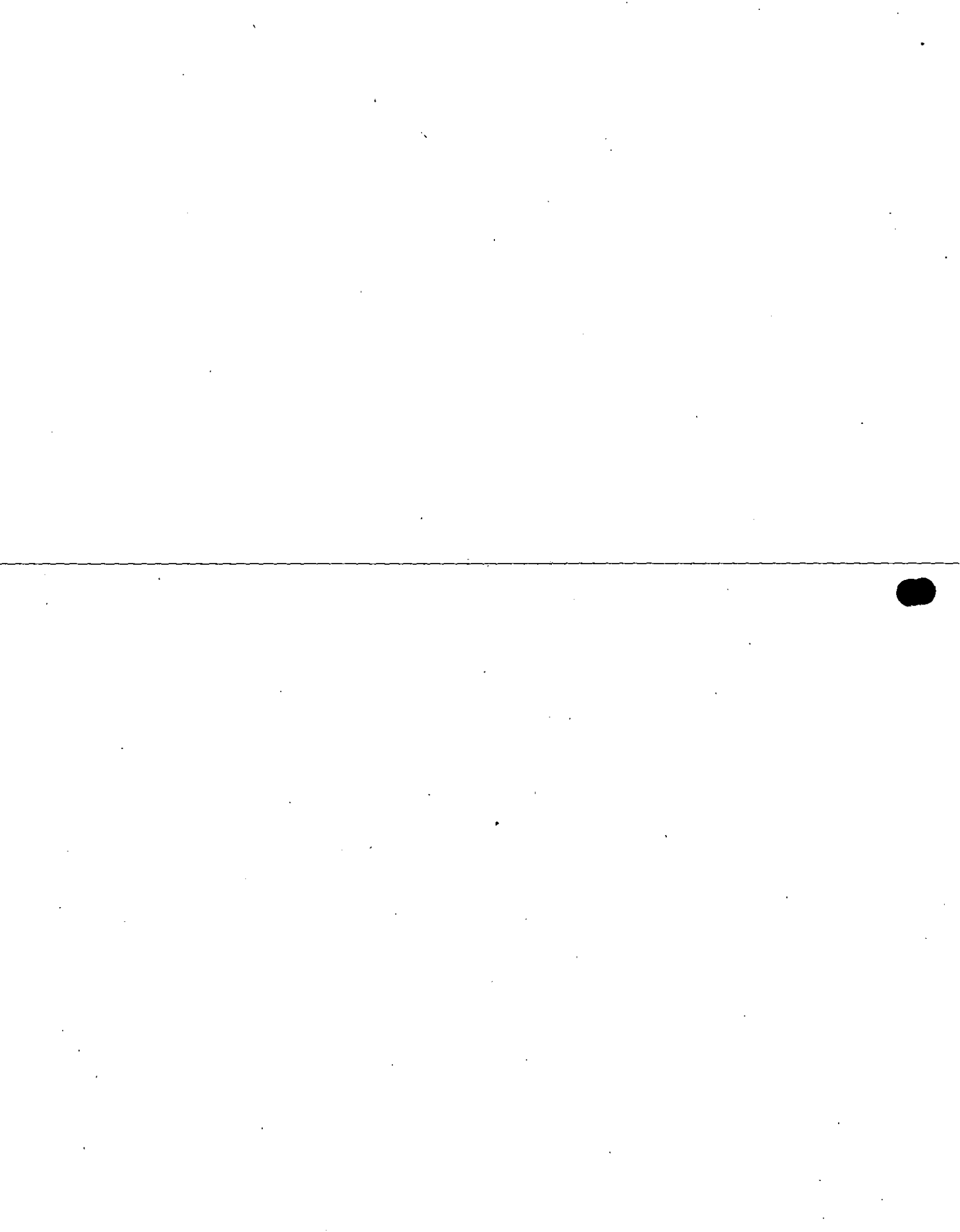
$$f(A,B,C) \cdot \bar{f}(A,B,C) = 0$$

luego:

$$(M_0 M_2 M_4 M_6) \cdot (M_1 M_3 M_5 M_7) = 0$$

O bien:

$$\prod_{i=0}^{2^n - 1} M_i = 0$$



En Resumen: Para la función:

$$f(A,B,C) = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + ABC$$

Tenemos que:

$$f(A,B,C) = m(2,3,6,7) = \pi M(0,1,4,5)$$

$$f(A,B,C) = m(0,1,4,5) = \pi M(2,3,6,7)$$

EXPANSION FUNCIONAL:

Se estudiará ahora la forma de poner una función dada en una de las formas canónicas definidas anteriormente. Este procedimiento se llama Expansión funcional

EXPANSION EN SUMA DE PRODUCTOS

Emplearemos la siguiente notación:

$f(1, X_2, X_3, \dots, X_n)$ denota a la función $f(X_1, X_2, X_3, \dots, X_n)$ en la que se ha reemplazado X_1 , por 1 y \bar{X} , por 0

$f(0, X_2, X_3, \dots, X_n)$ denota a la función $f(X_1, X_2, X_3, \dots, X_n)$ en la que se ha reemplazado X_1 por 0 y \bar{X}_1 por 1.

Ejemplo: Tomemos la función:

$$f(X_1, X_2, X_3, X_4) = \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 + X_1 X_2 X_3 X_4$$

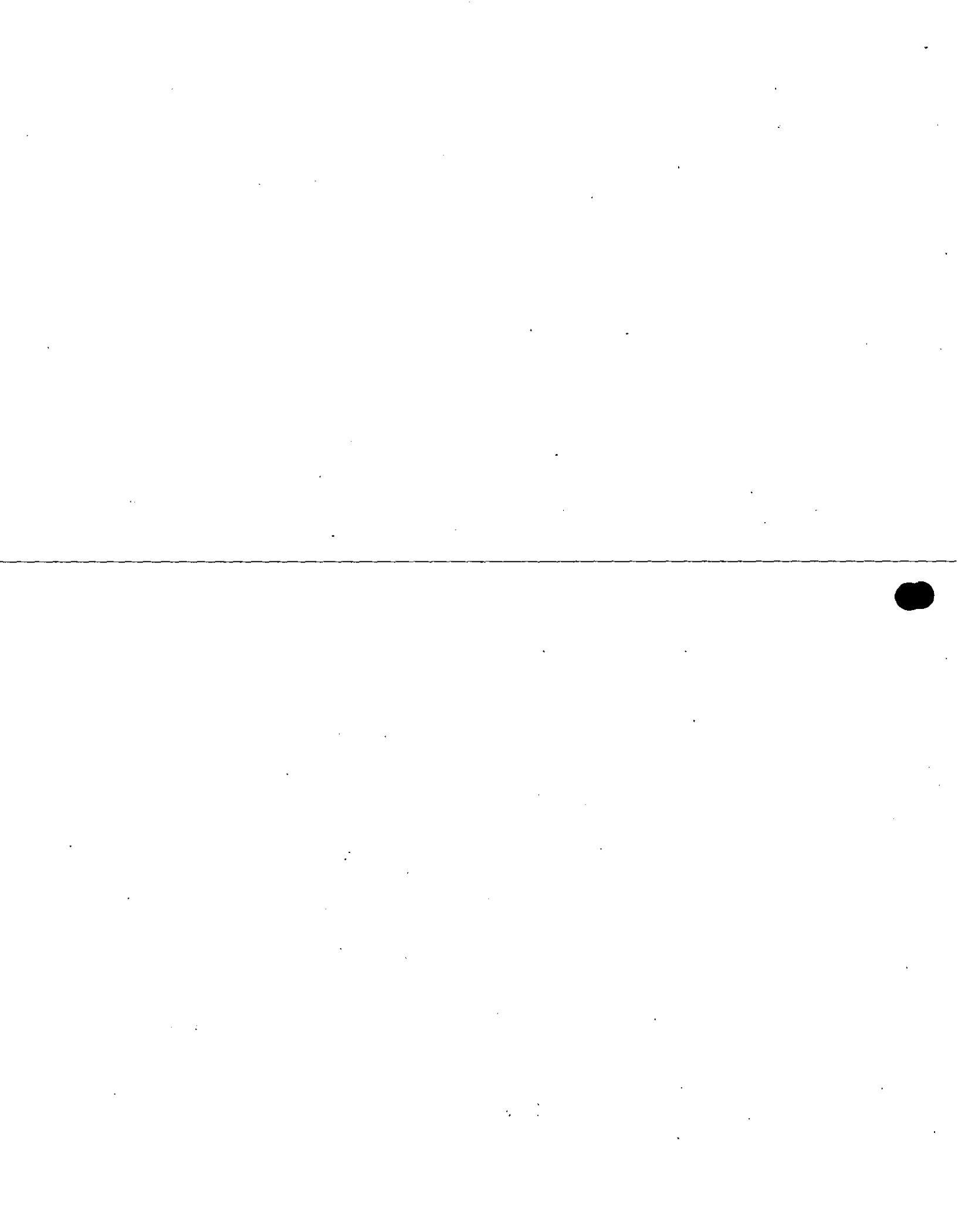
escribamos la función de la siguiente forma:

$$f(X_1, X_2, X_3, X_4) = \bar{X}_2 (\bar{X}_1 \bar{X}_3 \bar{X}_4) + X_2 (X_1 X_3 X_4)$$

$$f(X_1, X_2, X_3, X_4) = \bar{X}_2 g(X_1, X_3, X_4) + X_2 h(X_1, X_3, X_4)$$

Donde: $g(X_1, X_3, X_4) = \bar{X}_1 \bar{X}_3 \bar{X}_4$

$$h(X_1, X_3, X_4) = X_1 X_3 X_4$$



Las funciones g y h se pueden obtener a partir de f mediante el siguiente procedimiento:

$$\begin{aligned}
 g(X_1, X_3, X_4) &= f(X_1, 0, X_3, X_4) = f(X_1, X_2, X_3, X_4) \Big|_{X_2=0} \\
 &= \bar{X}_1 \cdot 0 \cdot \bar{X}_3 \bar{X}_4 = \bar{X}_1 \bar{X}_3 \bar{X}_4 \\
 h(X_1, X_3, X_4) &= f(X_1, 1, X_3, X_4) = f(X_1, X_2, X_3, X_4) \Big|_{X_2=1} \\
 &= X_1 \cdot 1 \cdot X_3 X_4 = X_1 X_3 X_4
 \end{aligned}$$

El procedimiento de expansión lo forliza el siguiente teorema:

TEOREMA 4.1: Una función booleana de n variables $f(X_1, X_2, X_3, \dots, X_n)$ se puede expandir con respecto a la variable X_i ,

$1 \leq i \leq n$, de la siguiente forma:

$$\begin{aligned}
 f(X_1, X_2, \dots, X_{i-1}, X_{i+1}, \dots, X_n) &= \\
 &X_i f(X_1, X_2, \dots, X_{i-1}, 1, X_{i+1}, \dots, X_n) + \\
 &+ \bar{X}_i f(X_1, X_2, \dots, X_{i-1}, 0, X_{i+1}, \dots, X_n) +
 \end{aligned}$$

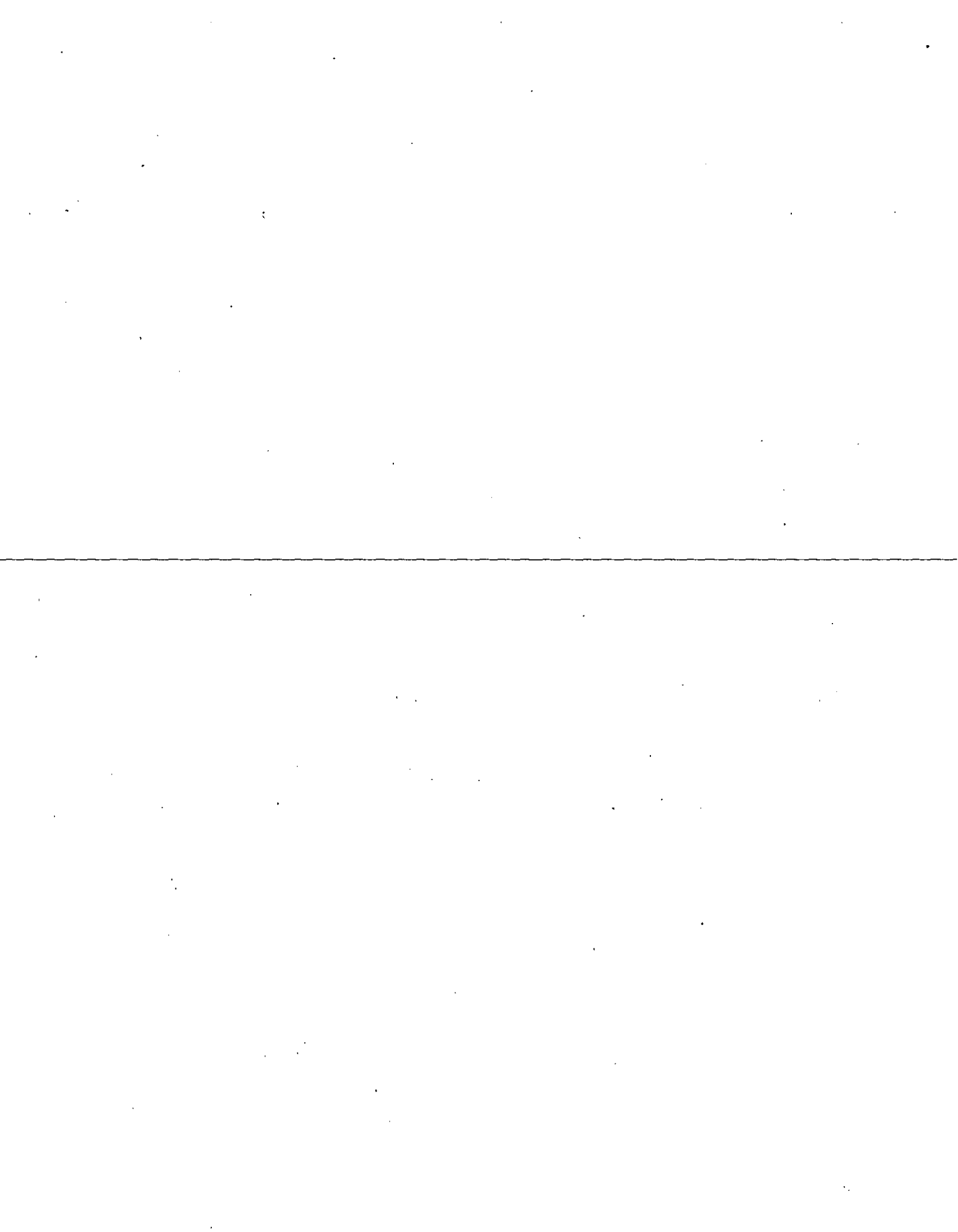
Aplicando sucesivamente el teorema anterior para cada una de las n variables de la función f, habremos expandido la función y la tendremos en forma de lista de mintérminos.

Veamos como sería el procedimiento. Comenzando con X_1 , tenemos:

$$\begin{aligned}
 f(X_1, X_2, \dots, X_n) &= X_1 f(1, X_2, \dots, X_n) + \\
 &+ \bar{X}_1 f(0, X_2, \dots, X_n)
 \end{aligned}$$

Expandiendo ahora $f(1, X_2, \dots, X_n)$ y $f(0, X_2, \dots, X_n)$

con respecto a X_2 , tenemos:



$$f(1, X_2, \dots, X_n) = X_2 f(1, 1, X_3, \dots, X_n) + \bar{X}_2 f(1, 0, \dots, X_n)$$

$$f(0, X_2, \dots, X_n) = X_2 f(0, 1, X_3, \dots, X_n) + \bar{X}_2 f(0, 0, \dots, X_n)$$

La función queda:

$$f(X_1, X_2, X_3, \dots, X_n) = X_1 X_2 f(1, 1, \dots, X_n) + \bar{X}_2 f(1, 0, \dots, X_n) + \bar{X}_1 X_2 f(0, 1, \dots, X_n) + \bar{X}_2 f(0, 0, \dots, X_n)$$

O bien:

$$f(X_1, X_2, \dots, X_n) = X_1 X_2 f(1, 1, \dots, X_n) + X_1 \bar{X}_2 f(1, 0, \dots, X_n) + \bar{X}_1 X_2 f(0, 1, \dots, X_n) + \bar{X}_1 \bar{X}_2 f(0, 0, \dots, X_n)$$

A continuación expandemos las cuatro funciones resultantes con respecto a X_3 , de donde obtendremos 8 funciones; luego expandemos éstas C/respecto a X_4 y así sucesivamente para las n variables.

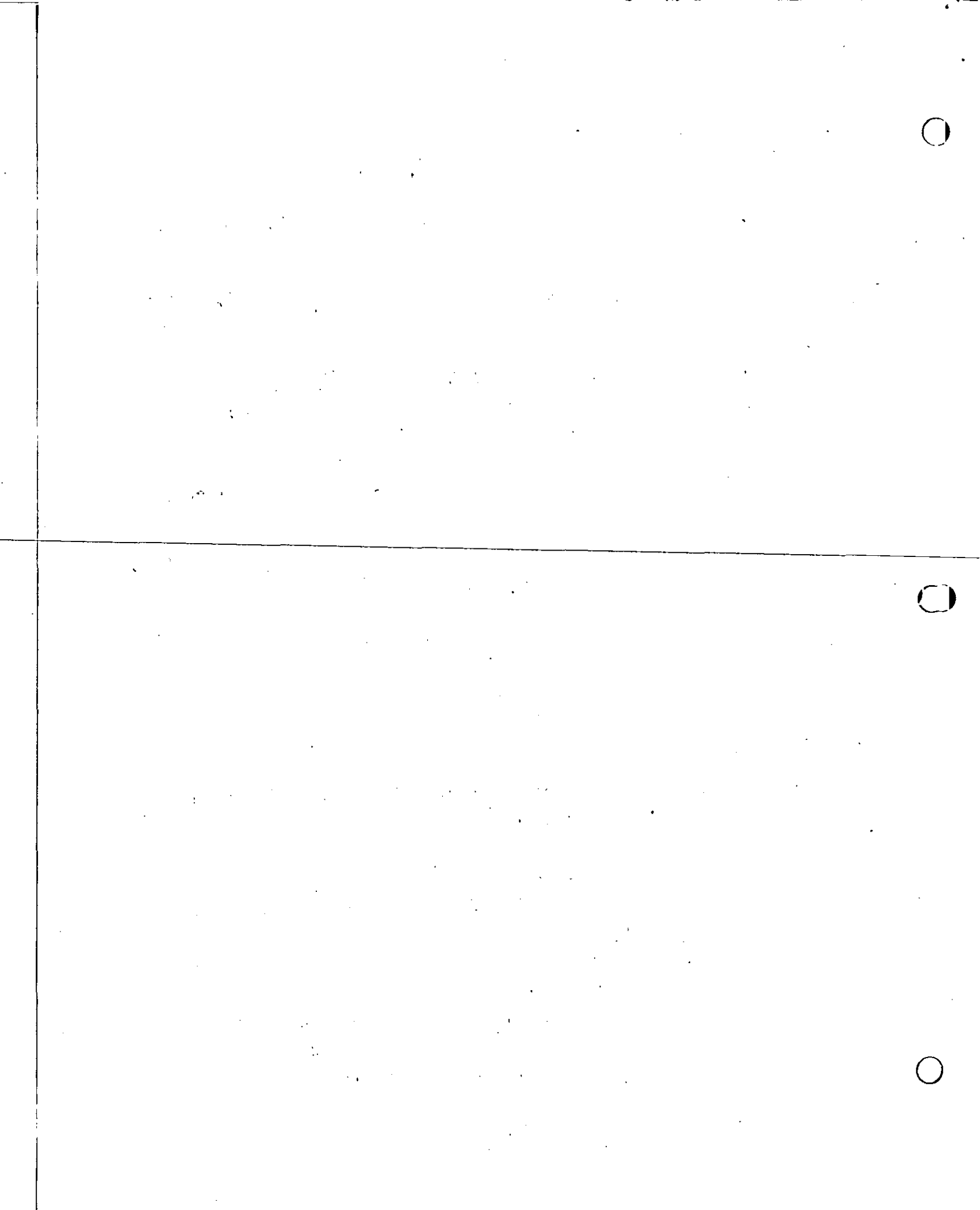
Para una función de 3 variables, obtendríamos:

$$f(X_1 X_2 X_3) = X_1 X_2 X_3 f(1, 1, 1) + X_1 X_2 \bar{X}_3 f(1, 1, 0) + X_1 \bar{X}_2 X_3 f(1, 0, 1) + X_1 \bar{X}_2 \bar{X}_3 f(1, 0, 0) + \bar{X}_1 X_2 X_3 f(0, 1, 1) + \bar{X}_1 X_2 \bar{X}_3 f(0, 1, 0) + \bar{X}_1 \bar{X}_2 X_3 f(0, 0, 1) + \bar{X}_1 \bar{X}_2 \bar{X}_3 f(0, 0, 0)$$

Analicemos todo lo anterior en términos de una función específica y su tabla de verdad:

$$f(A, B, C) = \bar{A} \bar{B} C + A \bar{B} C + A B C = m_1 + m_5 + m_7$$

A	B	C	$f(A, B, C)$	
0	0	0	0	= $f_0 = f(0, 0, 0)$
0	0	1	1	= $f_1 = f(0, 0, 1)$
0	1	0	0	= $f_2 = f(0, 1, 0)$
0	1	1	0	= $f_3 = f(0, 1, 1)$
1	0	0	0	= $f_4 = f(1, 0, 0)$
1	0	1	1	= $f_5 = f(1, 0, 1)$
1	1	0	0	= $f_6 = f(1, 1, 0)$



Veamos la equivalencia entre este desarrollo y la tabla de verdad:

A	B	C	f(A,B,C)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Revisando el procedimiento, se puede comprobar que no es más que la aplicación del Postulado 5 ($a.1 = a$) Postulado 10 ($a+\bar{a} = 1$) y del teorema 13A ($ab + a\bar{b} = a$)

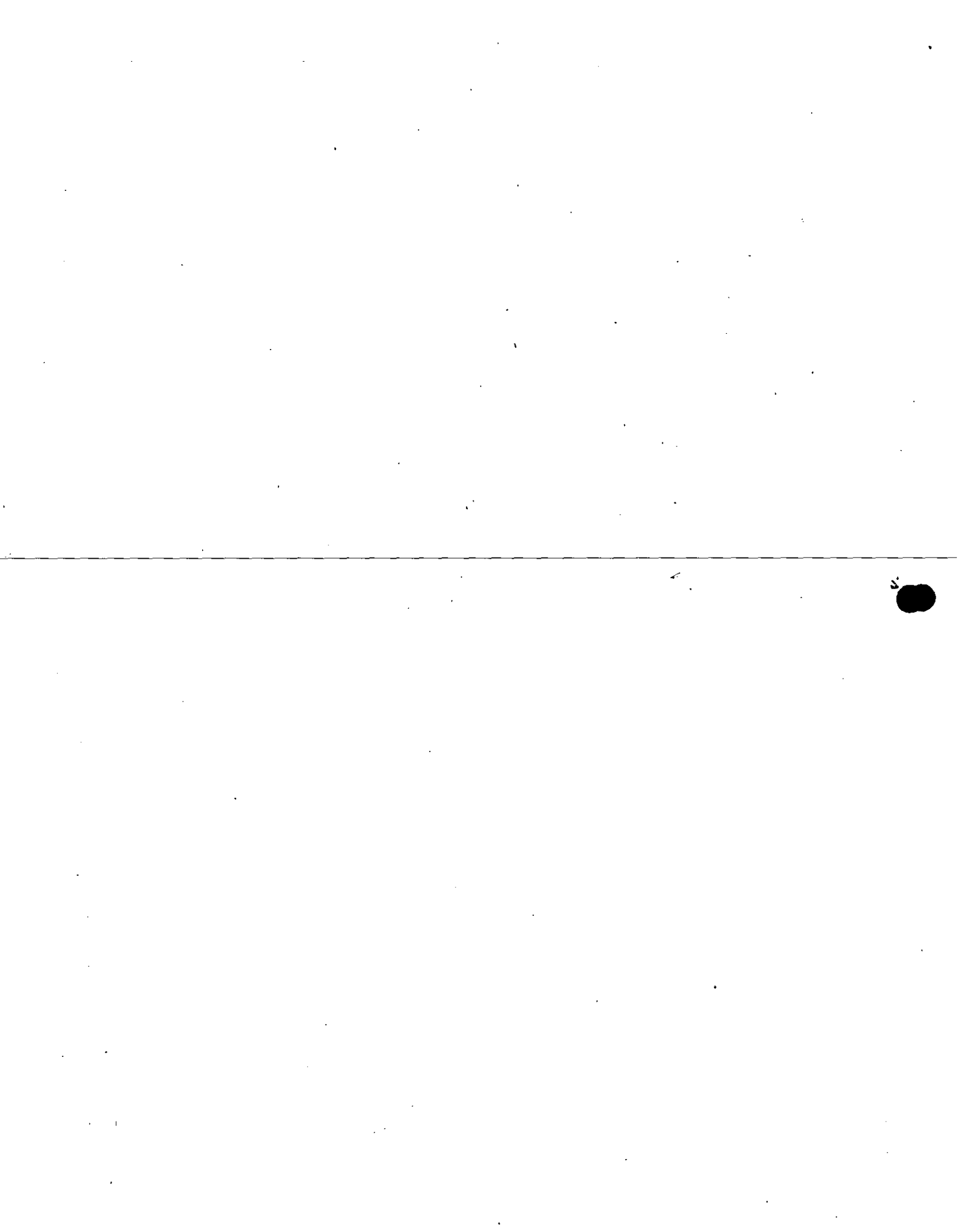
podemos simplificar el procedimiento aplicando directamente dichos postulados.

Ejemplo: Expandir la función.

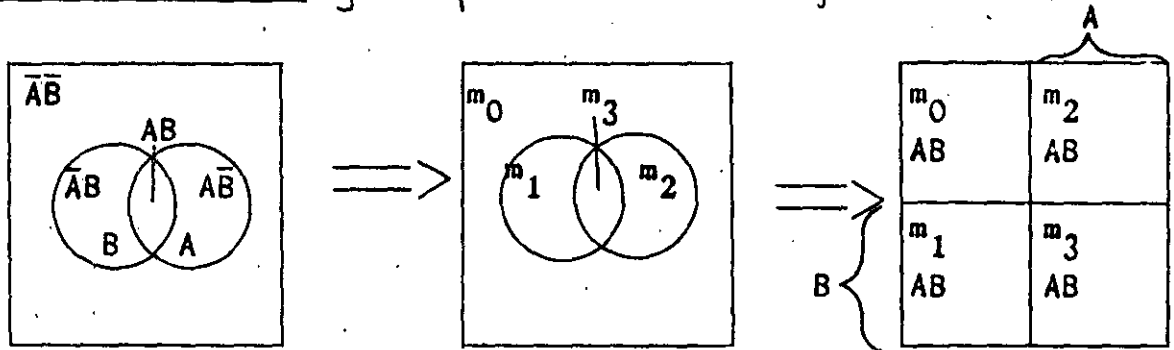
$$\begin{aligned}
 f(A,B,C) &= A \bar{B} + A \bar{C} + A B C \\
 &= A \bar{B} (C + \bar{C}) + A \bar{C} (B + \bar{B}) + ABC \\
 &= A \bar{B} C + \overline{ABC} + ABC\bar{C} + \overline{ABC} + ABC \\
 &= A \bar{B} C + ABC\bar{C} + ABC\bar{C} + ABC \\
 &= m_5 + m_4 + m_6 + m_7 \\
 &= (4,5,6,7)
 \end{aligned}$$

En resumen, para expandir una función en suma de productos a su forma canónica SP, podemos hacerlo de tres formas:

- 1).- De la tabla de Verdad, obtener directamente la lista de mintérminos.
- 2).- Aplicando directamente el teorema 4.1.
- 3).- Aplicando los Postulados 5 y 10; el Teorema 13a.



Diagramas de Venn: y Mapas de Karnaugh.

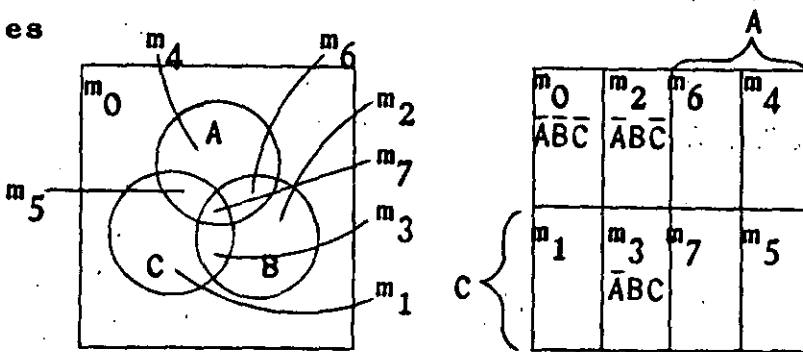


2 variables

	A	
	0	1
B		
0		
1		

hasta 6 variables

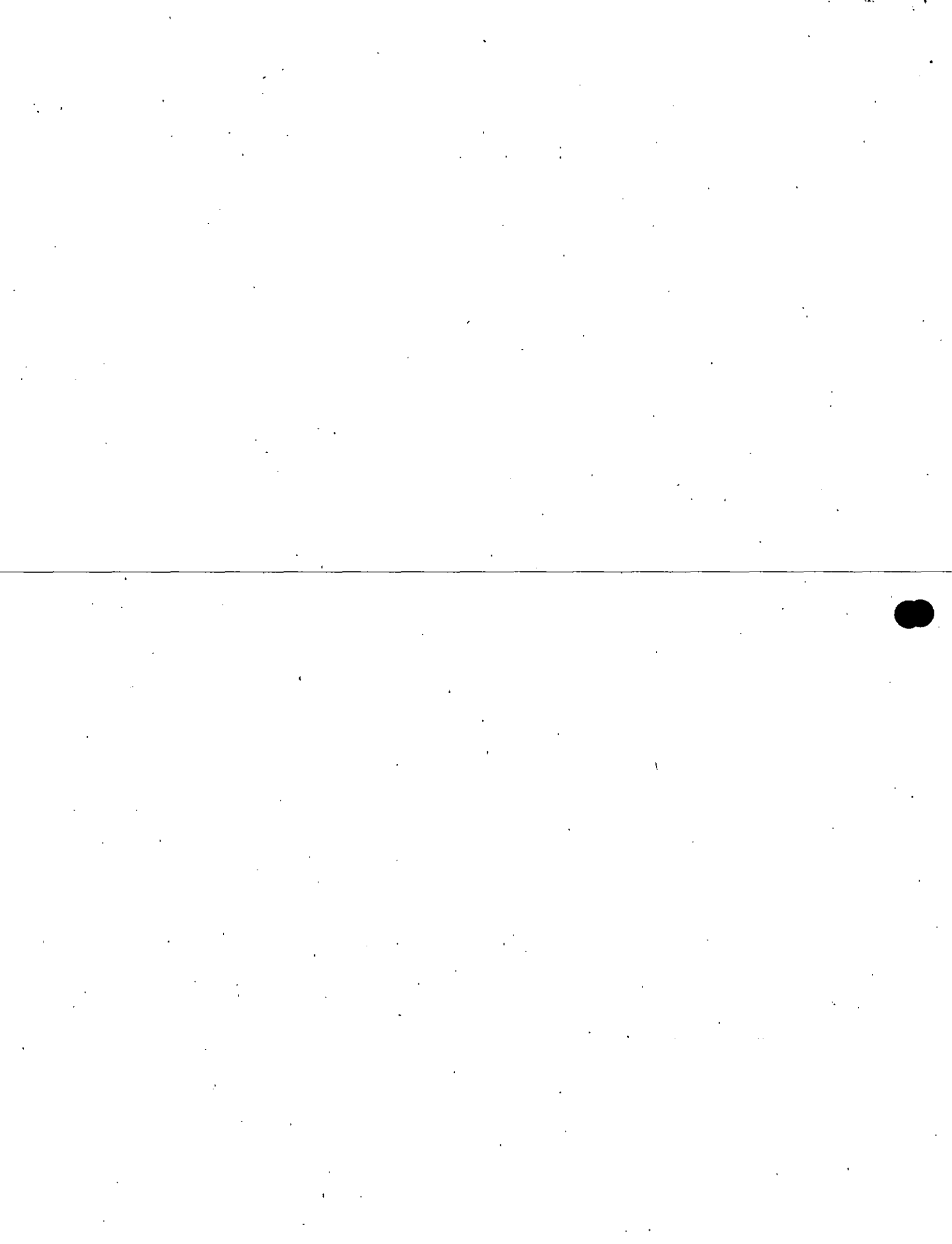
3 variables



	AB			
	00	01	11	10
C				
0	0	2	6	4
1	1	3	7	5

Para 4 variables

	AB		A	
	0	4	12	8
CD				
	1	5	13	9
	3	7	15	11
	2	6	14	10



Para 5 variables

	AB			
CD	00	01	11	10
00				
01				
11				
10				

	ABC							
DE	000	001	011	010	100	101	111	110
00	0	4	12	8	16	20	28	24
01	1	5	13	9	17	21	29	25
11	3	7	15	11	19	23	31	27
10	2	6	14	10	18	22	30	26

Ejemplo

$$f(A,B,C) = ABC\bar{C} + ABC\bar{C} + ABC$$

	AB			
C	00	01	11	10
0	0	0	1	1
1	0	0	1	0

$$f(A,B,C) = \sum m(0,1,2,5,7)$$

$$= \prod M(1,2,3,4)$$

	AB			
C	00	01	11	10
0	2	0	6	4
1	0	3	7	5

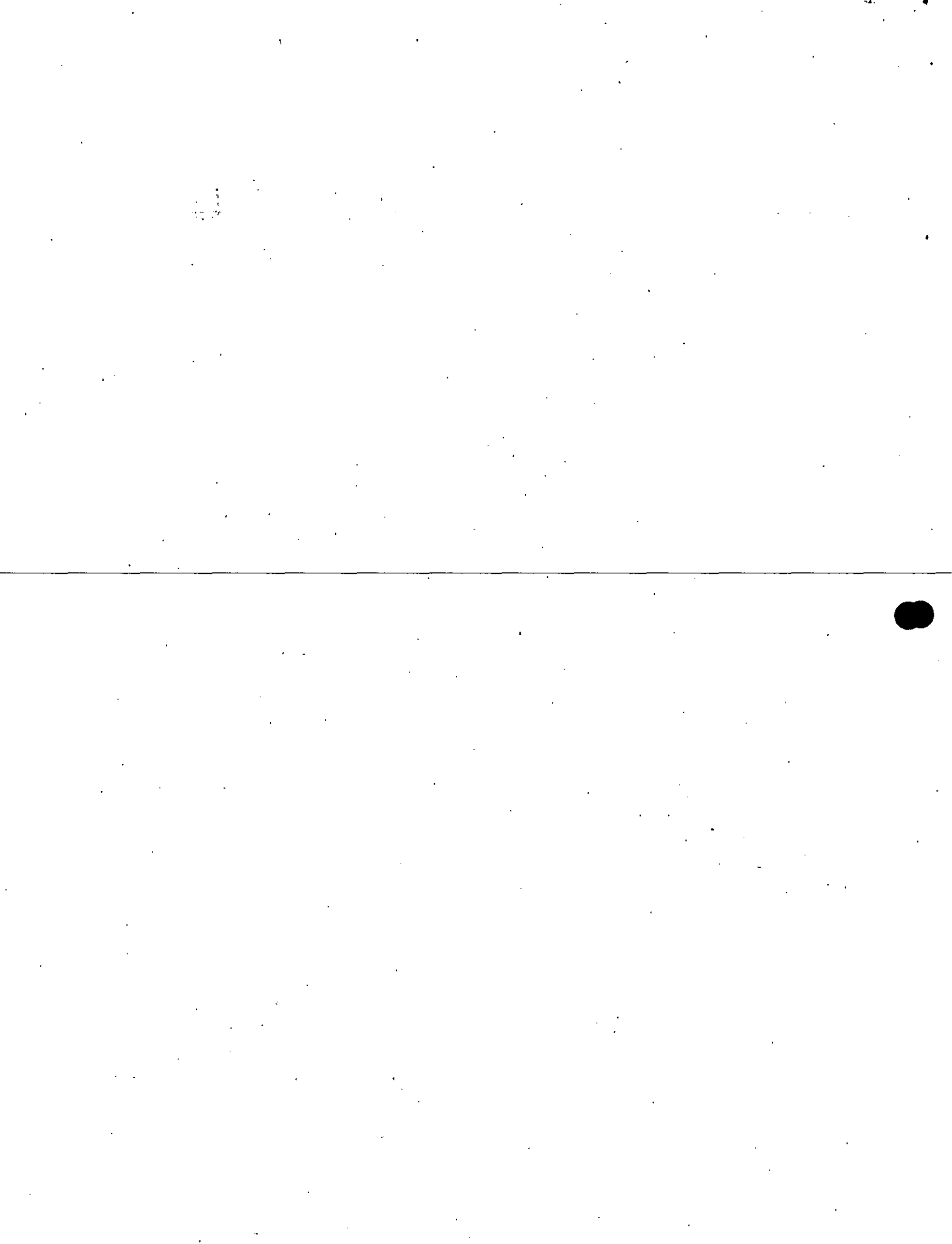
Actualmente ya son otros objetivos, ya no el de minimización.
como:

- disipación
- tiempo de retardo
- costo

depende del proyecto a realizar.

Minimización de funciones.

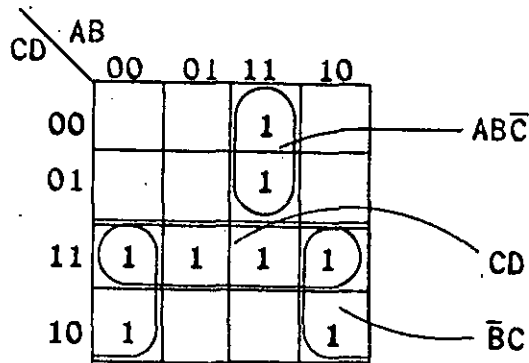
métodos { Mapas de Karnaugh
Mc Klusky
(Hill, Peterson)



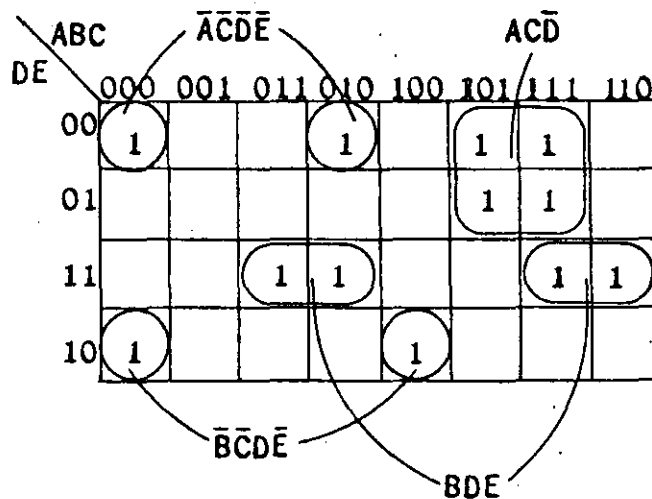
1. Aquellos conjuntos de mintérminos que se puedan combinar en términos prod. más simples deben ser adyacentes o aparecer en patrones simétricos y adyacentes en un mapa K.
2. Cualquier mapa K por demintérminos de n variables adyacentes en un mapa k se puede combinar en un prod de n variables.

Ejemplo:

$$f(A,B,C,D) = \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}C\underline{D} + \bar{A}B\underline{C}D + A\bar{B}C\underline{D} \\ + A\underline{B}C\underline{D} + A\underline{B}C\underline{D} + A\underline{B}C\underline{D} + A\underline{B}C\underline{D}$$

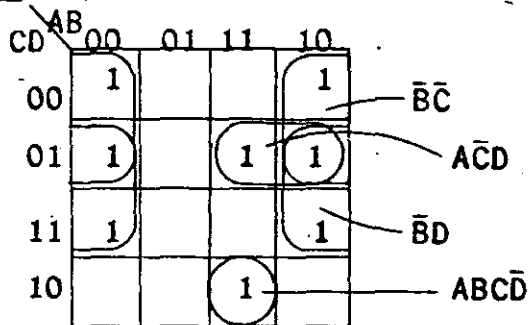


$$f = \sum m (0, 2, 8, 11, 15, 18, 20, 21, 27, 28, 29, 31)$$



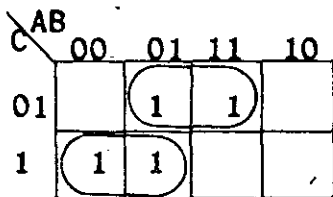
$$f(A,B,C,D,E) = \bar{B}\bar{C}\bar{D}\bar{E} + \bar{A}\bar{C}\bar{D}\bar{E} + A\bar{C}\bar{D} + BDE$$

$$f(A,B,C,D) = \sum m (0,1,3,8,9,11,12,14)$$



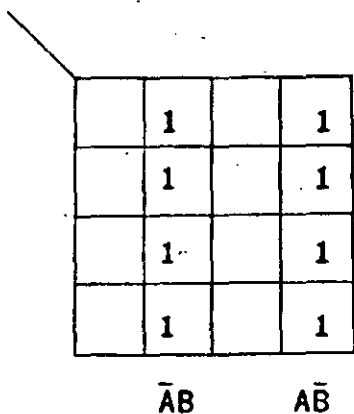
$$f(A,B,C,D) = A\bar{B}C\bar{D} + A\bar{C}D + \bar{B}D + \bar{B}\bar{C}$$

$$f(A,B,C) = \sum m(1,2,3,6)$$



$$f = B\bar{C} + \bar{A}C$$

cuando el número está entre 4 y 11



V. Circuitos Combinacionales.

Las técnicas cubiertas en los capítulos anteriores tienen una gran variedad de aplicaciones. En este capítulo se aplicaran dichas técnicas para el diseño de circuitos combinacionales.

Un circuito combinacional es un circuito electrónico cuya salida corresponde a una determinada función booleana de sus líneas de entrada. Puede verse como en los circuitos combinacionales ocurre una asociación de los valores lógicos (verdadero, falso) de las funciones booleanas, con niveles de voltaje (sólo dos niveles de voltaje: voltaje alto y voltaje bajo) propios de los circuitos electrónicos.

A diferencia de los circuitos secuenciales, que se tratarán en los siguientes capítulos, los circuitos combinacionales tiene como característica fundamental la siguiente:

La salida de un circuito combinacional depende exclusivamente de los valores presentes de sus líneas el valor que una función booleana está totalmente determinado por la combinación presente de valores de sus variables de entrada.

Los circuitos combinacionales tienen múltiples aplicaciones y se diseñan pensando en que realicen una labor específica y perfectamente determinada. Así, existen circuitos combinacionales aritméticos que efectúan sumas, restas y hasta multiplicaciones en binario, existen circuitos detectores de códigos.

Los circuitos combinacionales se emplean también en la detección y corrección de errores en la transmisión de información digital. En los sistemas de computo, son circuitos combinacionales los encargados de direccionar los elementos del sistema.

El campo de aplicación de los circuitos combinatoriales es tan amplio que sólo queda restringido por la circunstancia de que la salida del circuito depende exclusivamente de la combinación presente de valores en sus líneas de entrada.

I. Diseño lógico de un circuito combinatorial.

El objetivo del diseño de un circuito combinatorial consiste en lograr un circuito que realice una labor determinada en las mejores condiciones en cuanto a costo de los dispositivos electrónicos empleados, costos de manufactura del circuito impreso, mantenimiento, confiabilidad, absencia, etc.

Por lo anterior, el diseño de un circuito combinatorial puede dividirse en dos partes: el diseño lógico del circuito y la implementación electrónica del mismo.

Dado que un circuito combinatorial debe realizar una labor determinada, primeramente se debe establecer cual será el valor que tomará la salida del circuito para cada una de las combinaciones de los valores de sus líneas de entrada. Lo anterior quiere decir, que primeramente se debe encontrar cual es la función lógica que debe realizar el circuito a fin de llevar a cabo la labor para la cual se diseña.

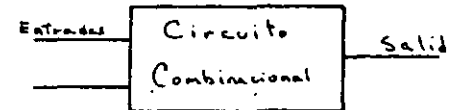
El diseño lógico de un circuito combinatorial se refiere precisamente a la búsqueda de la función lógica del circuito. Como se ha visto anteriormente, una función lógica está perfectamente determinada si se dispone de su tabla de verdad, así, el diseño lógico de un circuito combinatorial se concluye cuando se dispone de la tabla de verdad de la función lógica del circuito.

El diseño lógico de un circuito combinatorial parte de un establecimiento verbal o escrito de la labor que debe desarrollar el circuito. En muchos casos esta descripción verbal o escrita no es suficiente, en este caso debe intervenir el criterio del diseñador a fin de lograr de tabla de verdad de la función lógica requerida.

El mecanismo mediante el cual, un diseñador transforma una descripción verbal o escrita, de la labor o desarrollar por un circuito combinatorial en una tabla de verdad es un proceso mental de abstracción, que requiere cierto esfuerzo del diseñador principiante. Es necesario que el diseñador principiante encuentre por sí solo, funciones lógicas de circuitos combinatoriales, comenzando por los más simples. La habilidad de encontrar funciones lógicas de circuitos combinatoriales es poco transmisible por tratarse de un proceso mental.

A continuación se describen algunos ejemplos, pero debe tenerse siempre en mente que si desea diseñar un circuito no existe en el mundo real o dicho circuito debe mejorar alguno ya existente.

Ejemplo 5.1 Realizar el diseño lógico de un circuito combinatorial que tiene dos líneas de entrada y una línea de salida, adquiriendo esta última el valor lógico verdadero cuando los valores lógicos de sus líneas de entrada sean iguales.

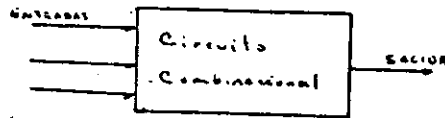


Las líneas de entrada pueden tomar cualquiera de los valores lógicos verdadero (V) y falso (F) y sólo pueden ocurrir cuatro combinaciones distintas FF FV VFV VV. Del enunciado del problema debe quedar claro que la línea de salida adquiere el valor V, solamente para las combinaciones FF Y VV de sus líneas de entrada.

Asociando las variables lógicas A y B a las líneas de entrada y llamando f(a,b) a la línea de salida se escribe la tabla de verdad que concluye el ejemplo.

A B	f(a,b)	A B	f(a,b)
F F	V	00	1
F V	F	01	0
V F	F	10	0
V V	V	11	1

Ejemplo 5.2 Realizar el diseño lógico de un circuito combinacional que tiene 3 líneas de entrada que le indican el estado (abierto o cerrado) de tres interruptores. Su línea de salida deberá tomar el valor lógico verdadero cuando un número non de interruptores se encuentran cerrados.



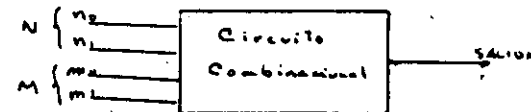
Asociando las variables lógicas A B Y C a las líneas de entrada al circuito y considerando que cada línea toma el valor lógico verdadero cuando el interruptor correspondiente está cerrado, se escribe la tabla de verdad que concluye el ejemplo:

ABC	f(a,b,c)	ABC	f(a,b,c)
fff	f	000	0
ffv	v	001	1
fvf	v	010	1
fvv	f	011	0
vff	v	100	1
vf v	f	101	0
vfv	f	110	0
vfv	v	111	1

Ejemplo 5.3 Obtener la función lógica de un circuito combinacional que compare la magnitud de dos números binarios N y M de dos bits cada uno. El circuito deberá indicar de alguna forma cuando N es mayor o igual a M.

Del planteamiento del problema resulta que cada número binario llega al circuito por dos líneas, esto es, un bit por cada línea, así, el circuito tendrá en total cuatro líneas de entrada.

Quando un número binario de N bits llega a un circuito usando N líneas (un bit por cada línea) se dice que el número binario llega en paralelo.



Para el circuito anterior se han asociado las variables lógicas N_0 , N_1 y M_1 a las líneas de entrada, por otro lado, los números binarios posibles de dos bits son: 00, 01, 10 y 11.



Asociando la variable lógica N_0 al bit menos significativo del número binario N y la variable lógica N_1 al bit más significativo, se puede establecer la siguiente relación para N

Número binario N	N_1	N_0
00	f	f
01	f	v
10	v	f
11	v	v

Asociando la variable lógica M_0 al bit menos significativo de M y M_1 al bit más significativo se establece analógicamente la siguiente relación:

Número Binario M	M_1	M_0
00	f	f
01	f	v
10	v	f
11	v	v

Con lo anterior ya se puede escribir la tabla de verdad para la función de salida.

N_1	N_0	M_1	M_0	$f(n_1, n_0, m_1, m_0)$	n_1	n_0	m_1	m_0	$f(n_1, n_0, m_1, m_0)$
f	f	f	f	v	0	0	0	0	1
f	f	f	v	f	0	0	0	1	0
f	f	v	f	f	0	1	0	0	0
f	f	v	v	f	0	1	0	1	0
f	v	f	f	v	0	1	1	0	1
f	v	f	v	v	0	1	1	1	1
f	v	v	f	f	1	0	0	0	0
f	v	v	v	f	1	0	0	1	0
v	f	f	f	v	1	0	1	0	1
v	f	f	v	v	1	0	1	1	1
v	v	f	f	v	1	1	0	0	1
v	v	f	v	v	1	1	0	1	1
v	v	v	f	f	1	1	1	0	0
v	v	v	v	f	1	1	1	1	0

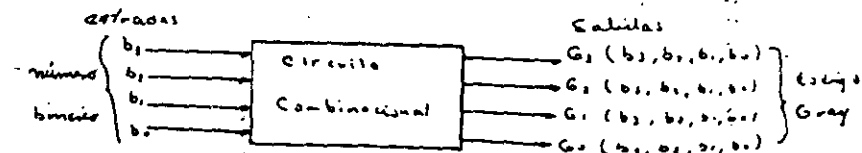
vv	vf	v	1110	1
vv	vv	v	1111	1

Para la tabla de verdad anterior se asignó el valor lógico verdadero a $f(n_1, n_0, m_1, m_0)$ para indicar que N, M , esto fue una asignación arbitraria ya que el planteamiento del problema no especifica nada al respecto.

Muchas aplicaciones requieren del diseño de circuitos combinatoriales de salida múltiple, esto es, de circuitos con más de una línea de salida, lo anterior ocurre por las necesidades de la aplicación particular.

Ejemplo 5.4 Diseñe lógicamente un circuito combinatorial que convierta un número binario de 4 bits al código Gray.

El planteamiento anterior propone la búsqueda de un circuito combinatorial que reciba a la entrada un número binario de 4 bits y ofrezca en su salida el patrón binario correspondiente en código Gray. Así, el circuito tendrá 4 líneas de entrada para recibir el número binario y 4 líneas de salida para ofrecer el patrón binario en código Gray correspondiente.



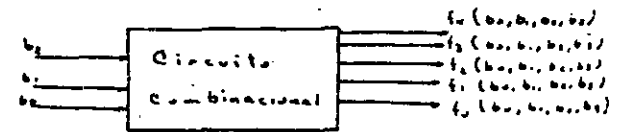
Asociando las variables lógicas B_0, B_1, B_2 y B_3 a las líneas de entrada, donde B_0 corresponde al bit menos significativo del número binario recibido y llamando G_0, G_1, G_2 y G_3 a las funciones lógicas de las líneas de salida del circuito, donde $G_0(b_3, b_2, b_1, b_0)$ corresponde al bit menos significativo del código Gray se pueden ya escribir las tablas de verdad para las funciones G_0, G_1, G_2, G_3 , si se realiza una última asociación entre los dígitos binarios 0 y 1 y los valores lógicos 0 y 1 respectivamente.

b3 b2 b1 b0	g3 g2 g1 g0
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

Para el circuito combinacional anterior existen 4 funciones booleanas de salida y las 4 deberán implementarse si se desea construir el circuito.

Ejemplo 5.5. Diseñar un circuito combinacional que realice el cálculo de la función $f(x) = x^2 - x$ donde x es un número binario entero entre tal que $0 \leq x \leq 5$.

Debe resultar obvio que el circuito combinacional calculará la función $f(x)$ y ofrecerá el resultado en binario por sus líneas de salida. Como el número binario que recibe cae en el rango de 0 a 5, entonces, solo se requieren tres líneas de entrada. Como el valor máximo que adquiere la función $F(x)$ es 20, y se requieren 5 bits para representar esta cantidad en binario, entonces, el circuito combinacional tendrá 5 líneas de salida, una para cada bit.



Usando las variables y funciones lógicas de la figura anterior, donde b_0 -- corresponde al bit menos significativo del número binario X y f_0 corresponde al bit menos significativo de $F(x)$ y asociando los dígitos binarios 0 y 1 con los valores lógicos 0 y 1 respectivamente, se pueden escribir las tablas de verdad para las funciones lógicas del circuito.

b2 b1 b0	f4 f3 f2 f1 f0	
000	0 0 0 0 0	$f(x) = 0$
001	0 0 0 0 0	$f(x) = 0$
010	0 0 0 1 0	$f(x) = 2$
011	0 0 1 1 0	$f(x) = 6$
100	0 1 1 0 0	$f(x) = 12$
101	1 0 1 0 0	$f(x) = 20$
110	* * * * *	$f(x) = \text{no definida}$
111	* * * * *	$f(x) = \text{no definida}$

En las tablas de verdad anterior aparecen *'s en los renglones donde $x=6$ y $x=7$. Lo anterior ocurre porque el circuito se diseñó pensando en el rango $0 \leq x \leq 5$. Se supone que $x=6$ y $x=7$ son casos que nunca ocurrirán ó que no importa el resultado que ofrezca el circuito para dichos casos.

EJEMPLO 5.13.

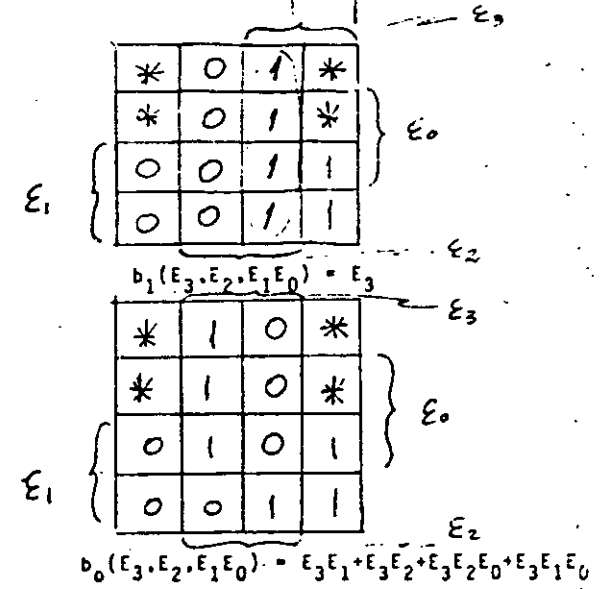
Un codificador óptico de posición (shaft-encoder) con 4 líneas de salida, indica la posición de su eje, en pasos de 30°, como se indica en la siguiente tabla, donde E_3, E_2, E_1 y E_0 son variables verificadas-bajas:

Posición del eje	Salidas del codificador			
	E_3	E_2	E_1	E_0
0 - 29°	0	0	1	1
30° - 59°	0	0	1	0
60° - 89°	0	1	1	0
90° - 119°	0	1	1	1
120° - 149°	0	1	0	1
159° - 179°	0	1	0	0
180° - 209°	1	1	0	0
210° - 239°	1	1	0	1
240° - 269°	1	1	1	1
270° - 299°	1	1	1	0
300° - 329°	1	0	1	0
330° - 359°	1	0	1	1

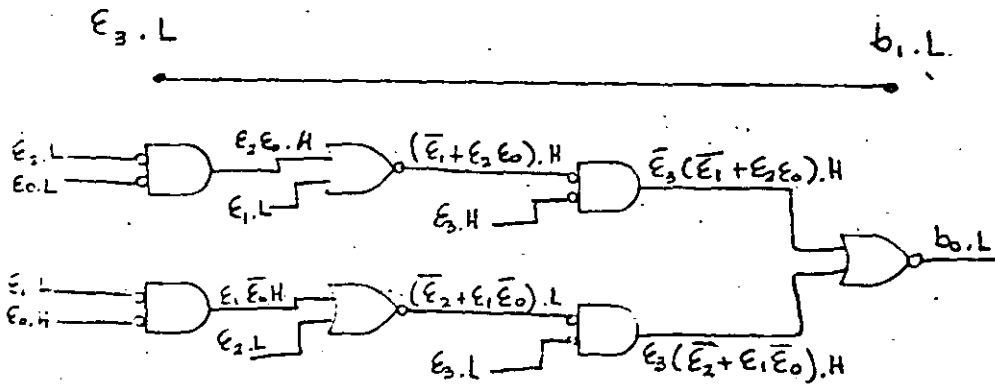
Diseñe un circuito combinacional que indique en binario el número del cuadrante en que se encuentra (cuadrante cero: 0.89°, cuadrante uno: 90° a 179°, etc.). Las líneas de salida de este circuito (b_1, b_0) deben ser verificadas-bajas. Utilice compuertas de la familia lógica CMOS 74 HC.

Primeramente se encuentra la función lógica de las líneas de salida.

E_3	E_2	E_1	E_0	b_1	b_0
0	0	0	0	*	*
0	0	0	1	*	*
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	0
0	1	1	1	0	1
1	0	0	0	*	*
1	0	0	1	*	*
1	0	1	0	1	1
1	0	1	1	1	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	1
1	1	1	1	1	0



$$b_0(E_3, E_2, E_1, E_0) = E_3(E_1 + E_2E_0) + \bar{E}_3(E_2 + E_1E_0)$$



Esta realización requiere 35 puntos de soldadura y 3 circuitos integrados (CMOS: 7/4 de 74HC02 y 2/6 de 74HC04).

VI. CIRCUITOS COMBINACIONALES (IMPLEMENTACION MSI Y LSI).

En el ejemplo 5.13 hemos visto el diseño de un circuito combinacional y su implementación con tecnología SSI. Ahora continuaremos con el mismo problema pero lo implementaremos con tecnología MSI(4.2). Dentro de esta tecnología tenemos diferentes tipos de circuitos combinacionales que se les conocen con diferentes nombres los cuales damos a continuación:

- Selectores de Datos/Multiplexores
- Decodificadores/Demultiplexores
- Sumadores/Circuitos Aritméticos
- Convertidores de Código
- Comparadores, etc.

VI.1 Multiplexor: Es un circuito combinacional.

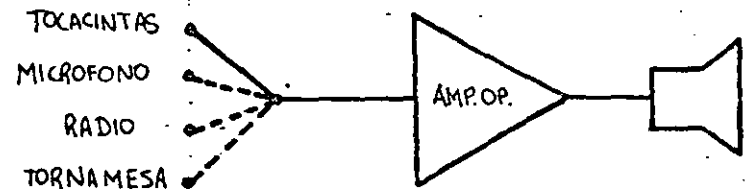
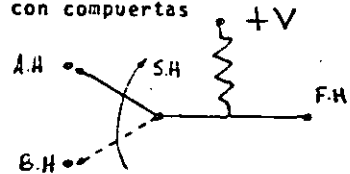


Fig. VI.1 Multiplexor mecánico.

Así de la definición y la figura se observa que un multiplexor tiene "n" entradas y una salida.



Diseñemos un multiplexor de dos entradas y una salida con compuertas

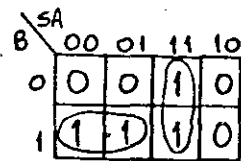


A variable de entrada
B variable de entrada
S variable de control

A y B entradas, S variable de control. Si sube el conmutador la variable S será verdadera, si el conmutador baja será falsa, así:

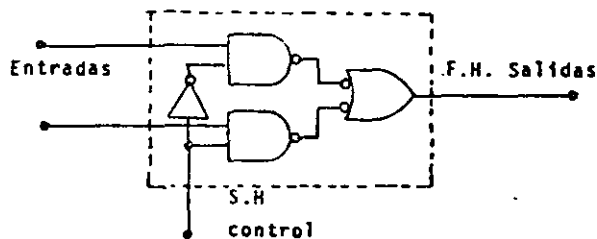
S	A	B	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Minimizando la función



$F(S,A,B) = \sum m(1,3,6,7)$
minimizada
 $F(S,A,B) = S A + \bar{S} B$

implementándola



Multiplexor de 2 a 1.

Así podremos modelar un multiplexor como se muestra en la Fig. VI.2.

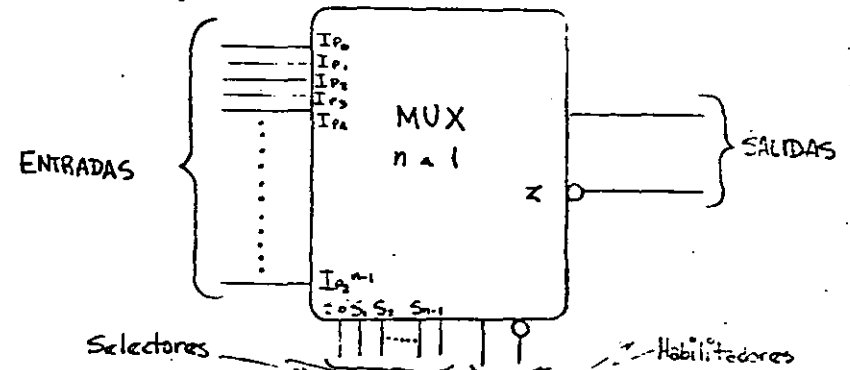


Fig. VI.2 Modelo de un multiplexor de n entradas y una salida.

La ecuación booleana de un multiplexor es:

$$SALIDA = m_0(IP_0) + m_1(IP_1) + m_2(IP_2) + \dots + m_j(IP_j)$$

$$+ \dots + m_{2^n-1}(IP_{2^n-1})$$

$m_j =$ mintermino generado por las entradas selectoras (S_0, S_1, \dots, S_{n-1})

Veamos el empleo de un multiplexor para implementar el problema del ejemplo 5.13.

De la ecuación booleana de salida del multiplexor podemos observar que los minterminos m_j son generados por las variables de control S_0, S_1, \dots, S_{n-1} entonces de la Tabla de verdad podemos concluir que estos minterminos son las entradas de la Tabla de verdad y la salida del circuito combinacional valdrá uno o cero por tanto

-465-

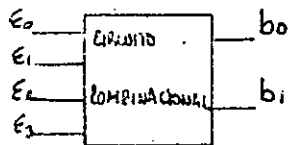
	Entrada				Salida	
	E_3	E_2	E_1	E_0	b_1	b_0
0	0	0	0	0	X	X
1	0	0	0	1	X	X
2	0	0	1	0	0	0
3	0	0	1	1	0	0
4	0	1	0	0	0	1
5	0	1	0	1	0	1
6	0	1	1	0	0	0
7	0	1	1	1	0	1
8	1	0	0	0	X	X
9	1	0	0	1	X	X
10	1	0	1	0	1	1
11	1	0	1	1	1	1
12	1	1	0	0	1	0
13	1	1	0	1	1	0
14	1	1	1	0	1	1
15	1	1	1	1	1	0

Tabla de verdad del ejemplo 5.13.

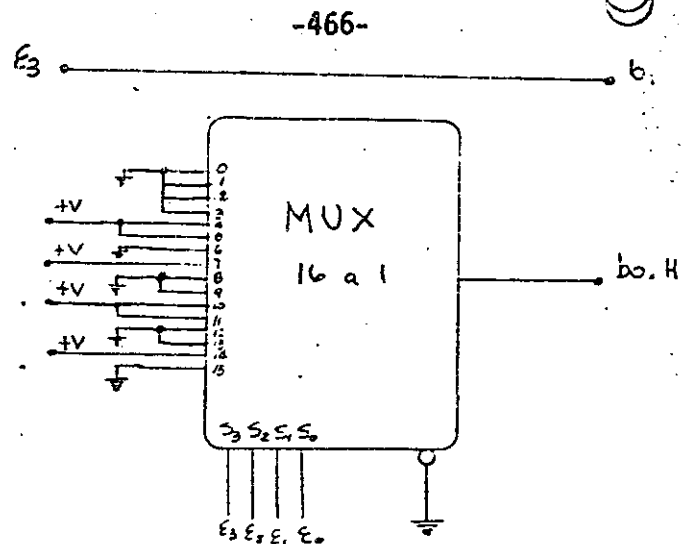
si nuestro circuito combinacional tiene dos salidas y cada multiplexor tiene una salida para este circuito combinacional se necesitarán dos multiplexores, si tenemos 16 minterminos requeriremos multiplexores con cuatro líneas de control para poder generar 16 minterminos.

De acuerdo a las ecuaciones booleanas del circuito combinacional

$$b_1 = E_3, b_0 = \bar{E}_3\bar{E}_1 + E_3\bar{E}_2 + \bar{E}_3E_2E_0 + E_3E_1\bar{E}_0$$



para la salida b_1 no requerimos ningún dispositivo ya que la salida es igual a la entrada E_3 para la salida b_0 se muestra la implementación.



Comparando esta solución con la implementada con componentes vemos que únicamente requeriremos un circuito integrado MSI comparado contra tres circuitos integrados SSI. Veamos otra solución empleando un multiplexor más pequeño, esto lo haremos usando la idea empleada en la minimización de funciones con mapas de Karnaugh cuando se introducen variables dentro de éstos.

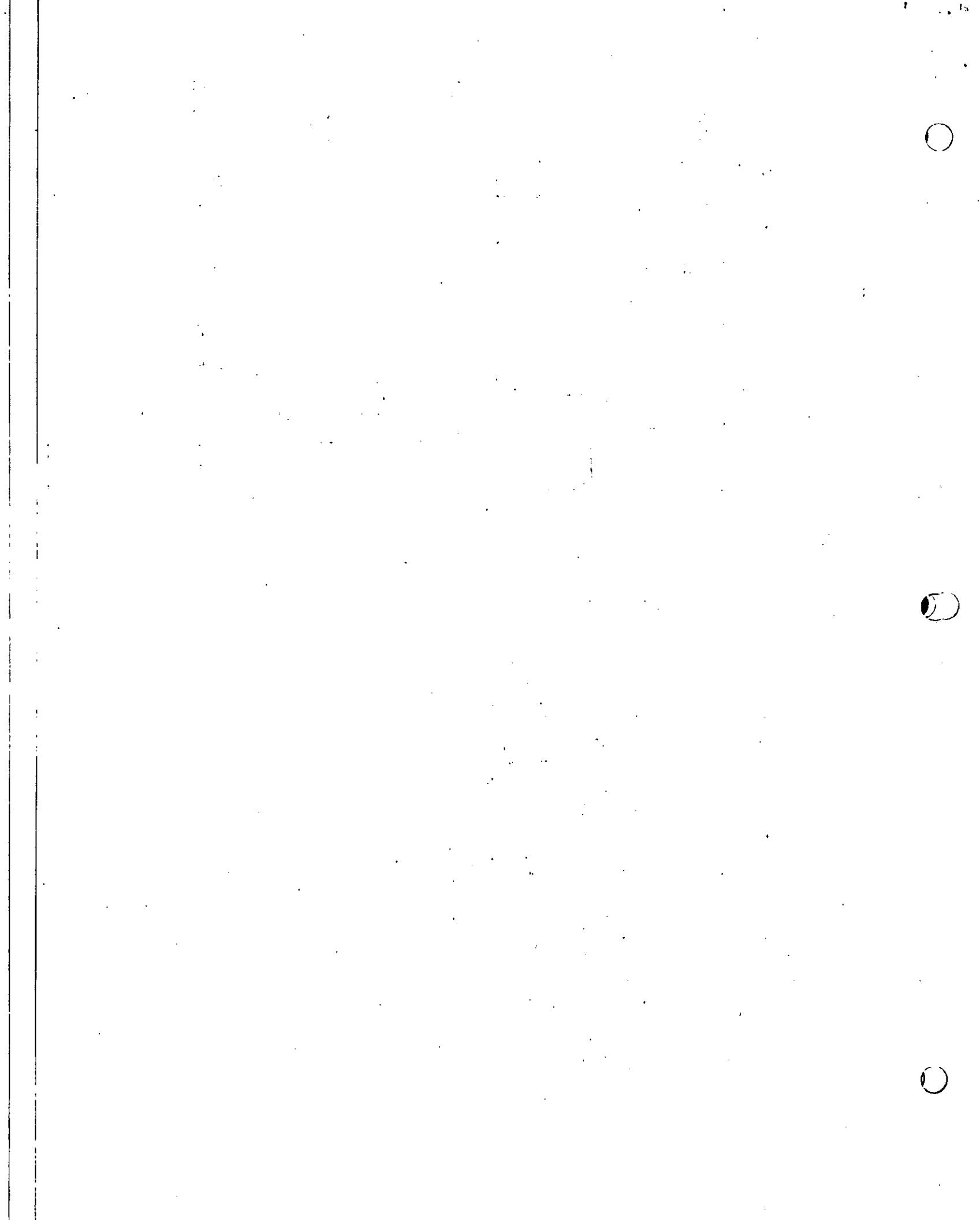
Veamos nuevamente la tabla de verdad y su mapa de Karnaugh asociado.

E_3	E_2	E_1	E_0	b_1	b_0
0	0	0	0	X	X
0	0	0	1	X	X
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	0
0	1	1	1	0	1
1	0	0	0	X	X
1	0	0	1	X	X
1	0	1	0	1	1
1	0	1	1	1	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	1
1	1	1	1	1	0

Nuevamente implementaremos únicamente la salida b_0 ya que para b_1 no se requiere ningún dispositivo.

Mapa para b_0

E_1	E_3E_2	00	01	11	10
0	X	1	0	X	
1	0	E_0	\bar{E}_0	1	



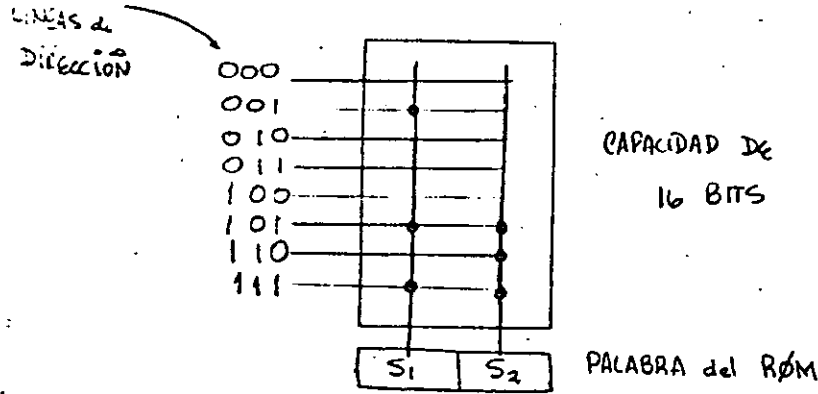


Fig. VI.6. Representación simplificada del ROM.

Aunque ya hemos visto cómo se implementa un ROM en la realidad lo que se hace es adquirirlos y uno los programa ó los manda uno programar a la fábrica que los hace.

En esta forma la implementación con ROM es muy sencilla puesto que lo único que hay que hacer en el diseño combinacional es la tabla de verdad, tomando a las variables de entrada como direcciones y a las salidas como contenido. Así en la Fig. VI.7 se muestra la implementación del ejemplo 5.13 con un ROM.

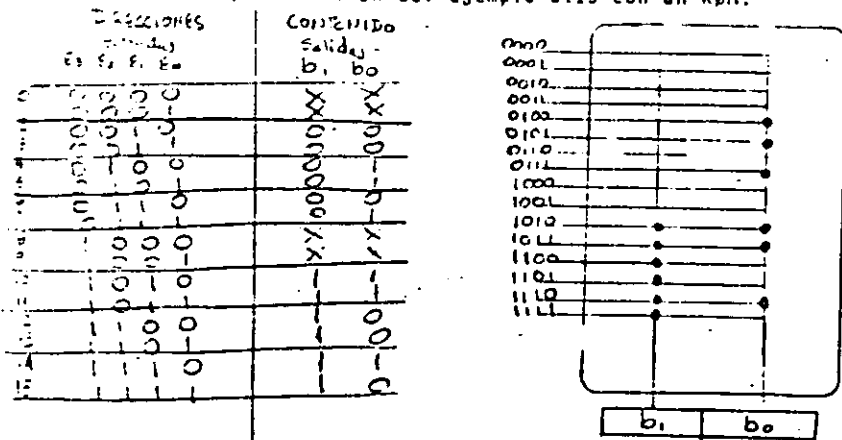
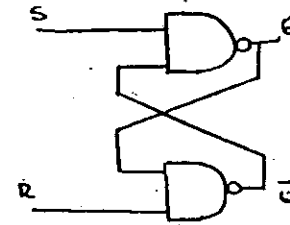
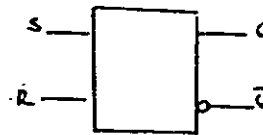


Fig. VI.7 Implementación ROM de ejemplo 5.13.



FLIP/FLOPS

1) R.S.



S	R	Q ⁿ	Q ⁿ⁺¹
0	0	0	Q ⁿ
0	0	1	Q ⁿ
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	Q ⁿ

pero $Q^{n+1} = 0$
pero $Q^{n+1} = 1$ } No permitidas.

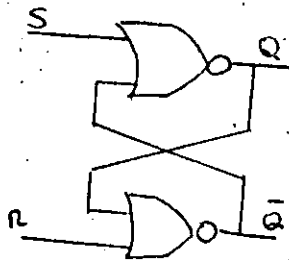
Aún cuando no están permitidas, ambas condiciones son perfectamente válidas.

Problema: Si de $R = S = 1$ pasamos a $R = S = 0$

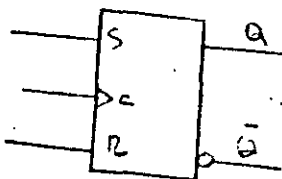
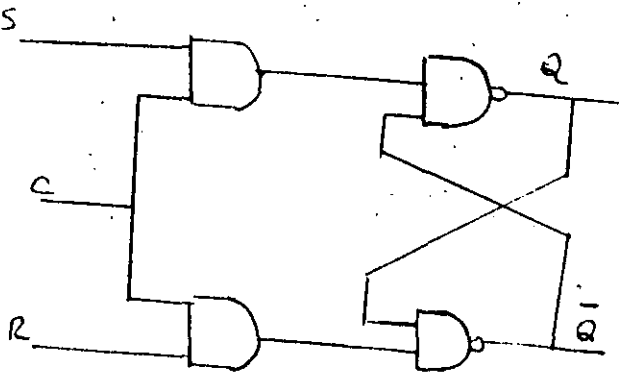
con $R = S = 1$, $Q = \bar{Q} = 0$

al poner $R = S = 0$ y teniendo $Q = \bar{Q} = 0$, todas las entradas a las compuertas son 0 y las salidas tenderán a 1 simultáneamente, no se puede predecir (técnicamente) cuál quedará en 1.

Si en vez de NOR se emplean NAND'S se invierte el problema.



2) .- S-R con reloj.

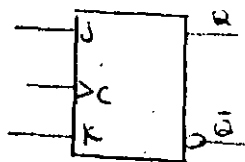


Sólo se producirá su cambio cuando el reloj este alto

R	S	Q^{n-1}
0	0	Q^n
0	1	1
1	0	0
1	1	No permitido

Cuando baja el reloj, las entradas a las NOR son 0 y hay carrera.

3) .- J.K.

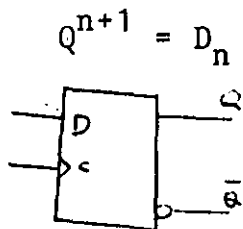


J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

$$Q^{n+1} = J^n \overline{Q^n} + \overline{K^n} \cdot Q^n$$

4) .- D

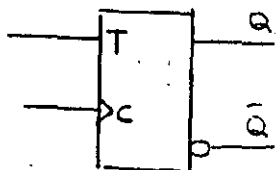


$$Q^{n+1} = D^n$$

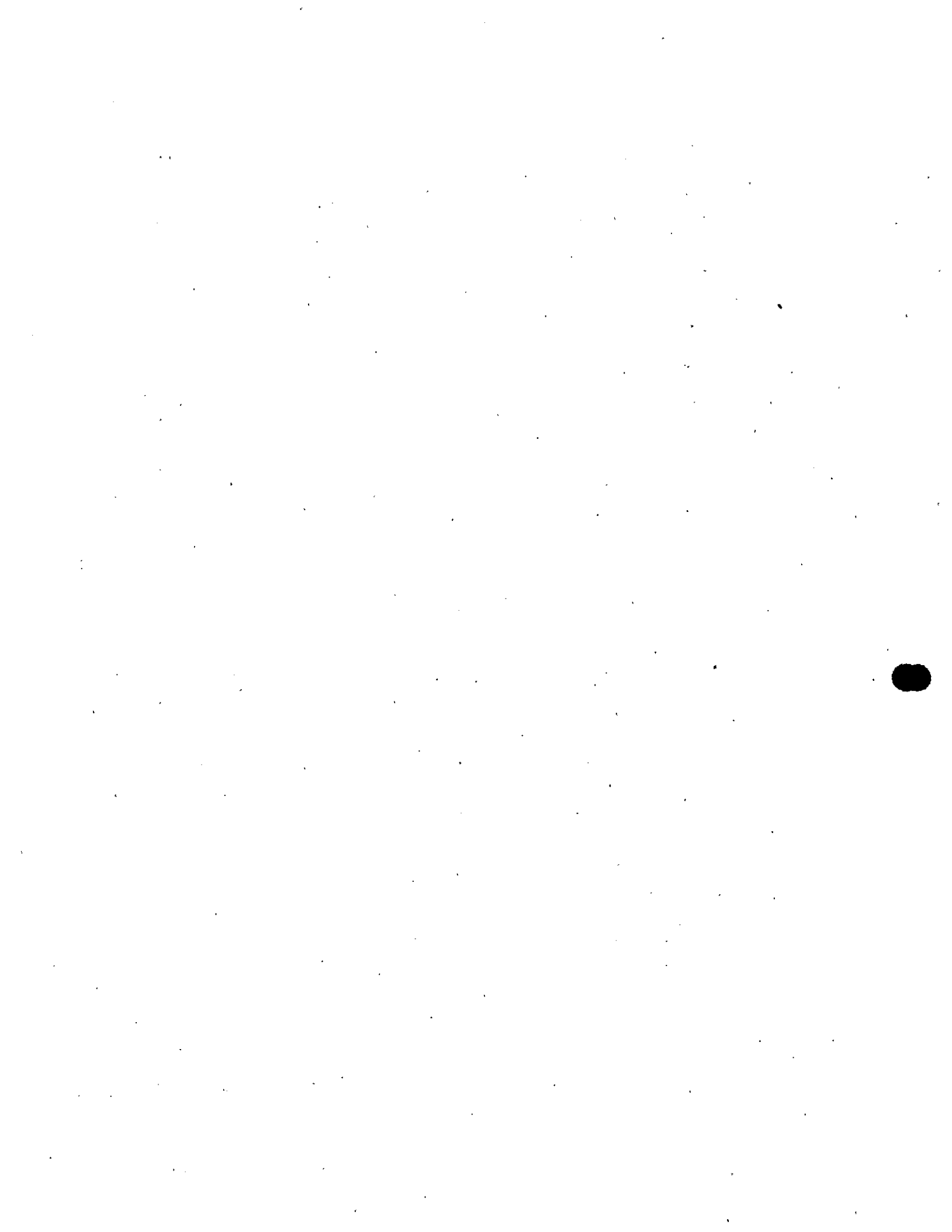
Q^n	D^n	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

5) .- T

$$Q^{n+1} = T^n \overline{Q^n} + \overline{T^n} Q^n$$



Q^n	T^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0



MAQUINAS SECUENCIALES MODO RELOJ

INTRODUCCION:

¿Qué es un circuito secuencial?. Este es a groso modo una máquina* la cual procede ya sea mecánica y/o eléctricamente sobre un conjunto de estados físicos distinguibles, y el orden en que procede sobre éstos depende de alguna secuencia de los estados de entrada. Usualmente el funcionamiento interno de tal máquina está restringido para que sea estrictamente determinístico, esto es, dado un estado externo Q ($Q = 1, 2, \dots, M$), un estado interno X ($X = 1, 2, \dots, N$), para algún tiempo t , existe una y sólo una posibilidad de transición y que es algún nuevo estado K . Es conveniente para propósitos presentes asumir que un tiempo de transición (llamado reloj) está siempre bien definido.

En la vida real podemos encontrar muchos ejemplos de sistemas secuenciales; los cuales podemos resolver por medio de máquinas secuenciales, uno de estos sería un circuito de conmutación, tal como la unidad de control de una computadora en donde señales discretas son recibidas e interpretadas dando lugar a salidas de acuerdo a la secuencia en la cual las señales de entrada han sido recibidas. Estos sistemas lógicos podemos decir que son de estado finito dado que podemos conocer todas los estados involucrados en el sistema, por ejemplo los mecanismos de un elevador; el mecanismo no recuerda todas las solicitudes previas de servicio sino que solamente el piso corriente actual, la dirección del movimiento (arriba o abajo) y la colección de soli

* Una máquina no necesita ser un ente físico tal como una computadora ó computadora como máquina; cualquier sistema discreto en el tiempo, físico o abstracto, tanto como éste pueda ser descrito por el modelo matemático definido anteriormente es una máquina secuencial.

citades no satisfechas. Si analizamos los ejemplos anteriores, los sistemas suman la información concerniente a entradas pasadas que son necesitadas para determinar el funcionamiento del sistema sobre subsecuentes entradas. Como podemos observar, estos sistemas nos permiten detectar secuencias de eventos lo cual es muy importante cuando se diseñan procesos o ejecutan análisis.

Así quizá la razón más importante para el estudio de sistemas secuenciales de estado finito es la naturaleza del concepto como se indica del hecho de que surge en muchos y diversos lugares. Esto es una indicación de que tenemos capturada la noción de una clase fundamental de sistemas, una clase que es rica en estructura y aplicación potencial.

Ahora bien, para darle un carácter más formal a los sistemas lógicos secuenciales, el funcionamiento operacional de éstos que generalmente es descrito de una forma verbal, lo haremos por medio de un modelo matemático llamado máquina* secuencial de estado finito o máquina de estado finito (MEF) este modelo lo podemos representar en forma de una tabla o diagrama, pero también el modelo de máquina de estado se puede representar por dos conjuntos de funciones de conmutación, una es llamada la función de estado siguiente y la otra, función de salida. Dos modelos básicos de autómatas determinísticos de estado finito (autómata o máquina serán sinónimos para nosotros) serán definidos.

MODELOS BASICOS

Definición 1.

Una máquina secuencial determinística o máquina de Mealy es un sistema que puede ser caracterizado por una 5-tupla $M = (C, Q, I, \delta, \lambda)$ con las siguientes especificaciones:

1. C es el conjunto finito no vacío de símbolos de entrada C_1, C_2, \dots, C_j a los cuales llamaremos calificadores.
2. Q es el conjunto finito no vacío de estados internos q_1, q_2, \dots, q_n .
3. I es el conjunto finito no vacío de símbolos de salida I_1, I_2, \dots, I_w .
4. δ es la función de estado siguiente el cual mapea
$$Q \times C \xrightarrow{f} Q$$
5. λ es la función de salida la cual mapea
$$Q \times C \longrightarrow I$$

Definición 2.

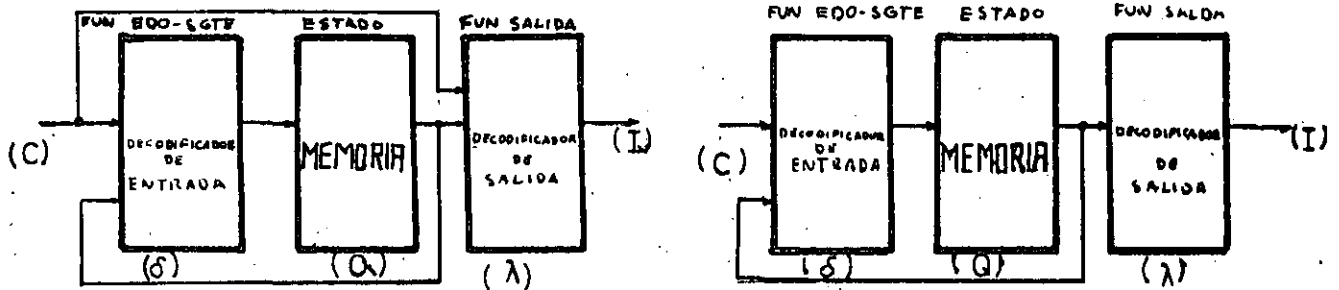
Una máquina secuencial determinística se dice que es una máquina de Moore si su función de salida es función únicamente del estado, esto es:

$$\lambda: Q \longrightarrow I$$

Funcionamiento y diferencia de los circuitos secuenciales. Estos modelos pueden aplicarse a problemas tradicionales de control tanto como a muchos otros problemas secuenciales como lo es en programas comúnmente usados, tales como, editores de texto y analizadores léxicos que son usados en la mayoría de compiladores. Como este trabajo trata acerca de circuitos secuenciales modo reloj, el modelo visto anteriormente lo emplearemos para el diseño de estos circuitos.

Desde el punto de vista de construcción física de los circuitos secuenciales, pueden dividirse dentro de dos clases; circuitos secuenciales con reloj (síncronos) y circuitos secuen-

ciales sin reloj (asíncronos) para ambos tipos de circuitos el modelo de máquina de estado es válido, así en la Fig. 1 podemos observar la representación con diagramas de bloque de una máquina secuencial de acuerdo a los modelos de Mealy y Moore.



Máquina de Mealy

Máquina de Moore

Fig. 1 Representación de los modelos de Mealy y Moore con diagramas de bloque.

En esta figura observamos tres elementos: la función de estado siguiente, el estado y la función de salida.

A las entradas y a las salidas de este modelo los llamaremos calificadores e instrucciones respectivamente.

El estado de una máquina es la propiedad de esa máquina la cual relaciona las entradas a las salidas de tal forma que el conocimiento de la entrada en función del tiempo (f) para $t \geq t_0$ y el estado para $t = t_0$ completamente determina la salida para todo $t > t_0$. En términos de máquina de estado, esto significa que la máquina deberá tener memoria para obtener la información suficiente para determinar la salida y el estado siguiente si las entradas presentes son conocidas. En las máquinas secuenciales modo reloj la memoria está constituida por circuitos biestables llamados flip-flops. Un diferente estado está definido para cada combinación de bits almacenados, lo cual significa que hay 2^n posibles estados por cada n flip-flops.

Como un flip-flop puede almacenar un uno(1) o un cero (0) entonces diremos que un flip-flop almacena una variable discreta a la cual llamaremos "variable de estado". A cada variable le daremos un nombre tal como A,B,C1, al grupo de variables que nos forman el estado las pondremos juntas con la operación concatenación entre cada variable de estado, así si A,B,C son las variables de estado, entonces el Estado = CBA será una forma de declarar el estado. Si A=1, B=1, C=0 el estado en particular puede ser representado por el código 011.

Cada estado de la máquina tiene un estado que le sigue determinado por la Función de Estado siguiente. El Tiempo de Estado (el tiempo que dura un estado en la memoria) está determinado por una entrada periódica llamada reloj, éste no contiene ninguna información en el sentido que no determine cual cambio de estado ocurrirá cuando; simplemente sincroniza los cambios de estados. Este reloj actúa directamente sobre los flip-flops. Al final de cada tiempo de estado, el estado siguiente se convierte en estado presente. La función de estado siguiente, depende del estado presente Q y de las entradas o calificadores C. Si el tiempo básico de estado está representado por T y K es un entero, entonces Q(KT) representa el estado para el tiempo, discreto KT. Usando esta terminología, la función de estado siguiente, δ , puede ser definida como sigue:

$$Q((K+1)T) = \delta [Q(KT), C(KT)]$$

La función de salida genera un conjunto de salidas o instrucciones I, del estado y de la información de entrada para cada estado, la función de salida λ , puede ser definida como sigue

$$I(KT) = \lambda [Q(KT), C(KT)]$$

La operación de una máquina de estado finito es cíclica, alcanzando condiciones de estado estable durante cada tiempo, KT . El estado, y consecuentemente el estado siguiente y las salidas son definidas únicamente durante el período estable del tiempo de estado.

La figura 2 muestra la división del tiempo de estado que consta de un período de transición seguido por un período estable. El período de transición está determinado por los retardos del circuito. La longitud del período estable es la diferencia entre el tiempo de estado y el tiempo de transición, esta longitud de tiempo deberá ser mayor de cero para que la máquina de estado pueda ser definida. Por lo tanto el tiempo de estado deberá ser mayor que el tiempo de transición. La operación de la máquina de estado puede ser visualizada como una serie de pasos en los que en cada tiempo de estado podemos obtener salidas.

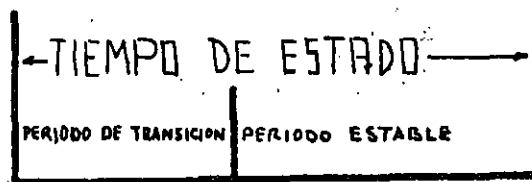


Figura 2. Tiempo de estado.

En las máquinas secuenciales asíncronas no existe el reloj por tanto el tiempo de estado está determinado de una forma diferente, también el almacenaje de información se realiza de diferente manera a las máquinas modo reloj, esto es, las máquinas secuenciales asíncronas no tienen flip-flops como memoria, para una mayor discusión de estas máquinas refiérase a la bibliografía dada al final de este trabajo.

MAQUINAS SECUENCIALES MODO RELOJ.

Anteriormente hemos visto que una máquina modo reloj es aquella que se apega al modelo de Mealy o de Moore y cuya memoria está constituida por unos dispositivos llamados Flip-Flops, los relojes de estos Flip-Flops deberán estar todos unidos, porque éste es el punto por donde entra la señal periodica llamada Reloj. Existen otras máquinas secuenciales que se apegan a los modelos de Mealy y Moore y su memoria también está constituida por Flip-Flops, pero la diferencia de éstas máquinas con las primeras es que la señal periódica llamada reloj, no entra directamente a los relojes de los Flip-Flops, sino que lo hace indirectamente a través de compuertas, a éstas máquinas se les denomina Modo Pulso.

A continuación veremos cual es el proceso que se sigue en el diseño de máquinas secuenciales modo reloj (éste proceso con algunas variantes se puede aplicar a las máquinas-Modo-Pulso y Modo Nivel (asíncronas)).

Ahora veremos el proceso de diseño de una máquina modo reloj para esto usaremos las técnicas modernas de diseño de éstas máquinas, durante el proceso de diseño haremos comentarios de éstas técnicas comparadas con las técnicas tradicionales y que no veremos en éste trabajo debido a la brevedad de éste y a que se encuentran en la mayoría de los libros referentes a este tema.

Para diseñar una máquina deberemos de partir de las especificaciones verbales de ésta, pero para evitar confusiones de palabras recurriremos a ciertas ayudas como son los diagramas ASM, veamos que son éstos diagramas y como pueden auxiliar en nuestros diseños.

EL DIAGRAMA ASM COMO DESCRIPCION DE LOGICA.

Aquí describimos los símbolos básicos usados en la formación de un diagrama ASM (Algoritmo de Máquina de Estado). El diagrama ASM es una descripción grafica de la función

de sa
ACION

lida y la función de estado siguiente de una máquina de estado. Los símbolos usados son caja de Estado, caja de Decisión, caja de salida condicional y bloque ASM.

EL DIAGRAMA ASM.

El diagrama ASM tiene tres elementos básicos: el estado, el calificador y la salida condicional. Un único estado es indicado por una caja de estado la cual contiene una lista de las salidas para dicho estado, Fig. 3.

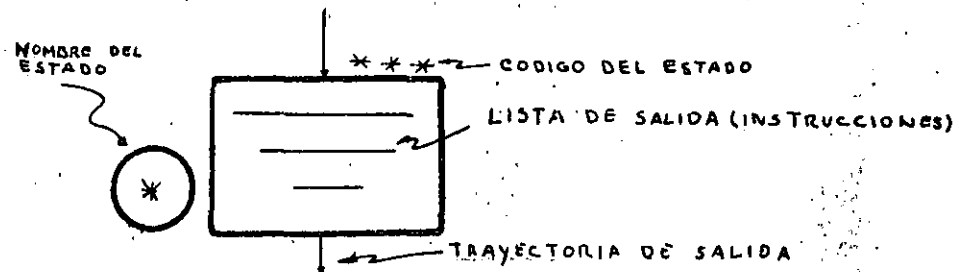


Fig. 3. Caja de estado para un estado único.

El estado tiene un nombre, letra o número, enmarcado dentro de un círculo en el lado izquierdo de la caja. El código del estado es puesto en el borde superior de la caja. La lista de salida consiste de mnemónicos seleccionados de un conjunto definido de operaciones. La caja de decisión describe las entradas para el estado de la máquina. La estructura de una caja de decisión está dada en la Fig. 4.

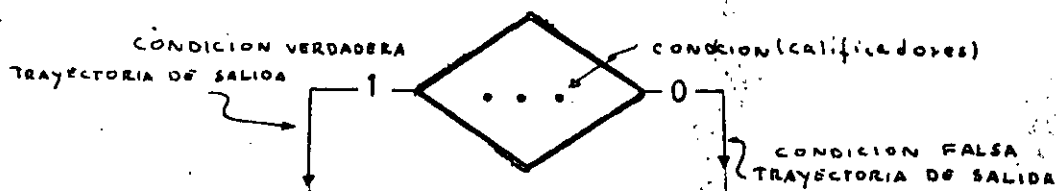


Fig. 4

Caja de decisión para un calificador.

Cada caja de decisión tiene dos trayectorias de salida. Una trayectoria es tomada cuando la condición dentro de la caja es verdadera y la otra cuando la condición es falsa. Las en

tradas son llamadas calificadores en el sentido que ellas califican una salida o una transición. Aquí deberemos apuntar que las trayectorias de salida de ninguna forma describen dependencia con el tiempo. Ellas sólo representan relaciones lógicas. La caja de estado es el único elemento que representa al tiempo.

La caja de salida condicional describe otras salidas, las cuales son dependientes de una o más entradas en adición al estado de la máquina. La estructura de una caja de salida condicional está dada en la figura 5.

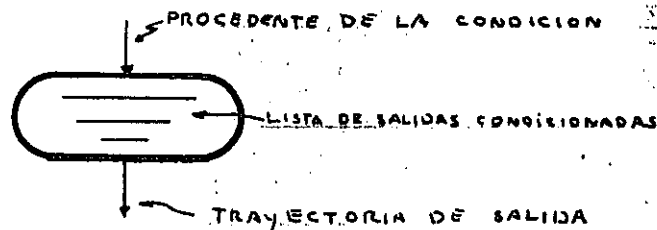


Fig. 5 Caja de salida condicional.

Un bloque ASM es una estructura que consiste de una caja de estado y una red de cajas de decisión y cajas de salida condicional.

Un bloque ASM tiene una entrada y cualquier número de trayectorias de salida representada por la estructura de la caja de decisión como se muestra en la Fig. 6.

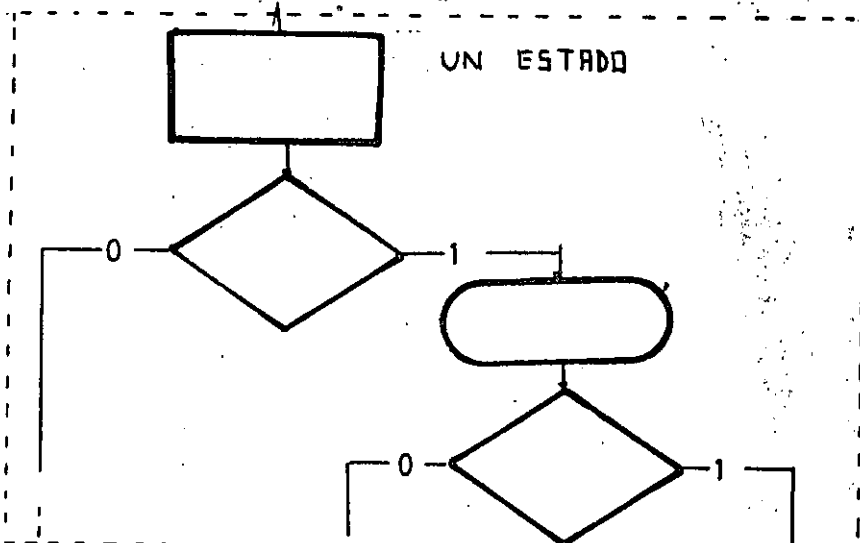
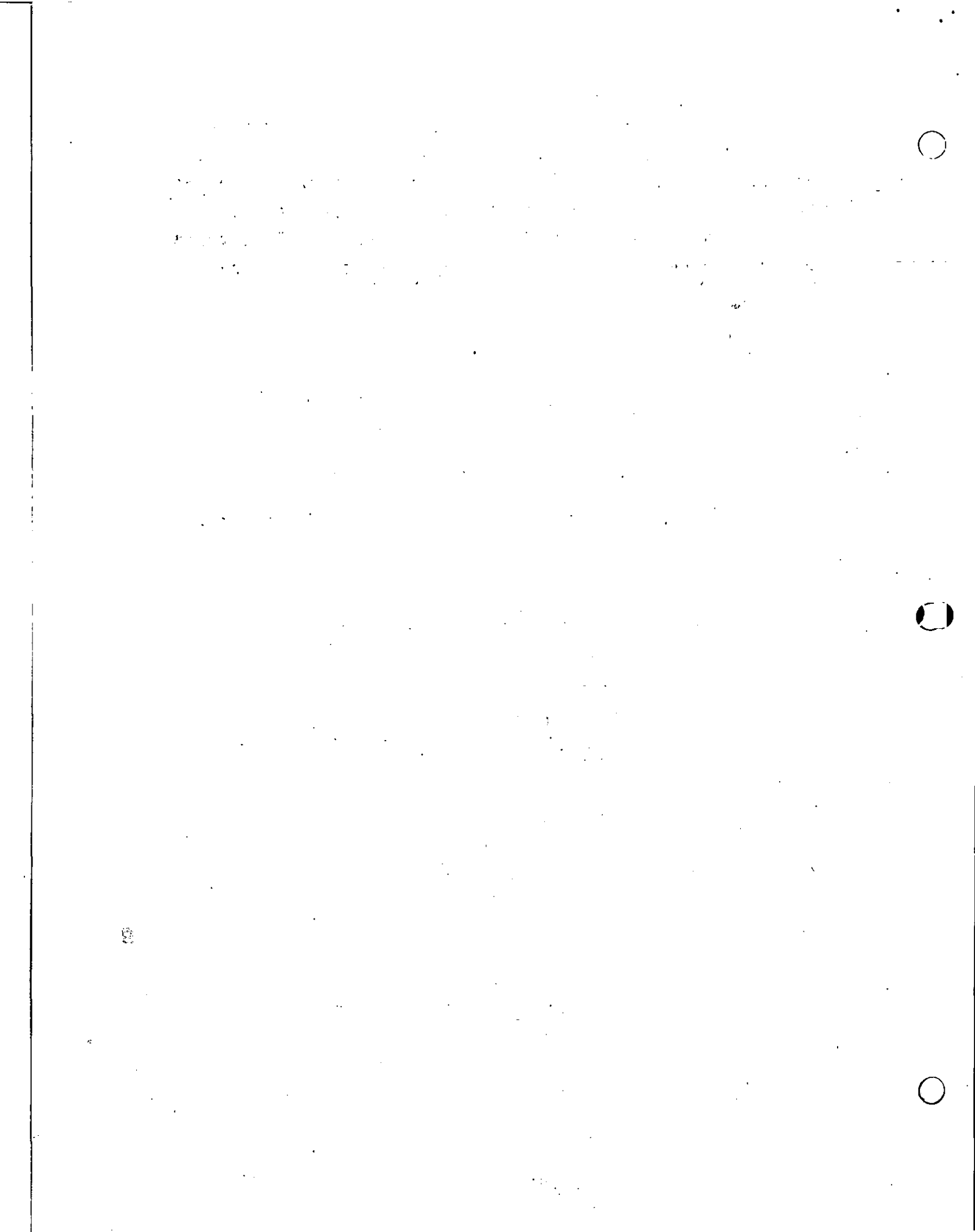


Fig. 6. El bloque ASM. Cada ASM describe la operación de la máquina de estado durante un tiempo de estado.



Las figuras 11 y 12 nos representan posibles trayectorias de liga y equivalencia de bloques ASM.

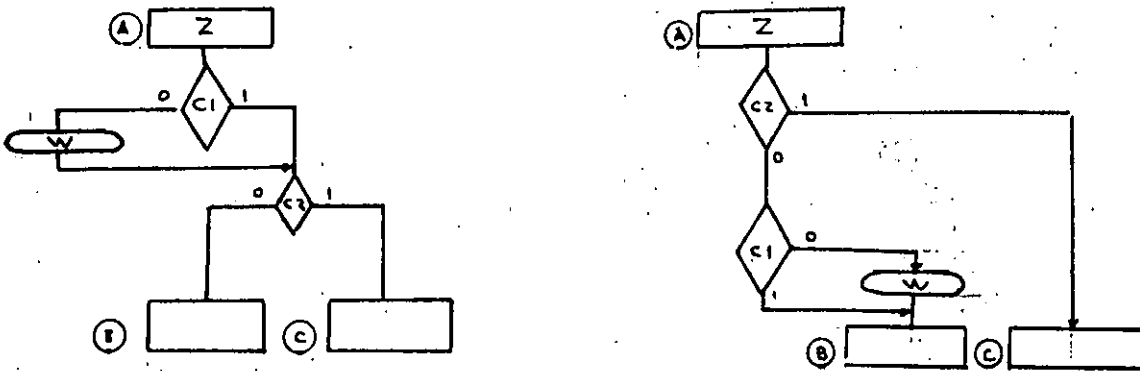


Fig. 11. Dos posibles trayectorias de liga.

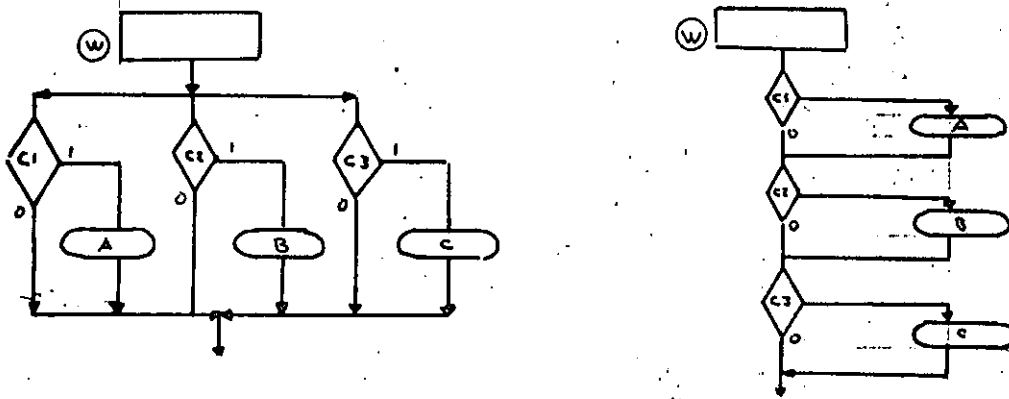


Fig. 12. Dos descripciones equivalentes de un bloque ASM.

DISENO DE MAQUINAS DE ESTADO *

Podemos considerar que el diseño de máquina de estado se puede definir en tres etapas: Definición, Descripción y Síntesis.

La primera etapa que es la Definición es la etapa que tiene que ver con el diseño del sistema; esto es generalmente

* Con esto nos referimos al diseño digital de máquinas de estado, puesto que nosotros podemos diseñar una máquina de estado desde el punto de vista puramente lógico (esto es, etapa de definición y descripción) sin tener que pasar a la etapa de síntesis, así esto nos llevaría a un diseño puramente de papel. (Aquí lo enfocaremos hasta la etapa de síntesis).

el tipo de arquitectura, diagrama de bloques, identificación de las terminales de entrada y salida, el algoritmo que describe el funcionamiento de la máquina, identificación del tipo de máquina (síncrona o asíncrona) y diagramas de tiempo. La etapa correspondiente a la etapa de descripción se refiere a los detalles de las operaciones lógicas que realiza la máquina de estado, esto es; su diseño lógico, aquí podemos incluir los diagramas ASM (algoritmo de máquina de estado), las ecuaciones lógicas, mapas de Karnaugh o cualquier otro método de minimización de funciones booleanas. Y finalmente a la etapa de síntesis le corresponde el diseño del Hardware, esto es la circuitería que ejecuta la Descripción, aquí podemos incluir los diferentes tipos de tecnologías como son SSI (Integración de pequeña escala), MSI (Integración de mediana escala) y LSI (Integración de gran escala), así como sus configuraciones empleadas.

Pues bien, para ver el proceso de diseño lo haremos mediante un ejemplo. Este ejemplo lo resolveremos en 7 pasos, aunque para el diseñador experimentado este número de pasos se puede abreviar, pero como aquí estamos aprendiendo lo desglosaremos enteramente el problema en tales pasos. (Cada paso será comentado).

EJEMPLO 1; Se desea diseñar un circuito que reduzca la frecuencia de los pulsos que se encuentran en su entrada, esto lo controlaremos mediante una señal S, así cuando la señal S se encuentre ausente, en la terminal de salida del circuito aparecerá un pulso por cada cuatro pulsos de entrada y cuando la señal S se encuentre presente aparecerá un pulso por cada tres pulsos de entrada.

Solución: Los tres primeros pasos corresponden a la etapa de definición.

PASO 1: Este primer paso es en el cual se reciben las especificaciones del problema. (En este caso el enunciado ya dado o algún circuito que deseamos diseñar).

PASO 2: Quizá este paso sea el más importante de todo el diseño pues aquí debemos pasar un buen tiempo estudiando las especificaciones del problema para obtener el suficiente conocimiento del funcionamiento real del circuito (esto es, entender perfectamente qué es lo que nos están pidiendo o qué es lo que nosotros queremos diseñar). Así para este problema primeramente podemos observar que ya sea que la señal de control se encuentre ausente o presente, el funcionamiento será cíclico, esto nos lleva a que debemos diseñar una máquina secuencial, si consideramos que los pulsos de entrada al circuito son repetitivos (y son los que vamos a dividir) lo podremos considerar como el reloj de la máquina, así esto nos lleva al diseño de una máquina modo reloj.

PASO 3: Aquí hacemos el diagrama de bloques de nuestro circuito, así como la identificación de las entradas y salidas de esto, al mismo tiempo generamos un diagrama de flujo que muestre el funcionamiento de la máquina y aún más para que quede completamente descrita ésta (perfectamente entendible) la acompañaremos de un diagrama de tiempos.

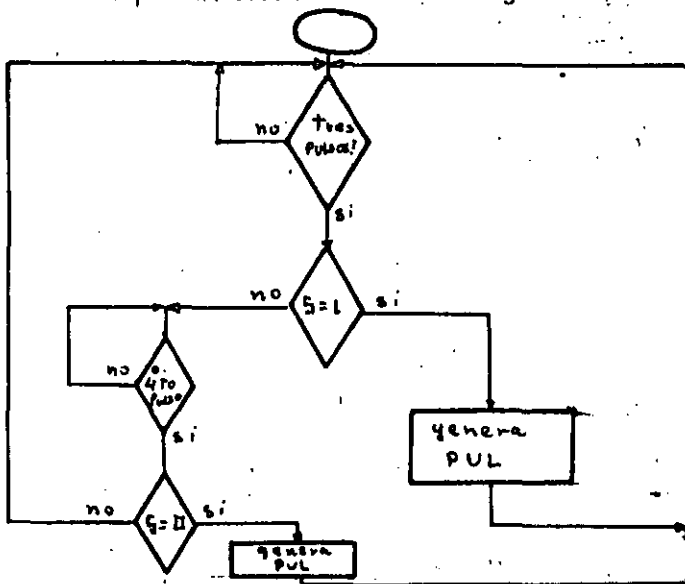


Diagrama de flujo
(a)



Diagrama de bloque
(b)

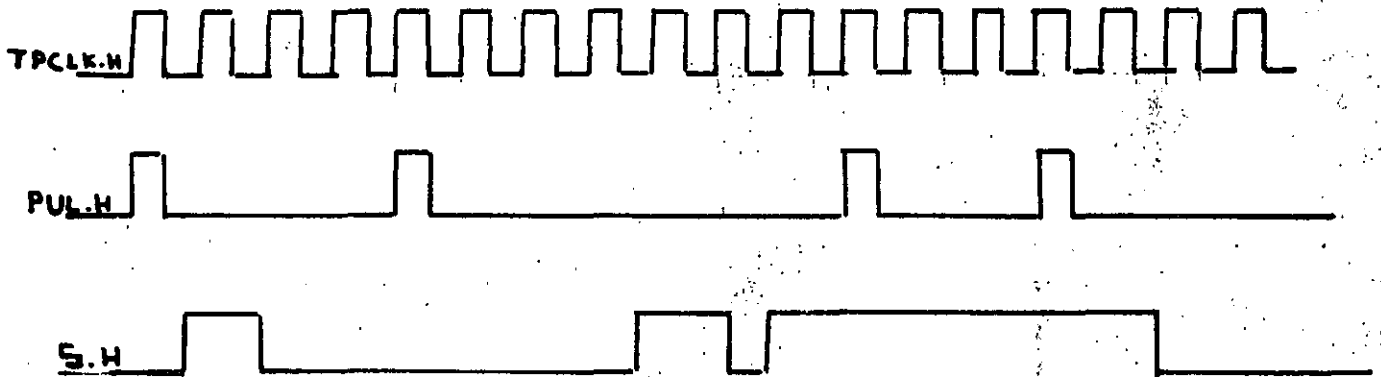


Fig. 14. Digrama de Tiempos

Definición de las entradas: S.H es la señal de entrada que controla la generación de los pulsos de salida, le hemos asignado un elemento de polarización, así cuando el voltaje sea alto $S = 1$.

TPCLCK,H es el tren de pulsos al cual le vamos a reducir su frecuencia, y también puede pensarse como el reloj el cual hace que la máquina funcione cíclicamente con cada borde de subida de éste, igualmente le hemos asignado un elemento de polarización.

Definición de las salidas: PUL.H está definida como la salida de este circuito, la cual es generada después de haber entrado tres o cuatro pulsos a la máquina y haber verificado el valor de S. El diagrama de tiempo muestra esto claramente.

PASO 4: Diseño del diagrama ASM Como habíamos visto anteriormente, el diagrama ASM es una herramienta importante en el diseño digital. Generar el diagrama ASM óptimo no es una tarea fácil cuando no se tiene experiencia. Dado que el diagrama ASM es una descripción de

la máquina secuencial, podemos empezar a generar nuestro diagrama ASM apoyándonos en el diagrama de flujo que hicimos en el paso número 3. Fig. 13a.

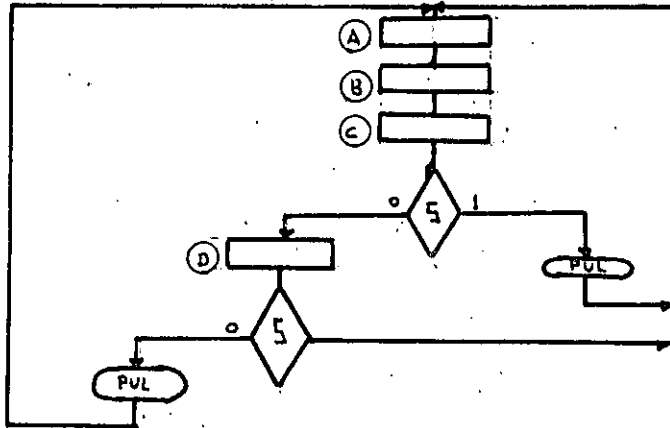


Fig. 15. Diagramas ASM del circuito reductor de frecuencia.

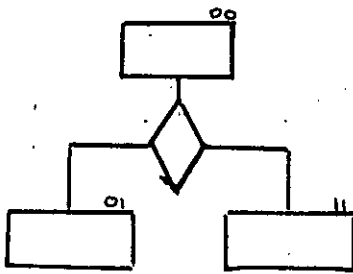


Fig. 16

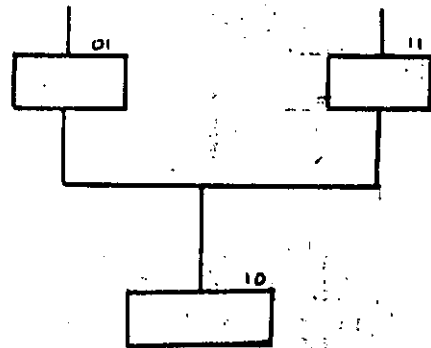


Fig. 17

Este diagrama de flujo fué generado igual que cualquier diagrama de flujo usado para programar una computadora. Un "diamante de decisión" es dibujado cuando requerimos preguntar por una entrada o estado.

Cuando una salida debe ser generada un rectángulo de activación es dibujado.

El diagrama de flujo es similar a un diagrama ASM, pero existe una diferencia importante; los estados son tratados como entradas en lugar de nodos de conmutación (caja de estado). Así el diagrama de flujo deberá ser redibujado con 3 estados iniciales debido a la interrogación inicial, así cada espera será equivalente a un estado, después si el calificador S es cero nos lleva a generar un cuarto estado, si el calificador S es uno podemos generar

una salida para el mismo estado (salida condicionada). Finalmente en el cuarto estado podemos generar una salida dependiendo del valor del calificador S, e iniciamos nuevamente el ciclo, Fig. 15. En este problema únicamente aparece un calificador pero si hubieran existido más, el diagrama lo hubiéramos generado de la misma forma y para transitar de un estado a otro únicamente nos habríamos preguntado por los calificadores involucrados en el cambio de estado y no por todos, lo cual es una forma de hacerlo en el diseño tradicional.

PASO 5: Asignación de estados. Si observamos el diagrama ASM de la figura 15 notaremos que los estados tienen un nombre para poder indentificarlos pero aún no se les ha asignado un código binario.

Anteriormente a las técnicas modernas, la asignación de estados (asignarle un código binario) era muy problemática, ya que al asignar un código binario a cada uno de los estados; éstos estados con sus códigos determinaban la complejidad del decodificador de entrada y el decodificador de salida, ya que éstos se realizaban a base de compuertas y se trataba de obtener el menor número de éstas, actualmente este problema está solucionado, ya que en la realización de los decodificadores de entrada y salida se pueden emplear otros dispositivos, tales como: multiplexores, decodificadores, memorias de lectura únicamente, etc. Con los cuales no es necesario minimizar las funciones de estado siguiente y de salida. Por otro lado la asignación de estados también es importante en el caso de que los calificadores* no sean síncronos, porque nos puede llevar a un mal funcionamiento de la máquina, aunque éste problema también se puede salvar si sincronizamos los calificadores que sean asíncronos. Así ya no siendo tan crítica la asignación de estados seguiremos la siguiente regla para la

* definiremos a un calificador síncrono como aquel que cambia una vez que ha cambiado la señal de reloj.

asignación de estados en el caso de diseñarlo la máquina con compuertas y tener calificadores asíncronos.

Si un estado genera varios estados; esos varios estados deberán ser adyacentes, Fig. 16.

Si varios estados generan un estado esos varios deberán ser adyacentes. Fig. 17.

Procedamos a asignar estados bajo las reglas anteriores, dado que tenemos cuatro estados requeriremos dos variables de estado para asignar códigos a cada estado, Fig. 18.

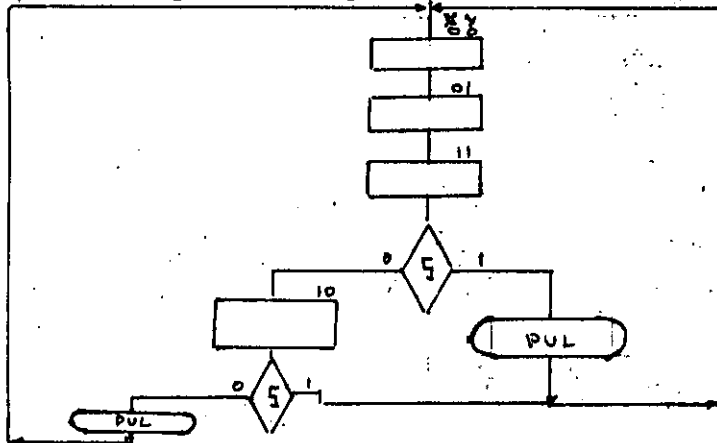


Fig. 18. Diagrama ASM del circuito reductor de frecuencias con su asignación de estados.

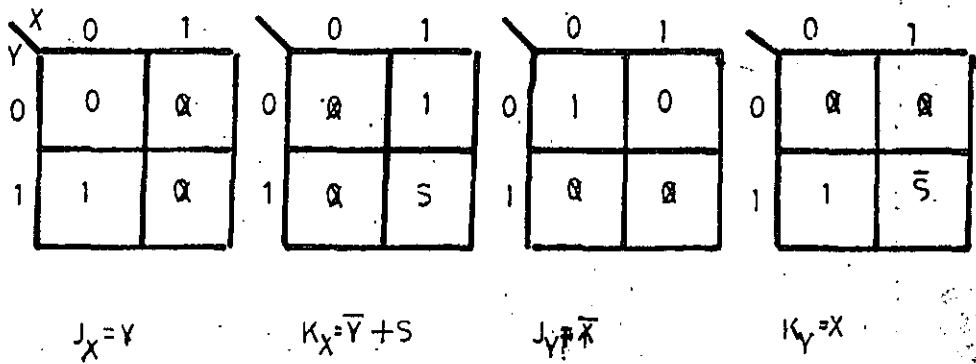
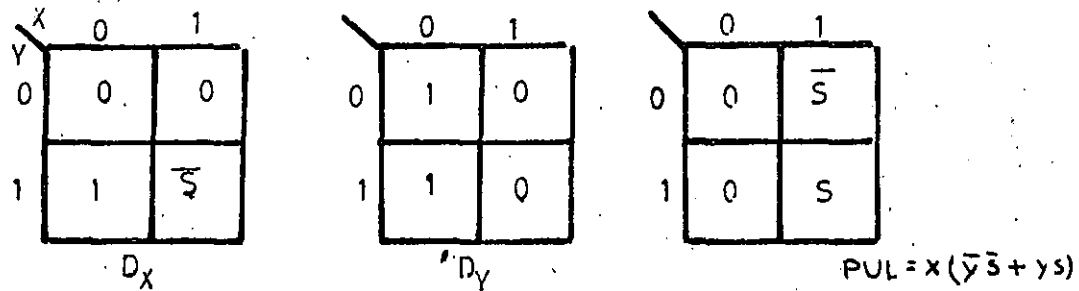
Nótese que la asignación de un código único por estado, no deben existir estados con el mismo código.

PASO 6. Determinación de la función de estado siguiente y de la función de salida. Este paso en el diseño tradicional se acompaña de una tabla de estado presente-estado siguiente, la cual no es más que una tabulación de la información que nos proporciona el diagrama ASM. Esta tabla no es muy práctica, sobre todo cuando el número de calificadores es mayor de dos. Así para determinar las funciones

de estado presente y de salida, lo haremos en base a mapas de Karnaugh, éstos los llamaremos de acuerdo a la información que nos presenta el diagrama ASM con sus códigos asignados y el tipo de flip-flop que seleccionemos como memoria.

Para este problema seleccionaremos Flip-Flops tipo D ya que nos facilita mucho la solución del problema ya que un flip-flop D almacena lo mismo que ve en su entrada y después lo cambiaremos por Flip-Flops tipo J-K.

Los mapas de Karnaugh los llenaremos de acuerdo a la información que nos presenta el diagrama ASM.



Estas ecuaciones corresponden a la etapa de descripción y aquí es donde termina esta etapa o sea que aquí tenemos ya diseñado nuestro circuito secuencial.

PASO 7: Realización física de la máquina secuencial. En este último paso se hace el diagrama eléctrico y la realización física de la máquina secuencial. Aquí haremos el diagrama eléctrico de esta máquina a base de compuertas y flip-flops tipo D, Fig. 19, pero presentaremos los esquemas si es que la máquina se quisiera implementar con otros dispositivos como ya se mencionó anteriormente.

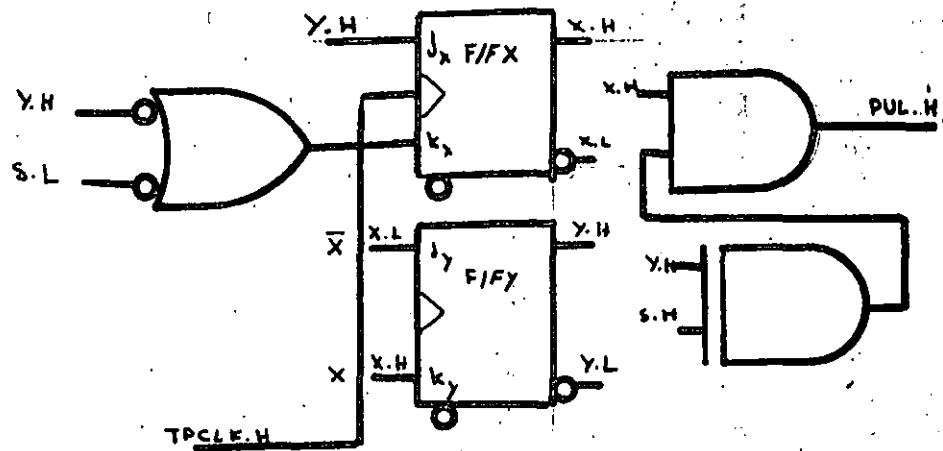


Fig. 19. Circuito eléctrico de la máquina secuencial reductora de frecuencia.

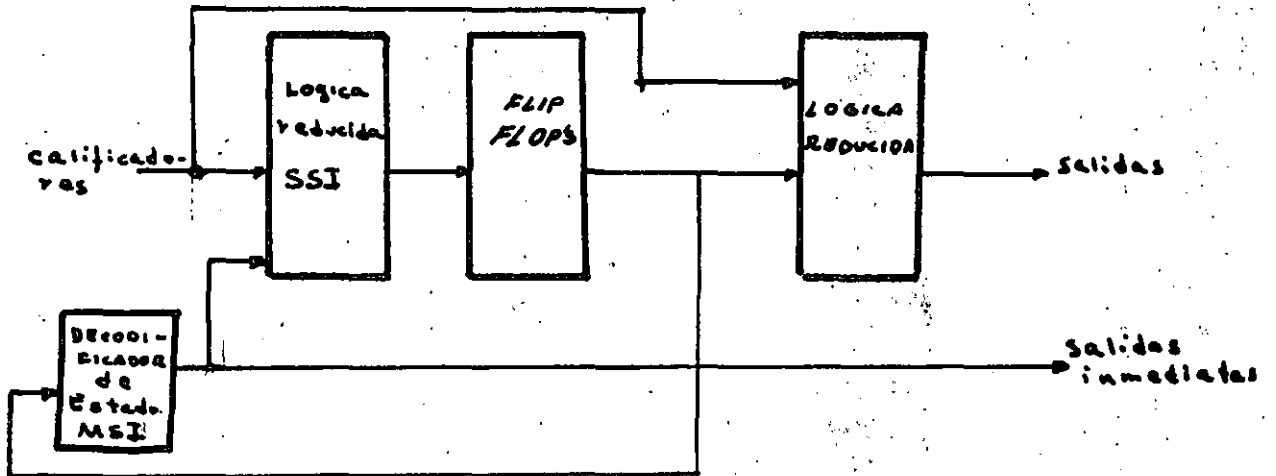


Fig. 20. Configuración general usando decodificadores.

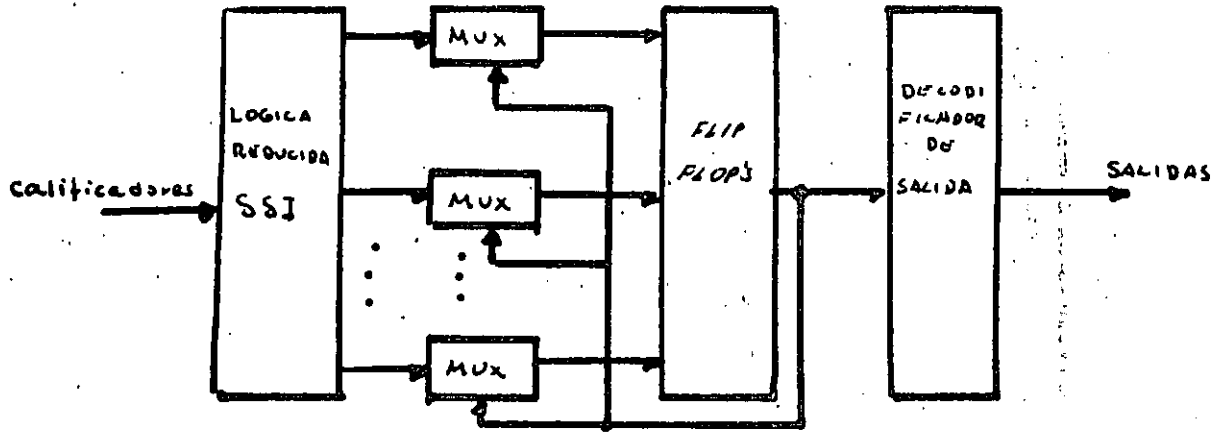


Fig. 21. Configuración usando multiplexores con direccionamiento directo.

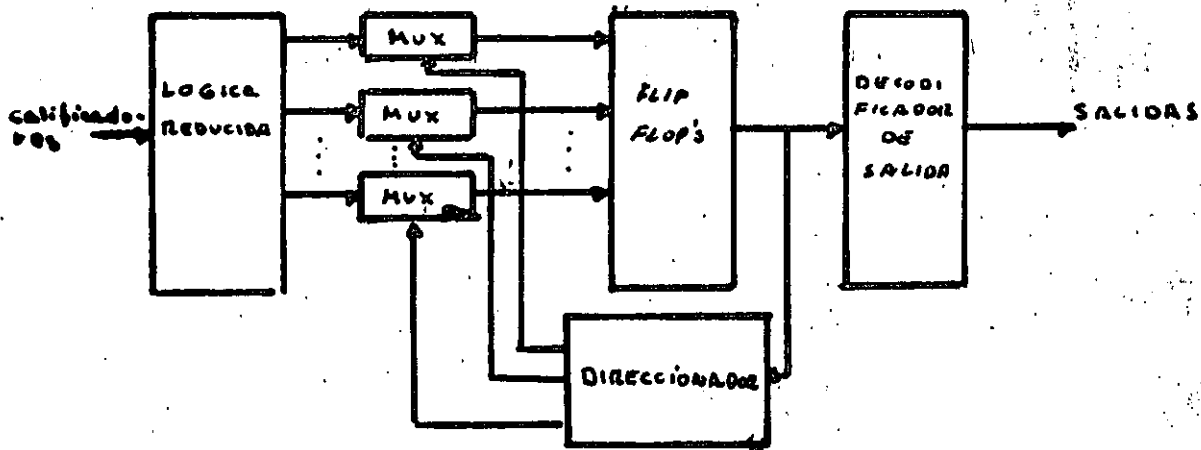


Fig. 22. Configuración usando multiplexores con direccionamiento indirecto.

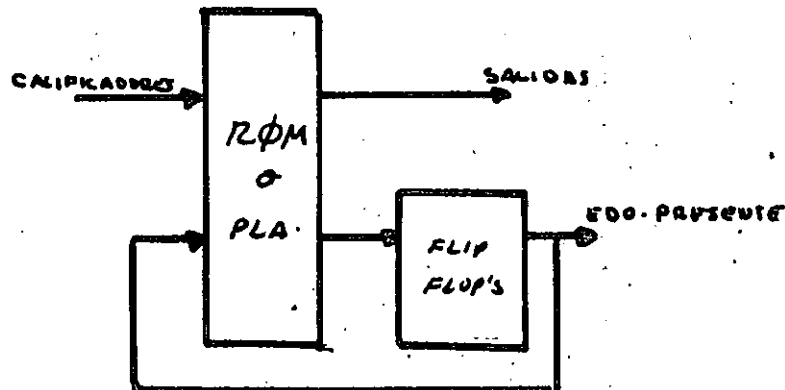


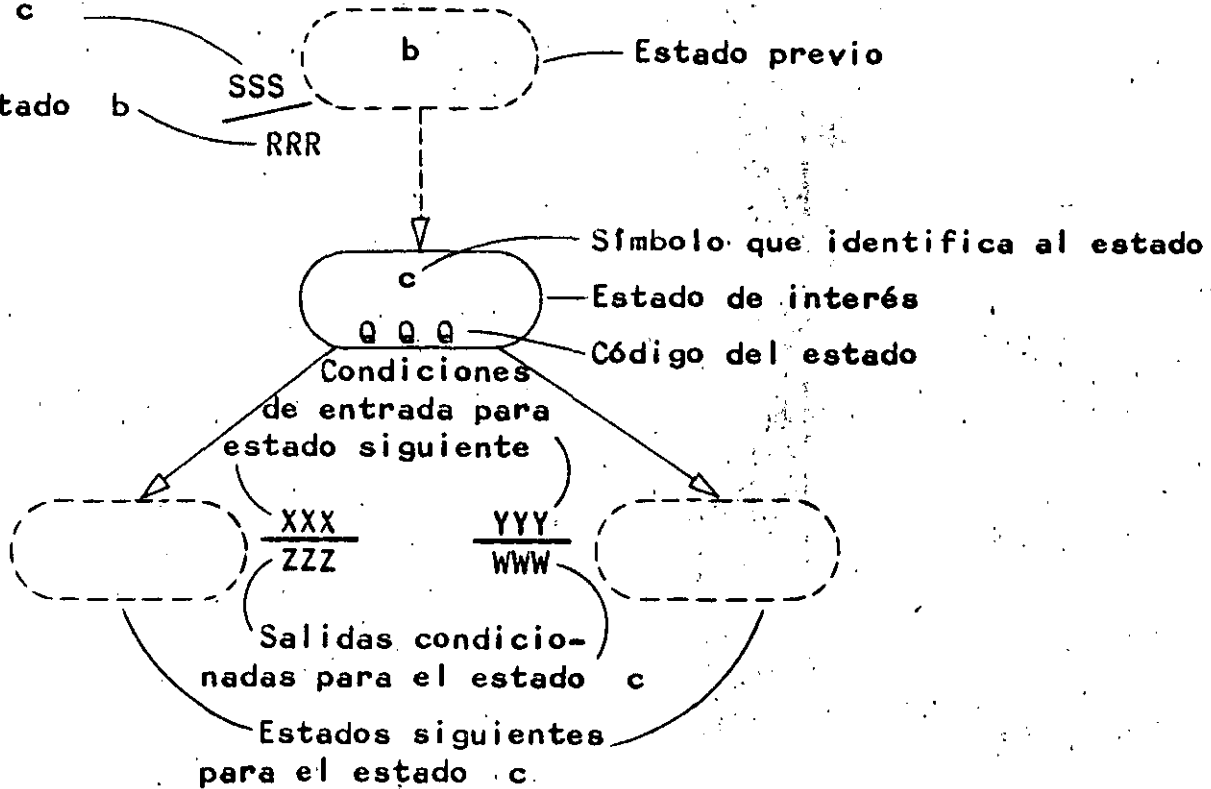
Fig. 23. Configuración usando ROM o PLA.

Una forma alterna de describir el funcionamiento de una máquina secuencial es por medio del uso de diagramas de estado.

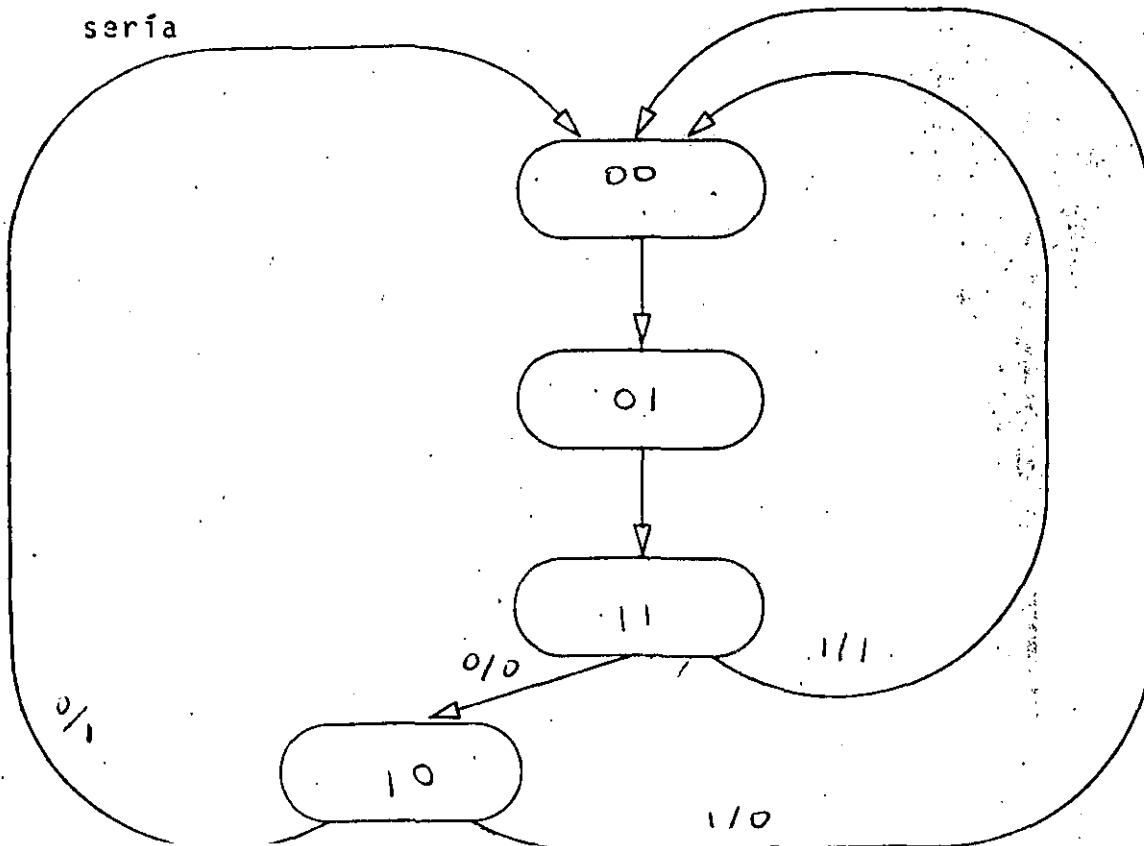
Ejemplo:

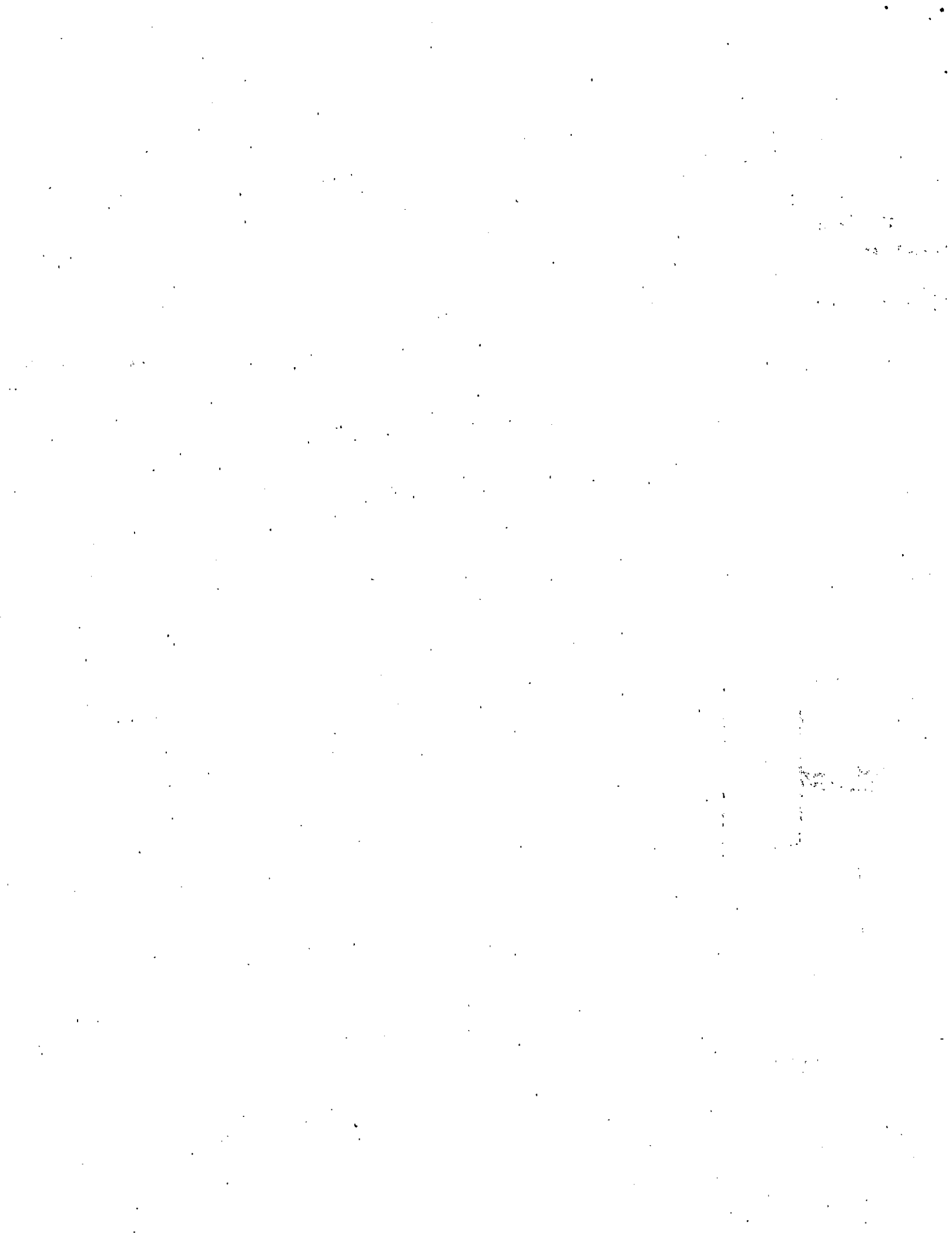
Condiciones de entrada que nos lleven al estado c

Salida para el estado b



Así el diagrama de estado del circuito reductor de frecuencia sería



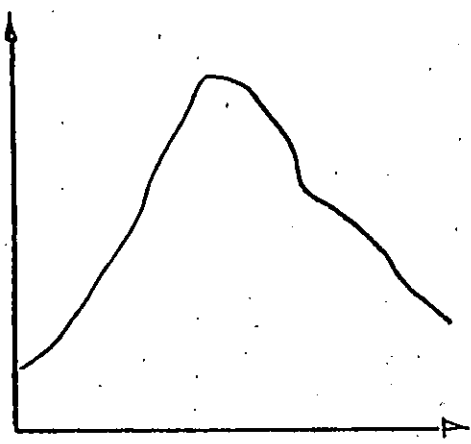


CONVERSION ANALOGICO-DIGITAL Y DIGITAL-ANALOGICO.

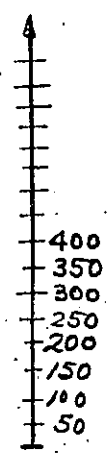
CUANTIZACION Y CODIFICACION

El convertidor analógico-digital es un dispositivo electrónico que realiza una transformación de cualquier señal eléctrica analógica a un patrón binario susceptible de ser manejado por una computadora. Este dispositivo es muy útil en todas aquellas aplicaciones donde una computadora tenga que almacenar información de naturaleza analógica, como puede ser la salida de un sensor de temperatura o presión. Una señal analógica puede adquirir cualquier valor dentro de un rango dado. Una señal digital solo puede adquirir un número finito y fijo de valores dentro del rango. Así, para lograr la conversión de una señal continua en una señal digital, primeramente se divide el rango de la señal continua entre varios valores discretos. A la diferencia entre dos valores discretos contiguos cualesquiera de la señal se le denomina "cuanto". Si el valor del "cuanto" en todo el rango de la señal es constante, al proceso anterior se le denomina "cuantización uniforme o lineal". En la mayoría de los casos la cuantización lineal resulta adecuada, sin embargo, existen algunos casos especiales como la medición de volumen de un fluido en un tanque de geometría irregular donde una cuantización no lineal puede resultar ventajosa.

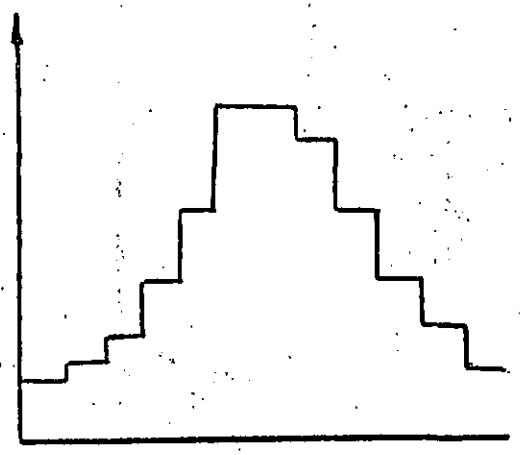
Cuantización es el nombre del proceso que asigna o fija un número discreto de valores para una señal continua, Codificación es el nombre del proceso que asigna un patrón binario a cada uno de los valores discretos, completando así el proceso de conversión de una señal analógica en una señal digital. El código binario puro o sistema binario de numeración es el código mas empleado en el proceso de codificación, sin embargo, existen aplicaciones particulares que requieren los códigos Gray o BCD.



señal eléctrica continua



Cuantización

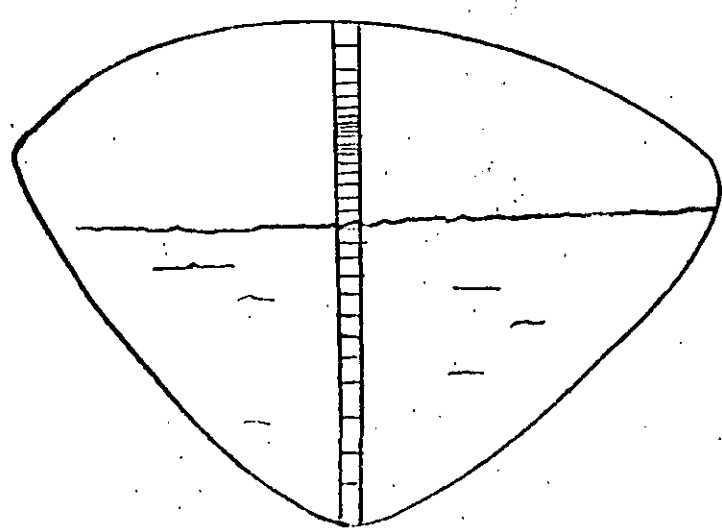


señal cuantizada

Codificación

señal analógica o volts	patrón binario
	000
125 mv	001
250 mv	011
375 mv	010
500 mv	110
625 mv	111
750 mv	101

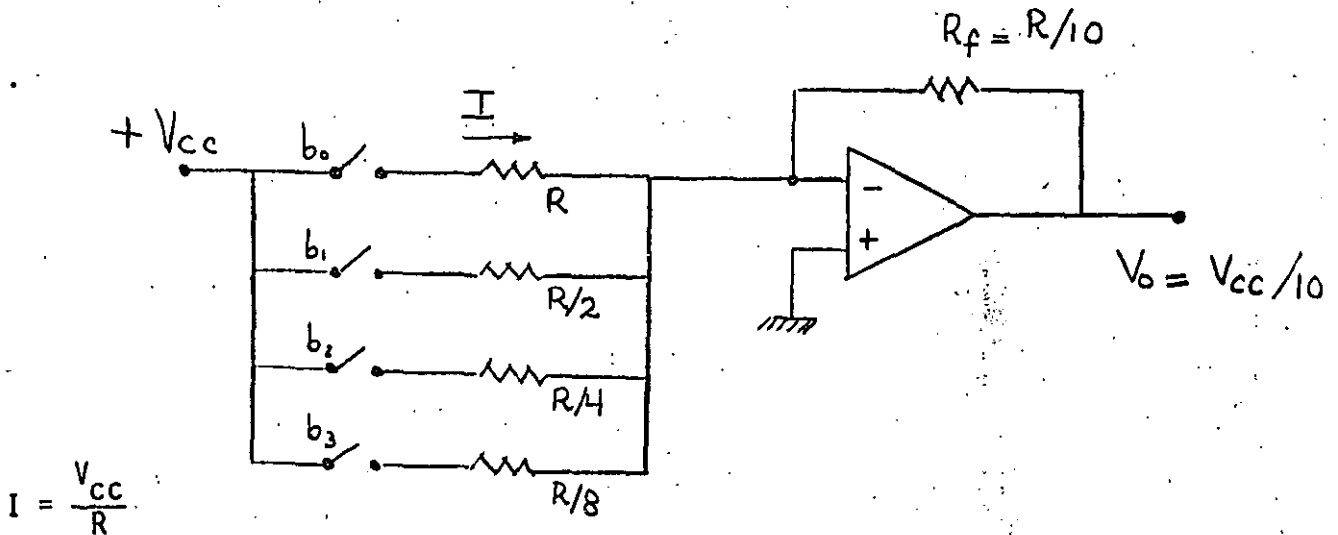
Cuantización no uniforme



El convertidor digital-analógico realiza el proceso inverso al convertidor analógico-digital. Un convertidor digital-analógico produce como salida una corriente o un voltaje proporcional a un patrón binario de entrada. Se discutirán primero los convertidores digital-analógico por ser más simples y porque algunos convertidores analógico-digital emplean convertidores digital-analógico como parte de su circuito.

CONVERTIDORES DIGITAL-ANALOGICO

RESISTIVO: es el convertidor digital analógico más simple y consiste de resistencias de valores precisos proporcionales siguiendo potencias de 2 y un amplificador operacional de muy alta ganancia (mayor de 100.000) baja impedancia de salida y alta impedancia de entrada.



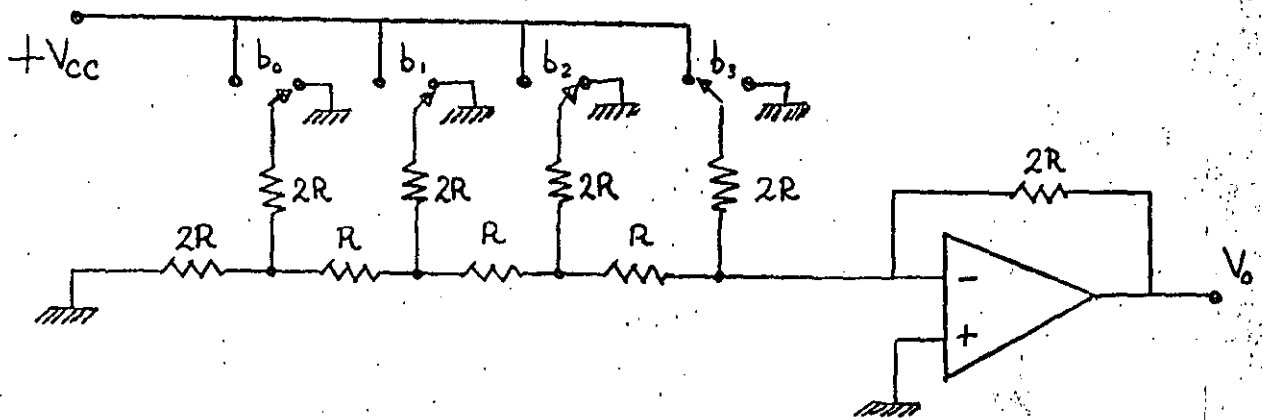
Considerando el interruptor b_0 cerrado, ocurre que por efecto de la tierra virtual que aparece a la entrada negativa del amplificador operacional, una corriente $I = \frac{V_{CC}}{R}$ circula pasando por R y R_f y generando en la salida un voltaje $V_o = R_f I = R_f \times V_{CC} / R = V_{CC} / 10$. Si consideramos ahora el interruptor b_1 cerrado la corriente que circula por la resistencia $R/2$ será igual a $2V_{CC}/10$, el interruptor b_2 cerrado contribuye con $4V_{CC}/10$ y el interruptor b_3 cerrado contribuye con $8V_{CC}/10$.

Los valores de las resistencias del circuito producen corrientes que tienen los mismos pesos que los dígitos del sistema binario de numeración. Si más de un interruptor se cierra, las corrientes de los interruptores se suman en el punto de tierra virtual y circulan por R_f . Así, el voltaje a

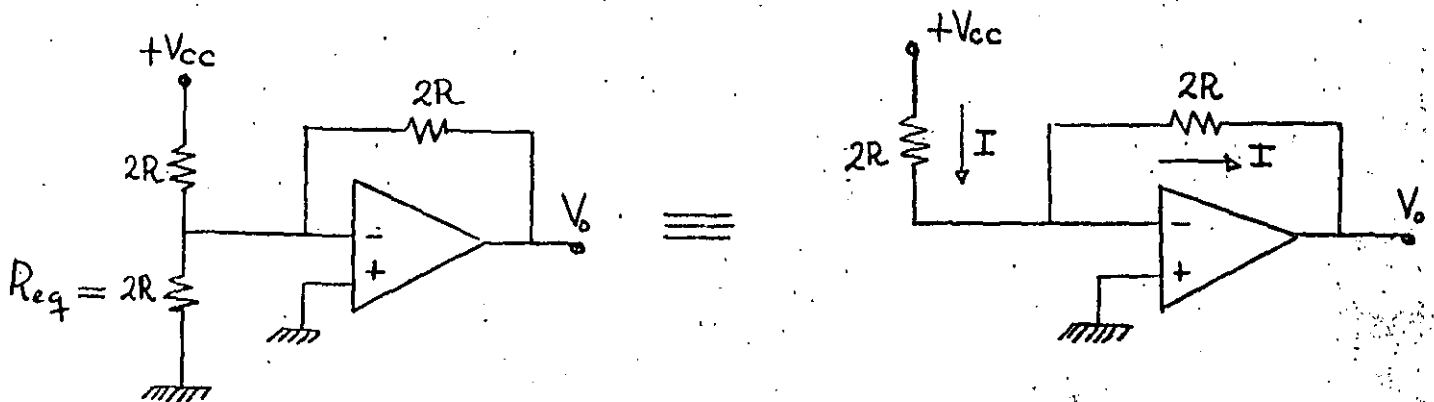


la salida del circuito sera proporcional a la palabra digital programada en los interruptores b_3, b_2, b_1 y b_0 . El circuito anterior se puede construir facilmente en el laboratorio y en lugar de los interruptores se pueden conectar las salidas de un contador binario TTL de 4 bits. La forma de la señal de salida resultante semeja una escalera de 15 escalones. La amplitud de los escalones está dada directamente por $V_{CC}/10$, considerando $R_f = R/10$. La amplitud de los escalones se puede modificar, variando el valor de R_f ; si R_f se hace demasiado grande se puede saturar al amplificador operacional. La desventaja principal del convertidor anterior radica en el rango muy amplio de resistencias que se necesitan para un convertidor de un número grande de bits,

ESCALERA R/2R: este convertidor opera básicamente igual al convertidor denominado "resistivo", pero evita el rango amplio de valores de resistencias empleando solamente 2 valores.

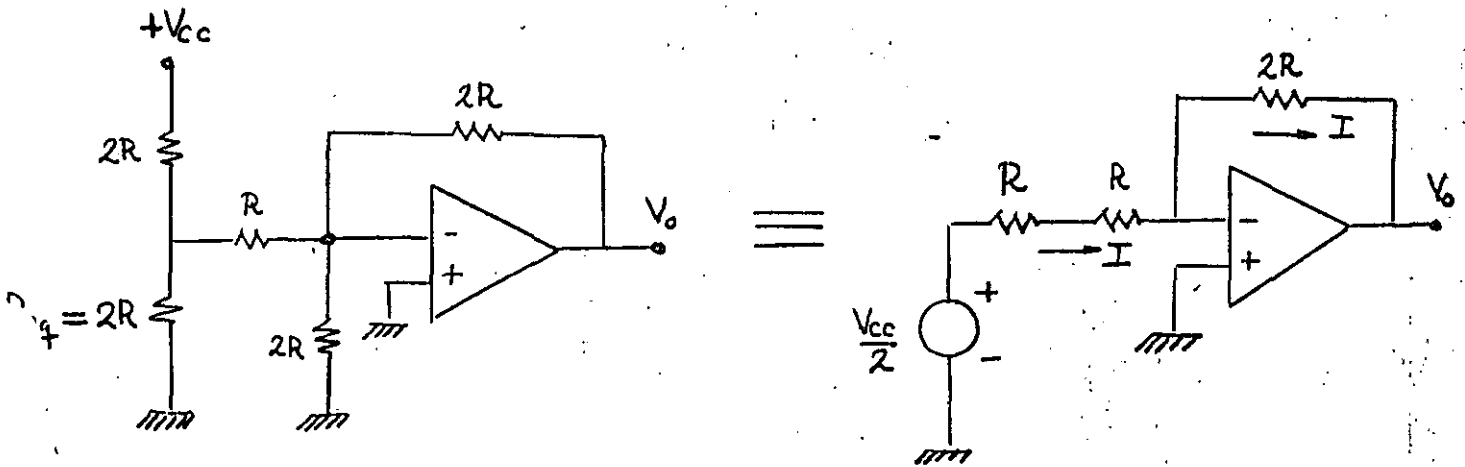


Considerando el interruptor b_3 conectado a V_{CC} , en tanto que los interruptores b_2, b_1 y b_0 conectados a tierra resulta el siguiente circuito equivalente:



el último circuito resulta de la eliminación de R_{eq} ya que por la "tierra virtual" a la entrada del amplificador los extremos de R_{eq} quedan conectados casi al mismo potencial y la corriente a través de ella es despreciable. De aquí resulta el valor de la corriente $I = V_{CC}/2R$ y $V_o = -V_{CC}$.

Para encontrar la contribución al voltaje de salida para el interruptor b_2 se sigue un procedimiento análogo. Considerando el interruptor b_2 conectado a $+V_{CC}$ y los interruptores b_3 , b_1 y b_0 conectados a tierra resulta el siguiente circuito equivalente:

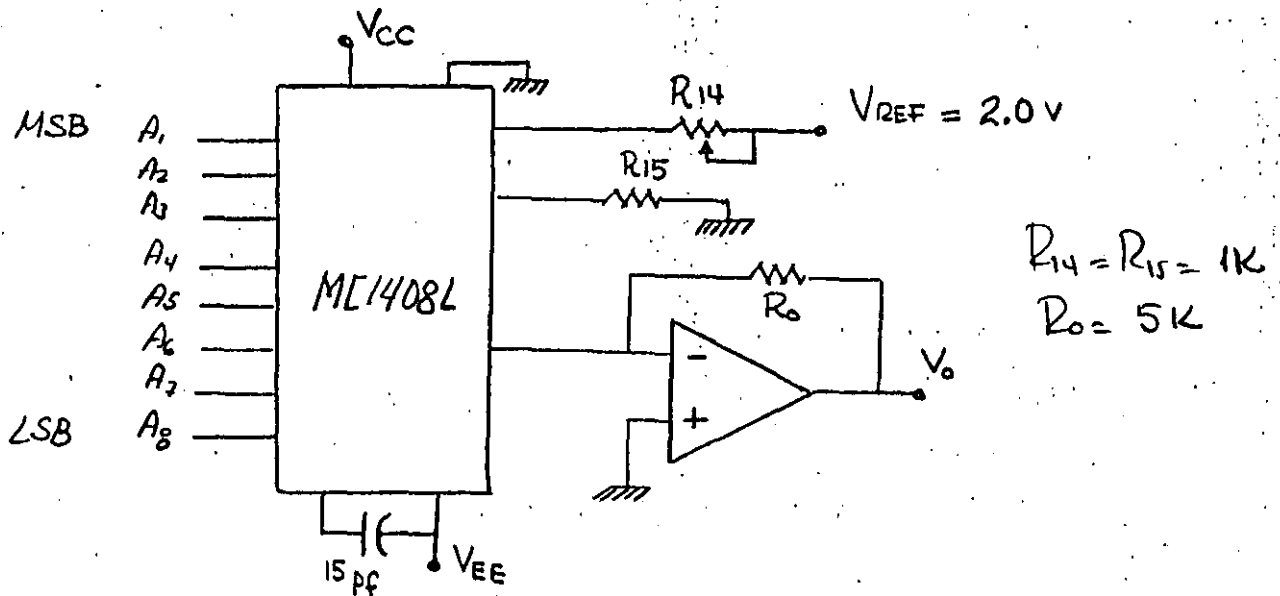


el último circuito resulta de eliminar la resistencia de $2R$ conectada entre la terminal negativa del amplificador operacional (tierra virtual) y tierra, y de obtener el equivalente de Thévenin del circuito a la izquierda de la resistencia R . De aquí es inmediato el cálculo de $I = V_{CC}/4R$ y $V_o = -V_{CC}/2$.

Con un análisis similar se puede demostrar que el cierre del interruptor b_1 genera un voltaje de salida $V_o = -V_{CC}/4$ y que el cierre del interruptor b_0 genera un voltaje de salida $V_o = -V_{CC}/8$. Si más de un interruptor se cierra, sus contribuciones individuales al voltaje de salida se suman. Este convertidor es mucho más fácil de construir ya que solo se necesitan controlar muy precisamente dos valores de resistencias. El número de bits del convertidor puede ser incrementado simplemente agregando más secciones de la escalera con los mismos valores R , $2R$.

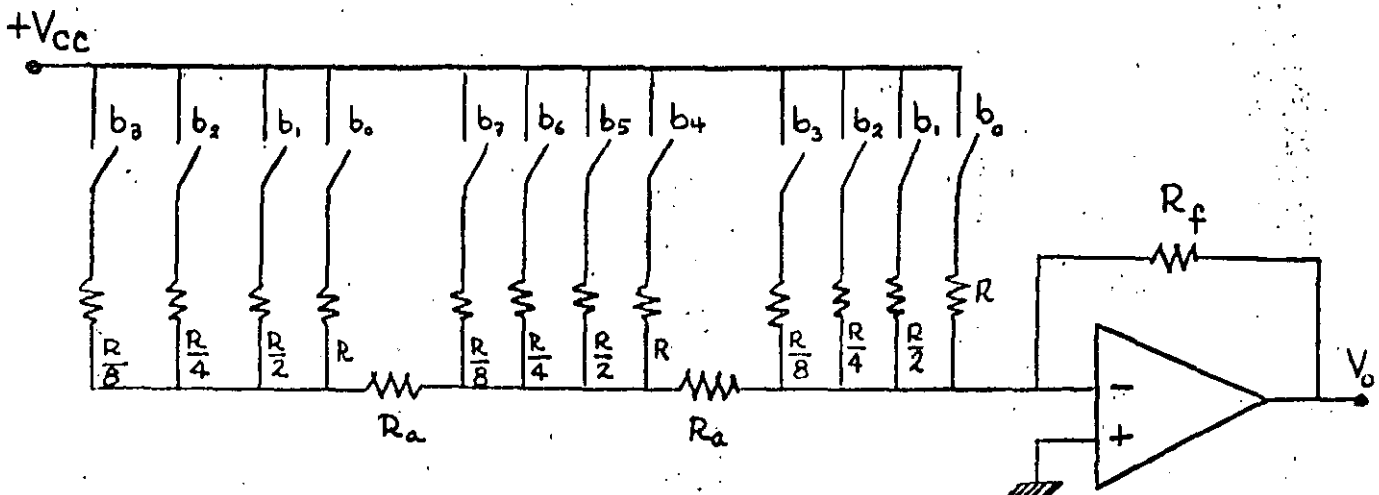
CONVERTIDORES D/A COMERCIALES: un convertidor digital-analógico popular realizado en base a una configuración del tipo escalera $R/2R$ es el MC1408L.

Se trata de un convertidor de 8 bits que requiere para su operación de +5 y -5 volts. Dentro del MC1408L una escalera R/2R divide una corriente de referencia en 8 corrientes de peso igual a los dígitos del sistema binario de numeración.



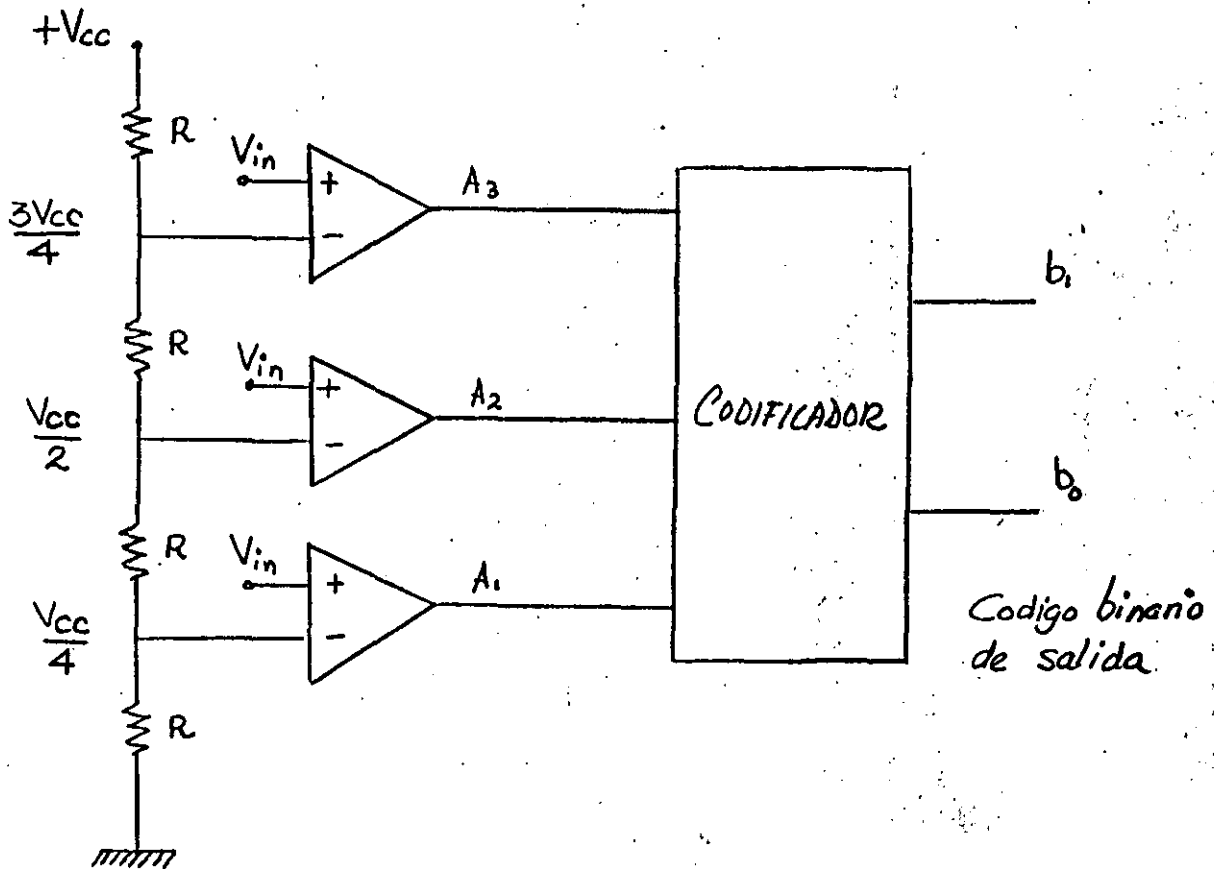
$$V_o = \frac{V_{REF}}{R_{14}} \times R_0 \left(\frac{A_7}{2} + \frac{A_6}{4} + \frac{A_5}{8} + \frac{A_4}{16} + \frac{A_3}{32} + \frac{A_2}{64} + \frac{A_1}{128} + \frac{A_0}{256} \right)$$

Para aplicaciones que requieren mas bits de resolución existen convertidores como el DAC-HZ12BGC que es un convertidor de 12 bits en base a una configuración del tipo "resistivo", donde para evitar el problema del amplio rango de valores de resistencia necesario para un convertidor de 12 bits, se conectan 3 etapas idénticas de 4 bits mediante resistencias de atenuación.



CONVERTIDORES ANALOGICO-DIGITAL

COMPARADORES EN PARALELO: es el más simple y mas rápido de los comparadores analógico-digital. Un divisor resistivo de voltaje fija los voltajes de umbral de los comparadores en paralelo

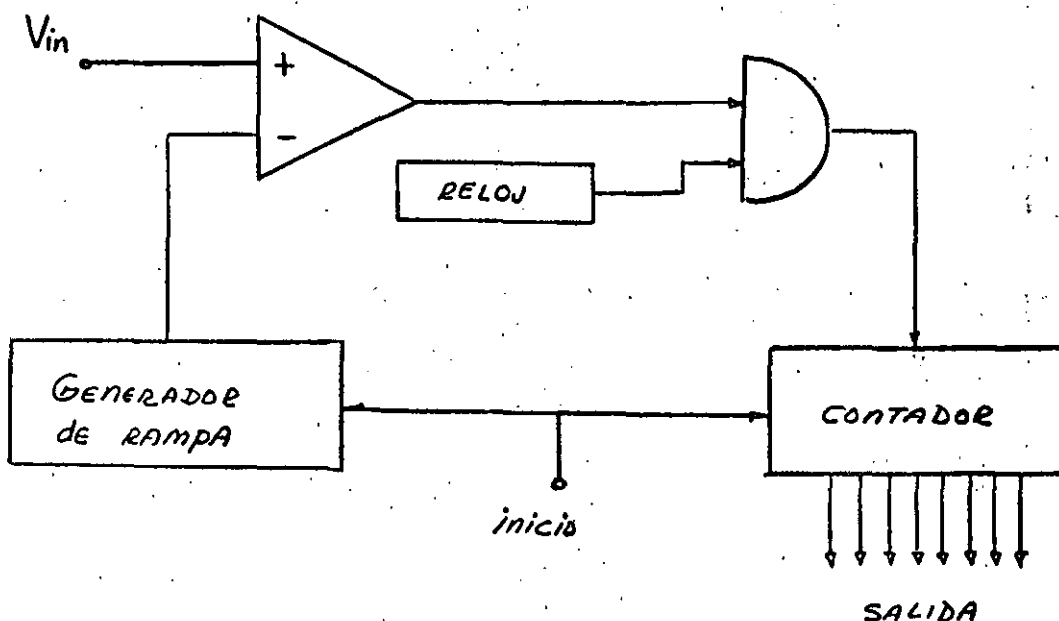


Vin	Salidas de los comparadores			Código de salida	
	A ₃	A ₂	A ₁	b ₁	b ₀
0 a $V_{cc}/4$	0	0	0	0	0
$V_{cc}/4$ a $V_{cc}/2$	0	0	1	0	1
$V_{cc}/2$ a $3V_{cc}/4$	0	1	1	1	0
$3V_{cc}/4$ a V_{cc}	1	1	1	1	1

La señal analógica que será digitalizada se aplica a la terminal positiva de los comparadores en paralelo. La salida de cada comparador será un voltaje alto si el voltaje de entrada Vin es mayor que su respectivo voltaje de umbral conectado a su terminal negativa. La magnitud de la señal analógica de entrada determina el número de comparadores que a su salida presentaran

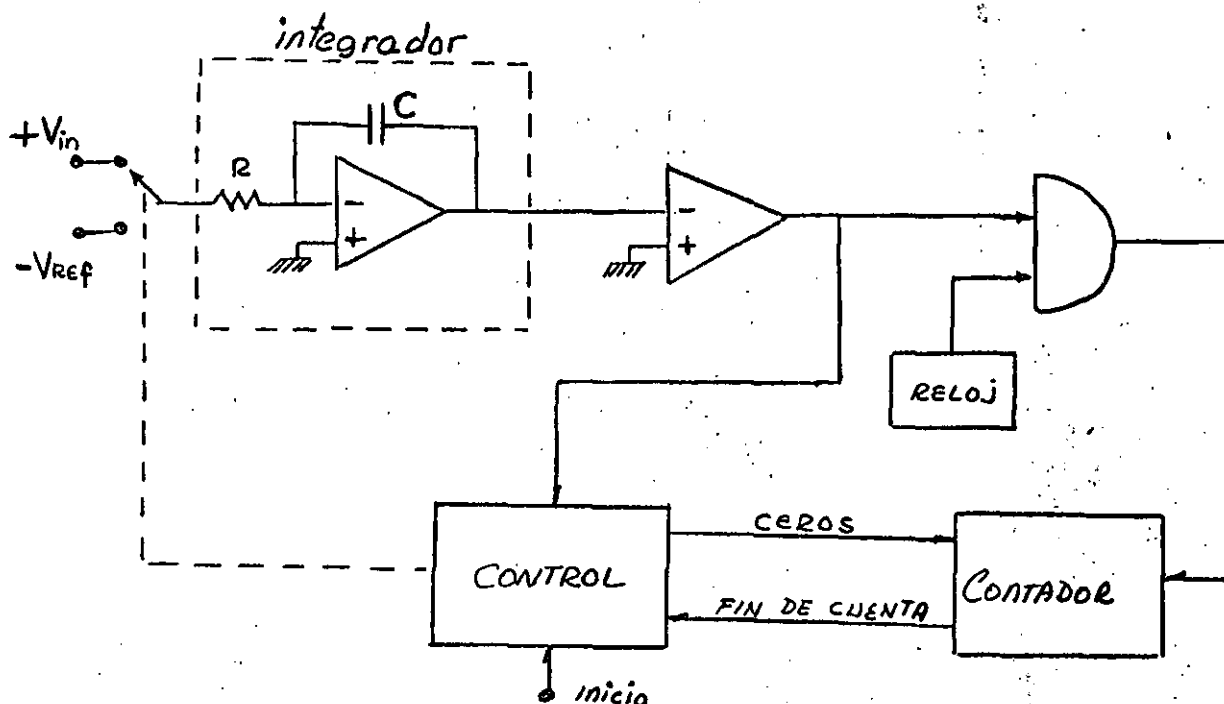
un voltaje alto. Un circuito combinacional realiza la codificación de la magnitud digitalizada de la señal analógica de entrada, presente a la salida de los comparadores. Este convertidor entrega una señal digitalizada de 2 bits, ya que solo discrimina 4 distintos valores para la señal analógica de entrada V_{in} . Si se desea una mayor resolución se necesitan más comparadores. Esta es la principal desventaja de este convertidor, ya que requiere $2^n - 1$ comparadores si se desea un código de salida de n bits. Para un convertidor A/D de 8 bits se necesitan 255 convertidores. La gran ventaja de este convertidor está en su velocidad de operación igual al tiempo de los comparadores más el retraso de propagación del codificador. Por ésta razón este tipo de convertidores se denominan convertidores "FLASH".

CONVERTIDOR DE RAMPA: este convertidor emplea un generador de rampa, un contador y un comparador. La señal de inicio pone en ceros el contador y al generador de la rampa. El comparador recibe en su terminal positiva a la señal analógica de entrada V_{in} y en su terminal negativa la salida del generador de la rampa. Mientras la señal V_{in} sea mayor que el valor de la rampa la salida del comparador será un voltaje alto lo que permite el paso de la señal de reloj al contador. El voltaje de la rampa parte de cero y comienza a crecer linealmente, en el momento que alcanza al voltaje analógico de entrada V_{in} la salida del comparador se hace un voltaje bajo lo que corta el paso de la señal de reloj al contador y esto detiene la cuenta en un valor proporcional al voltaje de entrada V_{in} .



La velocidad de operación depende de la pendiente (Volts/segundo) de la rampa generada y del valor V_{in} a convertir. Este circuito presenta variaciones debidas a la temperatura, tiempo o sensibilidad al voltaje de entrada.

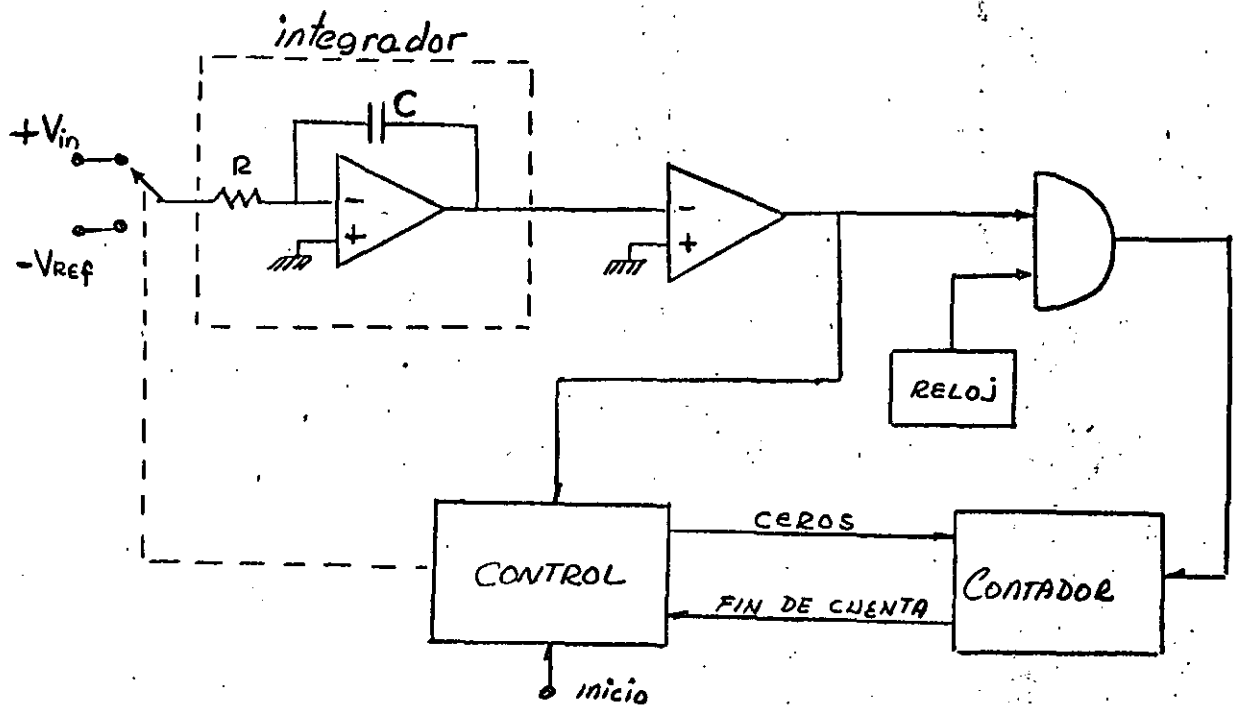
CONVERTIDOR DE DOBLE RAMPA: este convertidor pretende eliminar la sensitividad de la conversión con respecto a los elementos del circuito.



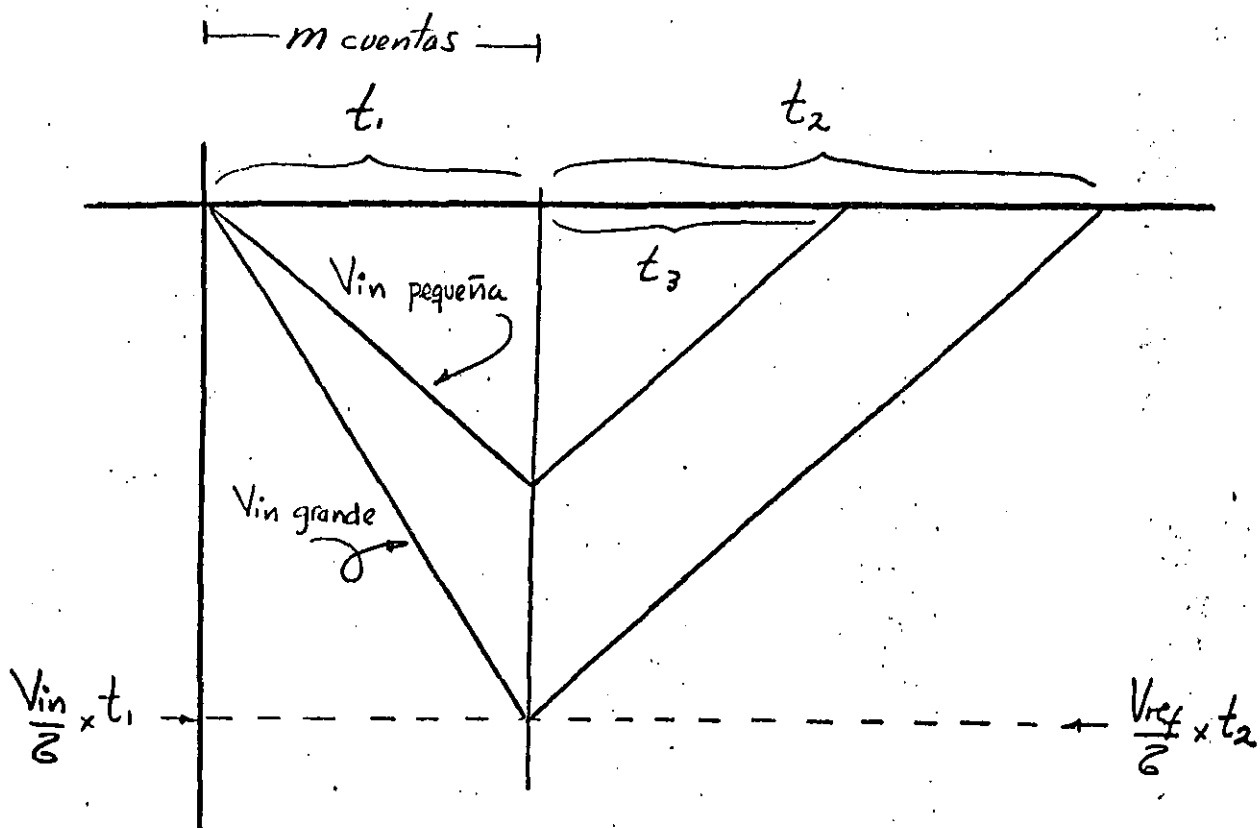
La señal de inicio pone al contador en ceros y hace que el bloque de control conecte la señal analógica de entrada V_{in} al integrador. Si V_{in} se mantiene aproximadamente constante la salida del integrador será una rampa negativa. Mientras la salida del integrador sea negativa la salida del comparador será un voltaje alto lo que habilita el paso del reloj al contador. Cuando el bloque de control recibe la señal de "fin de cuenta" del contador, conecta la señal $-V_{Ref}$ al integrador y pone en ceros otra vez al contador. A partir de ahora la salida del integrador es una rampa de pendiente positiva que finalmente alcanzará el valor 0 volts, lo que forzará un voltaje bajo a la salida del comparador que impedirá la entrada de la señal de reloj al contador deteniendo con ésto la cuenta.

La velocidad de operación depende de la pendiente (Volts/segundo) de la rampa generada y del valor V_{in} a convertir. Este circuito presenta variaciones debidas a la temperatura, tiempo o sensibilidad al voltaje de entrada.

CONVERTIDOR DE DOBLE RAMPA: este convertidor pretende eliminar la sensitividad de la conversión con respecto a los elementos del circuito.



La señal de inicio pone al contador en ceros y hace que el bloque de control conecte la señal analógica de entrada V_{in} al integrador. Si V_{in} se mantiene aproximadamente constante la salida del integrador será una rampa negativa. Mientras la salida del integrador sea negativa la salida del comparador será un voltaje alto lo que habilita el paso del reloj al contador. Cuando el bloque de control recibe la señal de "fin de cuenta" del contador, conecta la señal $-V_{Ref}$ al integrador y pone en ceros otra vez al contador. A partir de ahora la salida del integrador es una rampa de pendiente positiva que finalmente alcanzará el valor 0 volts, lo que forzará un voltaje bajo a la salida del comparador que impedirá la entrada de la señal de reloj al contador deteniendo con ésto la cuenta.

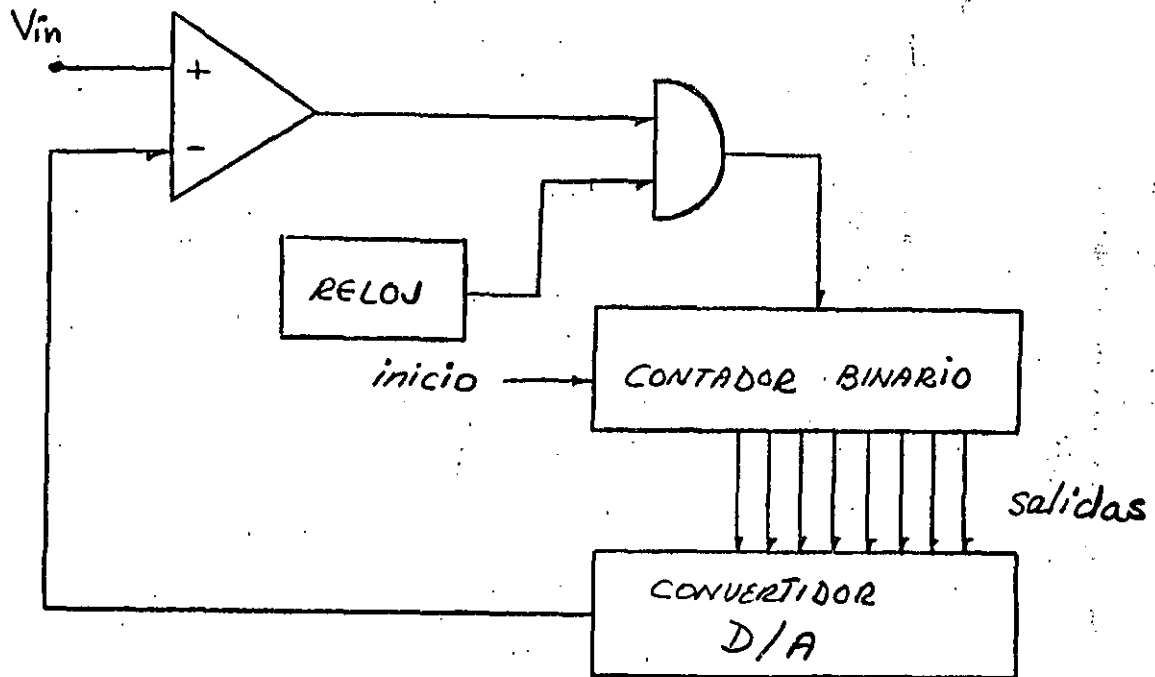


$$\frac{V_{in}}{5} \times t_1 = \frac{V_{ref}}{5} \times t_2 \quad \rightarrow \quad V_{in} \times t_1 = V_{ref} \times t_2$$

$$t_2 = \frac{V_{in} \times t_1}{V_{ref}}$$

como t_1 y V_{ref} son constantes t_2 resulta directamente proporcional a V_{in} . Las ventajas de este convertidor son su precisión y su costo reducido, lo mismo que su inmunidad a efectos de temperatura o variaciones en los parametros del integrador; por estas razones, éste circuito es muy empleado en voltímetros digitales. Su principal desventaja estriba en el tiempo consumido en la doble rampa lo que da un tiempo de conversión grande.

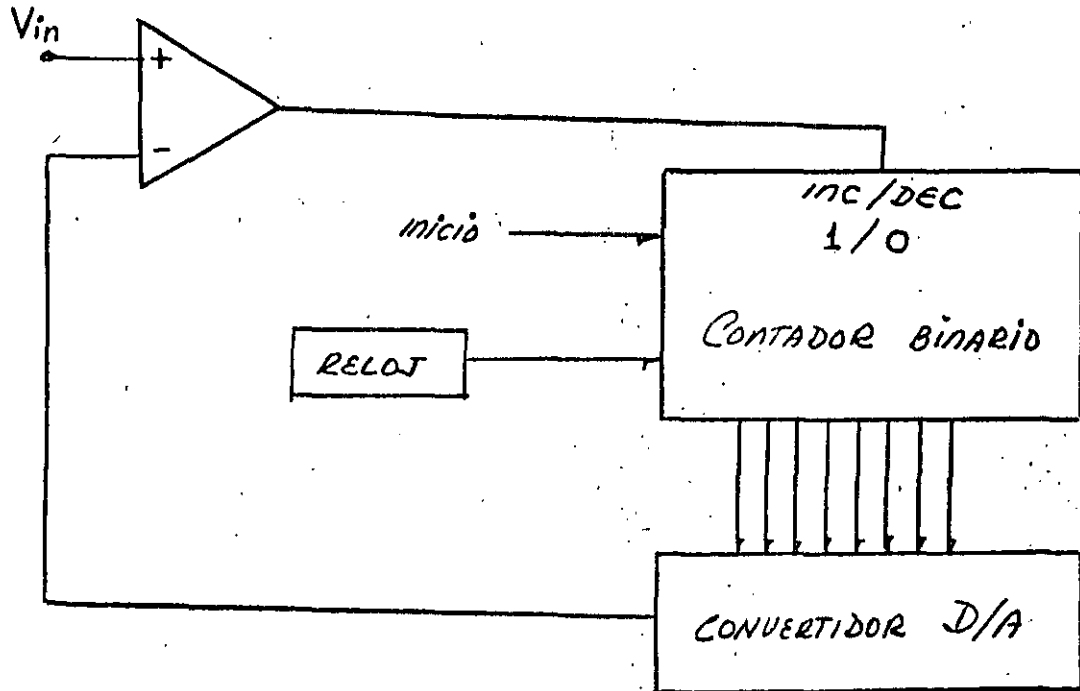
CONVERTIDOR A/D DE RAMPA USANDO UN CONVERTIDOR D/A: este circuito es muy similar al circuito del convertidor A/D de rampa, solo que en este caso se emplea un convertidor D/A para generar la rampa, la cual por esta razón está formada de escaloncitos.



Una vez aplicada la señal analógica de entrada V_{in} en la terminal positiva del comparador, la señal de inicio pone en ceros al contador binario cuyas salidas alimentan al convertidor D/A. Mientras V_{in} sea mayor que la salida del convertidor D/A, la salida del comparador tendrá un voltaje alto lo que habilitará el paso de la señal de reloj al contador. Conforme aumenta la cuenta del contador así va creciendo el voltaje a la salida del convertidor D/A; cuando dicho voltaje alcance al voltaje analógico de entrada V_{in} , la salida del comparador será un voltaje bajo lo que impedirá el paso de la señal de reloj al contador, deteniendo de este modo la cuenta.

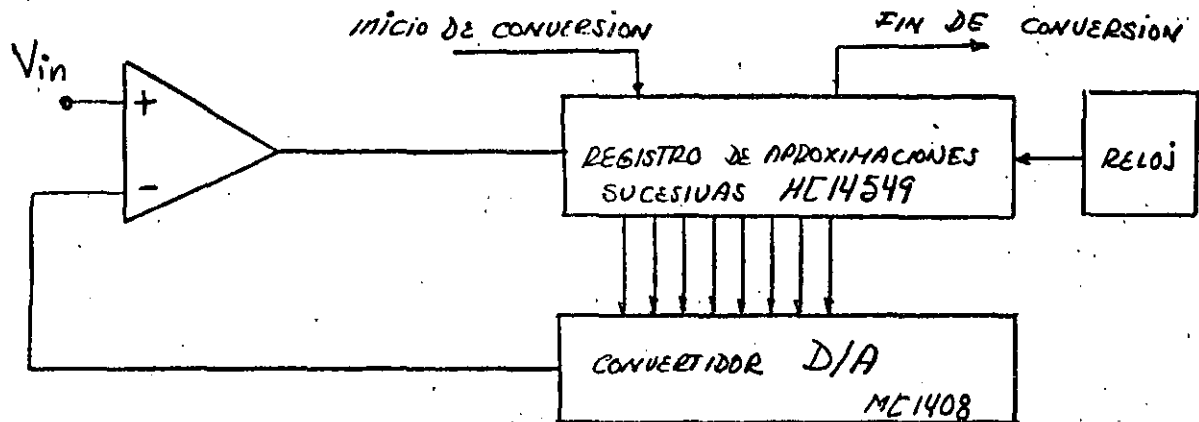
Este circuito requiere un convertidor D/A de precisión, a fin de minimizar errores y tiene un tiempo de conversión que depende directamente del nivel del voltaje a convertir V_{in} , ya que el conteo del contador siempre parte de cero.

CONVERTIDOR DE RASTREO: este convertidor pretende reducir el tiempo de conversión empleando para ello un contador que tenga la capacidad de incrementar o decrementar su cuenta.



La señal de inicio pone en ceros al contador, éste alimenta al convertidor D/A y mientras la salida del convertidor D/A sea menor que el voltaje analógico de entrada V_{in} la salida del comparador será un voltaje alto; esto hará que el contador binario esté incrementando su cuenta con cada pulso de reloj. Cuando la salida del convertidor D/A alcance al voltaje V_{in} , la salida del comparador será un voltaje bajo lo que hará que el contador binario decremente su cuenta con el siguiente pulso de reloj. Si el contador decrementa su cuenta, el convertidor D/A generará una señal menor que V_{in} lo que dará por resultado que la salida del comparador sea un voltaje alto poniendo al contador en posición de incrementar cuenta. Este ciclo se repite todo el tiempo al fin de la conversión. Esta es su principal desventaja, el bit menos significativo del resultado oscila para un V_{in} constante. Por otro lado, la señal de inicio no se requiere cada vez que se desea una conversión, al contrario, ya que retrasaría el tiempo de conversión. La idea es que el contador no parta de cero su conteo en cada conversión. Si se realizan conversiones sucesivas de una señal lenta, el tiempo de inversión se reduce considerablemente.

CONVERTIDOR DE APROXIMACIONES SUCESIVAS: este convertidor es más rápido que los 2 anteriores y además no oscila el bit menos significativo del resultado. El tiempo de conversión para una resolución de N bits es de tan solo N pulsos de reloj. Este tiempo de conversión es fijo para todo valor de V_{in} .



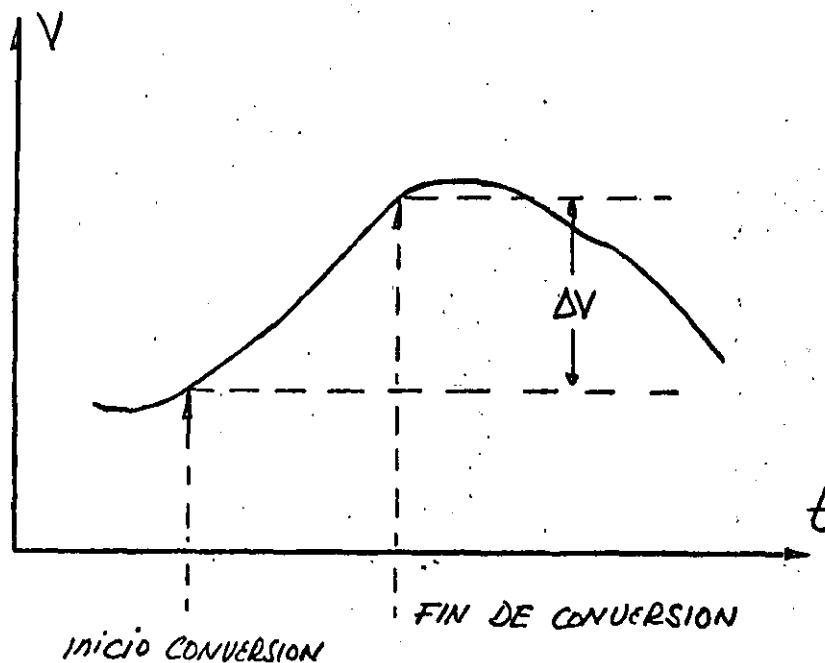
El orquestador de este sistema es el registro de aproximaciones sucesivas (RAS) cuya función es la siguiente: al inicio del ciclo de conversión el RAS en el primer pulso de reloj presenta el patrón binario 1000 0000 al convertidor D/A, procede a esperar la respuesta del comparador y si la salida del comparador es un voltaje alto (la salida del convertidor D/A es menor que V_{in}) confirma a b_7 como 1 lógico y prueba b_6 , esto es, presenta el patrón binario 1100 0000 al convertidor D/A. Si la salida del comparador al patrón binario 1000 0000 es un voltaje bajo (la salida del convertidor D/A es mayor que V_{in}) fija a b_7 como 0 lógico y prueba b_6 , esto es, presenta el patrón binario 0100 0000 al convertidor D/A. Este ciclo se repite con todos los bits, en el orden b_7, b_6, b_5, b_4 etc. haciéndolos 1 lógico para la prueba y confirmándolos como 1 ó cambiando los a 0 según la respuesta del comparador. Solo se necesita un pulso de reloj para cada bit. Una vez barridos todos los bits el convertidor manda la señal fin de conversión. Este método es similar al método de búsqueda binaria empleado en computación.

El circuito convertidor A/D de aproximaciones sucesivas tiene la desventaja de requerir un convertidor D/A pero tiene la gran ventaja de su velocidad con excelente resolución. Comercialmente se distribuye el circui

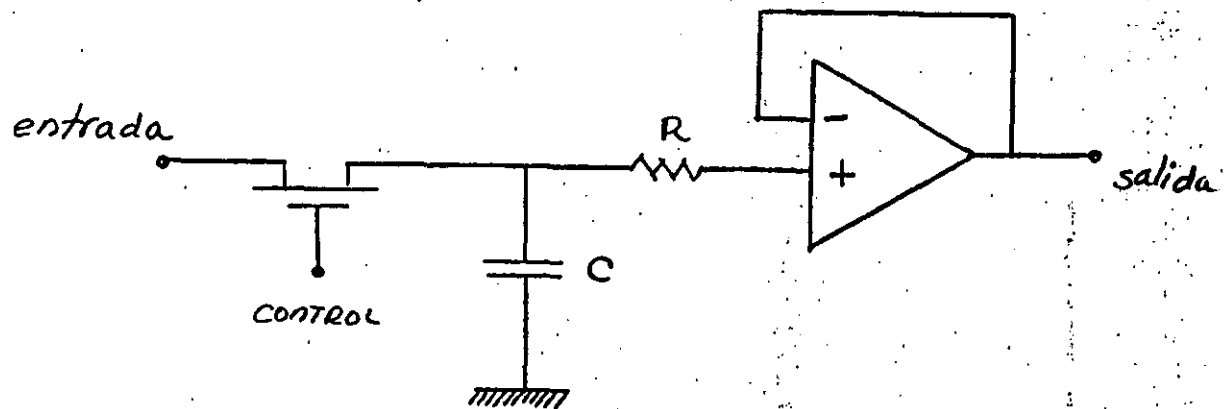
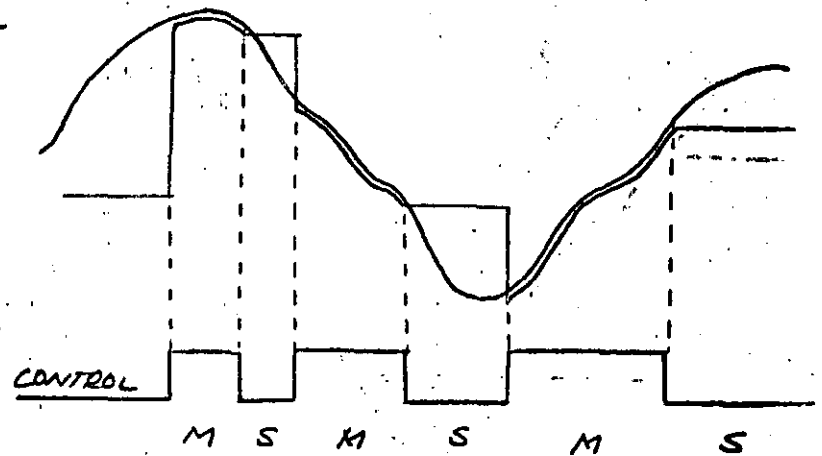
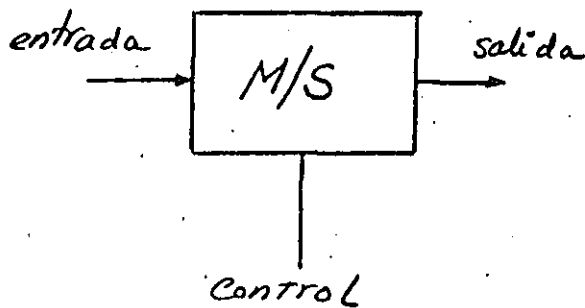
to AD571 de tecnología I^2L que tiene un circuito convertidor A/D de aproximaciones de 10 bits en un solo circuito integrado. También existe el circuito integrado ADC-HZ12 capaz de realizar una conversión de 12 bits en solo 8 microsegundos.

PARAMETROS DE LOS CONVERTIDORES

TIEMPOS DE ADQUISICION Y APERTURA: cuando se desea digitalizar una señal que cambia rápidamente de valor puede ocurrir un cambio significativo en el valor de dicha señal antes de que termine la conversión. Esta anomalía en sí es una fuente de error que además puede generar otros errores.



Para reducir los efectos de ésta anomalía se emplea un circuito denominado muestra y sosten (sample and hold). Se trata de un interruptor electrónico de alta velocidad usado para tomar muestras de la señal y un circuito capacitivo seguido de un amplificador de ganancia unitaria, usado para almacenar el valor muestreado de la señal.



Dos parámetros de este circuito son muy importantes: el tiempo de adquisición y el tiempo de apertura. El primero se refiere al tiempo necesario para cerrar el interruptor y cargar el capacitor al voltaje de la señal de entrada. El tiempo de apertura es el tiempo que requiere el interruptor para abrir completamente. Idealmente estos tiempos deben tender a cero.

TIEMPO DE CONVERSION: es el tiempo que tarda un convertidor para realizar una conversión completa, desde el instante que se aplica una señal de entrada (un código ó un comando) hasta que aparece la salida. Si un convertidor de 12 bits especifica: $t_{\text{set-up}} = 20 \mu\text{seg}$ y $2 \mu\text{seg} \times \text{bit de conversión}$

$$\text{tiempo de conversión } t_c = 20 \mu\text{seg} + 2 \mu\text{seg} \times 12 = 44 \mu\text{seg}$$

RESOLUCION: esta medida se refiere al valor mínimo de voltaje que se puede

convertir. Se acostumbra asociarle la letra Q a este parámetro y se define por:

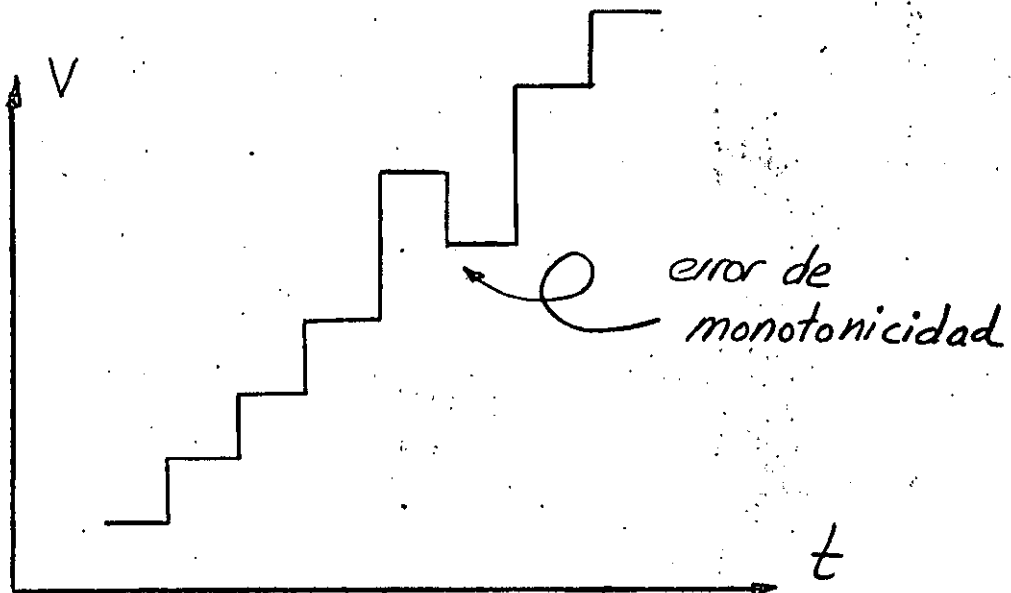
$$\text{Resolución } Q = \frac{\text{Rango de escala completa}}{2^N}$$

donde N = número de bits del convertidor

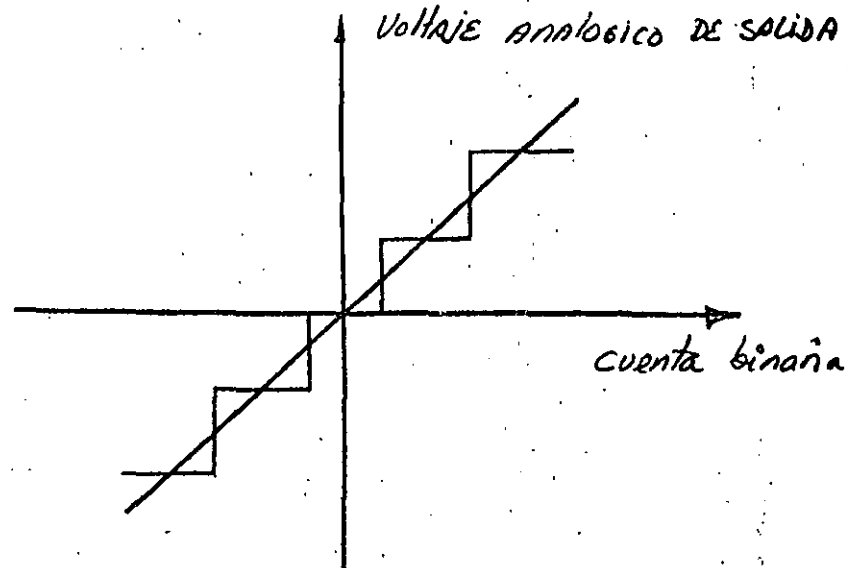
para un convertidor de 10 bits y rango de escala completa 10 Volts resulta:

$$Q = \frac{10 \text{ volts}}{2^{10}} = \frac{10 \text{ volts}}{1024} = 9.75 \text{ milivolts}$$

MONOTONICIDAD: un convertidor A/D ó D/A es monotónico si su salida se incrementa o permanece constante cuando la entrada se incrementa para todo el rango de la escala.



ERROR DE CUANTIZACION (VALOR MAXIMO): este error se refiere a la diferencia punto a punto entre el valor de una señal analógica dada y su correspondiente señal analógica discretizada en amplitud (cuantizada).



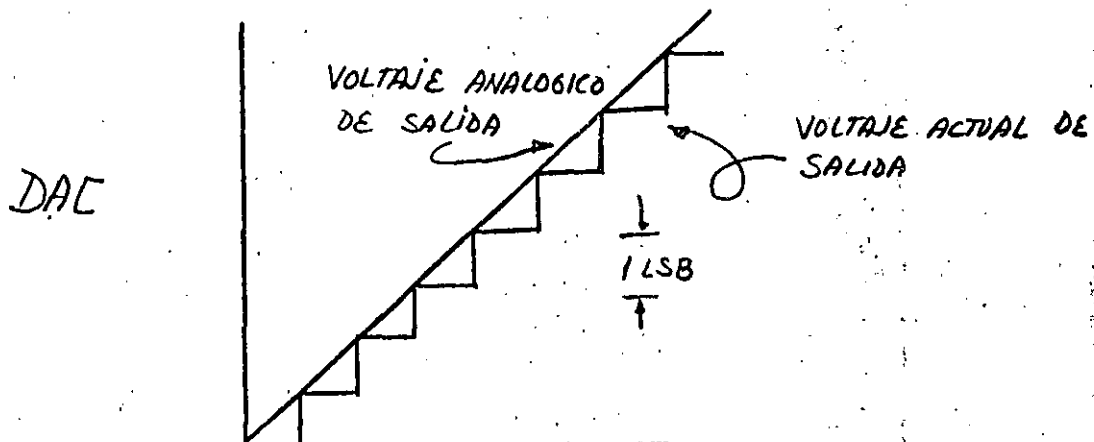
el valor máximo del error de cuantización E_Q está dada por:

$$E_Q = \frac{1}{2} \left[\frac{\text{rango de la escala completa}}{2^N} \right]$$

N = número de bits del convertidor

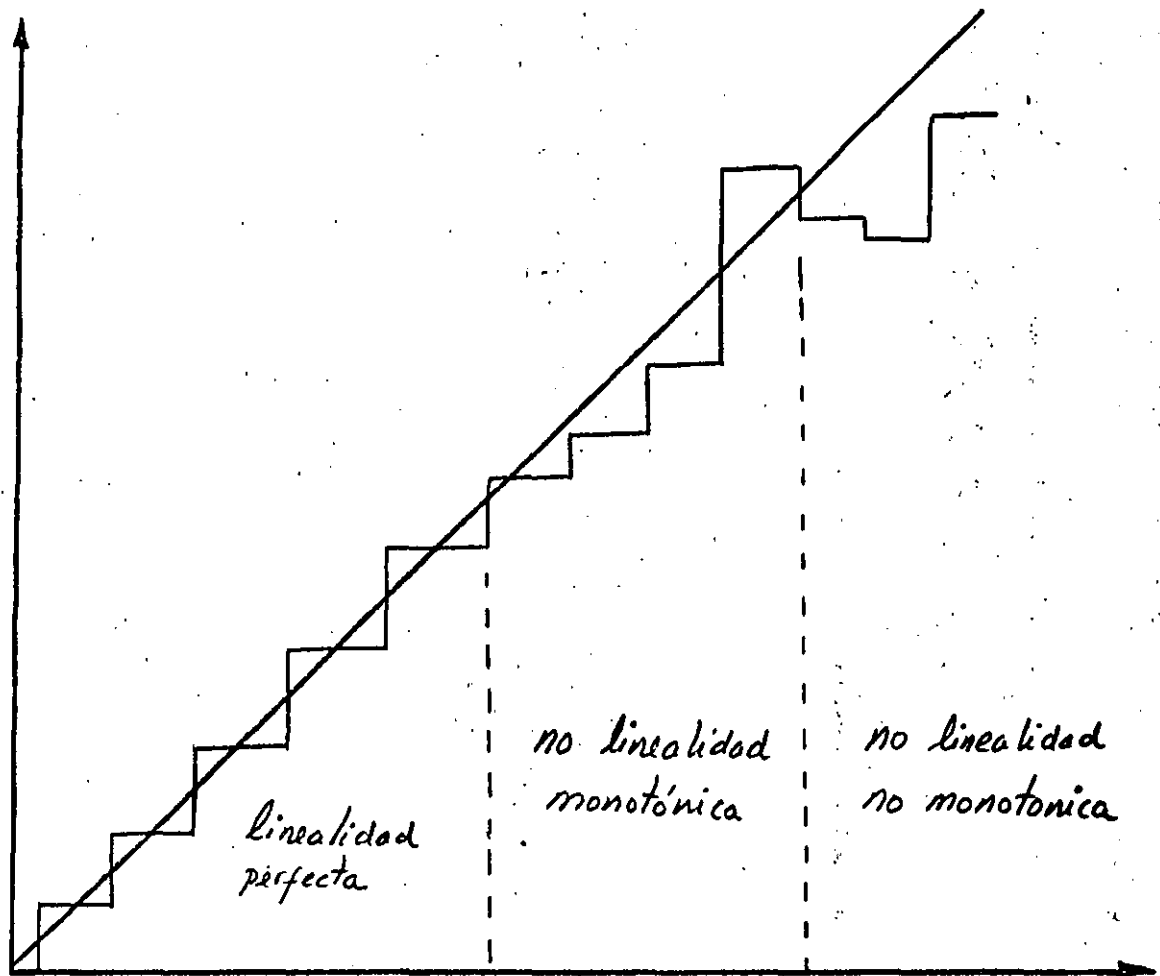
también se expresa como $E_Q = \pm \frac{1}{2} \text{ LSB}$ ó $E_Q = \frac{Q}{2}$

LINEALIDAD: para un convertidor digital-analógico este parámetro significa la desviación del voltaje de salida del DAC con respecto a una línea recta trazada del valor 0 al valor de escala completa de salida.



para un convertidor analógico-digital la linealidad se conoce con el nombre PRECISION RELATIVA y se define por: la desviación del código digital de salida del ADC con respecto a una línea recta trazada del valor 0 al valor de escala completa de entrada.

NO-LINEALIDAD



PRECISION ABSOLUTA: para un convertidor D/A se define por

$$\frac{\text{Rango completo de escala real}}{\text{Rango completo de escala nominal}} \times 100$$

para un convertidor A/D este parámetro no se puede establecer cuantitativa mente, depende del error de cuantización y de las imperfecciones de los compo nentes del circuito.

NO-LINEALIDAD DIFERENCIAL: se refiere a la variación del tamaño del "cuanto" q entre dos números digitales consecutivos sobre el rango completo de valo res de la entrada y la salida. La no linealidad diferencial mayor de q pe ro positiva da lugar a la no-linealidad monotónica. La no-linealidad diferen cial mayor que q pero negativa da lugar a la no-linealidad no monotónica, Este parámetro se especifica como $\pm \frac{LSB}{2}$ lo que significa $\pm q/2$.

SALTO Y RETENCION DE CODIGO: este se refiere a casos especiales de no-linea lidad. Generalmente estos 2 casos ocurren juntos por efecto de señales de ra pidez de cambio muy grande y ocurren sobre códigos consecutivos que presentan varias transiciones de sus bits.

voltaje de entrada	código ideal	voltaje de entrada	código real
+ 16 mv-----	10 00 00 10	+ 16 mv-----	10 00 00 10
+ 8 mv-----	10 00 00 01	+ 8 mv-----	10 00 00 01
+ 0 mv-----	10 00 00 00		10 00 00 00
- 8 mv-----	01 11 11 11		10 00 00 00
- 16 mv-----	01 11 11 10	- 12 mv-----	01 11 11 10
	01 11 11 01	- 16 mv	01 11 11 01

} 20 mv

} 4 mv

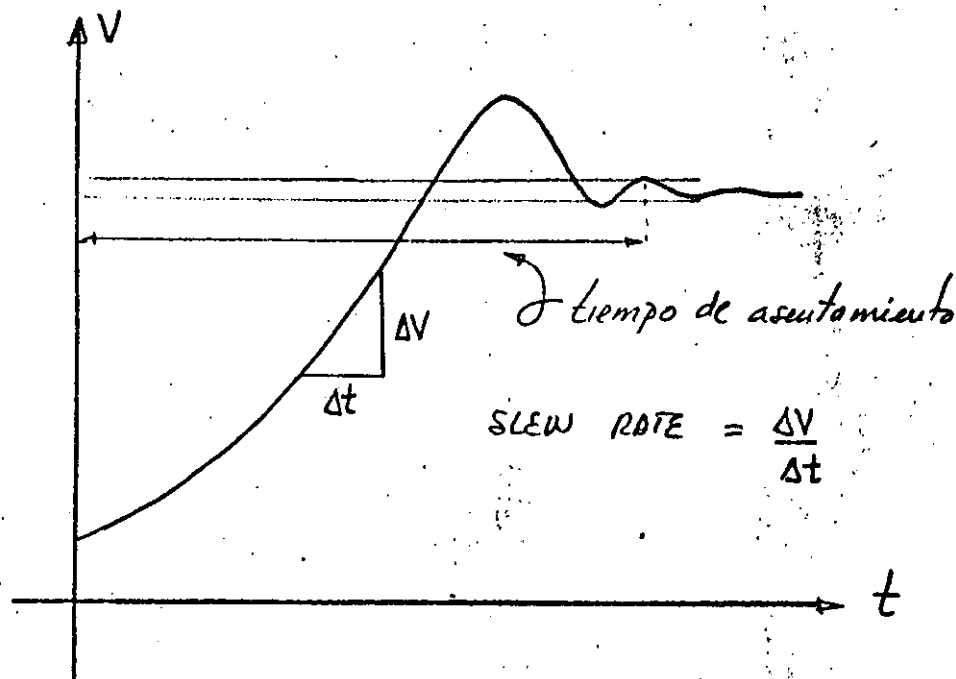
- el código 10 00 00 00 aparece retenido durante 20 mv.
- el código 01 11 11 11 es saltado.
- el código 01 11 11 10 solo es válido durante 4 mv, resulta un código corto por la retención del código inmediato anterior.

Este fenómeno es más frecuente cuando se manejan señales de entrada con compo

ponentes de alta frecuencia.

RAPIDEZ DE CAMBIO DE LA SALIDA (SLEW-RATE): es una medida de la velocidad de respuesta del convertidor y se especifica en volts por microsegundo. Para los convertidores D/A este parámetro se obtiene de la respuesta a un escalón unitario.

Si un convertidor analógico-digital se emplea para digitalizar señales rápidas, como por el teorema de muestreo se requieren mínimamente dos muestras por ciclo, tal convertidor A/D deberá especificarse con un SLEW RATE \geq que el SLEW-RATE de una señal senoidal de amplitud igual a la escala completa de voltaje y una frecuencia al menor igual a la frecuencia de Ngquist.

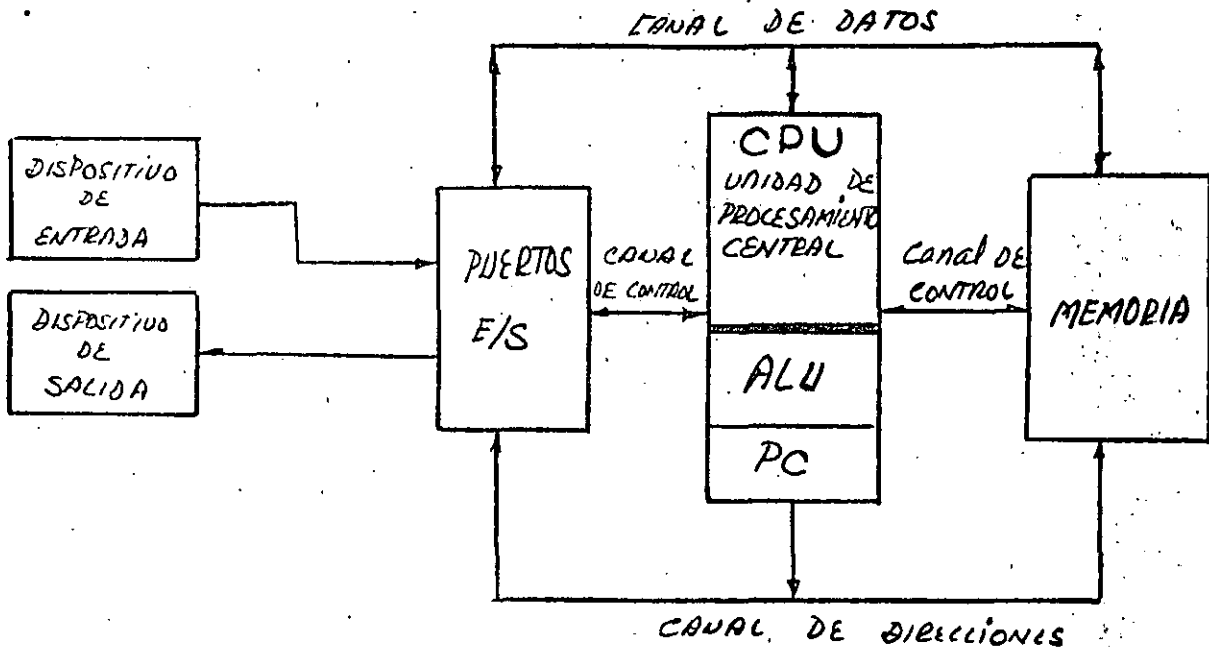


GLITCH: fenómeno significativo en los convertidores digital-analógico de alta velocidad. Se manifiesta como una caída a cero del voltaje de salida, cuando los tiempos de cierre y apertura de los interruptores analógicos del convertidor son significativamente distintos. La magnitud del "glitch" es función directa del número de transiciones que ocurren en los bits de dos números digitales consecutivos.

MICROPROCESADORES ARQUITECTURA Y PROGRAMACION

ORGANIZACION GENERAL Y FLUJO DEL PROGRAMA

El modelo más general de un sistema microprocesador consta de 3 elementos principales: la unidad de procesamiento central o CPU, la memoria principal y los "puertos" de entrada y salida. Dentro del CPU reside toda la circuitería que controla la operación del sistema, reside también una unidad lógica y aritmética ALU y el contador de programa PC. Una unidad lógica y aritmética ALU es un dispositivo capaz de realizar operaciones lógicas y aritméticas como son las operaciones AND, OR, XOR, NOT, suma y resta aritmética, corrimientos lógicos y aritméticos a la izquierda o derecha, comparaciones, etc. entre sus operandos.



La memoria principal es el lugar donde reside el programa del usuario que se va a ejecutar. El contador de programa PC es un registro dentro del CPU que apunta a la dirección de la instrucción del programa del usuario que se va a ejecutar. La memoria principal es una memoria de acceso aleatorio y generalmente volátil lo que exige la carga del programa del usuario a la memoria antes de poderse ejecutar.

El bloque de "puertos" de entrada y salida es la interfase del sistema procesador con el mundo exterior. Estos puertos permiten la comunicación del sistema con dispositivos como los teclados, pantallas, impresoras, discos. Por un puerto de entrada el sistema puede recibir información digitalizada de cualquier tipo: sensores de presión, temperatura ó cualquier señal que se desee controlar con el microprocesador. Por un puerto de salida el sistema puede manejar dispositivos como son motores a pasos, válvulas solenoides o cualquier sistema de actuación.

CANALES DE INFORMACION

La comunicación entre los 3 bloques principales del modelo de un sistema microprocesador se realiza mediante el canal de direcciones, el canal de datos y el canal de control. El canal de direcciones es usado por el CPU para mandar la dirección de la localidad de memoria que desea leer o escribir. Este canal también lo usa el CPU para mandar la dirección del puerto de entrada y salida por donde desea mandar o recibir información. Un canal consiste de 8, 12, 16 o más líneas paralelas.

El canal de control sirve al CPU para transmitir señales de control del tipo: comando de lectura o escritura de memoria, comando de lectura o escritura de puerto, estas señales habilitan la memoria a los puertos para la operación correspondiente. Cuando el CPU desea leer una localidad de memoria por el canal de direcciones envía la dirección de la localidad de memoria deseada, por el canal de control envía el comando de lectura y por el canal de datos recibe la información de la memoria.

PROGRAMA DEL USUARIO

El programa del usuario que se desea ejecutar reside en la memoria del sistema, almacenado en localidades consecutivos de la memoria y guardando el orden en que se desea se ejecuten las instrucciones del programa. Cada instrucción es almacenada en uno, dos o tres bytes (8, 16 o 24 bits) de la memoria como un patrón binario de ceros y unos. Por comodidad estos patrones binarios se leen en el sistema hexadecimal. Así, existe un código hexadecimal para cada instrucción que puede ejecutar el microprocesador. El sistema hexadecimal se emplea también para las direcciones de las localidades

de memoria

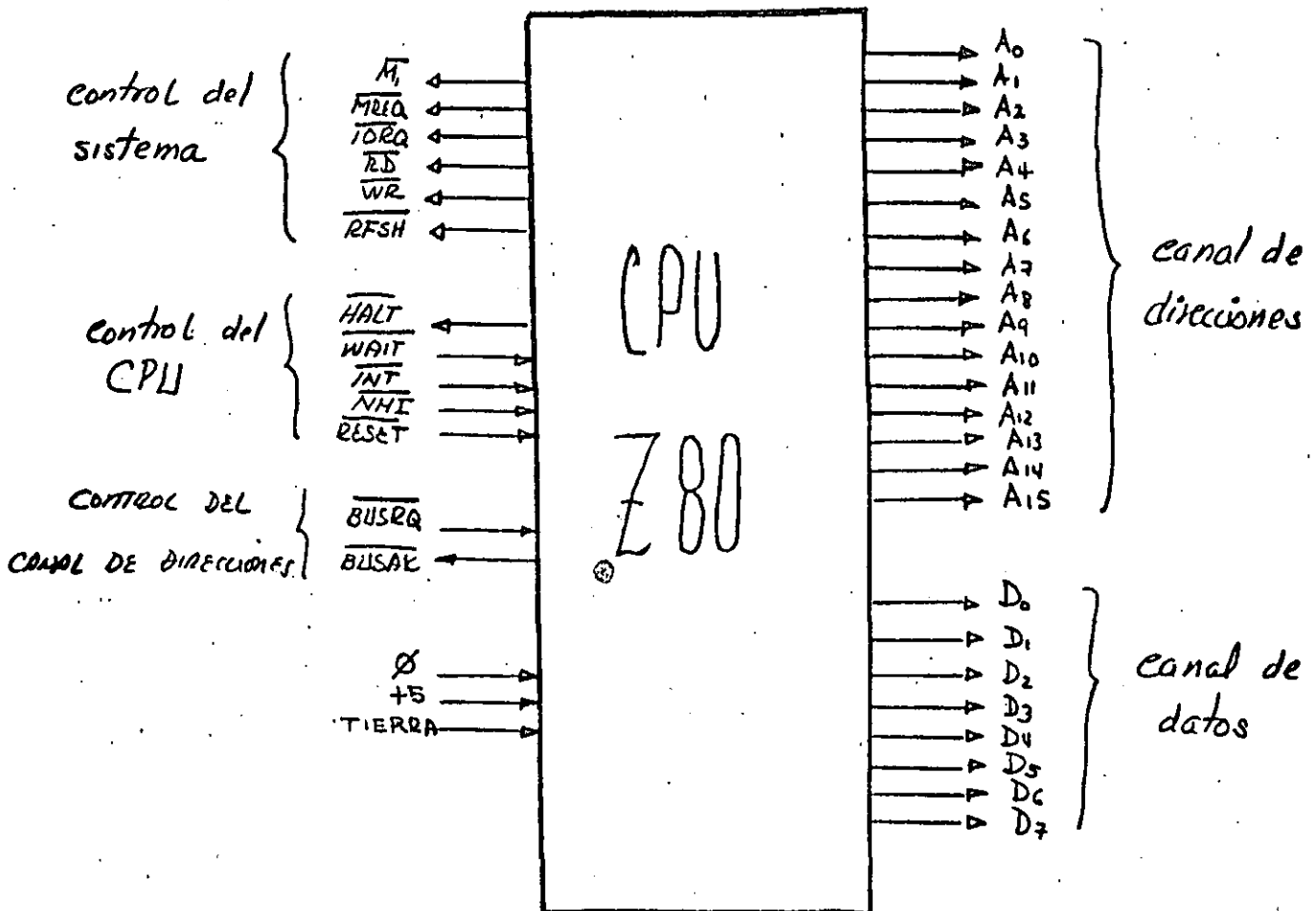
Dirección localidades de memoria	Programa del usuario	operación
A16	DD	suma
A17	86	
A18	20	
A19	FD	incrementa
A1A	34	
A1B	1F	
A1C	2F	complementa
A1D	ED	compara
A1E	A1	OR exclusivo
A1F	AE	
A20	07	

En el programa del usuario aparecen confundidos los códigos de las instrucciones con datos y constantes del programa. Esto es, si se desea hacer una suma con el valor constante 5, este valor 5 aparece a continuación del código de la instrucción suma. El CPU no es capaz de discriminar cuando está leyendo un código de instrucción y cuando está leyendo un dato o una constante. Así, la programación de estos sistemas requiere el cuidado necesario para que el CPU encuentre un código de instrucción cuando lea la memoria en busca de un código de instrucción. El contador de programa PC es un registro dentro del CPU cuyo contenido es la dirección de la localidad de memoria que contiene la siguiente instrucción a ejecutarse del programa. Cada que se ejecuta una instrucción del programa el contador de programa PC se actualiza a fin de apuntar ahora a la siguiente instrucción.

LA UNIDAD CENTRAL DE PROCESAMIENTO CPU.

Como es mucho mas sencillo aprender microprocesadores a partir de un ejemplo específico, se usará el microprocesador Z80 de aquí en adelante por tratarse de uno de los microprocesadores actuales mas representativo. Este microprocesador ha sido empleado con éxito en una gran variedad de aplicaciones.

El CPU Z80 se vende empaquetado en un estandar industrial (DIP) de 40 patas.



$A_{15} - A_0$
canal de direcciones

Las líneas A_0 a A_{15} constituyen el canal de direcciones de 16 bits, esto permite direccionar una memoria de hasta 64 K bytes. Este mismo canal se emplea para direccionar puertos pero solo se emplean las líneas A_0 a A_7 lo que permite direccionar hasta 256 puertos.

$D_7 - D_0$
Canal de datos

Las líneas D_0 a D_7 constituyen el canal de datos bidireccional de 8 bits.

\overline{RD}

Esta línea indica que el CPU desea leer datos de la memoria o de un puerto de entrada. Este es el comando de lectura. La me

moria o el puerto direccionado deberá responder a esta señal colocando en el canal de datos la información solicitada.

WR

Esta línea indica que el CPU desea escribir datos a la memoria o a un puerto de salida. Este es el comando de escritura. El CPU activa esta línea después de mandar por el canal de datos la información que desea almacenar.

RESET

Es una línea de entrada que se activa con un voltaje bajo. El principal efecto de ésta señal es inicializar al CPU forzando al contador de programa PC a tomar el valor 0000H.

INT

Línea de interrupción enmascarable para el CPU

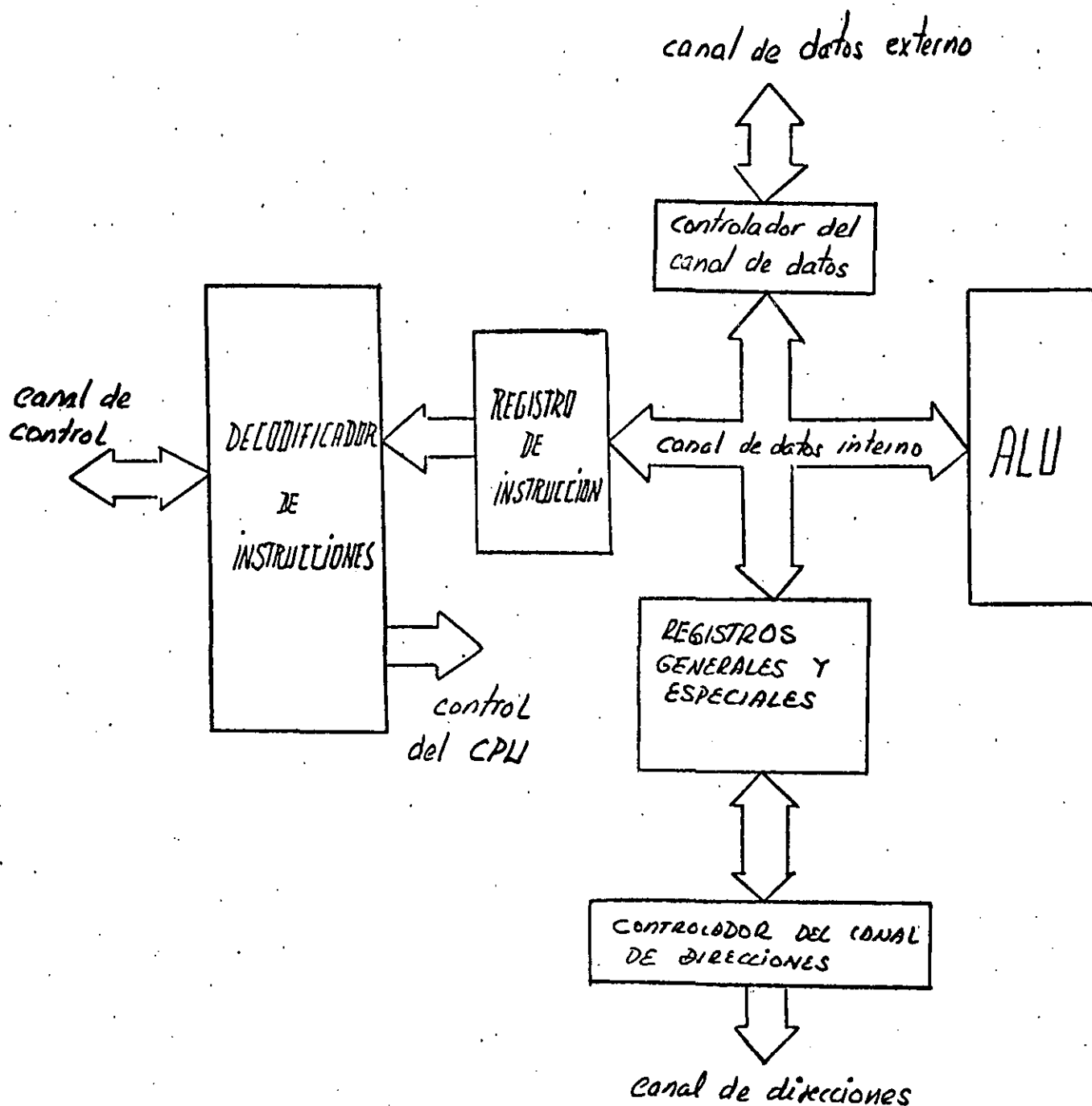
NMI

Línea de interrupción no enmascarable para el CPU.

El resto de las líneas del CPU Z80 tienen que ver el control a nivel sistema, por ahora no conviene discutir las.

ARQUITECTURA INTERNA DEL CPU

La siguiente figura muestra la arquitectura interna del CPU Z80. El diagrama solo muestra los elementos principales.

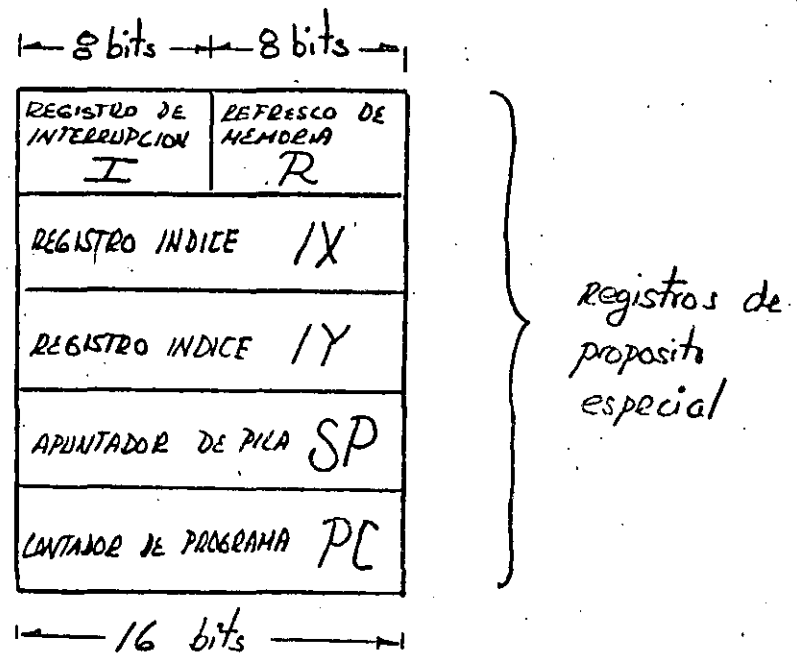
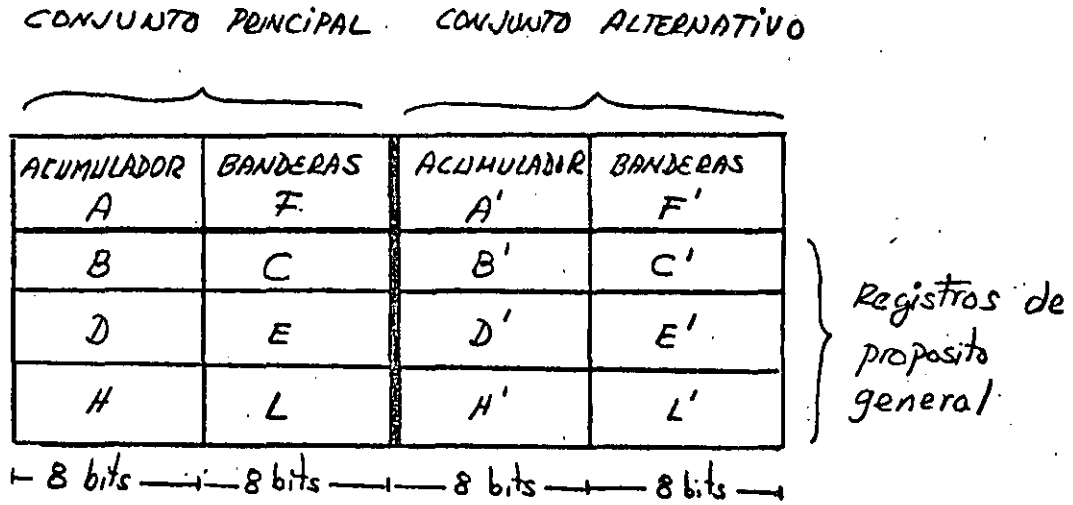


El sistema anterior opera de la siguiente forma: el CPU inicia el proceso cuando por el canal de direcciones manda el contenido del contador de programa PC. El CPU manda a continuación el comando de lectura (\overline{RD}) y lee por el canal de datos el código de la instrucción a ejecutarse, almacenándolo en el registro de instrucción. El decodificador de instrucciones procede a determinar cual es el tipo y operandos de la instrucción y genera una secuencia de señales de control al ALU, al bloque de registros y a los controladores de los canales a fin de ejecutar la instrucción. Algunas instrucciones

para poderse ejecutar requieren de dos o más ciclos de lectura a memoria, estos ciclos extras de lectura los determina el decodificador de instrucciones.

REGISTROS DEL CPU.

El CPU Z80 contiene en total 18 registros de 8 bits y 4 registros de 16 bits. 6 de ellos son de propósito especial, 12 de propósito general y se tienen 2 acumuladores y 2 registros de banderas.



El CPU Z80 tiene 2 conjuntos de registros a los cuales se denomina como conjunto principal y conjunto alternativo de registros. Cada conjunto está formado por los registros B, C, D, E, H, L, por el acumulador A y el registro de banderas F. El CPU Z80 trabaja con un solo conjunto de registros. Mediante una instrucción del programa de usuario se le indica al CPU Z80 que cambie de conjunto de registros para trabajar. Esta instrucción de cambio del conjunto de registros se puede usar en cualquier lugar dentro del programa de usuario, el número de veces que se desee, no tiene restricción alguna. Los registros de propósito general de 8 bits B, C, D, E, H y L pueden ser usados individualmente o pueden ser usados por parejas como registros de 16 bits con los nombres BC, DE y HL.

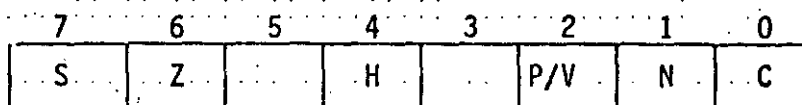
La unidad lógica y aritmética ALU del CPU Z80 realiza operaciones lógicas y aritméticas considerando al registro A como uno de sus operandos. Esta razón distingue al registro A de los demás registros de propósito general y le da el nombre de acumulador. El registro de banderas F denominado también "código de condiciones" o "palabra del estado del procesador" es un registro que indica mediante bits ciertas condiciones que tengan lugar como resultado de la operación realizada por la unidad lógica y aritmética. El registro de banderas F contiene 6 bits de información los cuales toman el valor 0 o 1 según el resultado de la operación realizada por el ALU. Es posible preguntar por el estado individual de estos 6 bits con el fin de tomar acciones que dependen del resultado de ciertas operaciones. El registro F está formado por:

- Bandera de acarreo C: esta bandera corresponde al acarreo desde el bit mar significativo del acumulador. Por ejemplo, la bandera de acarreo C toma el valor 1 cuando se ejecute una instrucción de suma aritmética y exista un acarreo del bit mas significativo del acumulador. Esta bandera también se afecta por las instrucciones resta y corrimientos.
- Bandera cero Z: esta bandera toma el valor 1 si el resultado de la operación es cero. De otro modo toma el valor 0.
- Bandera de signo: esta bandera toma el valor 1 si el resultado de la operación es negativo en la representación complemento a 2. Como en esta representación todos los números negativos tienen un 1 en el bit 7 y

todos los positivos tienen un 0 en el bit 7, esta bandera toma al valor del bit 7 del acumulador.

- Bandera de paridad/sobreflujo P/V: esta bandera de propósito doble indica la paridad del resultado de las operaciones lógicas o indica la existencia de sobreflujo en las operaciones aritméticas considerando una representación complemento a 2. La paridad par se expresa con $P=1$ y la paridad non con $P=0$. El sobreflujo se indica con $V=1$, y $V=0$ significa que no existió sobreflujo. El sobreflujo no es más que una indicación de que el resultado de una operación rebasa el máximo número representable en complemento a 2 con 8 bits.
- Bandera de acarreo intermedio H: esta bandera toma el valor del acarreo desde el bit 3 del resultado de una operación. Esta bandera solo sirve para realizar el algoritmo de conexión para suma aritmética en código BCD.
- Bandera de operación anterior N: esta bandera indica si la operación anterior fue una suma ($N=1$) o una resta ($N=0$) con el fin de aplicar el algoritmo adecuado a la corrección de las operaciones aritméticas con operador en código BCD.

La posición de las banderas dentro del registro F es la siguiente:



REGISTROS DE PROPOSITO ESPECIAL:

Registro contador de programa PC. Como ya se mencionó el registro contador de programa es un registro de 16 bits que contiene en todo momento la dirección de la localidad de memoria que contiene la siguiente instrucción a ejecutarse por el CPU. Cada que se ejecuta una instrucción el valor del PC se actualiza para apuntar a la siguiente instrucción en todo momento.

Registro apuntador de pila SP. Este registro de 16 bits contiene la dirección de la localidad de memoria que contiene al último elemento de un conjunto de

datos organizados en una pila o cola de espera con la regla "el último que llega es el primero que sale" (STACK). El CPU Z80 tiene instrucciones especiales para que los valores de los registros generales se almacenen en la pila o que dichos registros tomen su valor de la pila. El apuntador de pila SP sirve para controlar el manejo de la pila o cola de espera ya que sirve para determinar donde se debe almacenar un nuevo elemento que se agrega a la pila o indica cual es el dato de la pila que debe salir primero.

localidad de memoria

42E	
42F	3F
430	5A
431	6D
432	60

SP apuntador de pila
apunta al último elemento
que llegó a la pila y que
será el primero que sale.

La pila puede residir de cualquier conjunto de localidades de memoria. Es responsabilidad del usuario que la pila no crezca indefinidamente y destruya datos o parte del programa de usuario.

Registros índices IX e IY. Son dos registros independientes de 16 bits cada uno que se usan como direcciones base en el modo de direccionamiento indicado. En este modo de direccionamiento un registro índice apunta a una región de la memoria, la dirección específica de cada localidad de memoria de esta región se puede expresar como un número de 8 bits que expresa la posición relativa de la localidad dentro de la región (de -128 a + 127).

Registro de Interrupción I. Es un registro de 8 bits que apunta a una región de memoria donde debe residir una rutina de interrupción. El registro I proporciona los 8 bits más significativos y el dispositivo interruptor los 8 bits menos significativos de una localidad de memoria donde comienza la rutina de interrupción.

Registro de Refresco de memoria R. Es un registro de 8 bits que sirve para el control del refresco de memoria RAM dinámica si el sistema lo tiene. Es un registro que no usa el usuario programador.

PROGRAMACION DEL MICROPROCESADOR

El CPU Z80 puede ejecutar 158 diferentes tipos de instrucciones que se pueden clasificar en los siguientes grupos:

- carga e intercambio
- transferencia de bloques y búsqueda
- operaciones lógicas y aritméticas
- rotaciones y corrimientos
- manipulación individual de bits
- saltos y subrutinas
- operaciones de entrada y salida
- control básico del CPU

La programación de un microprocesador, requiere además de especificar el tipo de instrucción, especificar el modo de direccionamiento. Por modo de direccionamiento se debe entender la manera en que el microprocesador va a determinar la dirección de los operandos de la instrucción. La mayoría de las instrucciones de Z80 operan con datos almacenados en los registros internos del CPU, en la memoria ó en los puertos de entrada y salida. Existen varios modos de direccionamiento y dichos modos afectan el código de la instrucción.

Modo de direccionamiento inmediato: en este modo de direccionamiento el byte que sigue el código de la instrucción contiene el valor del operando. Un ejemplo de este modo de direccionamiento sería la carga del acumulador con una constante, donde la constante está en el byte que sigue inmediatamente al código de la instrucción.

LD A # 25H

A ← 25H (37_{10})

localidad de
memoria

04F
050
051

3E
25

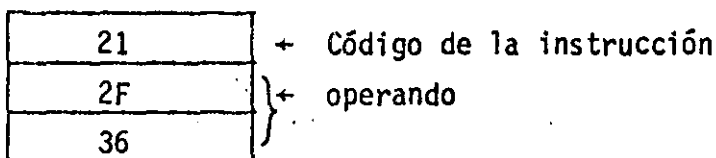
+ Código de la instrucción
+ operando

Modo de direccionamiento inmediato extendido: este modo es simplemente una extensión del modo de direccionamiento inmediato y el operando aparece en los dos bytes que siguen al código de la instrucción. Un ejemplo de este modo sería la carga de la pareja de registros HL con una constante mayor de 255 (16 bits; 2 bytes).

LD HL, 362FH H ← 36; L ← 2F

localidad de
memoria

310
311
312

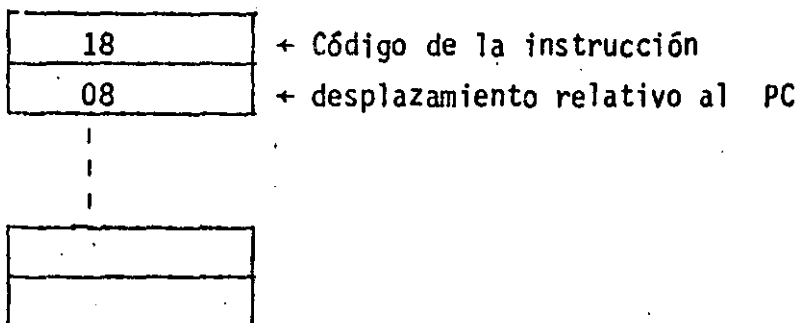


Modo de direccionamiento Relativo: este direccionamiento se emplea para el cálculo de cualquier transferencia en el flujo del programa de usuario, esto es, se emplea para calcular saltos y llamadas a subrutina relativos a la dirección almacenada en el contador de programa PC. Con este modo de direccionamiento el nuevo valor del PC se encuentra sumando al valor actual del PC el contenido del byte que sigue al código de la instrucción.

JR OTRO PC ← OTRO + 10E

localidad de
memoria

104
105
viejo PC → 106



nuevo PC → 10E

mientras se ejecuta la instrucción JR OTRO el PC, ya está apuntando a la siguiente instrucción por eso apunta a la localidad de memoria 106. La longitud del salto relativo cae en el rango entre +127 y -128 localidades de memoria a partir del valor del contador de programa PC.

Modo de direccionamiento Extendido: en este modo de direccionamiento los dos bytes que siguen al código de la instrucción contienen la dirección del operando. Con este modo de direccionamiento el operando puede residir en cualquier localidad de memoria dentro del mapa de 64K. El CPU Z80 lo emplea fundamentalmente para leer o almacenar datos de cualquier localidad de memoria o para realizar saltos de programa a cualquier localidad de memoria.

LD HL, (362F) H HL ← (362F)

El uso del parentesis siempre significa que el número dentro del paréntesis corresponde a la dirección del operando.

localidad de
memoria

F4F	2A	} + código de la instrucción dirección del operando
F50	2F	
F51	36	

Modo de direccionamiento indicado: la dirección del operando con este modo de direccionamiento se obtiene de la suma del registro índice IX ó IY y del byte que sigue al código de la instrucción. El código de la instrucción especifica cual registro índice IX ó IY se usa. En este modo de direccionamiento un registro índice apunta a una región de memoria; la dirección específica de cada localidad de memoria de esta región se puede expresar como un desplazamiento de 8 bits que expresa la posición relativa de la localidad dentro de la región (de -128 a +127). El valor almacenado en el registro índice no se altera.

ADD (IY + 34) A ← A + (IY + 34)

localidad de
memoria

110	FD	} código de la instrucción + desplazamiento.
111	86	
112	34	

Modo de direccionamiento Registro o Inherente: el CPU Z80 realiza varias operaciones donde los operandos residen en sus registros internos. El código de instrucción lleva bits de información que indican cuales son los registros internos del CPU que se usarán

CD C, H

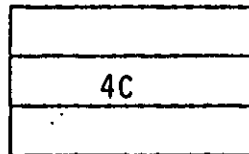
C ← H

localidad de
memoria

F3F

F40

F41



+ código de la instrucción

Modo de direccionamiento Implícito: algunas operaciones del CPU Z80 llevan implícito cual es el registro interno del CPU que contiene el operando. A diferencia del modo registro no existen bits dentro del código de instrucción que indiquen cuales registros están implicados. La definición de la instrucción establece cual es el registro o registros empleados.

DAA

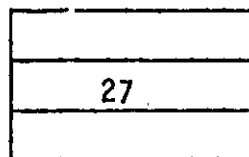
A + A empaquetado en código BCD.

localidad de
memoria

407

408

409



+ código de instrucción

Modo de direccionamiento Registro Indirecto: en este modo de direccionamiento una pareja de registros como BC ó HL contienen la dirección del operando.

INC (HL)

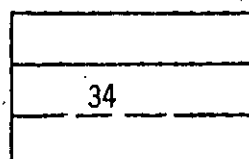
(HL) ← (HL) + 1

localidad de
memoria

374

375

376



+ código de instrucción

CONJUNTO DE INSTRUCCIONES

LD - Operación carga de 8 bits.

		SOURCE																
		IMPLIED		REGISTER								REG INDIRECT			INDEXED		TEXT	IMVE
		I	R	A	B	C	D	E	H	L	(HL)	(BC)	(DE)	(IX+d)	(IY+d)	3A	3E	
REGISTER	A	LD 57	ED 5F	7F	78	79	7A	7B	7C	7D	7E	0A	1A	DD 7E e	FD 7E e	3A n	3E n	
	B			47	40	41	42	43	44	45	46			DD 4E e	FD 4E e		06 n	
	C			4F	48	49	4A	4B	4C	4D	4E			DD 4E e	FD 4E e		0E n	
	D			57	50	51	52	53	54	55	56			DD 5E e	FD 5E e		16 n	
	E			6F	68	69	6A	6B	6C	6D	6E			DD 6E e	FD 6E e		1E n	
	H			67	60	61	62	63	64	65	66			DD 6E e	FD 6E e		26 n	
	L			6F	68	69	6A	6B	6C	6D	6E			DD 6E e	FD 6E e		2E n	
DESTINATION	REG INDIRECT	(HL)		77	70	71	72	73	74	75							36 n	
		(BC)		02														
		(DE)		12														
INDEXED	(IX+d)			DD 77 d	DD 70 d	DD 71 d	DD 72 d	DD 73 d	DD 74 d	DD 75 d							CC 3E 7E 7F	
	(IY+d)			FD 77 e	FD 70 d	FD 71 d	FD 72 d	FD 73 d	FD 74 d	FD 75 d								
EXT ADDR	(nn)			32 n n														
IMPLIED	I			ED 47														
	R			ED 4F														

CODIGO SIMBOLICO

OPERACION

LD A, C
 LD E, (HL)
 LD (BC), A
 LD D, (IX+5)
 LD B, 18H
 LD A, (3FFH)
 LD A, I
 LD (HL), H
 LD (IY-4), C
 LD (IY+8), 06H

A + C
 E + (HL)
 (BC) + A
 D + (IX+5)
 B + 18
 A + (3FF)
 A + I
 (HL) + H
 (IY-4) + C
 (IY+8) + 6

LD - OPERACION CARGA DE 16 BITS
 PUSH - GUARDA PAREJA DE REGISTROS EN LA PILA
 POP - CARGA PAREJA DE REGISTROS DE LA PILA

		SOURCE								IMM. LXT.	EXT. ADDR.	REG. INDIR.
		REGISTER										
		AF	BC	DE	HL	SP	IX	IY	nn	(nn)	(SP)	
REGISTER	AF										F1	
	BC								01 nn	ED 48 nn	C1	
	DE								11 nn	1D 58 nn	D1	
	HL								21 nn	2A nn	E1	
	SP				F9		DD F9	FD F9	31 nn	ED 78 nn		
	IX								DD 21 nn	DD 2A nn	DD E1	
	IY								FD 21 nn	FD 2A nn	FD E1	
EXT. ADDR.	(nn)		ED 43 nn	1D 53 nn	22 nn	ED 73 nn	DD 22 nn	FD 22 nn				
PUSH INSTRUCTIONS →	REG. IND.	(SP)	F6	C5	D5	E5		DD E5	FD E5			
											↑ POP INSTRUCTIONS	

CODIGO SIMBOLICO

OPERACION

LD (2FFH), BC
 LD AF, (SP)
 LD BC, 100H
 LD DE, (400H)
 LD SP, HL
 PUSH AF
 PUSH IX
 POP DE
 POP BC
 POP HL

(2FF) ← BC
 AF ← (SP)
 BC ← 100
 DE ← (400)
 SP ← HL
 guarda A y F en la pila
 guarda IX en la pila
 carga D y E de la pila
 carga B y C de la pila
 carga H y L de la pila

EX, EXX. OPERACIONES DE CAMBIO DE REGISTROS

		IMPLIED ADDRESSING				
		AF	BC, DE & HL	HL	IX	IY
IMPLIED	AF	08				
	BC, DE & HL		EXX 09			
	DE			EB		
REG. INDIC.	(SP)			E3	DD E3	FD E3

CODIGO SIMBOLICOOPERACION

EX AF, AF

cambio de acumulador y registro de banderas

EX DE, HL

DE ↔ HL

EX (SP), HL

H ↔ (SP+1); L ↔ (SP)

EX (SP), IX

IX_H ↔ (SP+1); IX_L ↔ (SP)

EX (SP), IY

IY_H ↔ (SP+1); IY_L ↔ (SP)

EXX

cambio de conjunto de registros generales

BC, DE y HL.

LDI, LDD, LDIR, LDDR OPERACIONES DE TRANSFERENCIA DE BLOQUES DE INFORMACION

		SOURCE		
		REG. INDIR	(HL)	
DESTINATION	REG. INDIR	(DE)	ED A0	'LDI' - Load (DE) → (HL) Inc HL & DE, Dec BC
			FD B0	'LDIR' - Load (DE) → (HL) Inc HL & DE, Dec BC, Repeat until BC = 0
			ED A8	'LDD' - Load (DE) → (HL) Dec HL & DE, Dec BC
			FD B8	'LDDR' - Load (DE) → (HL) Dec HL & DE, Dec BC, Repeat until BC = 0

Reg HL points to source
 Reg DE points to destination
 Reg BC is byte counter

CODIGO SIMBOLICOOPERACION

LDI	(DE) ← (HL) HL ← HL+1; DE ← DE+1; BC ← BC - 1
LDIR	(DE) ← (HL) HL ← HL+1; DE ← DE+1; BC ← BC - 1 si BC ≠ 0 repite operación.
LDD	(DE) ← (HL) HL ← HL-1; DE ← DE -1; BC ← BC -1
LDDR	(DE) ← (HL) HL ← HL-1; DE ← DE-1; BC ← BC -1 si BC ≠ 0 repite operación.

CPI, CPIR, CPD, CPDR. OPERACIONES DE BUSQUEDA POR COMPARACION.

SEARCH LOCATION	
REG INDIR.	
(HL)	
ED A1	'CPI' Inc HL, Dec BC
ED B1	'CPIR', Inc HL, Dec BC repeat until BC = 0 or find match
ED A9	'CPD' Dec HL & BC
ED B9	'CPDR' Dec HL & BC Repeat until BC = 0 or find match

HL points to location in memory
to be compared with accumulator
contents
BC is byte counter

CODIGO SIMBOLICOOPERACION

CPI	A: (HL) comparación HL ← HL + 1; BC ← BC - 1
CPIR	A: (HL) comparación HL ← HL + 1; BC ← BC - 1 repite operación hasta que BC = 0 ó A = (HL)
CPD	A: (HL) comparación HL ← HL - 1; BC ← BC - 1
CPDR	A: (HL) comparación HL ← HL - 1; BC ← BC - 1 repite operación hasta que BC = 0 ó A = (HL)

Bit P/V=0 si la operación terminó por BC = 0

Bit Z=1 si la operación terminó por A = (HL).

OPERACIONES LOGICAS Y ARITMETICAS DE 8 BITS

SOURCE

	REGISTER ADDRESSING							REG. INDIR.	INDEXED		IMMED.
	A	B	C	D	E	H	L	(HL)	(IX+d)	(IY+d)	n
'ADD'	87	88	89	8A	8B	8C	8D	8E	DD 8E d	FD 8E d	CG n
ADD w CARRY 'ADC'	8F	88	89	8A	8B	8C	8D	8E	DD 8E d	FD 8E d	CE n
SUBTRACT 'SUB'	87	88	89	8A	8B	8C	8D	8E	DD 8E d	FD 8E d	D6 n
SUB w CARRY 'SBC'	8F	88	89	8A	8B	8C	8D	8E	DD 8E d	FD 8E d	DE n
'AND'	A7	A8	A9	AA	AB	AC	AD	AE	DD A6 d	FD A6 d	E6 n
'XOR'	AF	A8	A9	AA	AB	AC	AD	AE	DD AE d	FD AE d	EE n
'OR'	B7	B8	B9	BA	BB	BC	BD	BE	DD B6 d	FD B6 d	F6 n
COMPARE 'CP'	BF	B8	B9	BA	BB	BC	BD	BE	DD BE d	FD BE d	FE n
INCREMENT 'INC'	3C	04	0C	14	1C	24	2C	34	DD 34 d	FD 34 d	
DECREMENT 'DEC'	3D	05	0D	15	1D	25	2D	35	DD 35 d	FD 35 d	

CODIGO SIMBOLICO

ADD A, B
 ADC A, C
 SUB D
 SBC A, E
 AND H
 OR L
 XOR (HL)
 CP (IX-3)
 OR 3FH
 INC (IY+4)

OPERACION

$A \leftarrow A + B$
 $A \leftarrow A + C + \text{acarreo}$
 $A \leftarrow A - D$
 $A \leftarrow A - E - \text{acarreo}$
 $A \leftarrow A \cdot H$
 $A \leftarrow A + L$
 $A \leftarrow A \oplus (\text{HL})$
 $A : (\text{IX}-3) \text{ comparaci3n}$
 $A \leftarrow A + 0011\ 1111$
 $(\text{IY}+4) \leftarrow (\text{IY}+4) + 1$

OPERACIONES ARITMETICAS DE 16 BITS

		SOURCE						
		BC	DE	HL	SP	IX	IY	
DESTINATION	'ADD'	HL	0D	1D	2D	3D		
		IX	DD 09	DD 19		DD 39	DD 79	
		IY	FD 09	FD 19		FD 39		FD 79
	ADD WITH CARRY AND SET FLAGS 'ADC'	HL	ED 4A	ED 5A	ED 6A	ED 7A		
	SUB WITH CARRY AND SET FLAGS 'SBC'	HL	ED 42	ED 52	ED 62	ED 72		
	INCREMENT 'INC'		03	13	23	33	DD 23	FD 23
	DECREMENT 'DEC'		0B	1B	2B	3B	DD 2B	FD 2B

CODIGO SIMBOLICO

ADD HL, BC
 ADD IX, DE
 ADD IY, SP
 ADC HL, DE
 SBC HL, SP
 INC IX
 INC IY

OPERACION

$HL \leftarrow HL + BC$
 $IX \leftarrow IX + DE$
 $IY \leftarrow IY + SP$
 $HL \leftarrow HL + DE + \text{bit de acarreo}$
 $HL \leftarrow HL - SP - \text{bit de acarreo}$
 $IX \leftarrow IX + 1$
 $IY \leftarrow IY + 1$

OPERACIONES DE TRANSFERENCIA DEL FLUJO DEL PROGRAMA LLAMADAS Y RETORNOS DE SUBROUTINAS.

			CONDITION									
			UN- COND	CARRY	NON CARRY	ZERO	NON ZERO	PARITY EVEN	PARITY ODD	SIGN NEG	SIGN POS	REG 0-0
JUMP 'JP'	IMMED. EXT.	nn	C3 n n	DA n n	D2 n n	CA n n	C2 n n	EA n n	E2 n n	FA n n	F2 n n	
JUMP 'JR'	RELATIVE	PC+e	18 e-2	38 e-2	30 e-2	28 e-2	20 e-2					
JUMP 'JP'	REG. INDIR.	(HL)	E9									
JUMP 'JP'		(IX)	DD E9									
JUMP 'JP'		(IY)	FD E9									
'CALL'	IMMED. EXT.	nn	CD n n	DC n n	D4 n n	CC n n	C4 n n	EC n n	E4 n n	FC n n	F4 n n	
DECREMENT B. JUMP IF NON ZERO 'DJNZ'	RELATIVE	PC+e										10 e-2
RETURN 'RET'	REGISTER INDIR.	(SP) (SP+1)	C9	D8	D0	C8	C0	E8	E0	F8	F0	
RETURN FROM INT 'RETI'	REG. INDIR.	(SP) (SP+1)	E0 40									
RETURN FROM NON MASKABLE INT 'RETN'	REG. INDIR.	(SP) (SP+1)	E0 45									

CODIGO SIMBOLICO

OPERACION

JP	3000H	PC + 3000
JP	C,4000H	PC + 4000 si y solo si bandera de acarreo = 1
JR	ETIQ1	PC + ETIQ1
JR	NZ ETIQ2	PC + ETIQ2 si y solo si bandera Z = 0.
JP	(HL)	PC + (HL)
CALL	3000H	Llamada a subrutina que empieza en 3000.
CALL	NC 5FF0H	Llamada a subrutina que empieza en 5FF0 si y solo si bandera de acarreo = 0.
DJNZ	ETIQ3	B←B-1; PC←ETIQ3 si y solo si B ≠ 0.
RET		Regreso de subrutina
RET	Z	Regreso de subrutina, si y solo si Z = 1
RETI		Regreso de interrupción, (INT)

OPERACIONES DE ENTRADA. (MANEJO DE PUERTOS).

		PORT ADDRESS	
		IMMED.	REG INDIR.
		n	(C)
INPUT DESTINATION	REG ADDRESSING	A	ED 78
		B	ED 40
		C	ED 48
		D	ED 50
		E	ED 58
		H	ED 60
		L	ED 6C
'INI' - INPUT & Inc HL, Dec B	REG, INDIR	(HL)	ED A2
'INIR' - INP, Inc HL, Dec B, REPEAT IF B ≠ 0		(HL)	ED B2
'IND' - INPUT & Dec HL, Dec B		(HL)	ED AA
'INDR' - INPUT, Dec HL, Dec B, REPEAT IF B ≠ 0		(HL)	ED BA

} BLOCK INPUT COMMANDS

CODIGO SIMBOLICO

OPERACION

- IN A, 54H A ← dato del puerto cuya dirección es 54
- IN B, (C) B ← dato del puerto cuya dirección esta contenida en C.
- INI (HL) ← (C); B ← B-1; HL ← HL+1
- INIR (HL) ← (C); B ← B-1; HL ← HL+1
 repite operación hasta que B=0
- IND (HL) ← (C); B ← B-1; HL ← HL-1
- INDR (HL) ← (C); B ← B-1; HL ← HL-1
 repite operación hasta que B=0.

OPERACIONES DE SALIDA

			SOURCE							REG. IND.
			REGISTER							(HL)
			A	B	C	D	E	H	L	
'OUT'	IMMED.	n	D3 n							
	REG. IND.	(C)	ED 79	ED 41	ED 49	ED 51	ED 59	ED 61	ED 69	
'OUTI' - OUTPUT Inc HL, Dec B	REG. IND.	(C)								ED A3
'OTIR' - OUTPUT, Inc HL, Dec B, REPEAT IF B ≠ 0	REG. IND.	(C)								ED B3
'OUTD' - OUTPUT Dec HL & B	REG. IND.	(C)								ED AB
'OTDR' - OUTPUT, Dec HL & B, REPEAT IF B ≠ 0	REG. IND.	(C)								ED BB

PORT
DESTINATION
ADDRESS

BLOCK
OUTPUT
COMMANDS

CODIGO SIMBOLICO

OPERACION

OUT 54H, A	Puerto cuya dirección es 54 + A
OUT (C), A	Puerto cuya dirección está almacenada en C + A
OUTI	(C) ← (HL); B ← B-1; HL ← HL+1
OTIR	(C) ← (HL); B ← B-1; HL ← HL+1 repite operación hasta que B=0
OUTD	(C) ← (HL); B ← B-1; HL ← HL-1
OTDR	(C) ← (HL); B ← B-1; HL ← HL-1 repite operación hasta que B=0

DIRECTORIO DE ALUMNOS DEL CURSO "DISPOSITIVOS Y CIRCUITOS ELECTRONICOS"
IMPARTIDO EN ESTA DIVISION DEL 10 al 22 DE SEPTIEMBRE DE 1984.

- 1.- ALVARADO SERRANO CARLOS
ALFA INGENIERIA EN COMNS.
Y ELECTRONICA
DISEÑADOR
VIADUCTO MIGUEL ALEMAN No. 236
COL. ESCANDON
DELEGACION ALVARO OBREGON
06800 MEXICO, D.F.
277-19-85
AV. 535 No. 269
UNIDAD ARAGON
DELEGACION GUSTAVO A. MALERO
07000 MEXICO, D.F.
551-00-86
- 2.- ARREDONDO SANCHEZ MANUEL
VIDRIERA ORIENTAL, S.A
INSTRUMENTISTA
CUCARACHA No. 30
COL. BENITO JUAREZ
NETZAHUALCOYOTL
57000 MEXICO, D.F.
- 3.- AVILES RIVERO A. RODOLFO
COMISION FEDERAL DE ELECTRICIDAD
INGENIERO PROYECTO
MISSISSIPPI No. 71
COL. CUAUHEMOC
553-71-33 ext. 2722
NORTE 54 No. 3717
COL. EMILIANO ZAPATA
DELEGACION GUSTAVO A. MADERO
759-24-14
- 4.- BOLIO GARCIA ROGELIO
FACULTAD DE INGENIERIA
TECNICO ACADEMICO AUXILIAR
CIUDAD UNIVERSITARIA
MZ-3 G-8-2B
UNIDAD SANTA FE
DELEGACION ALVARO OBREGON
01170 MEXICO, D.F.
277-06-12
- 5.- CORNEJO LUNA SERGIO
TESORERIA DEL D. F.
TECNICO MANTO. CONMUTADOR
DR. LAVISTA Y NIÑOS HEROES
COL. DOCTORES
DELEGACION CUAUHEMOC
588-10-28
PROL. GALEANA No. 249
COL. MIGUEL HIDALGO
DELEGACION TLAINEPANTLA
398-60-44
- 6.- DELGADILLO BOCANEGRA FELIPE DE JESUS
CETT
PROFESOR DE TIEMPO COMPLETO
EL CHACO No. 3223
COL. PROVIDENCIA
DELEGACION GUADALAJARA
P. DE LOS CAFETOS No. 1235
COL. TABACHINES

- 7.- DIAZ MARTINEZ VICTORINO
DATATRONIC, S.A.
INGENIERO DE LABORATORIO
RIO NAZAS No. 130.
COL. CUAUHEMOC
525-28-60
- CALLER PERLITAS No. 8
COL. BARRIO NORTE
DELEGACION ALVARO OBREGON
01410 MEXICO, D.F.
- 8.- DIAZ OSORIO ALBERTO
INSTITUTO MEXICANO DEL PETROLEO
PROFESIONAL ASISTENTE
EJE CENTRAL LAZARO CARDENAS No. 152
COL. SAN BARTOLO ATEPEHUACAN
567-66-00 ext. 2058
- MASCAGNI No. 25-201
COL. EXHIPODROMO DE PERALVILLO
DELEGACION CUAUHEMOC
06200 MEXICO, D.F.
- 9.- ESCAMILLA ASIAIN JOAQUIN B.
VIDRIERA ORIENTAL, S.A.
JEFE DE DEPTO. INSTRUMENTACION
OTE 237 No. 39
COL. AGRICOLA ORIENTAL
08500 MEXICO, D.F.
558-21-99
- ALCATRAZ No. M610 L-25
JARDINES DE MORELOS
ECATEPEC DE MORELOS
- 10.- FLORES GALLARDO CARLOS
FACULTAD DE INGENIERIA
AYUD. PROFESOR INVESTIGADOR
- TANLUM MZA. 274 LOTE 10
TORRES DE PADIERNA
DELEGACION TLALPAN
14260 MEXICO, D.F.
550-39-12
- 11.- FLORES HERRERA JOSE ROBERTO
D. D. F.
JEFE GEC. ELECTRONICA
SAN ANTONIO ABAD No. 231-50. PISO
COL. OBRERA
588-31-21
- AV. MORELOS No. 827 EDIF. 2-4
COL. MAGDALENA MICHUCA
DELEGACION VENUSTIANO CARRANZA
592-74-38
- 12.- GARCIA OSORIO FCO. JAVIER
FACULTAD INGENIERIA
AYUDANTE PROFESOR
CD. UNIVERSITARIA
COL. COYOACAN
DELEGACION COYOACAN
04750 MEXICO, D.F.
550-52-15ext. 3748
- ROSARIO CASTELLANOS No. 404
COL. U.M. MAZA DE JUAREZ
DELEGACION IXTAPALAPA
09330 MEXICO, D.F.
- 13.- HJET NUÑEZ GUSTAVO
MAQUINAS EQUO, S.A.
TECNICO EQUIPO ELECTROMECHANICO
RIO DE LA PLATA E-1-303
236-32-35
- EDIF. 22 A-402
UNIDAD CATIZ
ZACATENCO
GUSTAVO A. MADERO
586-36-15
- 14.- MARTINEZ RUIZ ANTONIO
SISTEMAS DIGITALES TELEFONICOS
SAN LORENZO No. 1009-20. PISO
COL. DEL VALLE
BENITO JUAREZ
- URUGUAY No. 120 DEPTO. 5
COL. CENTRO
DELEGACION CUAUHEMOC
06060 MEXICO, D.F.

15.- MONTES RAMOS OTILIO
SPARVEL, S.A.
GERENTE DE OPERACIONES
NORTE 45 No. 1016
COL. INDUSTRIAL VALLEJO
DELEGACION AZTCAPOTZALCO
567-85-46.

11 DE ABRIL No. 105-5
COL. SAN PEDRO DE LOS PINOS
DELEGACION BENITO JUAREZ
277-36-31

16.- MORENO LOZANO ISMAEL JAIME
FA. DE ING. U. N. A. M.
INVESTIGADOR
CIUDAD UNIVERSITARIA
DELEGACION ALVARO OBREGON
04510 MEXICO, D.F.
550-52-15 ext. 3748

SAN BARTOLO NAUCALPAN No. 86
COL. ARGENTINA
DELEGACION MIGUEL HIDALGO
11270 MEXICO, D.F.
527-66-30

17.- MORENO RAMIREZ MOISES
C. F. E.
INGENIERO PROYECTISTA
RIO MISSISSIPPI No. 71-110. PISO
COL. CUAUHTEMOC
DELEGACION CUAUHTEMOC
553-71-33

MARCOS CARRILLO No. 196
COL. ASTURIAS
DELEGACION CUAUHTEMOC
06850 MEXICO, D.F.
519-18-26

18.- ARANDA GAMARRETA CESAR FERMIN
TESORERIA DEL D. F.
MECANICO ELECTRICISTA
PROCESAMIENTO DE DATOS

PASEO DE LA REFORMA No. 374-14
COL. JUAREZ

19.- RIVERA TIRADO HECTOR
TESORERIA DEL D. F.
MECANICO ELECTRICISTA
DR. LAVISTA No. 144
COL. DOCTORES
DELEGACION CUAUHTEMOC

SUR 151 MANZANA 3 LOTE 47
COL. ZAPATA VELA
DELEGACION IZTACALCO
08040 MEXICO, D.F.

20.- ROMERO VALLEJO DANIEL ALFONSO
VIDRIERA ORIENTAL
JEFE DE MANTENIMIENTO
ORIENTE 237 No. 39
COL. AGRICOLA ORIENTAL
DELEGACION IZTACALCO
558-21-99.

PRADO DEL CEDRO No. 28 MZ. 11 LOTE 14A1
NETZAHUALCOYOTL

21.- SILVA GUTIERREZ DAVID

AGUSTIN MELGAR No. 42-202
COL. CONDESA
06140 MEXICO, D.F.
286-45-19

22.- VALDIVIA SALAZAR TOMAS
TESORERIA DEL D. F.
MECNICO ELECTRICO
DR. LAVISTA Y NIÑOS HEROES
COL. DOCTORES
DELEGACION CUAUHEMOC
588-10-28

NORTE 72 No. 5426
COL.
DELEGACION GUSTAVO A. MADERO
761-45-58

23.- YAZQUEZ SANCHEZ MAURICIO RENE
DATATRONIC, S.A.
INGENIERO DE LABORATORIO
RIO NAZAS No. 130
COL. CUAUHEMOC
DELEGACION CUAUHEMOC
06500. MEXICO, D.F.
525-28-60

CUAUHEMOC No. 40-A-101
COL. FCO. XICALTONGO
DELEGACION IXTACALCO
590-03-66

