

Conclusiones

Se implementó un inversor monofásico con topología H que servirá como herramienta a investigadores y estudiantes para comprobar nuevos algoritmos de control de conmutación en convertidores electrónicos, con la finalidad de verificar el funcionamiento y rendimiento, esperados de múltiples sistemas donde se presenta la transformación de tensión directa a alterna.

El inversor construido atiende a las necesidades de compatibilidad impuestas por los otros elementos del SEE. Una vez implementado el SEE se contará con la posibilidad de evaluar diferentes técnicas de modulación y conmutación de los interruptores electrónicos de un inversor y poder medir la efectividad de tales algoritmos con base en distintos parámetros tales como la distorsión armónica total.

El proyecto desarrollado puede ser considerado como un elemento básico para el posterior desarrollo de bancos de prueba de inversores multinivel.

El inversor se construyó con elementos discretos de fácil adquisición, disponibles en el mercado y a pesar de la simplicidad del diseño se requirió de la consolidación de una gran cantidad de conocimientos para desarrollar el proyecto y que fue de gran utilidad al momento de resolver los problemas de diseño.

Si bien la potencia máxima establecida como parámetro de diseño fue de 3 [kVA], el inversor tiene capacidad para manejar mayor cantidad de energía sólo está limitado por los rangos máximos de tensión y corriente de los MOSFET siendo el valor máximo de potencia de 5 [kVA].

Con la implementación del sistema de seguridad se brinda protección no solo al inversor sino también a la etapa de control del SEE, etapa que en la mayoría de los casos representa la parte de hardware más costosa de todo un sistema, además de avisar oportunamente al usuario de situaciones de riesgo.

Con el fin de mostrar una metodología de diseño alterna a la utilizada en sistemas basados en microprocesadores se utilizó la lógica programable en el desarrollo del Sistema de Seguridad, obteniendo resultados satisfactorios en cuanto a velocidad y facilidad. Al utilizar el lenguaje VHDL se brinda además la posibilidad de implementar el SS en otros dispositivos con arquitecturas diferentes.

Con lógica programable se logró la generación del tiempo muerto el cual es posible modificar con sólo variar la frecuencia de la señal de temporización, con todo lo anterior se prescindió de elementos extras que generaran el tiempo muerto ahorrando así en espacio y costo.

Se diseñó al SS de manera tal que permita varias secuencias de encendido dando la oportunidad al usuario de utilizarlas si son requeridas.

En este sentido los recursos utilizados en el PLD representan el 72 % de los recursos disponibles totales dispositivo.

A pesar de que no se llevó a cabo pruebas experimentales con todas las posibles secuencias de encendido, las realizadas arrojaron resultados satisfactorios que coinciden con los esperados por la teoría y la simulación. Se pudo comprobar que tanto el SM como el SS respondieron como se había planeado. El tiempo de respuesta del SS fue de 2 [μ s] siendo un tiempo aceptable.

A pesar de que el inversor está diseñado para funcionar a una frecuencia máxima de 20 [kHz], el SS es capaz de responder adecuadamente a señales de control de frecuencias cercanas a los 500 [kHz] como se pudo comprobar en la sección de simulaciones.

Entre las limitantes que tiene el sistema desarrollado se pueden mencionar la duración de las señales de control que aseguren un correcto funcionamiento del PLD siendo una duración aceptable una mayor a 2.5 microsegundos.

La descripción de la máquina de estados no es única y existen infinitas formas de describir el comportamiento del SS lo que brinda la posibilidad a alguien interesado de modificar e incluso rehacer la descripción del SS con el fin de aumentar o disminuir las funciones del SS, es en este sentido que se presenta una limitación más del inversor, ya que el PLD utilizado tiene poca capacidad y un cambio en su descripción podría sobrepasar la capacidad del mismo obligando a ser implementado en uno mayor.

Es indudable que el sistema desarrollado tiene muchos aspectos que pueden ser mejorados, entre ellos el de aumentar una etapa de filtrado a la salida del inversor con el fin de obtener una mejor tensión de salida, buscar alguna forma alternativa que permita reducir la cantidad de fuentes de tensión, entre otras.

En el terreno de la programación del PLD se podría declarar la señal V como una señal asíncrona con el fin de reducir el tiempo de respuesta del SS a tan sólo el tiempo de retardo de PLD (del orden de los nanosegundos).

Tomando en cuenta los argumentos anteriores se concluye que se cumplieron satisfactoriamente los objetivos planteados al inicio de este trabajo de tesis con esto termina el presente trabajo y se sientan bases para la continuación de la investigación sobre convertidores electrónicos