

Capítulo 2

Diseño e Implementación del inversor

En el presente Capítulo se analiza el desarrollo de los sistemas y circuitos que integran la planta del SEE. Se mencionan tanto el funcionamiento como las tareas y necesidades que debe de satisfacer el bloque bajo estudio, para luego proponer una solución y finalmente llevar a cabo su construcción. Se inicia con el estudio del Sistema de Seguridad, luego se presenta el circuito de temporización, posteriormente se trata el manejo del Driver y se continúa con la descripción del Sistema de Medición. En la parte final del Capítulo se comenta sobre los dispositivos que forman al puente H y sobre las fuentes de tensión.

2.1 Sistema de seguridad

La ubicación del Sistema de Seguridad (SS) es la que se presenta en la Fig. 1.5, entre la Etapa de Control del SEE y los Drivers, y tiene la finalidad de garantizar la integridad física y el buen funcionamiento de todo el sistema. Debido a que las señales emitidas por la Etapa de Control son de naturaleza digital se establece que el Sistema de Seguridad sea un circuito digital. El SS interactúa con ocho señales de las cuales cuatro son de entrada y cuatro de salida, las cuales son analizadas en ésta sección.

La señal E es el resultado de la evaluación de algún algoritmo o ley de control implementado en la Etapa de Control, dicha señal representa una secuencia de encendido de los MOSFET del puente H, se constituye de cuatro bits y el valor de cada uno depende exclusivamente de la Etapa de Control del SEE. Si a cada uno de los cuatro MOSFET del puente H se le asigna un bit de la señal E para controlarlo y además se considera también que con valor de un uno lógico éste determina el encendido del MOSFET mientras que con un valor de cero lógico representa el apagado, se tiene entonces que se pueden generar 16 diferentes secuencias de encendido que representan 16 combinaciones de interruptores en el puente H. Dentro de estas combinaciones hay algunas que no deben ser implementadas ya que representan un corto circuito en el puente H (encendido de los dos interruptores de una misma rama). A tal grupo de combinaciones las denotaremos como *combinaciones inválidas*. Por otro lado las *combinaciones válidas* son todas aquellas en las cuales no están encendidos al mismo tiempo más de un interruptor electrónico de una misma rama.

En la Tabla 2.1 se presentan las 16 secuencias de encendido (E) de los MOSFET junto con la combinación de interruptores que representan (M).

E				M				Combinación
E4	E3	E2	E1	M4	M3	M2	M1	
0	0	0	0	OFF	OFF	OFF	OFF	Válida
0	0	0	1	OFF	OFF	OFF	ON	Válida
0	0	1	0	OFF	OFF	ON	OFF	Válida
0	0	1	1	OFF	OFF	ON	ON	Inválida
0	1	0	0	OFF	ON	OFF	OFF	Válida
0	1	0	1	OFF	ON	OFF	ON	Válida
0	1	1	0	OFF	ON	ON	OFF	Válida
0	1	1	1	OFF	ON	ON	ON	Inválida
1	0	0	0	ON	OFF	OFF	OFF	Válida
1	0	0	1	ON	OFF	OFF	ON	Válida
1	0	1	0	ON	OFF	ON	OFF	Válida
1	0	1	1	ON	OFF	ON	ON	Inválida
1	1	0	0	ON	ON	OFF	OFF	Inválida
1	1	0	1	ON	ON	OFF	ON	Inválida
1	1	1	0	ON	ON	ON	OFF	Inválida
1	1	1	1	ON	ON	ON	ON	Inválida

Tabla 2.1 Combinaciones validas e invalidas en un puente H

Debido a que existe la posibilidad de que la Etapa de Control del SEE genere secuencias de encendido tanto válidas como inválidas, el Sistema de Seguridad propuesto debe ser capaz de clasificar a dichas secuencias de entrada en válidas e inválidas y generar una secuencia a su salida que garantice en todo momento el no encendido de mas de un transistor de una misma rama simultáneamente, a pesar de que la señal E represente una secuencia de disparo inválida.

Dicha secuencia de salida es la señal S la cual se encarga de controlar el estado de los MOSFET por medio del manejo de los drivers, es también de cuatro bits (S1,S2,S3 y S4) y su valor depende del adoptado por la señal E lo que implica que cambiará de valor tantas veces como cambie el valor de E.

Para determinar qué valor es el idóneo que debe adoptar cada uno de los bits de S ante un cambio de E, es necesario tomar en cuenta dos factores. Primero establecer las combinaciones de interruptores electrónicos que permitirá implementar el SS en el puente H y segundo conocer el funcionamiento del driver.

Con respecto al funcionamiento del driver, debido al modelo utilizado en este trabajo y por conveniencia (sección 2.7), es posible establecer la siguiente relación entre los estados de un MOSFET y el valor de la señal S, siendo la siguiente

- Con un valor de S=0 el estado del MOSFET es encendido.
- Con un valor de S=1 el estado del MOSFET es apagado.

En cuanto a las combinaciones de interruptores se establece que ante una secuencia de encendido válida el SS genere una secuencia de salida S la cual pueda implementar la respectiva combinación de interruptores electrónicos en el puente H. Por otro lado ante una secuencia de encendido inválida se debe generar una secuencia alterna cuya combinación de

interruptores sea segura para el puente H, la más segura es sin lugar a dudas la que representa el apagado de todos los MOSFET.

En este momento se puede establecer una tabla de verdad donde se toman en cuenta todas las combinaciones posibles que puede tomar la señal E así como el valor de la señal S y el estado de los MOSFET (Tabla 2.2). Se agrega además el equivalente decimal de dichas señales (E_{10} y S_{10}).

E_{10}	E				S				S_{10}	M			
	E4	E3	E2	E1	S4	S3	S2	S1		M4	M3	M2	M1
0	0	0	0	0	1	1	1	1	15	OFF	OFF	OFF	OFF
1	0	0	0	1	1	1	1	0	14	OFF	OFF	OFF	ON
2	0	0	1	0	1	1	0	1	13	OFF	OFF	ON	OFF
3	0	0	1	1	1	1	1	1	15	TODOS OFF			
4	0	1	0	0									
5	0	1	0	1	1	0	1	0	10	OFF	ON	OFF	ON
6	0	1	1	0	1	1	1	1	15	TODOS OFF			
7	0	1	1	1									
8	1	0	0	0									
9	1	0	0	1	0	1	1	0	6	ON	OFF	OFF	ON
10	1	0	1	0	0	1	0	1	5	ON	OFF	ON	OFF
11	1	0	1	1	1	1	1	1	15	TODOS OFF			
12	1	1	0	0									
13	1	1	0	1									
14	1	1	1	0									
15	1	1	1	1									

Tabla 2.2 Combinaciones posibles

Donde,

E: es la secuencia de disparo generada por la etapa de control como resultado de los algoritmos de control evaluados.

S: es la secuencia generada por el SS. Ninguna de ellas permite el encendido de más de un MOSFET de la misma rama al mismo tiempo.

M: representa el estado de los cuatro MOSFET del puente H.

En otro contexto con el fin de garantizar un buen funcionamiento del inversor, el tiempo muerto (t_d) juega un papel importante para evitar cortos circuitos. Dicho tiempo muerto se puede considerar como un retardo entre apagado y encendido de los transistores. El t_d debe presentarse siempre entre dos secuencias de encendido válidas con el fin de asegurar que todos los interruptores electrónicos han sido desactivados por completo antes de volver a encenderlos. El estado de todos los MOSFET durante el t_d es el apagado total (sección 1.3.1). Es aconsejable que el SS tenga pleno control sobre su generación y duración. Por lo que, debe ser éste el encargado de producirlos, para ello se considera la utilización de un Circuito de Temporización que proporcione señales de reloj al SS.

Durante la operación del SEE existe el riesgo de que se presente una condición que demande una cantidad mayor de corriente que la nominal que debe soportar el inversor (condición de

sobrecorriente) y/o corto circuito, para evitarlo se necesita de un sistema que *mida* la corriente que demanda la carga conectada al inversor y que sea capaz de “avisar” al SS cuando el valor de ésta sobrepase un límite establecido, con el fin de que el SS detenga el funcionamiento del inversor. El valor de tal límite está determinado por la corriente nominal que puede manejar el tipo de MOSFET seleccionado. Para nuestro caso un valor apropiado es de 10 [A]. En las páginas subsecuentes a tal sistema lo llamaremos *Sistema de Medición* y su descripción se aborda más adelante.

Con base en el contexto anterior las tareas que debe realizar el SS son:

- a) Verificar que la secuencia de encendido (secuencia de control) no ponga en riesgo al inversor.
- b) Establecer un valor adecuado para la secuencia S de tal manera que ningún valor de E active a dos MOSFET de una misma rama al mismo tiempo.
- c) Generar el tiempo muerto (t_d) entre secuencias válidas consecutivas.
- d) Suspender la operación del sistema cuando exista gran demanda de corriente por parte de la carga conectada en el puente H.
- e) Indicar al usuario que se ha desactivado al sistema.
- f) Indicar al usuario que se ha detectado una secuencia de encendido inválida.

Una representación gráfica del SS se muestra en la Fig. 2.1 junto con las señales de entrada/salida que maneja y el número de bits de cada una de ellas (mostrado entre corchetes).

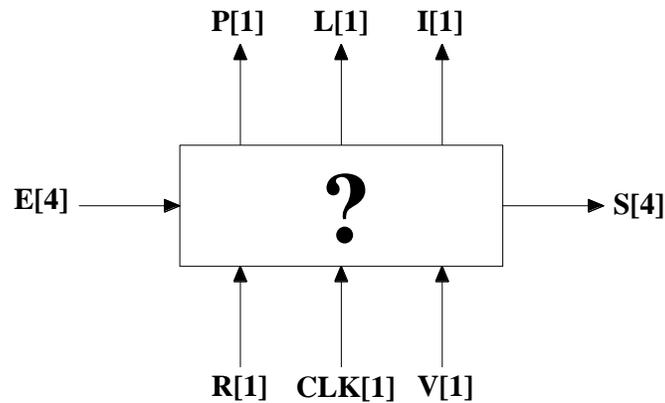


Figura 2.1 Sistema de Seguridad

Donde

E: Es una secuencia de control de 4 bits generada en la Etapa de Control.

S: Es la secuencia generada por el SS. Ninguna de ellas permite el encendido de más de un MOSFET de la misma rama al mismo tiempo.

P: Señal que cambia de valor (cero lógico) cuando se presenta una sobrecorriente por el puente H, ésta controla el funcionamiento del Circuito de Temporización (Fig.1.5).

L: Señal que indica al usuario que ha ocurrido una condición de sobrecorriente y que se ha desactivado el inversor.

R: Señal de reinicio del Sistema de Seguridad de acceso libre (por medio de un botón) para el usuario. Para ser activada se requiere de llevarla a un valor de cero lógico.

CLK: Señal de temporización.

V: Señal acondicionada proveniente del Sistema de Medición que “*avisa*” al SS cuando se sobrepasa el límite establecido de corriente.

I: Señal que indica al usuario que la secuencia de entrada (E) representa una secuencia inválida de encendido.

2.2 Diseño del Sistema de Seguridad

Una vez establecidas las funciones a realizar por el SS, se debe diseñar un circuito digital que se comporte de acuerdo a las demandas y elegir una plataforma tecnológica conveniente para su implementación.

Una forma de obtener el comportamiento deseado por el SS es por medio de una máquina de estados secuencial (ASM), la cual representa un número finito de pasos de un procedimiento que especifican como obtener una solución a un problema [13].

Para su desarrollo se requiere establecer todos los estados (pasos) necesarios y los valores de las señales de salida que toman en cada uno de ellos. Para poder determinar los estados echamos mano de la Tabla 2.2 donde se observa que, cuando $E_{10} = 0, 1, 2, 5, 9$ y 10 (en base numérica decimal) son generadas distintas combinaciones de MOSFET en el puente H y que ninguna de ellas pone en peligro al puente H, a cada una de éstas combinaciones se les asigna un nombre de estado (A, B, C, D, E, F). Sin embargo, para los valores que representan una secuencia inválida ($E_{10} = 3, 4, 6, 7, 8, 11, 12, 13, 14$ y 15) la combinación es la misma (todos apagados). Por lo tanto se consideran como un mismo estado al cual nombramos estado G. Existe, además un estado “Cortado” que representa la situación de sobrecorriente y/o corto circuito, donde evidentemente todos los MOSFET deben ser apagados de manera inmediata. En todos los estados mencionados las señales de salida involucradas son S, I, P y L.

Cuando la máquina de estados se encuentra en el estado Cortado la señal P, la cual controla el Circuito de Temporización, adopta valor de cero con lo que suspende el funcionamiento del Circuito de Temporización. Simultáneamente el usuario es avisado de tal situación gracias a la señal L ($L=1$). El estado Cortado es el único en el cual todo el sistema deja de funcionar bloqueando las secuencias de entrada, apagando todos los MOSFET y en espera de un reinicio por parte del usuario.

Por otro lado cuando la máquina de estados se posiciona en G la señal I toma un valor de un uno lógico (visible para el usuario por medio de un LED) debido a que en éste estado el valor de la señal E representa una secuencia inválida de encendido, cuando dicha secuencia termina, I toma valor de cero. Cabe aclarar que en éste estado la evaluación de las secuencias de encendido siguen llevándose a cabo contrario a lo que sucede durante el estado Cortado donde la evaluación de secuencias se suspende.

Con base en lo anterior y considerando como una medida precautoria que al arranque del inversor todos los MOSFET estén apagados estamos en condiciones de realizar la Tabla 2.3, la cual es la base para desarrollar el diagrama de estados de la máquina secuencial. En ella se muestran el valor de las señales que interactúan con el SS con excepción de R que es de acceso libre para el usuario.

Estado	E				S				M				L	P	I	CLK
	E4	E3	E2	E1	S4	S3	S2	S1	M4	M3	M2	M1				
Inicio	NA ⁵				1	1	1	1	Todos OFF				0	1	0	ON
A	0	0	0	0	1	1	1	1	Todos OFF				0	1	0	ON
B	0	0	0	1	1	1	1	0	OFF	OFF	OFF	ON	0	1	0	ON
C	0	0	1	0	1	1	0	1	OFF	OFF	ON	OFF	0	1	0	ON
D	0	1	0	1	1	0	1	0	OFF	ON	OFF	ON	0	1	0	ON
E	1	0	0	1	0	1	1	0	ON	OFF	OFF	ON	0	1	0	ON
F	1	0	1	0	0	1	0	1	ON	OFF	ON	OFF	0	1	0	ON
G	Con E=3,4,6-8,11-15				1	1	1	1	Todos OFF				0	1	1	ON
Cortado	NA				1	1	1	1	Todos OFF				1	0	0	OFF

Tabla 2.3 Estados de operación

El diagrama de estados de la máquina de estados se presenta a continuación

⁵ NA: No aplica para éste estado.

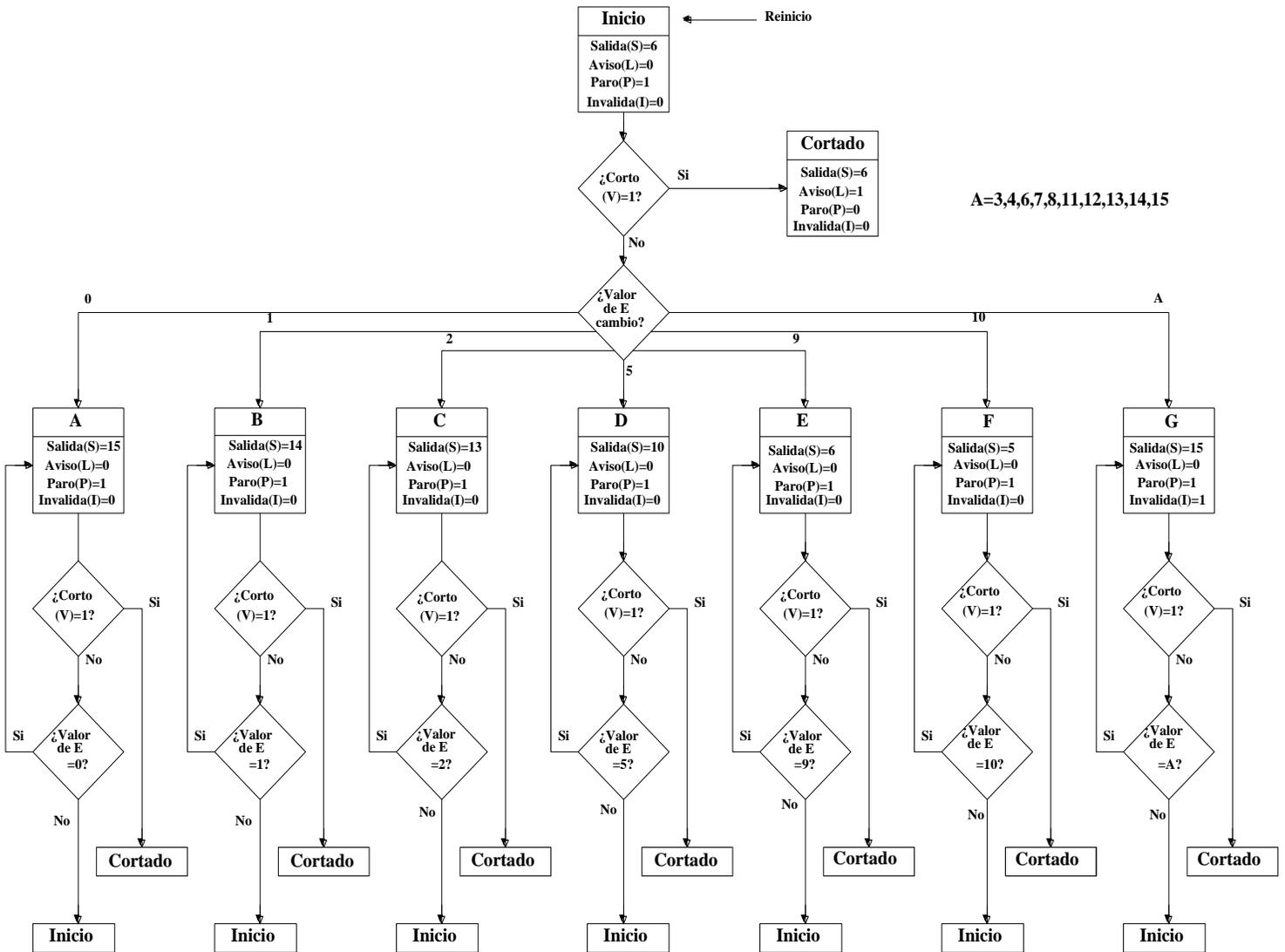


Figura 2.2 Diagrama de estados

En la Fig. 2.2 los rectángulos representan a los estados existentes, cuentan cada uno de ellos con su respectivo nombre, con las señales de salida y el valor (en sistema decimal) que éstas toman durante el estado. Los rombos de decisión ofrecen distintos caminos de acuerdo a la respuesta de la pregunta que formulan.

En primer lugar se comienza en Inicio donde S=15 lo que implica que todos los MOSFET están apagados. La señal P=1 nos dice que el circuito temporizador funciona y proporciona señales de temporización al SS. Mientras que L=0 representa la ausencia de corto circuito, la señal I=0 ya que no hay un valor de secuencia inválida a la entrada del SS.

Se inicia la operación por parte del SS cuestionando si no ha habido una situación de corto circuito ($\checkmark V=1?$), existen dos alternativas de respuesta;

Caso A, $V=Si=1$

El sistema pasará al estado Cortado donde detendrá el funcionamiento del circuito temporizador ($P=0$), apagará todos los MOSFET ($S=15$) y activará la señal $L=1$. Una vez en éste estado, sólo con la activación de R por parte del usuario la verificación de secuencias E se reanuda en el estado Inicio.

Caso B, $V=No=0$

Se pregunta si es que ha habido un cambio en el valor de la secuencia de control (E), como posible respuesta existen dos casos. Primero, el valor de E represente a una secuencia no válida (riesgo de corto), para este caso el sistema se pasa al estado G donde activa la señal I ($I=1$). El otro caso sugiere que E adopte un valor permitido, en este sentido el sistema se direccionará hacia el estado pertinente de acuerdo al cambio presentado.

Una vez situado en cualquiera de los estados (A, B, C, D, E, F, G) se cuestiona nuevamente sobre la activación de la señal V, con una respuesta afirmativa, el sistema pasa al estado Cortado. Por otro lado, una respuesta negativa, conlleva nuevamente a preguntar sobre un nuevo cambio en el valor de la secuencia, si no hay un cambio se mantiene en ese mismo estado, pero si lo hay, pasa al estado Inicio repitiendo con ello el ciclo.

Frecuentemente el tiempo muerto (t_d) en un inversor es generado por un circuito adicional al que genera la lógica de disparo de los MOSFET. Como una aportación de éste trabajo se logró prescindir de tal circuito, para lograrlo se aprovecharon las características de funcionamiento de una máquina de estados así como el diseño de la misma.

- En primer lugar es necesario comentar que en una máquina de estados la transición de estados es determinada por un cambio en la señal de reloj que lo alimenta.
- Por otro lado analizando el diagrama de estados de la Fig. 2.2 se observa que entre cada cambio de valor de la señal E la máquina se posiciona en el estado Inicio. En tal estado la salida S (la cual contiene información para el encendido y/o apagado de los MOSFET) toma un valor decimal de 15 lo que implica el apagado de todos los MOSFET del puente H.

Con la combinación de las características anteriores se obtiene un lapso de tiempo intermedio (donde todos los MOSFET están apagados) entre el encendido y/o apagado de cualquier MOSFET y es claro que las características de este “retardo” son iguales a las requeridas por el tiempo muerto. Por lo que, con el funcionamiento del SS se genera el tiempo muerto requerido.

Tanto la duración del tiempo muerto como la frecuencia con que se “pregunta” en la máquina de estados por el valor de las señales de entrada están determinados por la frecuencia de la señal de temporización que alimenta al Sistema de Seguridad (en nuestro caso dicha señal es CLK). En este sentido se determinó que la frecuencia de la señal de temporización sea de 500 [kHz] con lo que se obtiene un tiempo muerto de 2 [μ s] el cual es un valor aceptable ya que de acuerdo a la Tabla 1.2 los tiempos involucrados en el encendido y apagado del MOSFET son del orden de los nanosegundos.

2.3 Selección de la plataforma tecnológica.

Básicamente el diseño de un circuito digital consiste en obtener la tabla de verdad que describa su operación junto con la ecuación que la representa, posteriormente se simplifica utilizando el algebra Booleana para finalmente implementarlo con dispositivos físicos.

Si bien la implementación de la máquina de estados puede realizarse utilizando componentes digitales de funcionalidad básica (compuertas, flip-flops, etc.) no es adecuado para nuestro caso ya que la complejidad del mismo y la posibilidad de cometer errores es grande. Como alternativa se han desarrollado diversas opciones de hardware disponibles para implementar sistemas digitales, las más comunes se basan en el uso de microprocesadores y de dispositivos lógicos programables (PLD).

El desarrollo del SS se llevó a cabo aplicando esta última debido a que:

- Se cuenta con el software y hardware de desarrollo necesario para la programación de PLD's.
- La simplificación de las ecuaciones es automática, utilizando el software de desarrollo.
- La pretensión por mostrar aplicaciones prácticas de dicha tecnología como una alternativa al diseño de sistemas digitales basados en microprocesadores.
- Se cuenta con experiencia en el manejo de dicha plataforma tecnológica.

2.3.1 Dispositivos lógicos programables (PLD)

Un PLD es un dispositivo cuyas características de funcionamiento pueden ser modificadas mediante programación. Estos dispositivos no se programan con una lista de instrucciones, como un microprocesador, sino que su hardware interno se configura mediante puntos que se conectan y se desconectan de manera electrónica en el circuito dando la oportunidad de crear desde simples compuertas lógicas hasta sistemas digitales complejos.

La arquitectura interna de un PLD se muestra en la Fig. 2.3, está compuesta por matrices de conexiones de compuertas AND y compuertas OR en una red de conductores distribuidos en filas y columnas con un "fusible" en cada punto de intersección. Cuenta también con bloques denominados macroceldas lógicas de salida (OLMC), las cuales incluyen por lo menos un flip-flop.

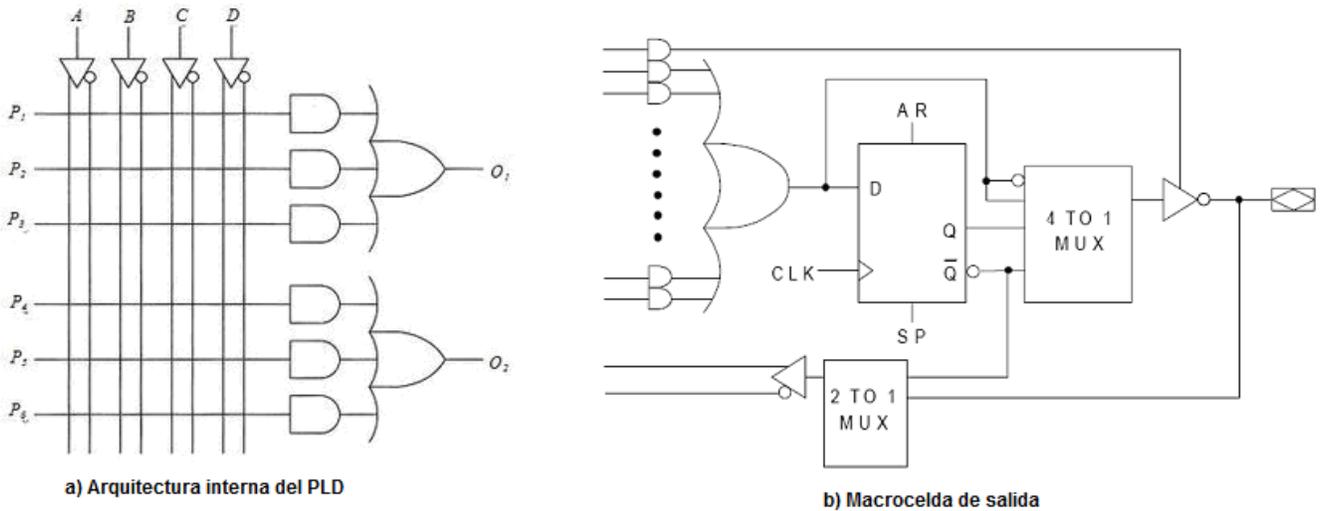


Figura 2.3 a) Arquitectura interna del PLD b) Macrocelda de salida

Para poder implementar un circuito digital en un PLD se debe tener acceso a los fusibles de interconexión de las matrices y para lograrlo se utilizan programas computacionales que sintetizan y simplifican las ecuaciones lógicas programadas. En este sentido se han desarrollado lenguajes de descripción de hardware (HDL) mediante los cuales es posible describir las ecuaciones lógicas además del comportamiento del circuito eléctrico digital y grabarlo en un PLD (circuito integrado).

Uno de estos lenguajes es VHDL (proviene de VHSIC: Very High Speed Integrated Circuit) que fue estandarizado por el IEEE en la década de los 80 y es el lenguaje en el cual se desarrolla la descripción de la máquina de estados del Sistema de Seguridad.

Los dos elementos básicos para generar un diseño en VHDL, el cual describa el comportamiento de un sistema digital, es definir una **entidad** y su correspondiente **arquitectura**.

La entidad es el más alto nivel de abstracción al momento de visualizar el problema, por lo que lo único que nos interesa es establecer las variables de entrada y salida del sistema. La Fig. 2.1 es para nuestro caso la entidad del SS.

La arquitectura representa la descripción de todos aquellos módulos o sub-módulos que componen a nuestro circuito digital. Estos sub-módulos representan problemas más sencillos de tratar que el problema general, y es precisamente el desarrollo de la máquina de estados lo que corresponde a la arquitectura del SS.

2.4 Resultados de simulación

Los requisitos para implementar un sistema digital en un PLD son un editor de texto, y algún compilador que maneje VHDL. Para nuestro caso se utilizó el programa MAX+plus II de Altera que soporta el lenguaje VHDL y permite a su vez sintetizar y grabar una gran cantidad de PLD's, contiene además, entre sus herramientas, un simulador con el cual el usuario puede verificar su descripción en cualquier momento.

En VHDL se pueden describir circuitos secuenciales y aunque la descripción se puede abordar de diferentes formas se recomienda dividirla de tal forma que contemplemos procesos en los que únicamente se establezca la transición de estados y otros en donde a partir de los cambios de estado se establezca la asignación de valores de salida (etapa puramente combinacional)⁶.

Una vez realizada la descripción del SS se procedió a observar el resultado de la simulación en diferentes condiciones, las cuales se presentan en las secciones siguientes.

2.4.1 Operación normal del PLD

Durante la operación normal del PLD la señal V no es activada en ningún momento. La Fig. 2.4 muestra el resultado de la simulación de la máquina de estados, en ella se presentan todas las señales que maneja el SS en un rango de tiempo de 100 [μs]. La señal *presente* es de naturaleza interna al PLD y representa el estado en el cual se sitúa el sistema.

Las condiciones de funcionamiento son las siguientes

- La Etapa de Control arroja varias secuencias de disparo tanto válidas como inválidas (representadas en la Fig. 2.4 por medio de la señal *Entrada*)
- En ningún momento existe condición de sobrecorriente que active la señal de *Corto* (*V*)
- Existe al comienzo una activación de la señal *reinicio* (*R*) con duración de 2 [μs]
- El flanco de subida de la señal de temporización determina el cambio de estados

Bajo las anteriores condiciones se tiene que la máquina de estados cambia de un estado a otro de acuerdo al valor de la señal E, y en cada estado la señal *salida* (*S*) adopta su valor preestablecido por el diagrama de estados en la Fig. 2.2. Siempre que hay un cambio de valor en la secuencia de E, *presente* pasa por un estado intermedio (encerrado en un óvalo) donde S=15 y de duración de un ciclo de reloj de la señal de temporización del Sistema de Seguridad (*señal CLK*) dicho estado es el estado Inicio del diagrama de estados y es precisamente éste el que representa el tiempo muerto requerido por el inversor.

El valor de las señales *reinicio* (*R*), *paro* (*P*), y *aviso* (*L*) no sufre cambio bajo estas condiciones de operación ya que no se presenta una situación de sobrecorriente, sin embargo el valor de la señal *secuencia inválida* (*I*) cambia cada vez que E representa alguna secuencia inválida y una vez que dicha secuencia desaparece el valor de I cambia también.

⁶La descripción completa del comportamiento del SS implementada en el PLD se muestra en el anexo A

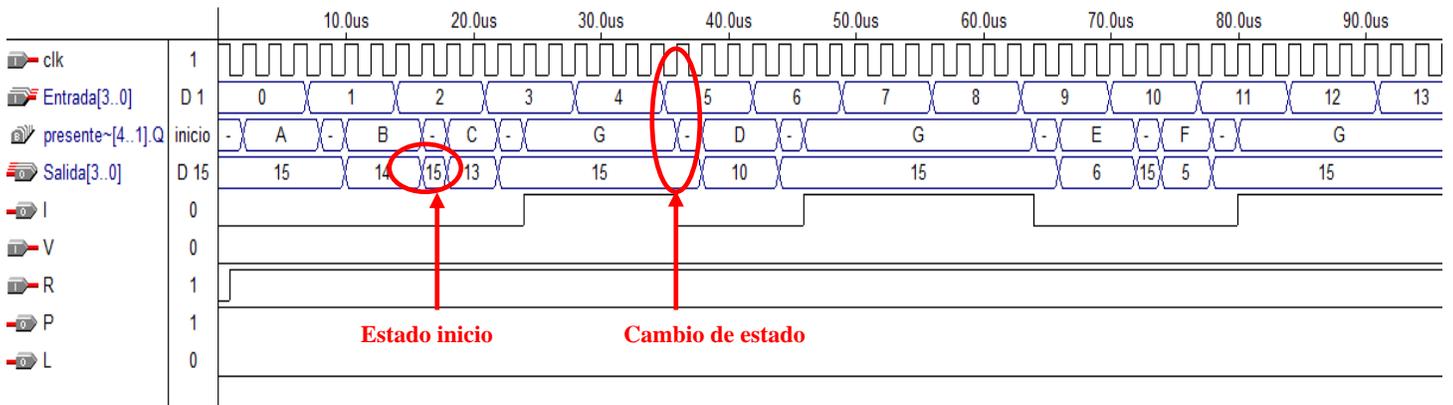


Figura 2.4 Operación normal del PLD

2.4.2 Condición de corto circuito

En la Fig. 2.5 se muestra el comportamiento del SS ante la activación, en algún momento, de la señal (*V*) la cual representa un corto circuito, como consecuencia la señal *presente* pasa al estado cortado ($S=15$ y todos los transistores apagados), el valor de *P* cambia a un cero lógico lo que implica detener al Circuito Temporizador que alimenta al PLD, mientras que *L* toma un valor de uno lógico ocasionando el encendido de un LED que alerta al usuario sobre dicha condición.

Una vez que la máquina está en el estado cortado el SS ignora a toda secuencia que provenga de la Etapa de Control. Para abandonar dicho estado (y posicionar a la máquina de estados en el estado inicio) se requiere la activación de la señal de reinicio (*R*).

Con el fin de asegurar un buen funcionamiento de la máquina de estados, es recomendable que las señales de entrada sean de frecuencia no mayor a la señal de temporización *CLK* (500kHz) en este sentido en la Fig. 2.5 se ha presentado la señal *V* con una duración de 2[µs] con lo cual se asegura que el PLD detectara dicha señal.

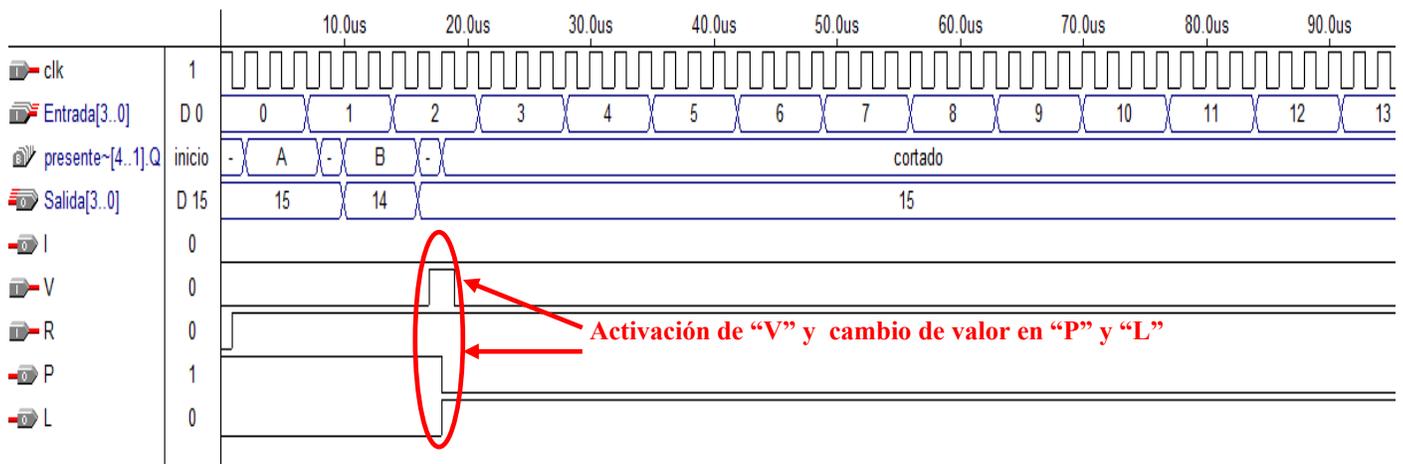


Figura 2.5 Condición de corto

2.4.3 Reestablecimiento general

La Fig. 2.6 muestra el comportamiento del SS cuando se presenta un par de corto circuitos con un restablecimiento intermedio entre ellos por medio de la señal *reinicio* (*R*), sin importar el momento de la activación de *R* el sistema vuelve a posicionarse en el estado inicio y comienza nuevamente la verificación de las secuencias de control *E*.

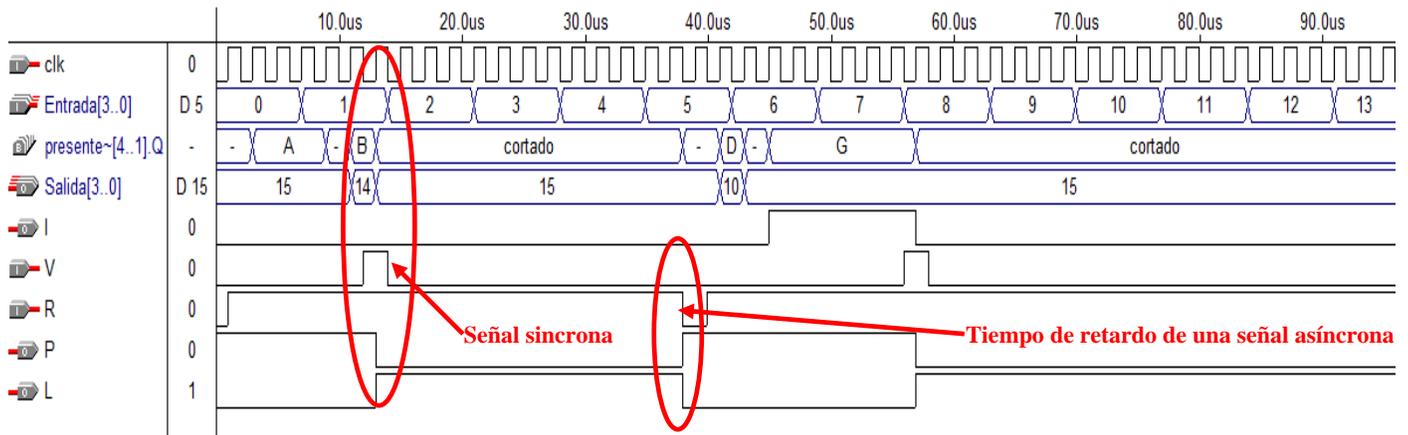


Figura 2.6 Reinicio general

La maquina de estados descrita es un circuito digital secuencial síncrono lo cual implica que un cambio de estado se presenta cuando existe tanto un cambio en la señal de temporización como un cambio de valor en las entradas al sistema. Tanto la señal Entrada *E* como *V* fueron declaradas como síncronas de ahí que el valor de Salida (*S*), *P* y *L* cambie hasta que se presente un flanco de subida de CLK. Por el contrario la señal *R* es una señal asíncrona y ocasiona cambios en la máquina de estados casi de manera inmediata sólo limitados por el tiempo de retardo de propagación del PLD siendo del orden de los nanosegundos⁷.

2.5 Síntesis y grabado del PLD

Una vez obtenidos los resultados esperados por el simulador el paso siguiente es sintetizar la descripción del PLD. La síntesis y el grabado de la descripción de un PLD se fundamentan en la obtención del archivo con extensión .JED (basado en el estándar JEDEC de la IEEE) que contiene el mapa de fusibles que se pretende establecer físicamente en el circuito integrado, para lo anterior se utilizó el software Galaxy de Cypress.

El circuito descrito en VHDL es posible sintetizarlo en una enorme cantidad de opciones de PLD. Se optó por elegir un PLD perteneciente a los SPLD (Dispositivos Lógicos Programables Cortos) específicamente se trata del circuito GAL 22V10-25LP de Lattice cuyas características principales son:

- Es compatible con el estándar JEDEC de la IEEE.
- Tiene una capacidad lógica equivalente a diez macroceldas

⁷ Ver hoja de datos del PLD utilizado en el apéndice D

- Su tiempo de respuesta es del orden de cuatro nanosegundos
- Su rango de polarización es de 4.75 a 5.25 [V]

2.6 Circuito de Temporización

Un sistema digital puede operar en forma síncrona o asíncrona. En los sistemas asíncronos, las salidas de los circuitos digitales pueden cambiar de estado en cualquier momento. En los sistemas síncronos los tiempos en los que puede cambiar de estado se determinan con base en una señal de reloj que se distribuye en todo el sistema, como consecuencia las salidas del sistema pueden cambiar de un estado a otro sólo cuando la señal de reloj hace una transición [20].

En nuestro caso el Sistema de Seguridad es un sistema digital que tiene un comportamiento síncrono con una señal de entrada asíncrona (señal de reinicio R), por lo anterior se requiere de un circuito de temporización para sincronizar los cambios de estado de los flip-flops involucrados en el sistema digital. El circuito de temporización esta implementado con el circuito integrado CD4047B fabricado por Texas Instrument. El CD4047B es un multivibrador de bajo consumo que puede operar en estado monostable o astable y requiere sólo de un resistor y un capacitor externos para determinar la frecuencia de oscilación de su señal de salida, además tiene un ciclo de trabajo del 50 %.

La configuración utilizada y las señales que se obtienen en las terminales OUT y Q se muestran en la Fig. 2.7.

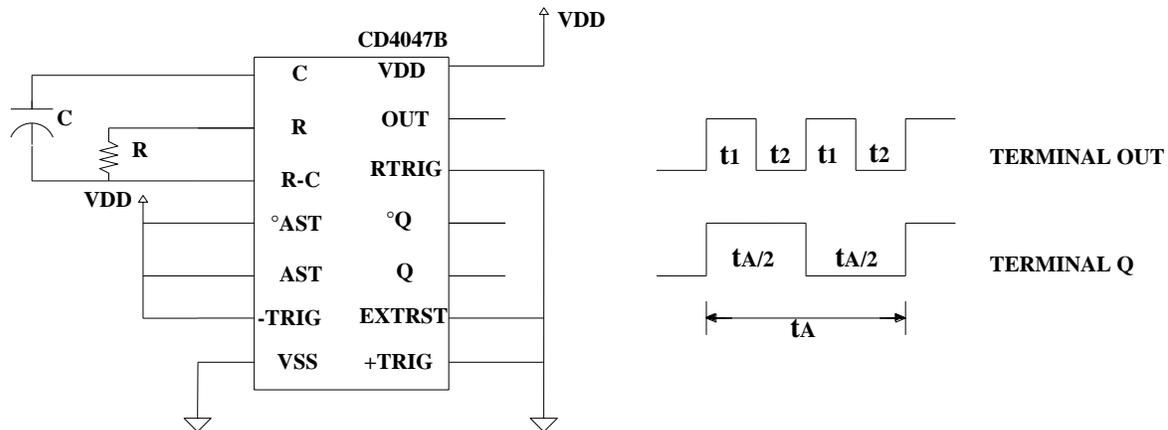


Figura 2.7 Circuito de Temporización

La relación entre tales señales esta dada por $t_A = 4.40RC$ con lo cual podemos calcular el valor de C y R. El objetivo es lograr que la señal en OUT oscile a una frecuencia de 500 [kHz], lo cual implica que su periodo y por lo tanto la duración del tiempo muerto sea de 2 [μ s]. Fijando el valor de C a 10 [pF] se obtiene un valor de R=90 [k Ω].

Como se comentó anteriormente el SS mantiene control sobre el funcionamiento del Circuito de Temporización, la forma en que lo consigue es mediante la terminal de °AST del CD4047B. Dicha terminal debe presentar un nivel alto de tensión para generar la señal de reloj, es precisamente a ésta terminal donde se conecta la señal de salida P del SS. Cuando SS

ha detectado un corto circuito ($V=1$) el valor de P cambia a un valor bajo deteniendo así la generación de la señal CLK y por ende el funcionamiento del PLD.

2.7 Circuito de disparo de los MOSFET (Driver)

Como se comentó en la sección 1.3.3, en un convertidor electrónico con topología de puente H se requiere que las señales digitales de control cumplan con determinadas características para poder encender y/o apagar los MOSFET. Se hizo mención de la importancia de *aislar*, *referenciar* y *acondicionar*, las señales y se comentó que existen en el mercado varios circuitos integrados, llamados drivers, que realizan estas funciones. En éste sentido para adecuar las señales digitales de salida del SS a los de tensión y corriente requeridos por el MOSFET se utilizó el driver TLP 250 de la marca Toshiba del cual a continuación se comentan sus características.

En la Fig. 2.8 se presenta el esquema del TLP 250, tiene como elemento de entrada un diodo emisor de luz (LED) y como elemento de salida un fotodiodo conectado a elementos extra con un arreglo push pull como parte terminal. Como requisito de funcionamiento el elemento de salida debe ser alimentado con una fuente externa (V_{cc}) a la cual denotaremos como *fuerza flotante*. Cuando se aplica una señal de entrada al LED (señal S) éste genera un haz de luz que incide en el elemento fotodetector generando una tensión a la salida del TLP de magnitud igual a la fuente V_{cc} . Bajo esta situación el único contacto que hay entre la señal de entrada y la generada a la salida del TLP es un haz de luz.

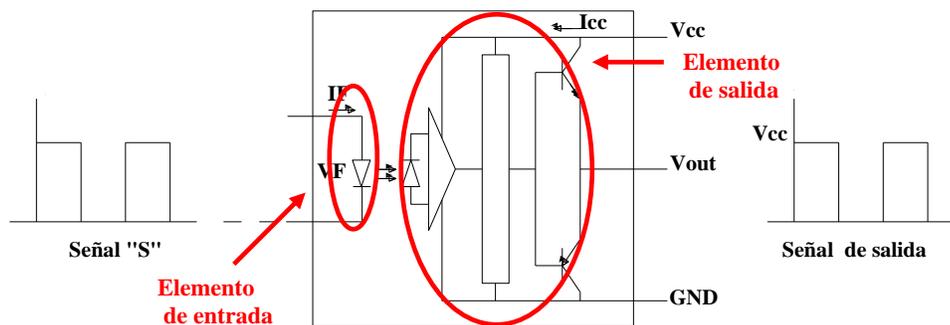


Fig. 2.8 Esquema eléctrico TLP 250

La ventaja fundamental de lo anterior es que se crea un aislamiento eléctrico entre los circuitos que están a la entrada y los que están a la salida con ello se cumple el requisito de **aislar** las señales de disparo entre la etapa de control y la etapa de potencia en el inversor. El TLP es capaz de aislar circuitos con una diferencia de potencial de hasta 2500 [V] y el rango de valores de V_{cc} es de 12 a 30 [V].

Una ventaja adicional que se tiene al utilizar el TLP es la de poder **referenciar** la señal de su elemento de salida al punto que más convenga al diseñador, en este sentido y recordando que para poder encender un MOSFET es necesario suministrar una tensión de magnitud adecuada entre la terminal fuente y compuerta (V_{GS}), se determina que el punto de referencia de la fuente flotante sea el mismo que el punto donde se conecta la terminal fuente (S) del MOSFET. Con lo anterior se garantiza que la señal de disparo que llega a la terminal compuerta (G) de cada MOSFET este referenciada a la terminal fuente (S) del MOSFET.

Antes de abordar la etapa de **acondicionamiento** es importante mencionar que durante la construcción del MOSFET se generan dentro de él capacitancias parásitas tales como compuerta-drenador (CGD), compuerta-fuente (CGS) y un diodo conectado entre la fuente y drenador, el cual ha sido optimizado para que tenga tiempos de recuperación cortos y pueda ser aprovechado en circuitos de conmutación como camino de regreso a la corriente que se libera en una carga inductiva [18]. En la Fig. 2.9 se presenta el símbolo eléctrico de un MOSFET polarizado junto con los elementos parásitos descritos.

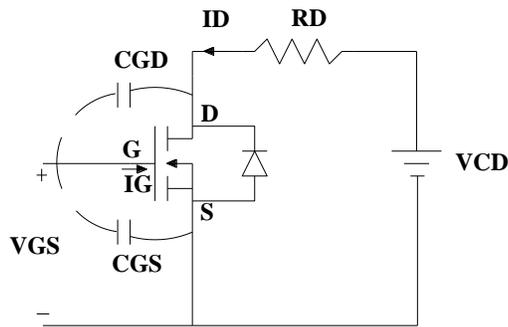


Figura 2.9 Elementos parásitos en un MOSFET

Si bien la tensión V_{GS} controla las condiciones de encendido y apagado del MOSFET, la corriente de compuerta (I_G) juega un papel importante en estos procesos ya que es ella la que carga a las capacitancias parásitas del MOSFET encargadas de generar el canal de conducción entre la compuerta y el drenador por el cual fluiría la corriente I_D . Mientras más rápido sean cargadas dichas capacitancias más rápido será el proceso de encendido, a su vez el apagado se completará cuando las capacitancias hayan sido descargadas. En este sentido se requiere de un arreglo adecuado que pueda suministrar la corriente necesaria y además ofrezca un camino a la corriente almacenada en el MOSFET durante el proceso de apagado, en la Fig. 2.10, se muestra un arreglo que cumple con lo anterior.

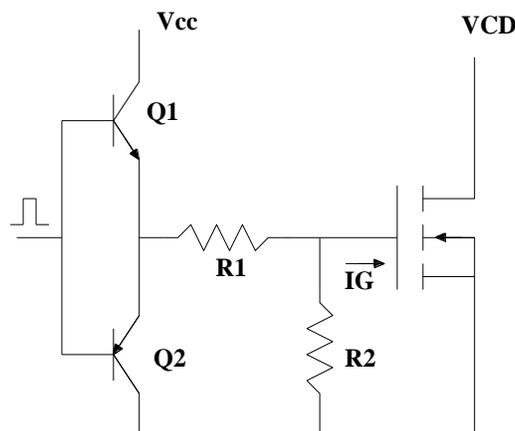


Figura 2.10 Arreglo push pull

Se compone de un par de transistores NPN y PNP en configuración push-pull y dos resistores. Si un pulso eléctrico se aplica a la base de los transistores, durante el nivel alto el transistor Q1 se satura por lo que conduce, mientras que el transistor Q2 está en corte, con ello fluye una

corriente I_G de V_{cc} que carga a la capacitancia interna y enciende al MOSFET. Cuando se presenta el nivel bajo de la señal de entrada Q1 esta en corte y Q2 saturado brindando así un camino a la corriente almacenada en los capacitores parásitos con lo que se apaga el MOSFET.

Finalmente a la salida del Driver se tienen pulsos de magnitud adecuada para el encendido del MOSFET además con la característica de estar ya referenciados a la terminal fuente del respectivo MOSFET.

Como se puede ver el uso de un driver simplifica el manejo de los MOSFET, sin embargo durante su manejo es importante reducir el riesgo de encendido del elemento de entrada debido a ruido eléctrico, como opción se utiliza la estrategia de control por corriente, la cual consiste en aplicar la señal de entrada (S) al driver en el cátodo del LED. Esta situación justifica la relación entre la señal S y el estado de MOSFET presentada en la sección 2.1 donde se determinó que para un valor de $S=1$ el estado del MOSFET es encendido y para $S=0$ apagado. En la Fig.2.11 se presenta la conexión hecha con el TLP.

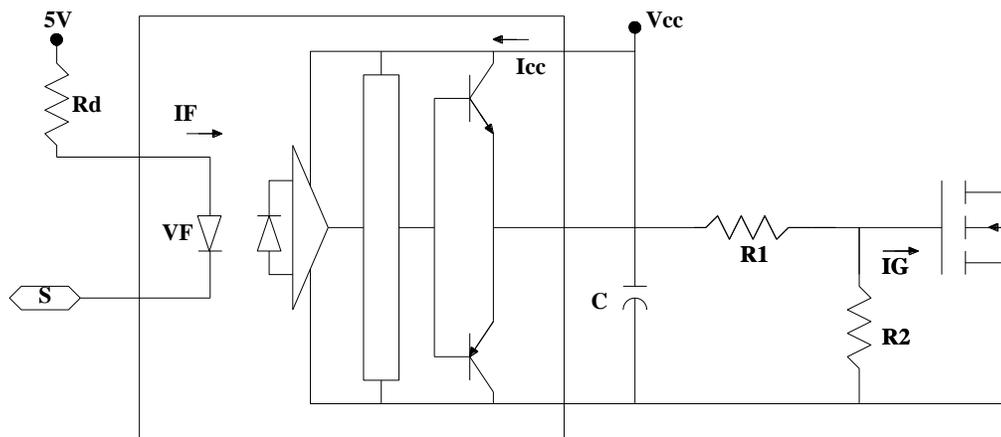


Figura 2.11 Circuito de disparo

El valor de R_d se determina al aplicar la ley de tensiones de Kirchhoff y se tiene

$$5 = R_d I_F + V_F$$

en la hoja de especificaciones del fabricante se recomienda $I_F=8$ [mA] para un $V_F=1.6$ [V] por lo que $R_d=425$ [Ω]. El fabricante también recomienda el uso de un capacitor C de 0.1 [μ F] entre el pin de V_{cc} y GND del TLP. Para disminuir el tiempo de carga de las capacitancias parásitas el valor de R_1 debe ser pequeño ($\tau = RC$) generalmente se elige alguno entre (5-50 [Ω]), en este caso se utiliza uno de 10 [Ω], por otro lado el resistor R_2 sirve para minimizar la posibilidad de encender al MOSFET debido a una señal de ruido, un valor adecuado es de 10 [k Ω].

2.8 Sistema de Medición

Dentro de las posibles causas de falla y/o daño en el inversor se encuentra la aparición de un corto circuito en la carga, por ello el inversor cuenta con el *Sistema de Medición (SM)* el cual “monitorea” la corriente demanda por la carga conectada a la salida del inversor. Cuando el nivel de la corriente ha excedido un límite establecido el SM genera una señal que avisa al SS de tal situación (señal V), en esta circunstancia el SS actúa deteniendo el funcionamiento del inversor y notifica al usuario de tal situación.

Para llevar a cabo tales acciones el SM se compone esencialmente de las siguientes secciones,

- Un transformador de corriente y su resistencia de carga (R_o)
- Una etapa de rectificación
- Comparador

La configuración se muestra en la Fig. 2.12.

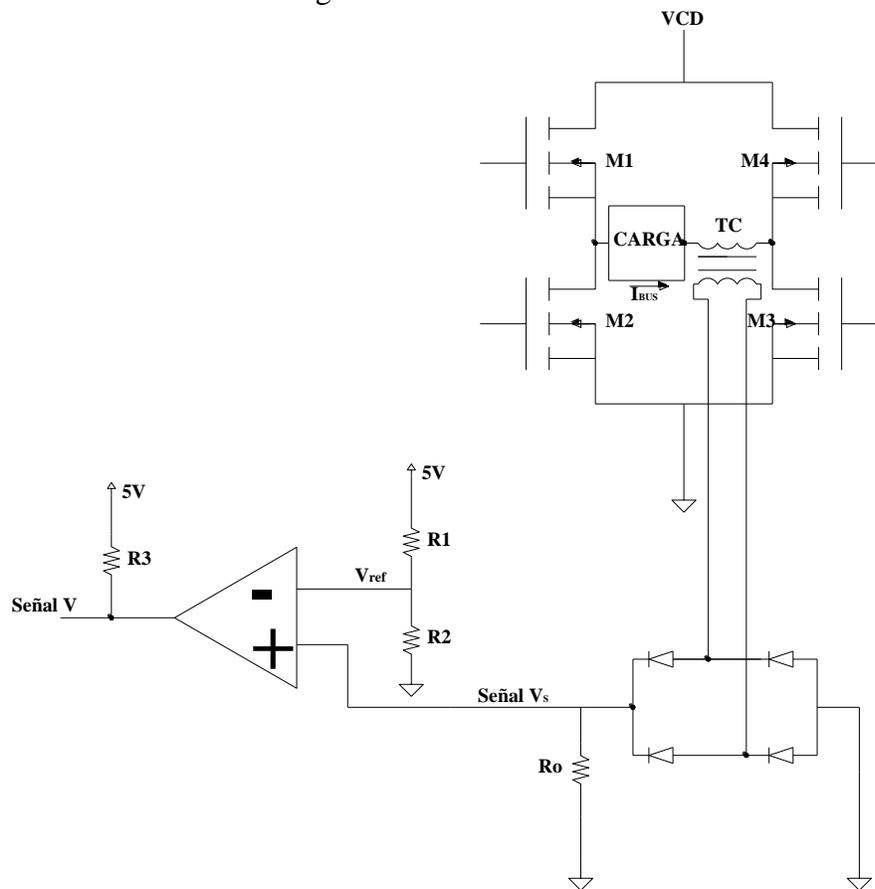


Figura 2.12 Sistema de Medición

2.8.1 Transformador de corriente (TC)

El **transformador de corriente** se utiliza para tomar muestras de la corriente que circula por la carga conectada al inversor (I_{BUS}) y la reduce a un nivel seguro y medible. El devanado primario se conecta en serie con la carga del inversor mientras que en el secundario se conecta una resistencia de carga (R_o) por la cual circulará una corriente menor proporcional a la del primario. Una ventaja al utilizar el transformador es que se produce un aislamiento eléctrico entre los circuitos conectados en el primario y los conectados en el secundario. En el caso de este trabajo se tiene disponible un TC cuyas especificaciones se presentan en la Tabla 2.4

Devanado	N [vueltas]	Corriente [A]	Frecuencia [KHz]	R_o [Ω]
Primario	1	10	20	
Secundario	250		20	100
Núcleo	Ferrita EI-25			

Tabla 2.4 Características del Transformador de corriente

La tensión en el secundario del transformador es rectificadora por un **rectificador** de onda completa compuesto de 4 diodos. El diodo utilizado es del tipo Schottky modelo 1N5817 el cual tiene una caída de potencial de 0.3 [V] entre sus terminales y está diseñado para trabajar a altas frecuencias.

Finalmente la tensión en R_o (V_s) es comparada con una tensión de referencia en el **comparador**. Dicha tensión de referencia representa una corriente mayor a la establecida como límite, que en nuestro caso el límite es de 10 [A] (sección 1.2). Para determinar el valor de la tensión de referencia es necesario caracterizar el comportamiento del TC, en este sentido se procedió a fijar un valor de carga resistiva en el inversor de 100 [Ω] y una resistencia de carga en el secundario del transformador (R_o) también de 100 [Ω], variando el valor de VCD se obtiene diferentes valores de V_s proporcionales a I_{BUS} se hicieron cuatro iteraciones, las lecturas y el promedio de ellas (V_{s^*}) se presentan en la Tabla 2.5.

VCD [V]	I_{BUS} [A]	V_{s1} [V]	V_{s2} [V]	V_{s3} [V]	V_{s4} [V]	V_{s^*} [V]
10	0.15	0.064	0.065	0.065	0.071	0.066
20	0.3	0.144	0.0136	0.138	0.138	0.139
30	0.45	0.208	0.206	0.198	0.2	0.205
40	0.6	0.304	0.298	0.296	0.28	0.285
50	0.75	0.36	0.33	0.36	0.36	0.352
60	0.9	0.408	0.4	0.43	0.43	0.417
70	1.06	0.5	0.5	0.46	0.5	0.49
80	1.2	0.56	0.54	0.52	0.52	0.535
90	1.36	0.6	0.6	0.58	0.64	0.605

Tabla 2.5 Datos experimentales de la caracterización del TC.

Se observa que existe una relación lineal entre I_{BUS} y V_s , por lo que es posible encontrar la ecuación de la recta que más se acerque a esos puntos, para ello se utiliza el método de

mínimos cuadrados, los valores de I_{BUS} y el promedio de las lecturas de V_S (V_{S*}), obteniéndose la ecuación siguiente

$$V_S = 0.44I_{BUS} + 0.012$$

Cuando por la resistencia del inversor circule una $I_{BUS}=10$ [A] el valor de tensión en R_o será $V_S=4.4$ [V] aproximadamente, por lo que un valor apropiado para la tensión de referencia del comparador es $V_{ref}=4.5$ [V].

Teniendo en mente lo anterior es posible calcular el valor de R_1 y R_2 del comparador siendo éstas de 10 y 90 [k Ω] respectivamente. La salida del comparador está conectada a una resistencia de pull-up y cuando la señal V_S es mayor a V_{ref} el comparador bascula y su salida vale 5 [V], con ello se ha formado la señal V la cual esta conectada a una entrada del PLD del SS (sección 2.1). El comparador utilizado es el LM293 el cual puede ser polarizado con una sola fuente de tensión en un rango de 2 hasta 36 [V].

Es importante señalar que el funcionamiento del TC es óptimo para una señal de salida en el inversor de frecuencia de 20 [kHz], por lo que para ampliar el rango de medición es necesario contar con un transformador que opere en el rango de frecuencias requerido.

2.9 Puente H

Los elementos que integran a éste bloque son los cuatro MOSFET y la fuente de voltaje que suministra la tensión directa que ha de convertir el inversor en alterna (VCD).

Los componentes de VCD son un transformador elevador de 127 [V_{RMS}] a 250 [V_{RMS}] a 1 [A], un puente rectificador de onda completa, un capacitor de 220 [μF] a 400 [V] y un autotransformador variable (variac) con el cual se puede controlar la magnitud de la tensión, con tales componentes es posible obtener una tensión directa de hasta 350 [V]. El inversor propuesto esta diseñado para soportar una corriente nominal de 10 [A], sin embargo las características del transformador obligan a que se realicen pruebas que no rebasen el limite de éste.

2.10 Fuentes de Tensión

Las fuentes de tensión que alimentan a los bloques del inversor deben ser conectadas correctamente para que las señales de los circuitos alimentados por éstas cumplan con las características mencionadas en la sección 1.3.3, de particular importancia es no mezclar el punto de referencia de VCD con algún otro del circuito de control.

Los bloques a energizar son el Sistema de Seguridad, el Circuito de Temporización, los drivers y el comparador del Sistema de Medición. Los niveles de tensión requeridos son:

- a. Una tensión de 12 [V] que polariza al elemento de salida del driver que maneja al MOSFET M1.
- b. Una tensión 12 [V] que polariza a elemento de salida del driver que maneja al MOSFET M4.

- c. Una tensión 12 [V] que polariza a los elementos de salida de los drivers que manejan a los MOSFET M2 y M3.
- d. Una tensión de 5 [V] para alimentar al circuito integrado CD4047B, al PLD, a los elementos de entrada de los drivers, el comparador del SM y su resistencia de pull-up.

Existen varias formas de generar las tensiones requeridas [9] y la más simple de ellas consiste en implementar fuentes de tensión usando un transformador aislado por cada nivel de tensión requerido. El utilizar éste tipo de fuentes brinda la posibilidad de suministrar una gran cantidad de corriente de manera continua al MOSFET, sin embargo el uso de transformadores requiere de un mayor espacio en el circuito, en este sentido se tiene disponible un transformador reductor de 127 [V_{RMS}] y cuatro devanados secundarios, tres de 16 [V_{RMS}] y uno de 6 [V_{RMS}], con el se pueden obtener las cuatro tensiones requeridas con sus respectivos puntos de referencia totalmente independientes entre ellos y en un menor espacio.

El esquema de la fuente de alimentación se muestra en la Fig.2.13 donde además se identifican los cuatro puntos de referencia de tensión con las letras a, b, c y d.

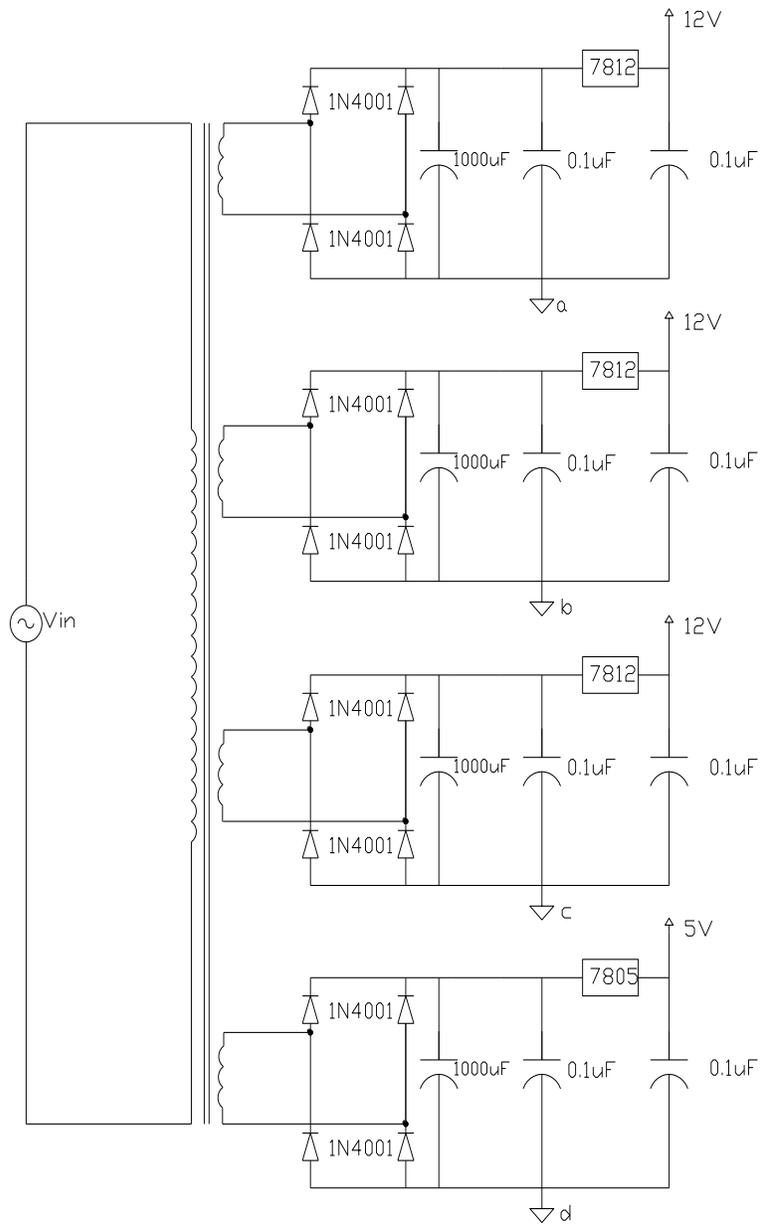


Figura 2.13 Fuente de alimentación

Con esto termina la etapa de diseño, el diagrama esquemático del sistema completo se encuentra en la sección de apéndices.