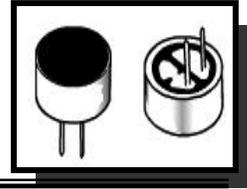


## CAPÍTULO 4



### DISEÑO DEL SISTEMA

Para el diseño del sistema existen varios parámetros que se tienen que tomar en cuenta, como el número de canales disponibles, frecuencia de la señal de prueba y frecuencia de muestreo del sistema. Algunos parámetros tendrán mayor peso que otros por lo que influirán en mayor medida en el funcionamiento del sistema.

Se realizó el diseño del sistema considerando la naturaleza de la señal, las características del hardware disponible así como la teoría. Éste se puede dividir en dos partes, hardware y software, que a su vez tendrán subdivisiones. El hardware comprende el circuito acondicionador de señal para conectar los micrófonos con la tarjeta DSP, el arreglo de micrófonos y el DSP. El software es el programa con todas las instrucciones que ejecutará el DSP, que se puede dividir en configuración del DSP y sus periféricos, captura de datos, y el proceso del formador de haz.

El diseño general del sistema se ilustra en la Figura 4.1, que se divide en tres partes, arreglo de micrófonos, el circuito acondicionador de señal y la tarjeta de desarrollo DSK TMS320F2812. A continuación se explicará cada parte del sistema en forma separada.

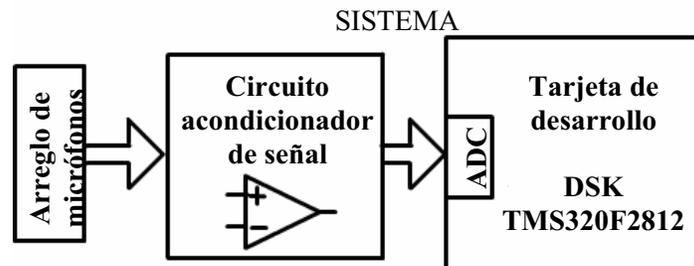


Figura 4.1 Diagrama del sistema en forma general.

---

---

## 4.1 ARREGLO DE MICRÓFONOS

Consiste en un conjunto de micrófonos ubicados en forma lineal y separados una distancia  $d$ . A continuación se mencionan los criterios tomados en cuenta en el diseño del arreglo, el tipo de micrófono a utilizar, la distancia de separación entre micrófonos, etc.

### 4.1.1 Micrófono Electret em-926

Se eligió este micrófono por varias razones las cuales son:

- Bajo costo. Existen en el mercado otros tipos de micrófonos con características superiores pero sus altos costos son una limitante a diferencia del micrófono electret
- Directividad omnidireccional. Como se planteó en el Capítulo 3, los sensores del arreglo deben ser omnidireccionales, el micrófono electret tiene esta propiedad.
- Baja potencia. Ya que el arreglo requiere de dieciséis micrófonos, estos micrófonos consumirán una cierta potencia, es por ello que dado el número de micrófonos la potencia requerida sea mínima, el micrófono electret requiere voltajes pequeños de polarización y una baja corriente para su funcionamiento.
- El intervalo de frecuencia útil es de 20 Hz a 16 kHz.
- Las dimensiones del micrófono son lo suficientemente reducidas en comparación de otros micrófonos, con un diámetro de 9.7 mm y 5.2 mm de espesor

### 4.1.2 Diseño del arreglo lineal de micrófonos

El diseño del arreglo lineal de micrófonos consiste en decidir el número de elementos que conforman el arreglo, así como la distancia entre los mismos. Como se observó en el Capítulo 4, entre mayor sea el número de micrófonos mayor será la directividad del arreglo, dado que conviene que el máximo número de elementos que se pueden emplear es el número de canales del convertidor ADC del DSP los cuales son dieciséis.

Ahora bien, en la teoría los elementos se consideran como elementos puntuales pero en la realidad estos elementos tienen dimensiones. En la Figura 4.2 se muestran las dimensiones del micrófono electret em-926.

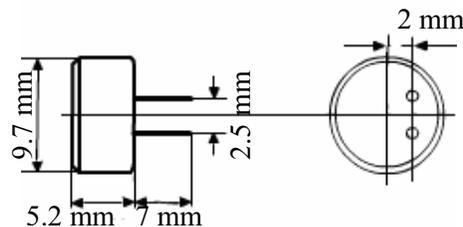


Figura 4.2 Dimensiones micrófono electret em-926.

La distancia entre elementos se medirá a partir del centro de la cara circular de los micrófonos.

---

Por limitaciones que se verán más adelante, el sistema se ha especificado para que funcione como un arreglo de banda angosta, es decir, que el sistema funcione para un ancho de banda reducido, alrededor de la frecuencia de 17 kHz; la frecuencia de 17 kHz se seleccionó para de modo que al hacer las pruebas se presente una menor molestia, que puedan afectar a las personas que se encuentran expuestas a la señal de prueba.

Otro aspecto que se tomó en cuenta es la consideración de campo lejano y campo cercano que se mencionó en el Capítulo 3, como la distancia a la cual debe estar la fuente de sonido del arreglo a la cual se considera lo suficientemente, alejado para que el frente de onda sea una onda plana dada por la desigualdad  $r < \frac{d_{total}^2 F_s}{c}$ . Como ejemplo, si la frecuencia de muestreo es 44.1 kHz, dado que la velocidad del sonido es aproximadamente de 340 m/s y para un arreglo de 16 micrófonos con distancia entre elementos de 2 cm, y la longitud total del arreglo es de 30 cm. Sustituyendo valores, la distancia a la cual se considera campo cercano son distancias menores a 11.67 m; en cambio, si la distancia entre elementos es de 1 cm, la distancia total del arreglo es 15 cm, entonces la distancia  $r$  es 2.91 m, que fue la distancia mínima a la cual se considera campo lejano; distancias menores implican que se considera campo cercano.

De este ejemplo se observa que entre mayor sea la distancia entre elementos del arreglo, mayor es la distancia a la cual debe estar alejada la fuente de sonido. Para el arreglo de 15 cm. se requiere una distancia mínima de 2.91 m, en cambio, el arreglo de 30 cm requiere de 11.67 m. Esto trae el problema que entre mayor sea la distancia entre elementos se requerirá de mayor potencia del sonido, así como las dimensiones de la habitación en donde se realizan las pruebas sea mayor de los 11.67 m. Ya que lo anterior no es posible, se eligió el primer arreglo ya que la distancia requerida fue aceptable para las dimensiones de la habitación donde se realizaron las pruebas.

## 4.2 CIRCUITO ACONDICIONADOR DE SEÑAL

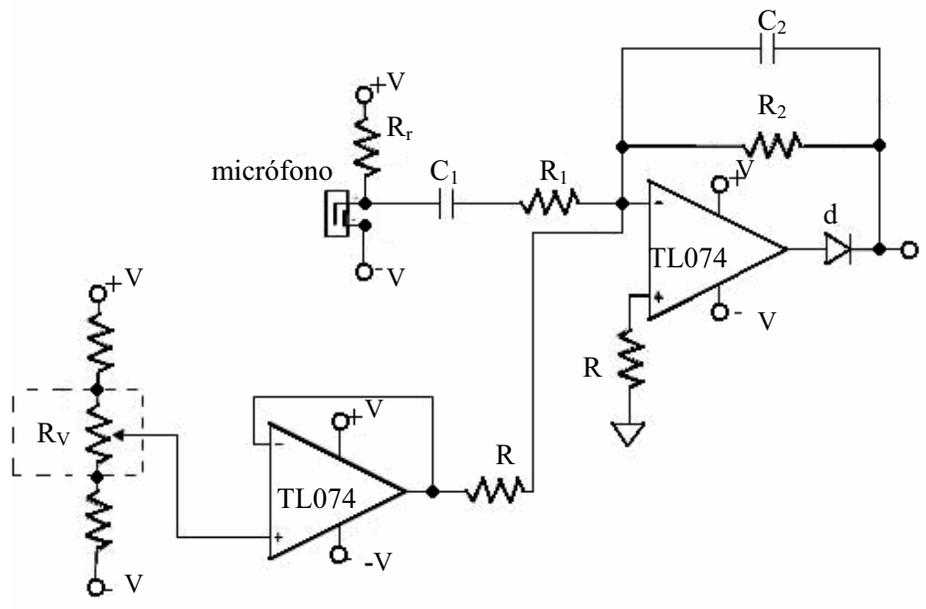
Como el voltaje de la señal de salida de los micrófonos es del orden de milivolts, este no es lo suficiente para ser detectado por el convertidor analógico digital, además el convertidor analógico digital realiza la conversión de señales en el intervalo de 0 a 3 V. Por ello es necesario acondicionar la señal de salida de los micrófonos, lo cual implica amplificar la señal, sumar un voltaje de offset a la señal así como asegurar que el voltaje de salida se encuentre en dicho intervalo, además que la señal de entrada esté limitada en banda.

Como parámetros de diseño se fijaron el ancho de banda del circuito, la ganancia, voltajes de operación y voltajes a los cuales se limita la señal de salida. El ancho de banda del circuito sobre el que se hizo el diseño fue un intervalo de frecuencia de 20 Hz a 20 kHz, la ganancia de voltaje del circuito debe ser lo bastante alta para que la señal de prueba sea captada y la señal de salida es necesario que esté limitada al intervalo de voltajes de 0 a 3 V. Se eligió el amplificador operacional TL074 debido a su ancho de banda de ganancia unitaria BW de 4 MHz mayor al del LM741, parámetro que limita la ganancia y ancho de banda del circuito, además de ser diseñado como una versión de bajo ruido del TL084.

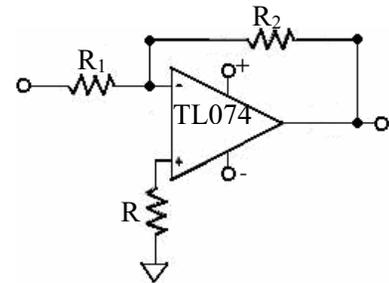
De la Figura 4.3 (a) se observa que el amplificador opera como un sumador inversor con dos señales una que proviene del micrófono y la otra es un voltaje que se añade para obtener el voltaje de offset, que se obtiene del amplificador operacional conectado como fuente de voltaje; se observa que el voltaje de offset es ajustado mediante la resistencia variable  $R_v$ .

La ganancia del amplificador depende de las resistencias  $R_1$  y  $R_2$  y si el circuito se aproxima a un amplificador inversor la ganancia de voltaje  $A_v$  es igual a la ecuación (4.1). Tal y como se observa en la Figura 4.3 (b). Los valores de  $R_1$  y  $R_2$  fueron elegidos

$$A_v \approx -\frac{R_2}{R_1} \quad (4.1)$$



a) Circuito acondicionador de señal



b) Circuito amplificador inversor formado por  $R_1$  y  $R_2$

Figura 4.3 Circuito acondicionador de señal.

---

Los valores de  $R_1$  y  $R_2$  se muestran a continuación con lo que obtenemos la ganancia del circuito

$$R_1 = 3.9k\Omega \text{ y } R_2 = 680k\Omega$$

$$A_v = -\frac{680k\Omega}{3.9k\Omega} = -174.4 \quad (4.2)$$

Para limitar en banda la señal, se necesita un filtro paso banda el cual se forma con un filtro pasa altas y un filtro pasa bajas. Estos filtros se componen de la malla  $C_1$  y  $R_1$ , conectados en serie forman un filtro pasa altas, y el filtro pasa bajas lo forman  $C_2$  y  $R_2$  conectados en paralelo y que se encuentran en la malla de retroalimentación del amplificador sumador inversor; entonces las frecuencias de corte del filtro pasa bajas son aproximadamente [9]:

$$f_L \approx \frac{1}{2\pi R_1 C_1} \quad (4.3)$$

$$f_H \approx \frac{1}{2\pi R_2 C_2} \quad (4.4)$$

Calculando el valor de los capacitores

$$C_1 \approx \frac{1}{2\pi R_1 f_L}$$

$$C_1 = \frac{1}{2\pi(3.9k\Omega)(20Hz)} \quad C_1 = 2.04 \mu F \text{ con valor comercial } C_1 = 2.2 \mu F$$

$$C_2 = \frac{1}{2\pi(680k\Omega)(20kHz)} \quad C_2 = 10.7 pF \text{ con valor comercial } C_2 = 10 pF$$

La respuesta en frecuencia real del filtro se muestra en la Figura 4.4, se observa que el circuito tiene una ganancia de voltaje real de 100, equivalente a 40 dB en la banda de paso. Las frecuencias de corte son de 12 Hz para la frecuencia de corte para bajas frecuencias y 23 kHz para altas frecuencias, aproximadamente.

Los valores de  $R_1$  y  $R_2$  fueron elegidos debido a que con ellos fue posible obtener una ganancia real lo bastante alta y que cumpliera con la respuesta en frecuencia del circuito, además la ganancia real se ve afectada por tres factores dos que ya han sido mencionados, las resistencias externas, ancho de banda de ganancia unitaria, pero además los capacitores con los que se forman los filtros pasa bajas y pasa altas. Es por ello que el desarrollo mostrado es una aproximación al circuito real [9].

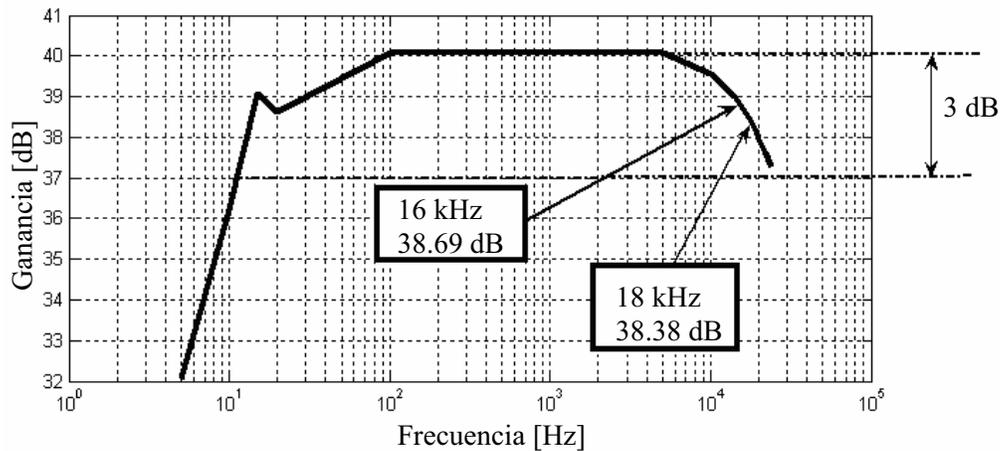


Figura 4.4 Respuesta en frecuencia de circuito pasa banda.

Finalmente a la salida del amplificador operacional se encuentra un diodo rectificador, que se encarga de rectificar la señal, los voltajes negativos son truncados y se saturan a 0 V. El circuito acondicionador de señal se conecta a la interfaz analógica de la tarjeta de desarrollo.

### 4.3 TARJETA DE DESARROLLO DSK DSP TMS320F2812

El DSP F2812 ejecuta 150 millones de instrucciones por segundo (Mips), lo cual permite al usuario realizar aplicaciones en tiempo real. Tiene internamente los siguientes periféricos [28]:

- Dos administradores de eventos (A y B) EVA EVB
- Generador de señal PWM
- 3 temporizadores de 32 bits
- Convertidor analógico digital ADC, 12 bits, 16 canales, con frecuencia máxima de conversión de 20 MHz
- Interfaz controlador de red CAN
- Interfaz de comunicación serial A y B (asíncrona) SCIA, SCIB
- Puerto serial SPI
- Terminal de propósito general bidireccional digital I/O GPIO
- Temporizador *watchdog* (temporizador que reinicia el DSP)
- *Joint Test Action Group* (JTAG)
- Modulo lazo de fase encadenada (del inglés *Phase-Locked Loop*, PLL)

### 4.4 PROCESO DE DETECCIÓN DIRECCIÓN DE ARRIBO (DOA)

El proceso se realiza con los datos obtenidos del arreglo de micrófonos, el cual realizará el DSP TMS320F2812 y que se representa en la Figura 4.5. Para entender como realiza el DSP el proceso, se explicará cada parte del proceso en el orden secuencial que sugiere la figura. El proceso comienza con la obtención de datos del arreglo lo cual se hace

---

mediante el periférico ADC, el cual almacena los datos en un buffer de 16 elementos; más adelante se explica este proceso. El proceso representado en la Figura 4.5 está dividido en los siguientes bloques, buffer de datos de entrada obtenidos del arreglo, muestras o retrasos del arreglo, formador de haz fijo con ventana, un filtro pasa banda a la salida del formador de haz fijo, algoritmo GSC que a su vez está compuesto por una matriz de bloqueo B y un algoritmo adaptable LMS, y por último el proceso de detección de dirección de arribo DOA.

#### 4.4.1 Tiempo de muestreo

El tiempo de muestreo del sistema se controla mediante el contador temporizador CPU-Timer0 y el periférico PIE el cual controla la interrupción asociada al temporizador. El contador CPU-TIMER0 consiste de dos registros de 32 bits, el registro contador formado por los dos registros de 16 bits TIMH y TIM, y por el registro que controla el periodo del contador que también está formado por dos registros de 16 bits PRDH y PRD.

El contador temporizador se configura de manera que opere a la misma frecuencia que opera el DSP, se carga un valor en el registro que controla el periodo PRDH:PRD y se iguala al registro contador TIMH:TIM, después se activa el funcionamiento del contador, el registro TIMH:TIM decrementa su valor con cada ciclo de reloj hasta llegar a cero, cuando llega a cero el valor de PRDH:PRD nuevamente es cargado en TIMH:TIM, con lo que se reinicia el proceso de decrementar TIMH:TIM y además se emite la petición de interrupción de TIMER0, esto se realiza de forma continua con lo cual se genera un ciclo de reloj cuyo período es el período de muestreo del convertidor analógico digital ADC.

Adicionalmente, se habilita una interrupción TINT0 que cuando el contador TIMH:TIM llega a cero se envía una señal al periférico PIE para ejecutar la interrupción asociada a TINT0. La siguiente instrucción asocia la interrupción TINT0 con la rutina Timer0\_interrup.

```
PieVectTable.TINT0=&Timer0_interrup;
```

El sistema se diseñó considerando que la frecuencia de muestreo es de 44.1 kHz, con el DSP funcionando a una frecuencia de 150 MHz, con lo cual se calcula el valor del registro PRDH:PRD. Entonces se calcula el valor del registro para tener la frecuencia de muestreo deseada de la siguiente forma:

$$PRDH : PRD = \frac{\text{Frecuencia de operación del sistema}}{\text{Frecuencia deseada}} \quad (4.5)$$

Sustituyendo valores se tiene

$$PRDH : PRD = \frac{150 \text{ MHz}}{44.1 \text{ kHz}}$$

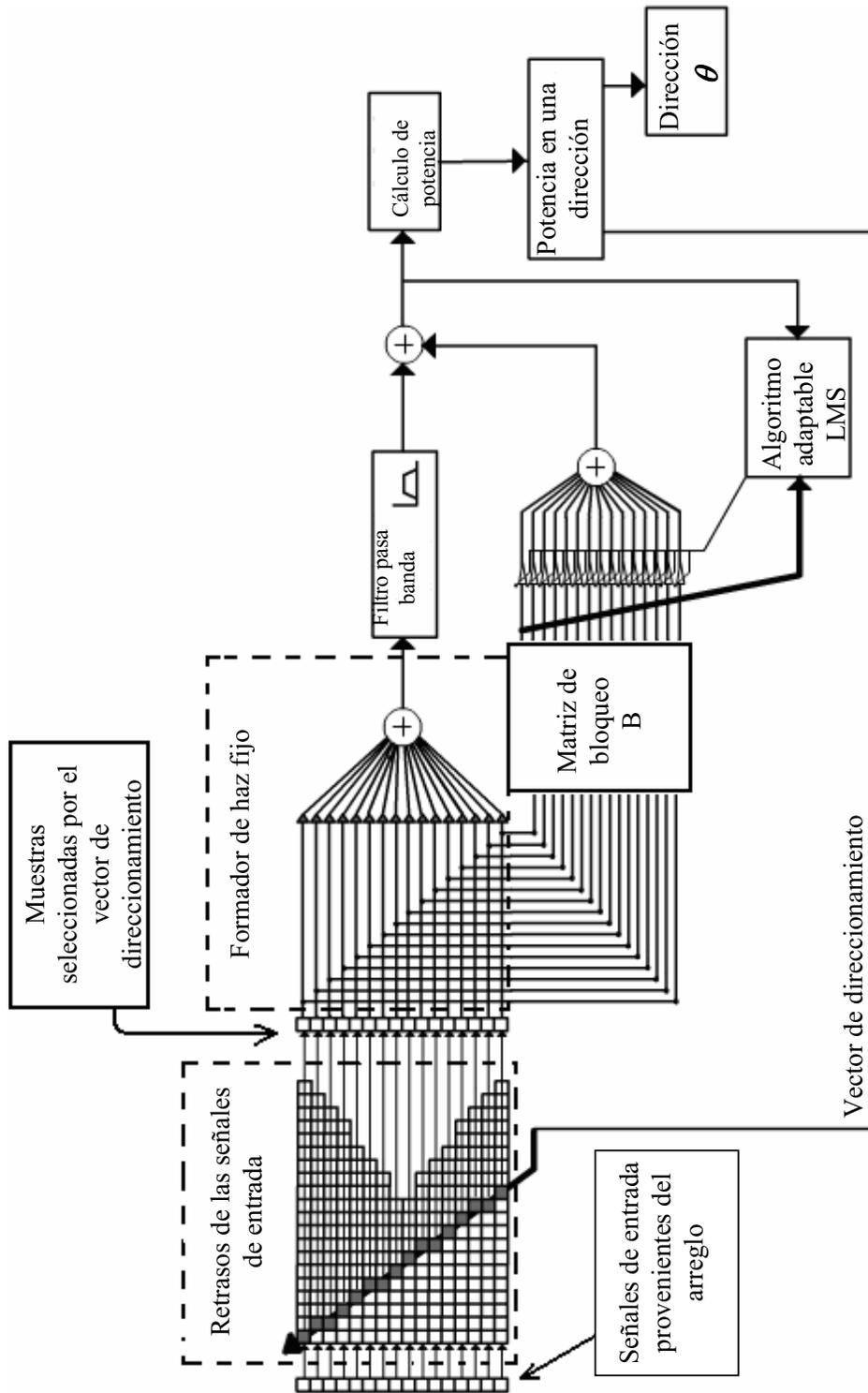


Figura 4.5 Diagrama general del proceso de detección de dirección de arribo.

---

$$PRDH : PRD = 3401.36$$

Que se redondean a 3401,  $PRDH:PRD = 3401$ .

#### 4.4.2 Conversión analógica digital

Cuando el DSP recibe la señal de interrupción del periférico PIE relacionada al periférico contador temporizador cero (*Timer0*), éste atiende la interrupción, la cual consiste de las instrucciones de acuerdo al diagrama de flujo de la Figura 4.6.

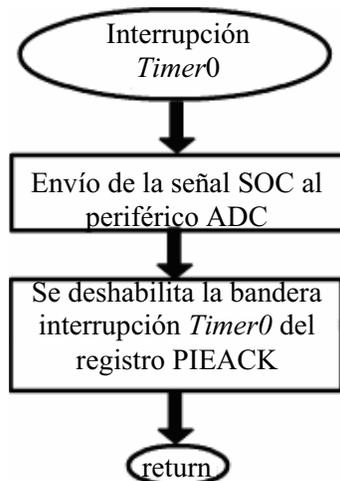


Figura 4.6 Diagrama de flujo, interrupción *TIMER0*.

Código en lenguaje C de la rutina de la interrupción de *Timer0*.

```
interrupt void Timer0_interrup(void){  
  AdcRegs.ADCTRL2.bit.SOC_SEQ1=0x1;  
  PieCtrlRegs.PIEACK.bit.ACK1=0x1;  
  return;  
}
```

La instrucción `AdcRegs.ADCTRL2.bit.SOC_SEQ1=0x1;` envía al convertidor ADC la señal de inicio de conversión (del inglés *Start Of Conversion*, SOC), con lo que inicia la conversión de los 16 canales. Y la segunda instrucción `PieCtrlRegs.PIEACK.bit.ACK1=0x1;` borra la bandera que indica que está pendiente la interrupción por temporizador, para que una vez terminada la interrupción no vuelva a ejecutarse hasta que la bandera sea habilitada por otro proceso, de lo contrario la interrupción se reconocería como que aún está pendiente. Y por último, con la instrucción `return` se terminan las instrucciones de la interrupción temporizador y se retorna al programa principal (ciclo *while* infinito).

---

El proceso de conversión no es parte de la interrupción, ya que se realiza de forma paralela a las instrucciones que realiza el DSP. Con la señal inicio de conversión (SOC) el convertidor inicia la conversión de los 16 canales de forma secuencial, el tiempo que existe entre la conversión de un canal y otro es de aproximadamente  $26\text{ ns}$ , los datos se guardan en el *buffer* ADCRESULT que está formado por 16 localidades ubicadas en la memoria dato como se muestra en la Figura 4.7, de la localidad  $0x7108$  a la  $0x7117$  [26].

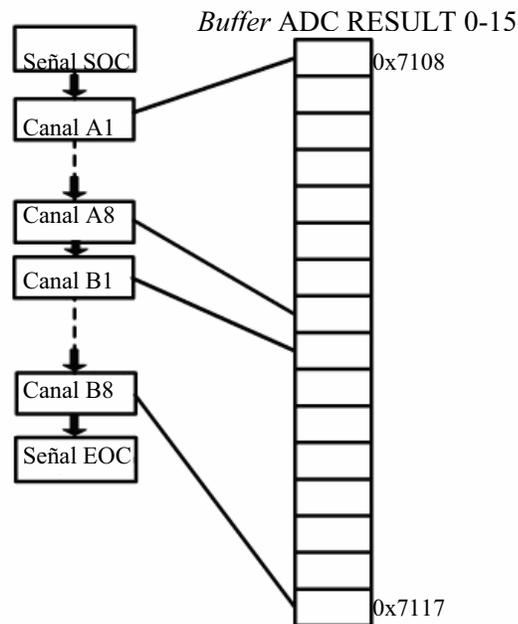


Figura 4.7 Captura y almacenamiento de datos con el periférico ADC.

La conversión comienza con el canal A1 y termina con el canal B8; el convertidor ADC está configurado para que al terminar la conversión de los dieciséis canales se envía la señal fin de conversión (del inglés *End Of Conversion*, EOC), la cual a su vez habilita una segunda interrupción. La interrupción ADC en la cuál se realiza el resto del proceso se muestra en la Figura 4.8.

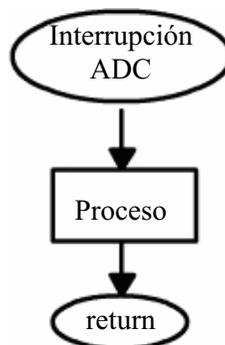


Figura 4.8 Interrupción ADC.

En la Figura 4.9 se muestra la secuencia de conversión de los 16 canales, con los ciclos de reloj generados por el temporizador CPU-TIMER0 con un periodo de  $22.6 \mu\text{s}$ . Cada que llega el temporizador a cero activa la interrupción *TIMER0*, ésta a su vez activa la conversión ADC mediante la señal SOC y finaliza la interrupción. Esta interrupción se lleva a cabo en  $50 \text{ ns}$ , de forma paralela el convertidor ADC convierte los 16 canales. Cabe mencionar que este proceso no es parte de la interrupción *TIMER0* y se lleva a cabo de forma paralela en el periférico ADC, la conversión se realiza en  $40 \text{ ns}$  aproximadamente. Al finalizar la conversión de los 16 canales se activa una segunda interrupción a partir de la señal EOC, la interrupción ADC en la cual se realiza el resto del proceso para lo cual se dispone cerca de  $22.60 \mu\text{s}$ , lo que es equivalente a 3380 instrucciones del DSP. Como se puede el proceso se efectúa en  $19 \mu\text{s}$ , quedando  $3.6 \mu\text{s}$  disponibles entre el fin del proceso y la siguiente interrupción *TIMER0*.

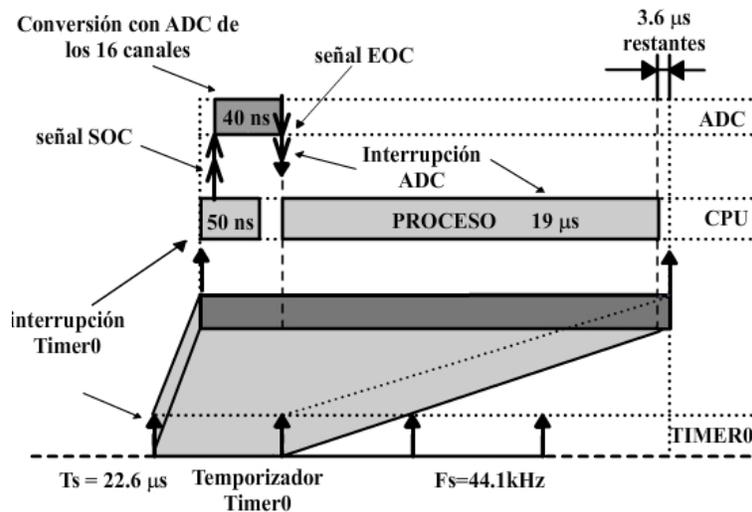


Figura 4.9 Diagrama de tiempos.

#### 4.4.3 Cancelador general de lóbulos laterales GSC

El cancelador general de lóbulos laterales, GSC, se implementó con el objetivo de obtener un haz con una mayor selectividad del que se puede obtener con un formador de haz fijo, y de acuerdo con la teoría está compuesto por el formador de haz fijo con el vector de direccionamiento, una matriz de bloqueo B y un algoritmo adaptable, en este caso se utilizó el algoritmo LMS como se muestra en la Figura 4.5.

#### 4.4.4 Matriz de vectores de direccionamiento

La dirección del lóbulo principal del patrón de radiación del arreglo se cambia mediante retrasos de las señales de los micrófonos. A modo de ejemplo se muestra un arreglo que realiza un escaneo de  $-60^\circ$  a  $60^\circ$  con respecto a la perpendicular del arreglo, escaneo que también puede ser de  $-90^\circ$  a  $90^\circ$  lo cual se verá en el Capítulo 5; el escaneo de  $-60^\circ$  a  $60^\circ$  se realiza con incrementos de  $5^\circ$  por lo que son 25 vectores de dirección. Cada



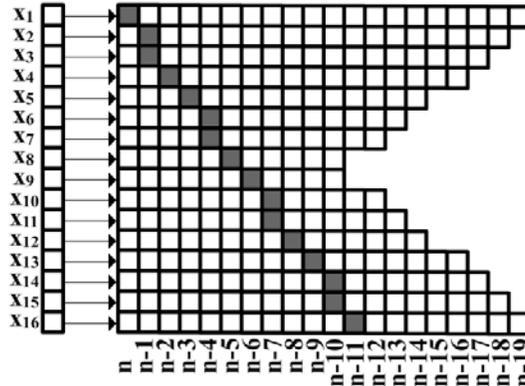
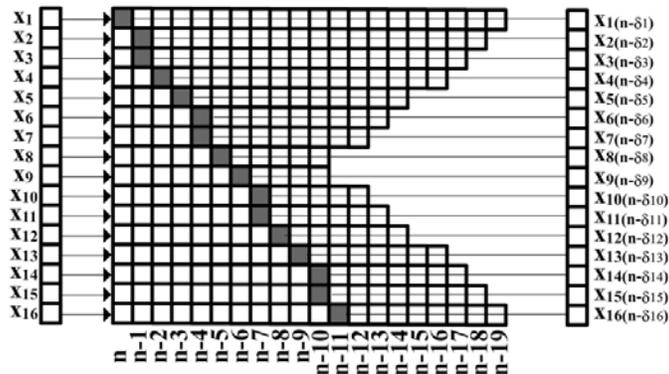
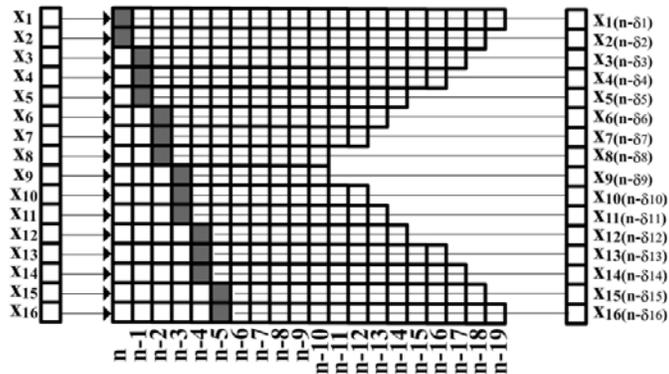


Figura 4.11 Selección de las muestras que realiza el vector de direccionamiento.

En la Figura 4.11 se puede observar cómo están seleccionados los elementos de las muestras tomadas de cada uno de los sensores, y en este caso, para la dirección de  $35^\circ$ .



a) Selección de muestras para la dirección de  $35^\circ$ .



b) Selección de muestras para la dirección de  $15^\circ$ .

Figura 4.12 Selección de muestras.

---

En la Figura 4.12 se observa como a partir de las muestras seleccionadas se forma un segundo buffer de datos  $X_{i(n-\delta_i)}$  que sirve de entrada al formador de haz.

#### 4.4.5 Formador de haz fijo con estructura GSC

El formador de haz implementado se divide en dos partes, en un formador de haz fijo y uno adaptable. El formador de haz fijo realiza el producto de los datos del *buffer* de entrada, seleccionado por el vector de direccionamiento, por una ventana para después realizar la suma de los datos; el resultado es una señal única, como se puede ver, y como ya se ha mencionado anteriormente, la estructura del formador de haz es parecida a la de un filtro FIR.

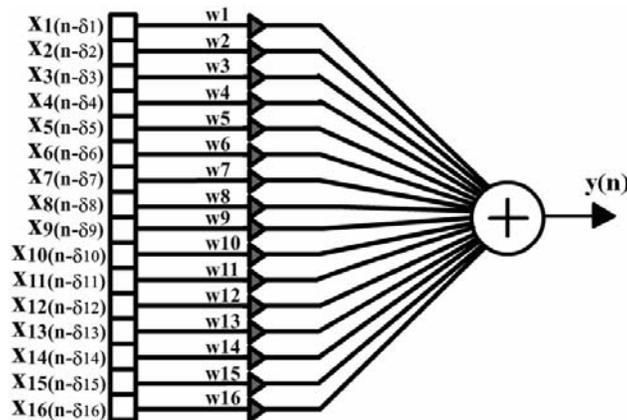


Figura 4.13 Formador de haz fijo con ventana de dieciséis elementos.

#### 4.4.6 Filtro pasa banda

A la salida del formador de haz se obtiene una señal la cual es necesario filtrar, para minimizar posibles interferencias de bajas y altas frecuencias, se utiliza un filtro pasa banda, del tipo FIR de dieciséis muestras, con una frecuencia de corte inferior de 15 kHz y con una frecuencia de corte superior de 18 kHz, de esta manera la frecuencia central se encuentra aproximadamente en los 17 kHz; a esta frecuencia es donde el patrón de radiación del arreglo es más selectivo, por lo que es más sencillo ubicar el lóbulo principal del patrón de radiación. La frecuencia de corte inferior es necesaria ya que conforme es menor la frecuencia de la señal que incide sobre el arreglo, el lóbulo principal es más ancho y por tanto más difícil de conocer su dirección. Cabe mencionar, que se eligió el tipo FIR debido a su fase lineal la cual es necesaria al momento de utilizar la estructura GSC.

El filtro utilizado es un filtro FIR de dieciséis elementos con una ventana Chebyshev-Dolph.

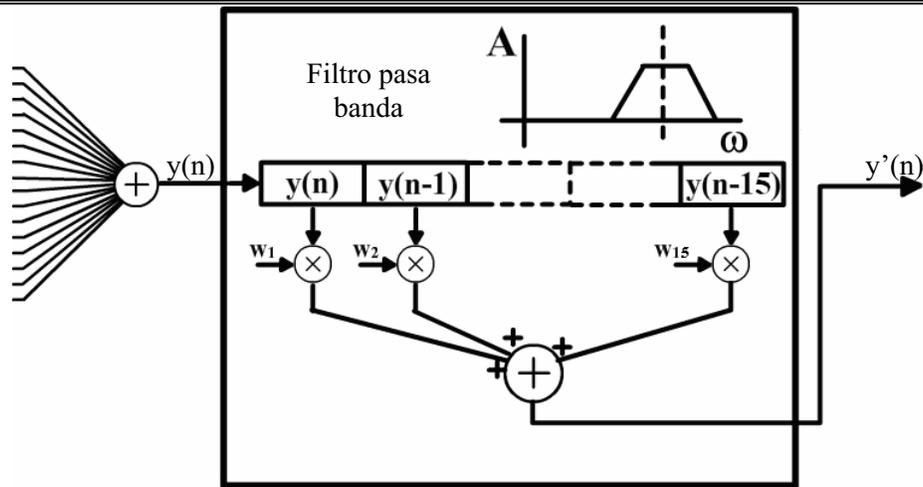


Figura 4.14 Filtro FIR pasa banda después del formador de haz fijo.

#### 4.4.7 Matriz de bloqueo

Para formar la matriz de bloqueo se utilizó la estructura *Griffits-Jim*, que utiliza el mismo buffer de entrada del formador de haz fijo; de la matriz de bloqueo se obtienen quince valores de muestra, tal como se muestra en la Figura 4.15.

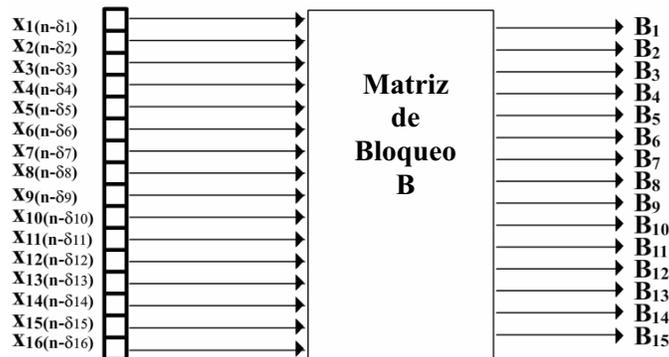


Figura 4.15 Matriz de bloqueo, dieciséis entradas con quince salidas.

Como se observa en la figura 4.15 las salidas de la matriz de bloqueo son el vector  $B_j$  y es el resultado de la multiplicación matricial entre el vector de entrada de datos por la matriz de bloqueo  $B$  como se muestra en las ecuaciones (4.7), (4.6) y (4.9), como ya se mencionó para obtener la matriz  $B$  se utiliza la estructura *Griffits-Jim* y a continuación se muestra como se obtienen las salidas  $B_j$  a partir del vector buffer de entrada de datos. Las señales de salida de la matriz de bloqueo  $B$  son las señales de referencia de ruido independiente.

$$B_j^T = XB \quad (4.7)$$

---


$$X = [x_{1(n-\delta_1)} x_{2(n-\delta_2)} \dots x_{16(n-\delta_{16})}] \quad (4.8)$$

$$B = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 \end{bmatrix} \quad (4.9)$$

En la Figura 4.16 se muestra el vector resultado  $B_j$ .

$$B_j = \begin{bmatrix} x_{1(n-\delta_1)} - x_{2(n-\delta_2)} \\ x_{1(n-\delta_1)} - x_{3(n-\delta_3)} \\ x_{1(n-\delta_1)} - x_{4(n-\delta_4)} \\ x_{1(n-\delta_1)} - x_{5(n-\delta_5)} \\ x_{1(n-\delta_1)} - x_{6(n-\delta_6)} \\ x_{1(n-\delta_1)} - x_{7(n-\delta_7)} \\ x_{1(n-\delta_1)} - x_{8(n-\delta_8)} \\ x_{1(n-\delta_1)} - x_{9(n-\delta_9)} \\ x_{1(n-\delta_1)} - x_{10(n-\delta_{10})} \\ x_{1(n-\delta_1)} - x_{11(n-\delta_{11})} \\ x_{1(n-\delta_1)} - x_{12(n-\delta_{12})} \\ x_{1(n-\delta_1)} - x_{13(n-\delta_{13})} \\ x_{1(n-\delta_1)} - x_{14(n-\delta_{14})} \\ x_{1(n-\delta_1)} - x_{15(n-\delta_{15})} \\ x_{1(n-\delta_1)} - x_{16(n-\delta_{16})} \end{bmatrix}$$

Figura 4.16 Vector salida de la matriz de bloqueo, señales de ruido.

---

#### 4.4.8 Algoritmo adaptable LMS

Para desarrollar el algoritmo LMS se utilizan las señales obtenidas de la matriz de bloqueo, es decir las señales de referencia de ruido independiente, la señal obtenida del formador de haz fijo y del filtro pasa banda que sirve como señal de referencia. El algoritmo adaptable LMS busca reducir en amplitud los lóbulos laterales del patrón de radiación de arreglo. Se utilizó la estructura transversal de filtro adaptable como se muestra en la Figura 4.17.

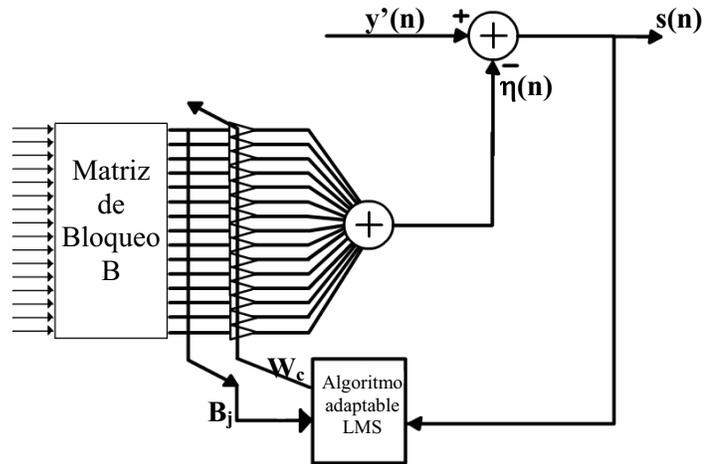


Figura 4.17 Algoritmo adaptable LMS.

En la Figura 4.17 se observa que los resultados de la matriz de bloqueo  $B_j$  son multiplicados por los coeficientes  $w_{c_j}$  y después se realiza la sumatoria de los productos con lo que se obtiene la señal  $\eta(n)$ , de acuerdo con la ecuación (4.10), lo que se busca con dicha señal es enfatizar la señal deseada, es decir la señal de prueba, y atenuar las posibles interferencias presentes.

$$\eta(n) = \sum_{j=1}^{15} B_j \cdot w_{c_j} \quad (4.10)$$

La señal  $y'(n)$  es la señal obtenida del formador de haz fijo después de pasar por un filtro pasa banda, la cual contiene la señal de prueba mezclada con interferencias; la señal  $\eta(n)$ , la cual no contiene la señal de prueba y solo interferencias (que es lo que se desea obtener con la matriz de bloqueo), al restar  $\eta(n)$  a  $y'(n)$  se refuerza la señal deseada con lo que se obtiene  $s(n)$ , la cual sirve como señal de referencia para el algoritmo adaptable LMS.

El algoritmo se realiza de acuerdo a la ecuación (4.11)

$$w_{c_j}(n+1) = w_{c_j}(n) + 2 \cdot \mu \cdot s(n) \cdot B_j \quad \text{para } j = 1, 2, \dots, 15 \quad (4.11)$$

Cabe mencionar que cada 45.35 ms que se realiza el cambio del vector de direccionamiento, los coeficientes del algoritmo adaptable se igualan a cero para no ser afectados por las condiciones anteriores debidas al vector de direccionamiento.

#### 4.4.9 Cálculo de la potencia

El cálculo de la potencia se realiza mediante la ecuación (4.12)

$$P = \frac{1}{2000} \sum_{k=1}^{2000} (s_k(n))^2 \quad (4.12)$$

Al iniciar el proceso un registro acumulador se iguala a cero,  $s(n)$  se eleva al cuadrado y se suma al registro acumulador:

$$acumulador = acumulador + (s(n))^2 \quad (4.13)$$

Esto se realiza en cada  $22.67 \mu s$ , es decir, en cada periodo de muestreo, y sucede 2000 veces con lo que el acumulador es igual a

$$acumulador = \sum_{k=1}^{2000} (s_k(n))^2 \quad (4.14)$$

Una vez transcurridos 45.35 ms, dos mil veces el periodo de muestreo, el acumulador es multiplicado por el inverso de dos mil y se guarda en un registro del buffer de datos.

$$P_\theta = \frac{1}{2000} \cdot acumulador \quad (4.15)$$

Continuando el ejemplo anterior de un escaneo de  $-60^\circ$  a  $60^\circ$ , el buffer de datos se compone de veinticinco registros, cada registro corresponde a una dirección en específico, es decir cada registro contiene la potencia en una dirección de  $-60^\circ$  hasta  $60^\circ$  cada  $5^\circ$  tal como se muestra en la Figura 4.18.

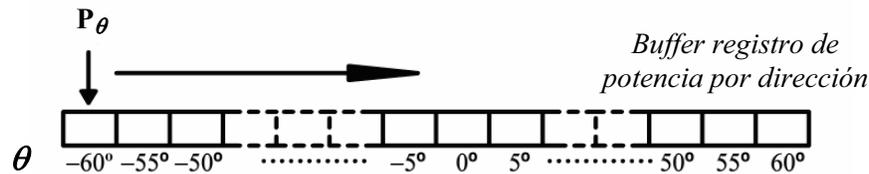


Figura 4.18 Buffer registro de potencias.

Como se observa en la Figura 4.18, al inicio cuando el vector de direccionamiento es de  $-60^\circ$ , transcurridos los 45.35 ms se guarda la potencia calculada en el *buffer* de datos,

---

el acumulador se iguala a cero para el cálculo del siguiente valor de potencia. Ahora, cuando el vector de direccionamiento apunta a  $-55^\circ$ , nuevamente trascurridos otros 45.35 ms se guarda la nueva potencia calculada en el registro reservado para  $-55^\circ$ ; esto sucede sucesivamente hasta cubrir todas las direcciones del *buffer*, lo cual se lleva a cabo en 1.1337 s. Una vez que se llega a la localidad asignada a los  $60^\circ$ , se reinicia el proceso regresando el vector direccionamiento a  $-60^\circ$  y se calcula nuevamente la potencia.

Aunque aquí se mostró el caso del cálculo de la potencia para la señal  $s(n)$ , adicionalmente se realiza el cálculo de la potencia de la señal  $y'(n)$ , los resultados de la potencia se ubican en otro *buffer* de datos, esto con el fin de más adelante hacer una comparación entre el formador de haz con la estructura GSC y el formador de haz fijo.

Adicionalmente, las direcciones del haz controlados por el vector de direccionamiento son dados para el intervalo de  $-60^\circ$  a  $60^\circ$ , aunque como se verá en el Capítulo 5 se utilizaron otros vectores direccionamiento para los intervalos de  $-90^\circ$  a  $-60^\circ$  y de  $60^\circ$  a  $90^\circ$  con tal de saber como es el comportamiento del haz en esas direcciones; por lo que el procedimiento del cálculo de las potencias se realiza también para tales vectores de direccionamiento.

#### **4.4.10 Detección de dirección de arribo**

Para determinar la dirección de arribo de la señal que incide en el arreglo se utiliza el método más sencillo, es decir el método de retraso y suma, el cual consiste en comparar las potencias del haz apuntando a una dirección en específico, la dirección que tenga una mayor potencia es la dirección donde se encuentra la fuente.

Del proceso anterior, cuando se inicia en la dirección de  $-60^\circ$ , mientras se guarda la potencia calculada en esa dirección se guarda esa misma potencia en un segundo registro así como la dirección, ya en la siguiente dirección, en  $-55^\circ$  mientras se guarda la nueva potencia, ésta se compara con la anterior; en caso de existir una mayor potencia, se guarda esta potencia en el registro donde se encuentra la potencia calculada anteriormente así como la dirección, en caso de no ser mayor simplemente no se hace ningún cambio. Esto se efectúa sucesivamente hasta llegar a los  $60^\circ$ . Con este procedimiento, al finalizar se obtiene la dirección donde se ubica la fuente la cual se va guardando en la variable *dir* la cual cambia cada 1.13 s.

### **4.5 Síntesis**

Paso a paso se ha descrito cómo está conformado el sistema, comenzando con el arreglo de micrófonos formado por los dieciséis micrófonos electret, y después el circuito acondicionador y la captura de datos que realiza el DSP con su periférico ADC.

Con los datos obtenidos se procede a realizar el proceso de detección de dirección de arribo; se muestra cómo se implementó el algoritmo GSC, conformado por el formador de haz fijo que junto con el vector de direccionamiento, la matriz de bloqueo y el algoritmo adaptable, se obtienen las potencias respectivas a un haz en una dirección en específico. Y

---

por último, se explica el algoritmo de control para determinar la dirección de arribo de la señal deseada.