

ÍNDICE

INTRODUCCIÓN.....	5
Objetivo general.....	6
Definición de un controlador lógico programable (PLC).....	6
Valor académico de los PLC.	7

CAPÍTULO 1 DISEÑO DE HARDWARE.

1.1 Introducción.	10
1.2 Consideraciones sobre la posición de los componentes en una PCB.	12
1.3 Consideraciones generales sobre el trazado de las pistas (tracks), pads y vías.	13
1.4 Cálculo de la resistencia de las pistas.	14
1.5 Máxima intensidad admisible en las pistas.	14
1.6 Esquema general de la tarjeta TES_PLM08.	15
1.6.1 Bloque de entradas (BE).	15
1.6.2 Bloque de salidas (BS).	15
1.6.3 Fuente de alimentación.....	15
1.7 Desarrollo de la tarjeta TES_PLM08.....	15

CAPÍTULO 2 DESCRIPCIÓN Y SINTAXIS DE LOS MÓDULOS LÓGICOS QUE PUEDE IMPLEMENTAR EL PLM08.

2.1 Descripción general de los módulos lógicos.	24
2.1.1 Programación del PLM08.	25
2.1.2 Secuencia de ejecución de un programa en lenguaje SILL1.	26
2.1.3 Formato de un programa fuente en lenguaje SILL1.....	27
2.2 Descripción del módulo de seguidor lógico.	28
2.3 Descripción del módulo de inversor lógico.	29
2.4 Descripción de los módulos lógicos que realizan compuertas lógicas de dos entradas.	30
2.5 Descripción de los módulos lógicos realizan compuertas lógicas de tres entradas. ..	33
2.6 Descripción de los módulos lógicos realizan compuertas lógicas de cuatro entradas.	35
2.7 Descripción del módulo lógico que realiza temporizadores monodisparo (TEMPOC).	38
2.8. Descripción del módulo lógico que realiza temporizadores con retardo a la activación (On Delay) y con retardo a la desactivación (Off Delay). (TEMPOD).	41
2.9 Descripción del módulo lógico que realiza temporizadores astables (TEMPOE).	44
2.10. Descripción del módulo lógico que realiza flip-flops asíncronos (FFARS).....	47
2.11 Descripción del módulo lógico que realiza contadores de eventos.	49

CAPÍTULO 3. IMPLEMENTACIÓN DE LOS MÓDULOS LÓGICOS.

3.1 Descripción general.	55
3.2 Programa esqueleto general en lenguaje ensamblador asociado con un programa en lenguaje SILL1.....	55
3.2.1 Flujo de ejecución y programa esqueleto genérico para el módulo seguidor.	59
3.2.2 Flujo de ejecución y programa esqueleto genérico para el módulo inversor.	60
3.2.3 Flujo de ejecución y programa esqueleto genérico de los módulos de compuertas lógicas AND, OR, NAND y NOR de dos entradas realizables con el PLM08.....	62
3.2.4 Flujo de ejecución y programa esqueleto genérico de los módulos de compuertas lógicas AND, OR, NAND y NOR de tres entradas realizables con el PLM08.	64
3.2.5 Flujo de ejecución y programa esqueleto genérico de los módulos de compuertas lógicas AND, OR, NAND y NOR de cuatro entradas realizables con el PLM08.	66
3.2.6 Flujo de ejecución y programa esqueleto genérico del módulo lógico que realiza temporizadores monodisparo (TEMPOC).....	68
3.2.7 Flujo de ejecución y programa esqueleto genérico del módulo lógico que realiza temporizadores con retardo a la activación (On Delay) y con retardo a la desactivación. (Off Delay) (TEMPOD).....	71
3.2.8 Flujo de ejecución e implementación del módulo lógico que realiza temporizadores estables (TEMPO E).....	74
3.2.9 Flujo de ejecución e implementación del módulo lógico que realiza flip-flops asíncronos R-S (FFARS).....	76
3.2.10 Flujo de ejecución e implementación del módulo lógico que realiza contadores de eventos.....	79

CAPÍTULO 4. SOFTWARE DE INTEGRACIÓN DE LOS MÓDULOS LÓGICOS.

4.1 Descripción general.	84
4.2 Esqueleto de programación y matriz de cadenas asociadas con los módulos lógicos realizables por él PLM08.	84
4.2.1 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico seguidor.....	85
4.2.2 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico inversor.	88
4.2.3 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico de las compuertas lógicas AND, OR, NAND y NOR de dos entradas realizables con el PLM08.	91

4.2.4 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico de las compuertas lógicas AND, OR, NAND y NOR de tres entradas realizables con el PLM08.	94
4.2.5 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico de las compuertas lógicas AND, OR, NAND y NOR de cuatro entradas realizables con el PLM08.	97
4.2.6 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico que realiza temporizadores monodisparo (TEMPOC).	101
4.2.7 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico que realiza temporizadores con retardo a la activación (On Delay) y con retardo a la desactivación (Off Delay) (TEMPOD).....	105
4.2.8 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico que realiza temporizadores astables (TEMPOE).	109
4.2.9 Esqueleto de programación y matriz de cadenas asociadas con el módulo lógico que realiza flip-flops asíncronos R-S (FFARS).....	113
4.2.10 Esqueleto de programación e implementación del módulo lógico que realiza contadores de eventos.....	116
4.3 Guía rápida del usuario del programa generador de lenguaje ensamblador para el PLM08 (GEN_ENS_PLM08).	120
4.3.1 Abrir un archivo.	120
4.3.2 Reporte de errores.....	121
4.3.3 Genera programa ensamblador.....	123
4.3.4 Abrir archivo .ASM.....	124
 <i>CAPÍTULO 5. EJEMPLO DE APLICACIÓN.</i>	
5.1 Descripción general del problema de aplicación.	127
5.2 Diseño del programa que controla la banda transportadora.	127
5.3 Programa en lenguaje SILL1 que da solución al problema de la banda transportadora.	129
5.4 Generación del programa en lenguaje ensamblador usando el software GEN_ENS_PLM08.	131
5.5 Ejecución del programa en lenguaje ensamblador usando el software PUMMA_08+.	139
5.5.1 Inicialización del sistema.....	139
5.5.2 Carga y ejecución del programa que resuelve el ejemplo de control de la banda transportadora.	142

CONCLUSIONES	146
BIBLIOGRAFÍA	147
APÉNDICE.....	148