

I. MARCO TEÓRICO

En este capítulo se presentan los antecedentes teóricos necesarios para poder entender las interdependencias entre los transistores MOSFET y la eficiencia de un convertidor *buck* síncrono. Se comienza con la definición del concepto de eficiencia de un sistema, para seguir con la descripción de la operación de un convertidor *buck* síncrono así como de una breve introducción de los componentes que lo integran. Al final, se adentrará al lector al vasto mundo de los MOSFETs, poniendo especial atención en las características técnicas relacionadas con las pérdidas de potencia, tanto en el periodo de conmutación como el de conducción de los MOSFETs.

I.i Eficiencia

La eficiencia es una relación entre la energía que se le suministra a un sistema y la que se obtiene a la salida de este, indicando qué tan bien se ha aprovechado la energía o, visto de otra forma, cuánta energía se ha desperdiciado.

En la figura 1.1, P_{IN} es la potencia de entrada, P_{OUT} es la potencia de salida y P_{Losses} se refiere al conjunto de pérdidas de potencia del sistema, todas ellas medidas en Watts.

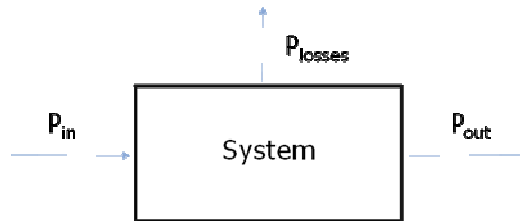


Figura 1.1. Distribución de potencias de un sistema.

La eficiencia de un sistema, η , se define como:

$$\eta = \frac{P_{OUT}}{P_{IN}} \dots\dots\dots \text{ec. 1.1}$$

Hasta el momento, no existe un sistema capaz de aprovechar toda la energía que se le suministra, es decir, la energía (potencia) a la salida siempre será menor que la energía (potencia) a la entrada. Es por lo anterior que las siguientes expresiones son una referencia para cálculos de eficiencia.

$$\eta < 1 \dots\dots\dots \text{ec. 1.2}$$

$$P_{OUT} = P_{IN} - P_{Losses} \text{ [W]} \dots \text{ ec. 1.3}$$

La potencia en un instante específico (potencia instantánea), está definida por:

$$P_{INST} = v(t_0)i(t_0) \text{ [W]} \dots \text{ ec. 1.4}$$

Donde: $v(t_0)$: voltaje en un tiempo específico, [V]; $i(t_0)$: corriente en un tiempo específico, [A].

Como la potencia puede tener variaciones considerables de un instante a otro y en ocasiones se necesita conocer esta en un lapso determinado de tiempo, se hace el uso de la potencia promedio, definida para funciones periódicas por:

$$P_{PROM} = \frac{1}{T} \int_0^T v(t)i(t)dt \text{ [W]} \dots \text{ ec. 1.5}$$

Donde: $v(t)$: voltaje dependiente del tiempo, [V]; $i(t)$: corriente dependiente del tiempo, [A]; T: periodo de la función, [s].

Las ecuaciones 1.1 a 1.5 serán ampliamente usadas en los capítulos III y V. En las siguientes páginas se describirá qué partes del sistema generan pérdidas de potencia. El sistema considerado en este reporte está constituido por un convertidor *buck* síncrono.

I.ii Convertidor *buck* síncrono

El diagrama de un convertidor *buck* síncrono con componentes parásitos se muestra en la figura 1.2. Este, está formado por una fuente de voltaje de DC a la entrada (V_{IN}), un capacitor de entrada (C_{IN}) que tiene por función disminuir el voltaje de rizo de la fuente de entrada, un circuito *driver* encargado de la “sincronía” del encendido y apagado de los MOSFETs de potencia, dos MOSFETs de potencia utilizados como interruptores, uno en el lado alto (*high side MOSFET*), y otro en el lado bajo (*low side MOSFET*), una inductancia de salida (L_{OUT}) cuya función es limitar las variaciones de corriente proporcionada a la carga (R_{LOAD}) y un capacitor de salida (C_{OUT}), encargado de limitar las variaciones del voltaje a la salida.

Las pérdidas de potencia en un Convertidor *Buck* Síncrono (SBC, por sus siglas en inglés) son generadas por los MOSFETs y por el resto de los componentes del sistema, formados, básicamente, por las resistencias equivalentes en serie, ver figura 1.2 (ESRs, por sus siglas en inglés) y las inductancias equivalentes en serie, ver figura 1.2 (ESLs, por sus siglas en inglés).

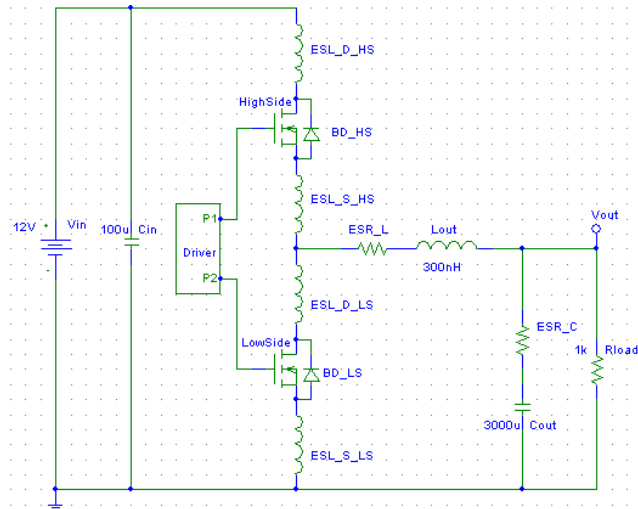


Figura 1.2. Diagrama de un convertidor *buck* síncrono con componentes parásitos.

Como el objetivo de este reporte es mostrar, únicamente, la influencia de las características de los MOSFETs de potencia sobre la eficiencia de todo el sistema, el impacto de los elementos pasivos no será considerado en el análisis teórico. De acuerdo a la idealización anterior, el SBC a estudiar se muestra en la figura 1.3.

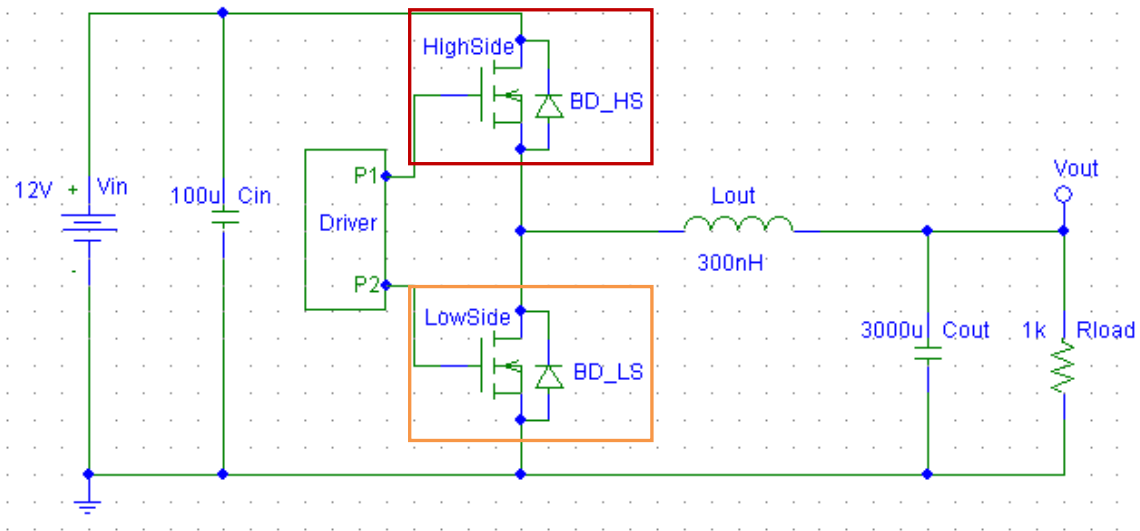


Figura 1.3. Diagrama de un convertidor *buck* síncrono idealizado.

Haciendo énfasis en las pérdidas de los MOSFETs, éstas pueden ser separadas en pérdidas por conmutación y pérdidas por conducción. Por simplicidad, los efectos de la temperatura sobre las pérdidas en los MOSFETs no serán consideradas en este reporte. Los elementos pasivos mencionados no afectarán la comparación del desempeño entre diferentes MOSFETs de potencia utilizados en un SBC.

Las pérdidas mencionadas quedan definidas por la ecuación 1.5.

$$P_{Losses} = P_{LossCin} + P_{LossLout} + P_{LossCout} + P_{LossDriver} + P_{LossBoard} + P_{LossMOSFETs} \text{ [W]} \dots \text{ec. 1.5}$$

Donde:

$P_{LossCin}$: pérdidas asociadas al capacitor de entrada; $P_{LossLout}$: pérdidas asociadas al inductor de salida; $P_{LossCout}$: pérdidas asociadas al capacitor de salida; $P_{LossDriver}$: pérdidas debidas al circuito driver; $P_{LossBoard}$: pérdidas debidas al circuito impreso; $P_{LossMOSFETs}$: pérdidas debidas a los MOSFETs de potencia.

Al mantener todos los componentes pasivos fijos para fines de comparación de pérdidas de potencia asociadas al par de MOSFETs, la ecuación 1.5 se puede expresar como:

$$P_{Losses} = K + P_{LossMOSFETs} \text{ [W]} \dots \text{ec. 1.6}$$

Donde:

$$K = P_{LossCin} + P_{LossLout} + P_{LossCout} + P_{LossDriver} + P_{LossBoard} \text{ [W]} \dots \text{ec. 1.7}$$

Existen, básicamente, tres diferentes circuitos equivalentes durante la operación de un SBC que serán de utilidad para analizar las pérdidas de potencia.

En la figura 1.4 se muestra un diagrama a bloques del circuito controlador (*driver*), ilustrado anteriormente en las figuras 1.2. y 1.3., el cual sincroniza el encendido y el apagado de los MOSFETs y debido a esto es el que genera el cambio entre los tres circuitos equivalentes. El driver es construido de manera tal que evita la conducción simultánea de los MOSFETs.

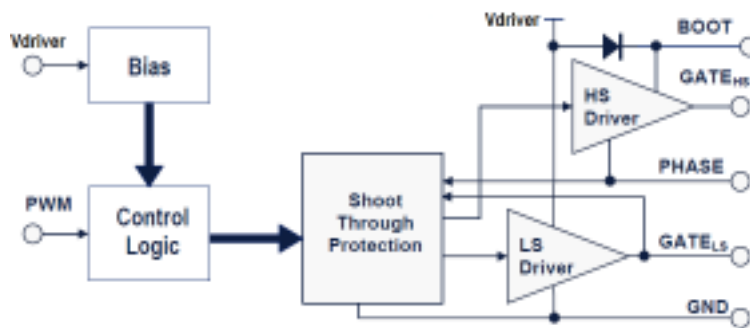


Figura 1.4. Diagrama a bloques de un circuito driver típico.

No se pretende hacer un análisis exhaustivo sobre el funcionamiento del circuito *driver* pero es importante entender el comportamiento de las formas de onda de la señal PWM (modulación por ancho de pulso) a la entrada del circuito, en la terminal compuerta (*gate*) del *high side* MOSFET, en la terminal compuerta del *low side* MOSFET y en el nodo donde se unen los dos MOSFETs y el inductor de salida, denominado comúnmente nodo *phase*. Así se sabrá cuánto tiempo

permanece el SBC en el circuito equivalente correspondiente y de allí, hacer el análisis correcto de pérdidas de potencia.

En la figura 1.5 se ilustran las señales mencionadas anteriormente.

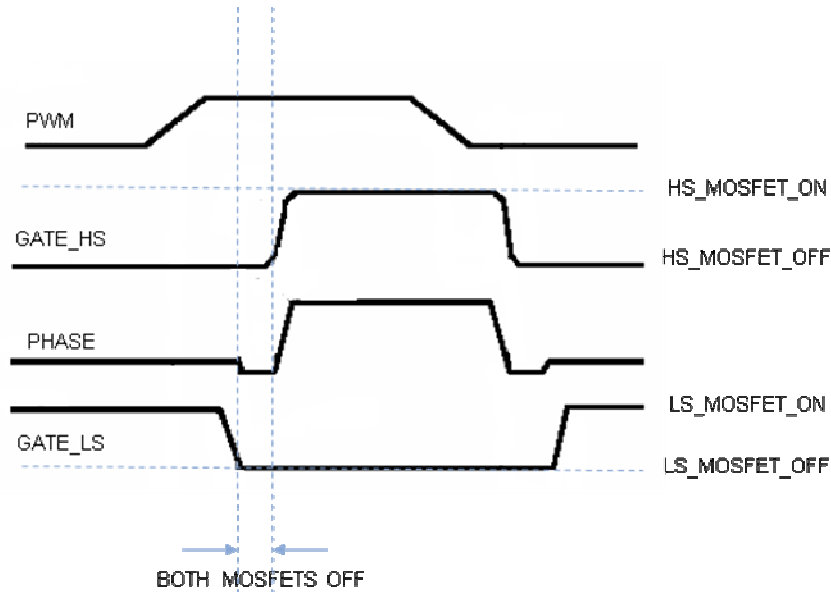


Figura 1.5. Diagrama de tiempo de las señales del driver.

Los tres circuitos equivalentes se muestran en las figuras 1.6, 1.7 y 1.8 y se describen a continuación.

- *High side* MOSFET ON – *Low side* MOSFET OFF

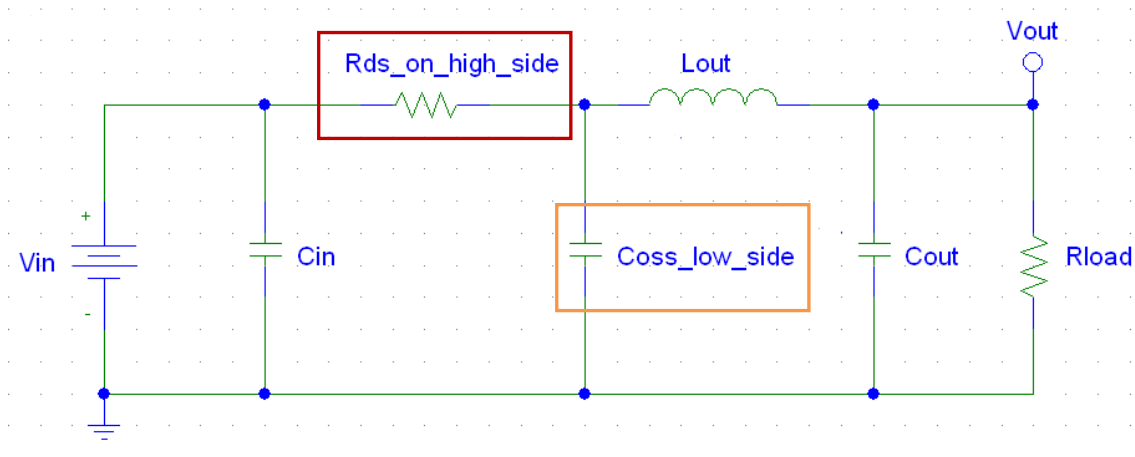


Figura 1.6. *High side* ON *Low side* OFF.

En este periodo el *high side* MOSFET es encendido, permitiendo el flujo de corriente a través de él y puede ser visto como un resistor con un valor de resistencia dado por su resistencia de encendido (R_{ds_on}). El incremento de

corriente es limitado por el inductor (L_{OUT}). El *low side* MOSFET está apagado y puede ser representado por un capacitor cuya capacitancia tiene el valor de $C_{OSS-Low-Side}$ (capacitancia de salida del MOSFET).

- *High side* MOSFET OFF – *Low side* MOSFET OFF

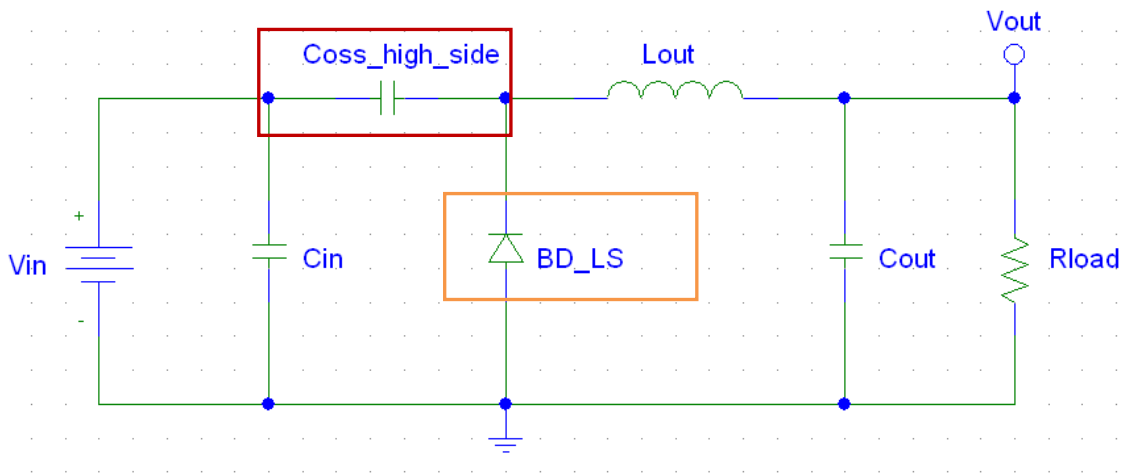


Figura 1.7. *High side* OFF *Low side* OFF.

Cuando los dos MOSFETs están apagados, la corriente almacenada en el inductor necesita seguir fluyendo. Anteriormente, se utilizaba un diodo externo, conocido en inglés como *freewheeling diode*, para crear un camino para el flujo de la corriente pero ahora se aprovecha el diodo integrado en el cuerpo del *low side* MOSFET, llamado, debido a esta naturaleza, el diodo de cuerpo (*body diode*). Como el *high side* MOSFET está apagado, puede ser visto como un capacitor con valor de capacitancia de $C_{OSS-High-Side}$.

- *High side* MOSFET OFF – *Low side* MOSFET ON

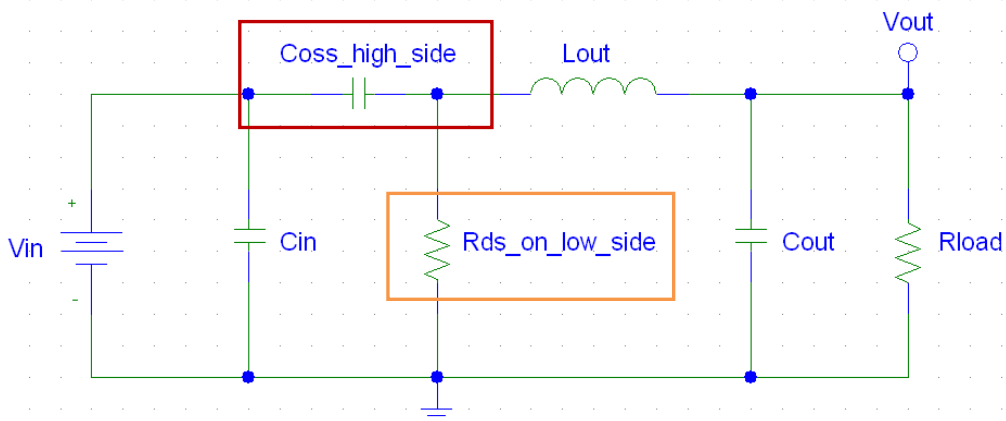


Figura 1.8. *High side* OFF *Low side* ON.

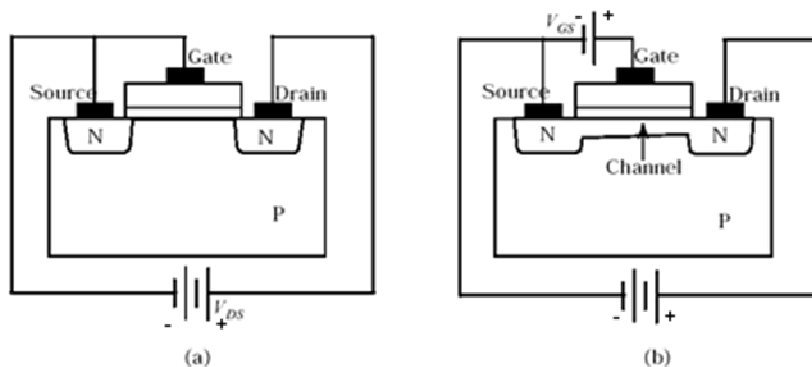
En el tercer circuito equivalente, el *low side* MOSFET es encendido haciendo fluir la corriente a través del canal del MOSFET y ya no a través del diodo de cuerpo. Por lo anterior, el *low side* MOSFET puede ser representado por un resistor.

I.iii MOSFETs

Para entender el principio de operación de los MOSFETs, son presentadas las figuras 1.9a y 1.9b, sobre su estructura interna.

Cuando no se aplica voltaje alguno en la terminal G (Compuerta), no existe flujo de corriente entre las terminales S (Fuente) y D (Drenador), en ninguna dirección, debajo de la compuerta, debido a la polarización bajo la cual se encuentra la unión PN, impidiendo el flujo de corriente, figura 1.9a.

Cuando se polariza la compuerta, de la forma ilustrada en la figura 1.9b, los portadores libres (hoyos), presentes en la capa tipo P son repelidos del área cercana a la compuerta, creando un canal N que permite el libre flujo de electrones de la fuente al drenador.



Figuras 1.9. a) MOSFET cuando no se aplica voltaje en la terminal gate. b) MOSFET en modo de conducción.

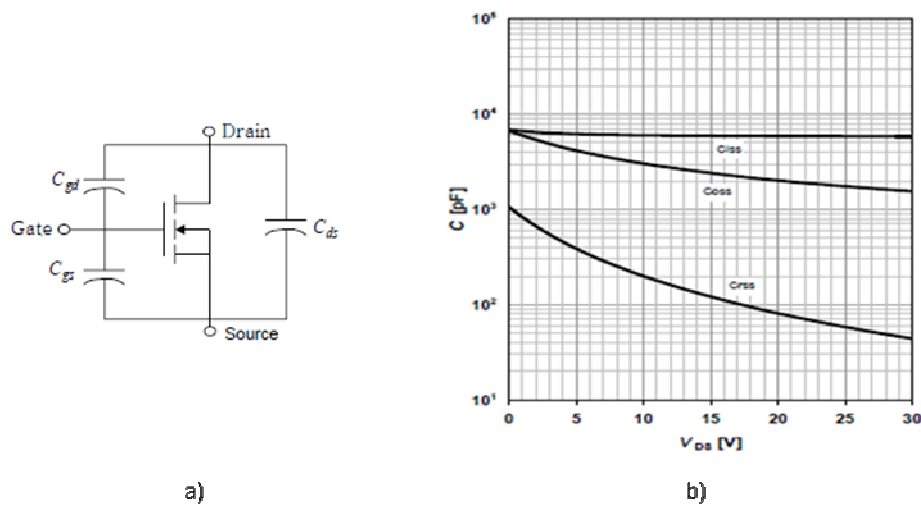
I.iii.i Parámetros de un MOSFET involucrados en pérdidas de potencia

La energía disipada en un MOSFET cambia en magnitud y forma dependiendo de si está encendido, apagado o se encuentra en el proceso de conmutación. Los parámetros de un MOSFET involucrados en pérdidas de potencia son la resistencia de encendido, tres capacitancias parásitas principales junto con la cantidad de carga asociada a estas, la caída de voltaje en el diodo de cuerpo y la cantidad de carga de recuperación inversa asociada a dicho diodo.

1.- Resistencia de encendido ($R_{ds\ on}$): es la resistencia total comprendida entre la fuente y el drenador cuando el MOSFET se encuentra encendido. La resistencia de encendido depende del voltaje aplicado entre la compuerta y la fuente del transistor, V_{GS} .

2.- Tres capacitancias parásitas principales: éstas deben ser consideradas al analizar el comportamiento de los MOSFETs cuando conmutan y al analizar las pérdidas relacionadas a ellas. Las capacitancias son: C_{gs} , C_{gd} y C_{ds} . Ver figura 1.10a.

Usualmente en las hojas de datos provistas por los fabricantes de MOSFETs, figura 1.10b, las capacitancias parásitas no están directamente especificadas.



Figuras 1.10. a) MOSFET y sus capacitancias parásitas. b) C_{iss} , C_{oss} y C_{rss} en función de V_{DS} ($V_{GS}=0$).

Las capacitancias especificadas son:

| | |
|---------------------------------------|-----------------------------|
| Capacitancia de entrada | $C_{iss} = C_{gd} + C_{gs}$ |
| Capacitancia de salida | $C_{oss} = C_{gd} + C_{ds}$ |
| Capacitancia de transferencia inversa | $C_{rss} = C_{gd}$ |

Debido a que la capacitancia de transferencia inversa es mucho menor en comparación con las otras dos, se pueden aproximar los valores de C_{iss} a C_{gs} y C_{oss} a C_{ds} .

La capacitancia de la terminal G a la terminal S (C_{gs}) está formada físicamente por la estructura "compuerta-óxido-fuente". Su valor determina la velocidad con la que la terminal G puede ser cargada y cuánta carga debe ser provista por una fuente externa (*driver*) para crear un canal conductor en la región-P del MOSFET. La figura 1.10b muestra el comportamiento de C_{gs} como función del voltaje aplicado en el drenador del MOSFET (La terminal S está conectada a tierra) cuando $V_{GS}=0$.

El valor de C_{gs} es constante para valores grandes de V_{GS} ya que el aumento de potencial en el drenador no tiene influencia en la distribución de portadores de carga en los electrodos S y G.

C_{gd} es llamada la capacitancia Miller, está constituida por la estructura “compuerta-óxido-drenador”. Esta capacitancia impacta las características de conmutación del MOSFET de la manera en que será descrita más adelante. Ya que cuando se incrementa el potencial en el drenador, la distribución de portadores de carga en este electrodo cambia, el valor de C_{gd} también cambiará al variar V_{DS} . Esto aplica de igual manera para C_{ds} , la cual está formada por la región de deflexión PN del MOSFET y crece cuando V_{DS} aumenta. Esta zona de portadores de carga libres es controlada por el voltaje aplicado.

3.- Carga de compuerta: Debido a que algunas capacitancias dependen del voltaje V_{DS} , es más fácil utilizar la cantidad de carga respectiva a ellas para calcular la disipación de energía durante el encendido y el apagado de los MOSFETs. Ver figura 1.11.

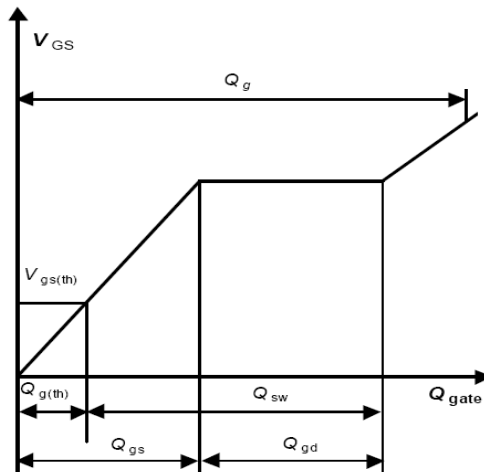


Figura 1.11. Valores característicos de carga de compuerta.

Donde,

Q_g : es la carga total que debe ser provista por el circuito *driver* para elevar el voltaje de C_{iss} al voltaje de driver final. La carga requerida cambiará si el voltaje de driver cambia.

$Q_{g(th)}$: es la carga mínima necesaria para iniciar la creación del canal N y así, permitir el flujo de corriente a través del transistor.

Q_{gs} : es la cantidad de carga requerida para cargar la capacitancia parásita C_{gs} hasta el voltaje necesario para la creación de un canal.

Q_{gd} : es la cantidad de carga requerida para cargar y descargar la capacitancia parásita C_{gd} .

Q_{sw} : es, simplemente, la suma de Q_{gd} y $(Q_{gs} - Q_{g(th)})$.

4.- Carga de Salida, Q_{oss} : Esta carga está relacionada con la capacitancia parásita de salida del MOSFET, la cual es cargada durante el apagado del transistor y descargada durante el encendido del transistor.

5.- Caída de voltaje en el diodo de cuerpo, V_{SD} : Cuando ninguno de los MOSFETs conduce en un SBC, el diodo de cuerpo del *low side* MOSFET actúa como un diodo de liberación para la corriente del inductor. El voltaje a través de este diodo es V_{SD} .

6.- Carga de recuperación inversa, Q_{rr} : Un diodo, el diodo de cuerpo, es un dispositivo inherentemente lento y una cantidad sustancial de carga inversa debe ser liberada durante el proceso de recuperación, esta carga es conocida como carga de recuperación inversa.

En el APÉNDICE A se presenta una hoja de especificaciones típica de un MOSFET, de la compañía Infineon Technologies.

I.iii.ii Características de encendido

El encendido de un MOSFET con carga inductiva puede ser dividido en cuatro periodos, indicados en la figura 1.12. Cabe resaltar que no todas las formas de onda tienen un comportamiento lineal como se muestra en la figura. Se hace esta idealización para facilitar la comprensión gráfica del proceso, sin embargo, en el cálculo de pérdidas de potencia se utilizarán las ecuaciones que rigen el comportamiento real. En su momento se hará la mención necesaria.

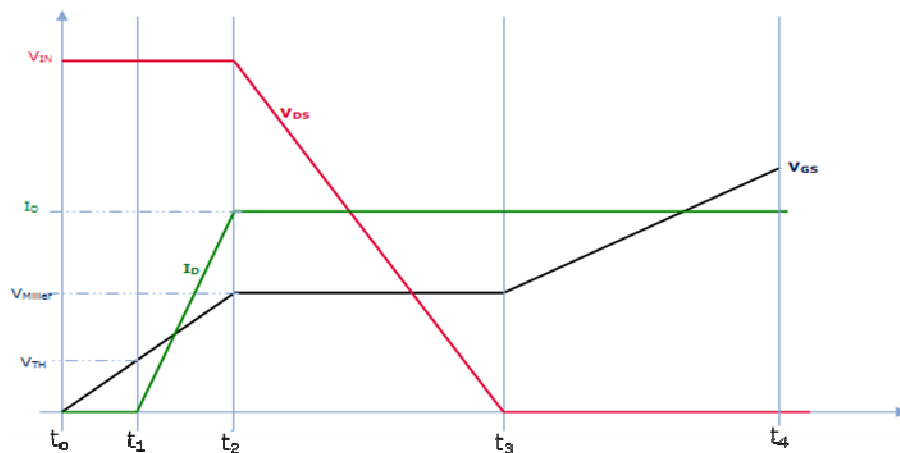


Figura 1.12. Encendido de un MOSFET con carga inductiva en régimen capacitivo.

Las características principales de cada uno de los periodos son:

a) De t_0 a t_1

Cuando comienza el proceso de encendido del MOSFET, este no conduce corriente ($I_D=0$), el voltaje compuerta-fuente comienza a incrementarse, de un valor cero ($V_{GS}=0$) a un valor característico ($V_{GS}=V_{TH}$, descrito en siguiente párrafo) y el MOSFET bloquea un cierto voltaje ($V_{DS}=V_{IN}$) aplicado por una fuente de voltaje externa. A este periodo se le conoce como retraso de encendido porque, tanto V_{DS} como I_D no cambian. Para prender el dispositivo, un circuito externo, el *driver*, es conectado entre la compuerta y la fuente del MOSFET.

b) De t_1 a t_2

El encendido del dispositivo inicia cuando V_{GS} aumenta debido a la carga de C_{gs} y C_{gd} . Cuando V_{GS} alcanza el valor V_{TH} la creación de un canal N en la región-P empieza, haciendo que I_D aumente hasta llegar a cierto valor fijado por las condiciones del circuito, I_{OUT} .

c) De t_2 a t_3

Después de que la corriente alcanza su valor final, el voltaje a través del MOSFET cae. Cuando esto ocurre, el voltaje a través de C_{gd} cambia de $V_{GD}=V_{Drain}-V_{Miller}$ a $V_{GD}=-V_{Miller}$ cuando se llega a t_3 . Esta inversión en el voltaje requiere un flujo de carga por esta capacitancia, la cual es provista por el circuito *driver*. Durante este proceso el voltaje V_{GS} se mantiene constante en un valor V_{Miller} , ya que toda la carga provista por el circuito *driver* es requerida para cargar el voltaje a través de C_{gd} . En consecuencia, puede ser vista una meseta en la curva de V_{GS} entre t_2 y t_3 , también referida como la meseta Miller.

d) De t_3 a t_4

El último paso del encendido es ensanchar completamente el canal de conducción del MOSFET aplicando un voltaje de driver mayor en la compuerta. El valor final de V_{GS} determina el valor final de la resistencia de encendido del dispositivo durante el tiempo de encendido (ver figura 1.13), esto se consigue al seguir cargando las capacitancias C_{gs} y C_{gd} . Por ello, la corriente de carga se divide ahora entre dos capacitores.

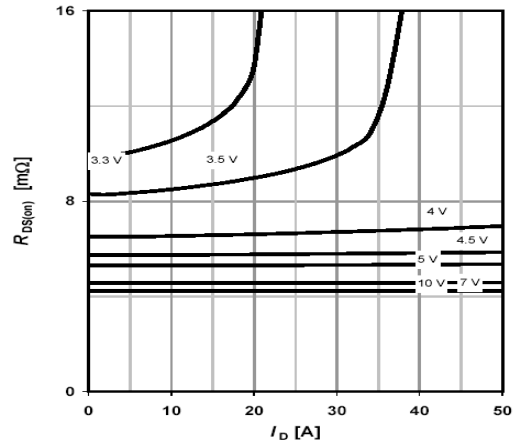


Figura 1.13. Dependencia de $R_{DS(on)}$ respecto al voltaje de compuerta.

I.iii.iii Características de apagado

La descripción del procedimiento de apagado de un MOSFET es, básicamente, recorrer a la inversa los pasos del proceso de encendido descrito en la sección anterior. Las formas de onda se ilustran en la figura 1.14.

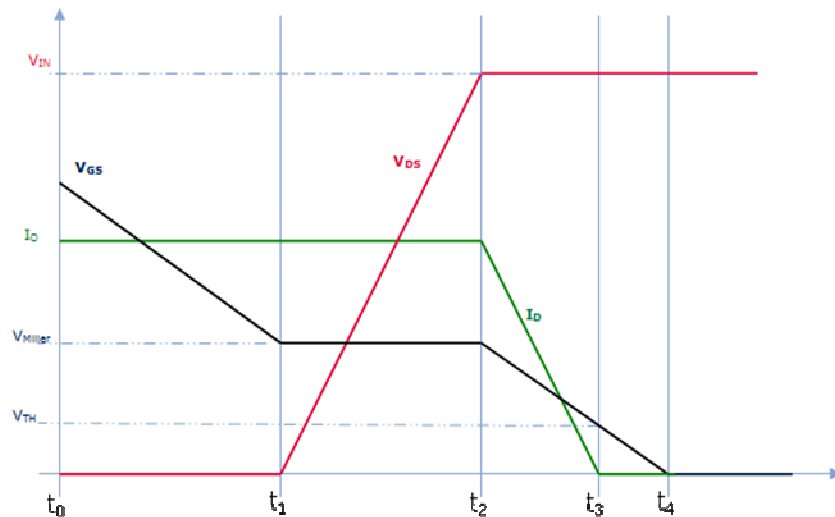


Figura 1.14. Apagado de un MOSFET con carga inductiva en régimen capacitivo.

Se dice que los procesos descritos se encuentran bajo el régimen de “conmutación limitada capacitivamente”, ya que el comportamiento de conmutación del sistema es gobernado por la carga y descarga de las capacitancias parásitas del MOSFET.

I.iii.iv Conmutación limitada inductivamente

En contraste con la conmutación limitada capacitivamente, ahora es introducido un nuevo comportamiento de conmutación de los MOSFETs. Este comportamiento es relevante cuando los MOSFETs de potencia forman parte de un circuito con inductancias parásitas y los MOSFETs de potencia son capaces de conmutar muy rápido.

El llamado régimen de “conmutación limitada inductivamente” considera las inductancias parásitas (*stray inductances*) en el sistema (debidas a las pistas del circuito impreso y al encapsulado de los MOSFETs) ya que estas inductancias parásitas afectan las pérdidas por conmutación.

La figura 1.15 muestra un circuito donde un MOSFET es utilizado como interruptor de corriente para alimentar una carga resistiva (LOAD). Las pistas del circuito impreso, entre V_{IN} y el drenador del MOSFET y de la fuente del MOSFET a la carga, forman inductancias parásitas. Además, en el encapsulado del MOSFET de potencia, entre el drenador y la fuente se forman inductancias parásitas adicionales.

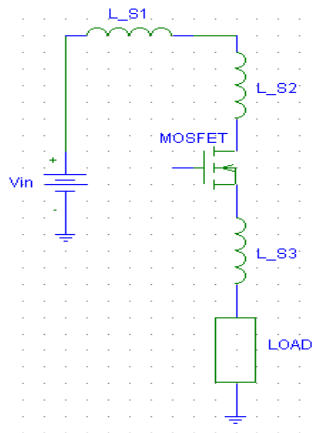


Figura 1.15. Circuito con inductancias parásitas.

De acuerdo con los principios básicos de los inductores, la suma de todas estas inductancias en serie, limitará la variación de corriente de acuerdo al siguiente análisis:

$$\frac{dI}{dt} = \frac{V_{IN}}{L_{stray}} \text{ [A/s]} \dots \dots \dots \text{ ec. 1.9}$$

Donde,

$$L_{stray} = L_{S1} + L_{S2} + L_{S3} \text{ [H]} \dots\dots\dots \text{ ec. 1.10}$$

Para entender mejor este modo de conmutación se comparan los dos regímenes en la figura 1.16. La línea punteada muestra qué tan rápido puede crecer la corriente I_D entre t_1 y t_2 cuando este crecimiento es regido por las capacitancias intrínsecas al MOSFET. Sin embargo, debido a las inductancias parásitas, la corriente I_D crece como lo muestra la línea verde continua. Esto significa que a pesar de que el MOSFET es capaz de conmutar la corriente en algunos nanosegundos, el circuito no es capaz de seguir este crecimiento en la corriente, limitando la variación de ésta en un nivel mucho menor. Esto tiene un impacto en el cálculo de las pérdidas por conmutación, como será mostrado en la sección de cálculo de pérdidas de potencia.

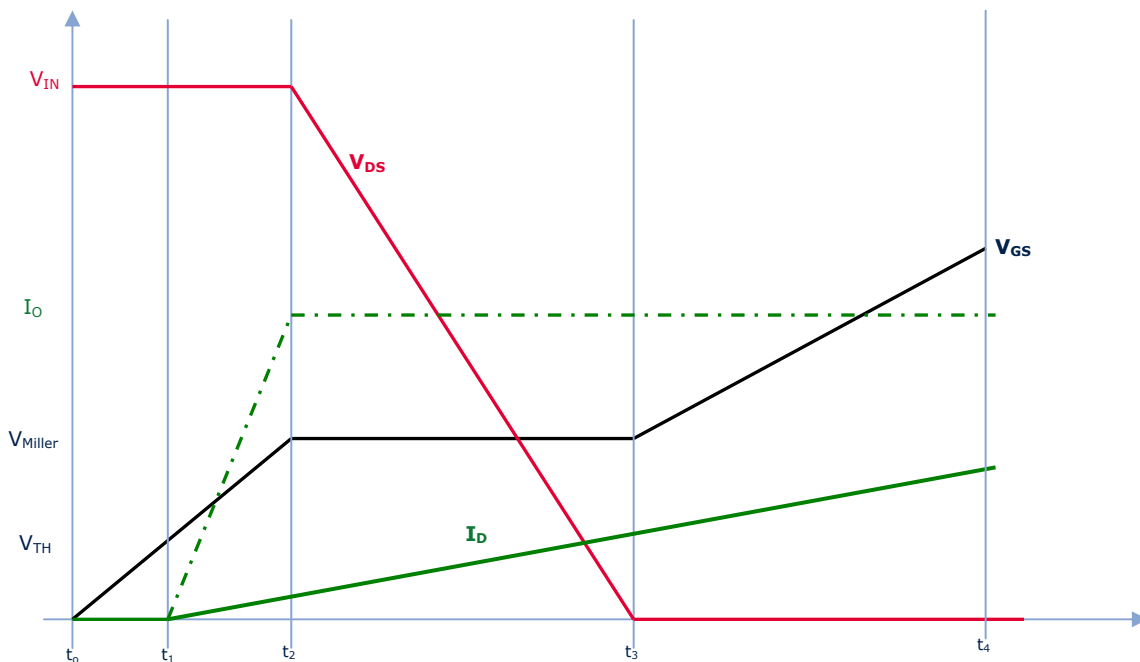


Figura 1.16. Modos limitados capacitiva e inductivamente durante el encendido.

La figura 1.17 ilustra el apagado de un MOSFET limitado inductivamente. La línea punteada representa la corriente como función del tiempo bajo el régimen limitado capacitivamente. Entre los tiempos t_2 y t_3 la corriente cae hasta cero y la relación di/dt es regida por la descarga de la capacitancia de entrada del MOSFET.

Si el circuito limitara la relación di/dt debido a las inductancia parásitas, la línea verde continua representaría la forma de onda de la corriente. La corriente decrecería mucho más lento de lo esperado y el proceso de apagado en el régimen limitado inductivamente duraría más que el apagado en el régimen limitado capacitivamente.

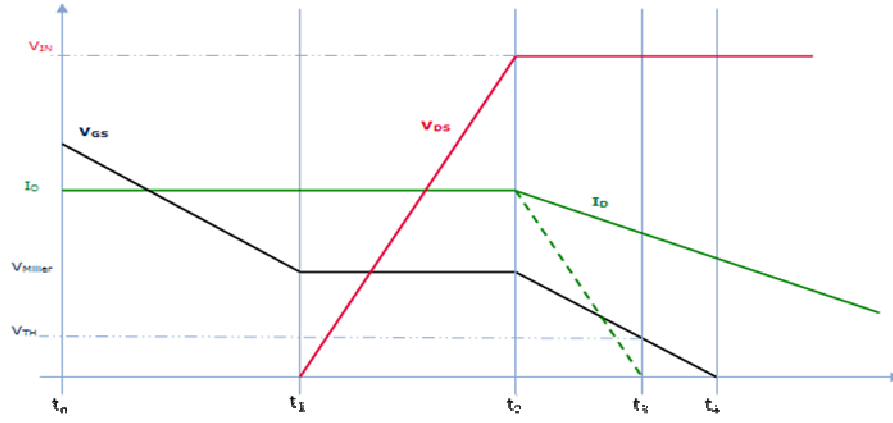


Figura 1.17. Modos limitados capacitiva e inductivamente durante el apagado.