



UNIVERSIDAD NACIONAL
AUTÓNOMA DE
MÉXICO

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA

FACULTAD DE INGENIERÍA

**ANÁLISIS DE DISTORSIÓN ARMÓNICA
EN TRANSISTORES SB-MOSFET**

T E S I S

QUE PARA OPTAR POR EL GRADO DE:

MAESTRO EN INGENIERÍA

INGENIERÍA ELÉCTRICA – SISTEMAS ELECTRÓNICOS

P R E S E N T A :

ALEIDI NICOLÁS PABLO

TUTOR:

DR. JULIO CÉSAR TINOCO MAGAÑA



MÉXICO, D.F.

2012

JURADO ASIGNADO

Presidente: Dr. en Ing Pérez Alcázar Pablo Roberto

Secretario: Dr. Peña Cabrera Mario

Vocal: Dr. Tinoco Magaña Julio César

1er Suplente: M.I. Haro Ruíz Luis Arturo

2do Suplente: Dr. Prado Molina Jorge

Lugar donde se realizó la tesis: **FACULTAD DE INGENIERÍA**

TUTOR DE TESIS

Dr. Julio César Tinoco Magaña



*A mis padres y hermanos,
porque gracias al apoyo,
los consejos, el cariño y la confianza
que me han brindado,
he logrado alcanzar esta meta.*

A. N. P.

Agradecimientos

*A la Universidad Nacional Autónoma de México
por todas las enseñanzas adquiridas*

*A la Facultad de Ingeniería de la UNAM
por darme la oportunidad de llevar a cabo este proyecto,
en especial al Dr. Julio César Tinoco Magaña por
toda la ayuda, el tiempo, la experiencia
y los conocimientos brindados*

ÍNDICE

INTRODUCCIÓN.....	II
CAPÍTULO I.....	1
ASPECTOS TEÓRICOS	1
1.1 PRINCIPIOS DE OPERACIÓN DEL TRANSISTOR MOS.....	2
1.1.1 Estructura MOS.....	3
1.1.2 Estructura MOS no ideal.....	9
1.1.3 Transistor MOS.....	10
1.1.4 Principios de operación.....	11
1.1.5 Características Corriente-Voltaje.....	12
1.1.6 Modelo de corriente del transistor MOS.....	13
1.2 ESCALADO DE MOSFET	17
1.3 EFECTOS DE CANAL CORTO.....	20
1.3.1 Reducción del voltaje de umbral.....	20
1.3.2 Modulación de la longitud de canal.....	21
1.3.3 Reducción de la barrera de potencial inducida por el voltaje de drenador	22
1.3.4 Electrones calientes	23
1.4 TRANSISTORES SB-MOSFET	24
1.5 DISTORSIÓN ARMÓNICA	26
CAPÍTULO II.....	28
EXTRACCIÓN DE PARÁMETROS	28
2.1 PARÁMETROS DE CORRIENTE DIRECTA	29
2.1.1 Transconductancia y conductancia.....	29
2.1.2 Voltaje de umbral	29
2.1.3 Voltaje de Early.....	30
2.1.4 Pendiente subumbral.....	30
2.1.5 Ganancia.....	31
2.2 DISTORSIÓN ARMÓNICA	32
2.2.1 Método de Funciones Integrales.....	33
CAPÍTULO III.....	38
RESULTADOS.....	38
3.1 PARÁMETROS DE CORRIENTE DIRECTA	39
3.1.1 Característica de Salida.....	39
3.1.2 Característica transferencial lineal.	41
3.1.3 Característica transferencial en saturación.	43
3.2 PARÁMETROS DE DISTORSIÓN ARMÓNICA	46
CONCLUSIONES	52
BIBLIOGRAFÍA	54

ÍNDICE DE FIGURAS

CAPÍTULO I	2
FIGURA 1.1. DIAGRAMA BÁSICO DE UNA ESTRUCTURA MOS PARA SUSTRATO TIPO P.....	3
FIGURA 1.2. DIAGRAMA DE BANDAS DE LA ESTRUCTURA MOS EN CONDICIONES IDEALES.....	3
FIGURA 1.3. FUNCIONAMIENTO EN LA SUPERFICIE DEL SEMICONDUCTOR: A) ACUMULACIÓN, B) EMPOBRECIMIENTO Y C) INVERSIÓN.....	5
FIGURA 1.4. ESTRUCTURA BÁSICA DEL TRANSISTOR MOS DE CANAL N.....	11
FIGURA 1.5. CARACTERÍSTICAS DE SALIDA DEL TRANSISTOR MOS.....	13
FIGURA 1.6. SECCIÓN INFINITESIMAL EN EL CANAL DEL TRANSISTOR MOS.....	14
FIGURA 1.7. TENDENCIA (EXTRAPOLADA) DEL ESCALADO DE TRANSISTORES MOS, CON BASE EN INFORMACIÓN DE LA ORGANIZACIÓN INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS (ITRS) [10].....	20
FIGURA 1.8. CORTE TRANSVERSAL DE UN TRANSISTOR MOSFET: A) CANAL LARGO, B) CANAL CORTO.....	21
FIGURA 1.9. CONDICIÓN DE OCLUSIÓN O PINCH OFF EN EL MOSFET DE CANAL N.....	21
FIGURA 1.10. EFECTO DE MODULACIÓN DE CANAL EN EL MOSFET CANAL N.....	22
FIGURA 1.11. EFECTO DIBL EN TRANSISTORES DE CANAL CORTO.....	23
FIGURA 1.12. REGIONES FUENTE Y DRENADOR ADICIONALES PARA DISMINUIR EL EFECTO DE ELECTRONES CALIENTES.....	24
FIGURA 1.13. REPRESENTACIÓN DE PARÁMETROS BÁSICOS DE DISPOSITIVOS SB-MOSFET.....	25
CAPÍTULO II	28
FIGURA 2.1. A) REPRESENTACIÓN GRÁFICA DE V_A . B) MODULACIÓN DE LA LONGITUD DE CANAL.....	30
FIGURA 2.2. REPRESENTACIÓN GRÁFICA DE LA REGIÓN DE OPERACIÓN SUBUMBRAL DE UN TRANSISTOR MOSFET.....	31
FIGURA 2.3. DETERMINACIÓN DE DISTORSIÓN MEDIANTE LA NORMALIZACIÓN DE FUNCIONES.....	34
FIGURA 2.4. A) FUNCIÓN DE SALIDA YR NORMALIZADA, B) SEÑAL DE SALIDA SIMÉTRICA NORMALIZADA $(y_r(x)-x)$, Y SU MÓDULO $ y_r(x)-x $. SE MUESTRA EL CASO MÁS GENERAL EN EL QUE MÁS DE UN PUNTO SE INTERSECA.....	35
FIGURA 2.5. FUNCIÓN NORMALIZADA CON DESPLAZAMIENTO, EN EL CASO DE INTERSECCIÓN DE LA LÍNEA DIVISORIA EN PUNTOS ARBITRARIOS.....	36
CAPÍTULO III	38
FIGURA 3.1. CARACTERÍSTICA $I_{DS}-V_{DS}$ PARA TRANSISTOR SB-MOSFET, CON DISTINTAS DOSIS DE IMPLANTACIÓN. A) LONGITUD DE CANAL DE 180 NM, B) LONGITUD DE CANAL DE 80 NM.....	40
FIGURA 3.2. GRÁFICA DE CONDUCTANCIA PARA DISTINTAS DOSIS DE IMPLANTACIÓN. A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	40
FIGURA 3.3. CURVA TRANSFERENCIAL EN RÉGIMEN LINEAL PARA $V_{DS}=50$ MV. A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	41
FIGURA 3.4. GRÁFICA G_m VS V_{GS} PARA $V_{DS}=50$ MV Y V_{GS} EN EL RANGO DE $[-1V, 2V]$, A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	42
FIGURA 3.5. CURVA TRANSFERENCIAL PARA $V_{DS}=50$ MV Y V_{GS} EN EL RANGO DE $[-1V, 2V]$, A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	43
FIGURA 3.6. COMPORTAMIENTO DEL PARÁMETRO S EN FUNCIÓN DE LA DOSIS DE IMPLANTACIÓN, PARA EL TRANSISTOR DE 180 NM DE LONGITUD DE CANAL.....	43
FIGURA 3.7. CURVA TRANSFERENCIAL PARA $V_{DS}=1$ V, A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	44
FIGURA 3.8. CURVA DE G_m PARA $V_{DS}=1V$ Y V_{GS} EN EL RANGO DE $[-1V, 2V]$, A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	44

FIGURA 3.9. VOLTAJE DE EARLY PARA DISTINTAS DOSIS DE IMPLANTACIÓN. A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.	45
FIGURA 3.10. GRÁFICA GANANCIA A_V VS CORRIENTE NORMALIZADA $I_{DS}/(Z/L)$, A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.	46
FIGURA 3.11. A) HD2, B) HD3 PARA $V_{DS}=0.5$ V CON LONGITUD DE CANAL DE 180 NM	47
FIGURA 3.12. A) HD2, B) HD3 PARA $V_{DS}=1$ V Y LONGITUD DE CANAL DE 180 NM	48
FIGURA 3.13. GRÁFICA THD/A_V EN FUNCIÓN DE G_M/I_{DS} . A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	49
FIGURA 3.14. GRÁFICA THD/A_V , EN FUNCIÓN DE V_A , PARA A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	50
FIGURA 3.15. GRÁFICA $HD2/A_V$ EN FUNCIÓN DE V_A , PARA A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	50
FIGURA 3.16. GRÁFICA $HD3/A_V$ EN FUNCIÓN DE V_A , PARA A) LONGITUD DE CANAL DE 180 NM B) LONGITUD DE CANAL DE 80 NM.....	51

ÍNDICE DE TABLAS

CAPÍTULO I	1
TABLA 1.1 REGLAS DE ESCALADO PARA DISTINTOS PARÁMETROS DE TRANSISTORES MOS	17
TABLA 1.2. RAZÓN DE ESCALADO PARA DISTINTOS PARÁMETROS DE TRANSISTORES MOS, EN LAS ÚLTIMAS DÉCADAS [1].....	19
CAPÍTULO II	28
TABLA 2.1. PARÁMETROS DE CD OBTENIDOS DE LOS DISPOSITIVOS SB-MOSFET.	32
CAPÍTULO III	38

LISTA DE SÍMBOLOS

A_V	Ganancia en voltaje	q	Carga del electrón
C_G	Capacitancia de entrada	Q_B	Carga en la RCE del semiconductor
C_{ox}	Capacitancia por unidad de área de la capa de óxido	Q_{Bmax}	Carga máxima en la RCE semiconductor
C_{si}	Capacitancia por unidad de área en el silicio	Q_n	Carga de electrones en la zona de inversión
C_T	Capacitancia total de la estructura MOS	Q_S	Carga total en el semiconductor
E	Campo eléctrico	S	Pendiente subumbral
E_C	Nivel de energía de la banda de conducción	T	Temperatura
E_F	Nivel de Fermi	t_i	Espesor de la zona de inversión
E_i	Nivel de Fermi intrínseco	t_{ox}	Espesor del dieléctrico
E_{ox}	Campo eléctrico en el óxido	t_p	Tiempo de retardo de propagación
E_{si}	Campo eléctrico en el silicio	V_A	Voltaje de Early
E_V	Nivel de energía de la banda de valencia	V_{DS}	Voltaje de drenador con respecto a la fuente
g_d	Conductancia	V_{Dsat}	Voltaje de saturación
g_m	Transconductancia	V_{FB}	Voltaje de banda plana
I_{DS}	Corriente de drenador	V_G	Voltaje de compuerta
I_{Dsat}	Corriente de saturación	V_{GS}	Voltaje de compuerta con respecto a la fuente
k	Constante de Boltzman	V_{ox}	Caída de voltaje a través del óxido
k_{si}	Constante dieléctrica del silicio	V_T	Voltaje de umbral
k_{ox}	Constante dieléctrica del óxido	W	Ancho de la región de carga espacial
L	Longitud de canal	W_{max}	Ancho máximo de la región de carga espacial
L_D	Longitud de Debye	Z	Ancho de canal
N_A	Densidad de impurezas aceptoras	ϵ_0	Permitividad eléctrica del vacío
N_B	Densidad de impurezas en el sustrato	μ_n	Movilidad de electrones
N_D	Densidad de impurezas donadoras	ρ	Densidad de carga
N_T	Densidad total de carga en el dieléctrico de la estructura MOS	ϕ_F	Potencial de Fermi del sustrato
n_p	Concentración de electrones en el semiconductor tipo p	ϕ_S	Potencial superficial en el semiconductor
n_{p0}	Concentración de electrones en el semiconductor tipo p en equilibrio	χ_s	Afinidad electrónica del semiconductor
p_p	Concentración de huecos en el semiconductor tipo p	Φ_M	Función trabajo de extracción del metal
p_{p0}	Concentración de huecos en el semiconductor tipo p en equilibrio	Φ_{MS}	Diferencia de las funciones de trabajo del metal y del semiconductor
		Φ_S	Función de trabajo del semiconductor

RESUMEN

En este trabajo se presentará un análisis de las características de distorsión armónica para transistores SB-MOSFET, en dispositivos con longitudes de canal de 80 nm y 180 nm.

Para el estudio de estos transistores se efectuó la extracción de parámetros de corriente directa (CD) con base en mediciones I-V (corriente-voltaje), bajo diferentes condiciones de operación.

Las mediciones fueron proporcionadas por el laboratorio Wallonia Electronics and Communications Measurements (WELCOME) de la Universidad Católica de Lovaina en Bélgica. Los principales parámetros analizados son: transconductancia, conductancia, voltaje de umbral, pendiente subumbral, voltaje de Early y ganancia.

Asimismo, con estas mismas mediciones, fue posible realizar el análisis de la distorsión armónica gracias a la utilización del método Integral Function Method (IFM), el cual se caracteriza por utilizar valores de corriente y voltaje en CD para efectuar los cálculos de distorsión armónica.

Aunado a lo anterior, se estudió el comportamiento de los transistores SB-MOSFET, en función del nivel de dopaje de la zona de segregación utilizada en la formación de terminales de fuente y drenador, con el fin de analizar su efecto sobre el desempeño de los dispositivos bajo estudio.

INTRODUCCIÓN

En las últimas décadas la tecnología de semiconductores ha tenido un gran avance, son muchas las áreas de aplicación que han sido beneficiadas con su desarrollo. Entre ellas se encuentran: los sistemas de comunicación modernos, los cuales demandan un incremento en la velocidad de operación y un elevado nivel de integración de los circuitos de interés, que permitan tener un mejor desempeño a frecuencias altas.

Los requerimientos de los nuevos sistemas de comunicaciones, tienen tendencias claras: frecuencias de operación y niveles de integración elevados, bajo consumo de potencia, excelente desempeño en condiciones extremas de operación (temperaturas elevadas, exposición a niveles altos de radiación) entre otros.

Actualmente, las soluciones para diversas aplicaciones analógicas requieren de varios circuitos y dispositivos electrónicos externos que forman sistemas complejos, con niveles de consumo de potencia relativamente altos. Una reducción de los componentes externos es esencial para disminuir estas demandas de energía, así como, para reducir las dimensiones, el peso y los costos de dichos elementos. Para hacer esto posible, es de suma importancia un desarrollo tecnológico que permita alcanzar frecuencias de operación elevadas, de tal manera que se puedan integrar sistemas complejos con un incremento en las velocidades de respuesta.

En la última década, los transistores MOS (*Metal Oxide Semiconductor*) han incrementado su campo de aplicaciones para trabajar en sistemas analógicos a muy altas frecuencias de operación

Desde la invención del transistor bipolar en 1947, las frecuencias de operación de transistores integrados han sido mejoradas año con año. En 1958, las frecuencias de corte alcanzaban un valor de 1GHz. En 1965 aparecieron los transistores MESFET (*Metal Semiconductor Fiel Effect Transistor*, por sus siglas en inglés). En 1973, una frecuencia máxima de oscilación (f_{max}) de 100 GHz fue obtenida en transistores FET (*Field Effect Transistor*). En 1980, una arquitectura nueva para transistor de efecto de campo con alta movilidad de electrones HEMT (*High Electron Mobility Transistor*) fue propuesta y fabricada. En 1995, con esta tecnología, se obtuvieron frecuencias de corte máximas por arriba de los 500 GHz, y en el año 2000 el límite de 1THz fue alcanzado mediante la tecnología HBT (*Heterostructure Bipolar Transistor*), apenas sobrepasado por la tecnología HEMT en 2007

A partir de 1996, gracias al éxito del escalado de transistores MOSFET y a su buena respuesta para frecuencias altas, así como los bajos niveles de voltaje y de potencia de operación, además de la posibilidad de combinar tanto elementos digitales como analógicos, en un mismo circuito integrado, han hecho de los MOSFET buenos candidatos para trabajar en áreas de aplicación analógicas en rangos de las microondas y las ondas milimétricas.

Sin embargo, debido al escalado y a las restricciones de ciertos parámetros del transistor MOSFET, el desempeño de éste no ha llegado a ser el óptimo. A medida que se reducen las dimensiones del dispositivo, comienzan a aparecer diferentes fenómenos que degradan su comportamiento. Uno de ellos es la reducción de la resistencia intrínseca del canal, lo que provoca que comience a ser comparable con las resistencias parásitas de drenador y fuente, degradando la operación del transistor. Una forma de disminuir este fenómeno es mediante la tecnología SB-MOSFET (*Schottky-Barrier MOSFET*).

Existen numerosas razones por las cuales se ha motivado el estudio de esta tecnología, entre ellas la reducción de las resistencias parásitas en las regiones de fuente y drenador, la posibilidad de escalar los dispositivos a dimensiones de 10nm de longitud de canal, así como el control de corrientes de fuga debido al potencial de la barrera Schottky cuando el transistor está apagado, ya que ésta se puede manipular al aplicar la técnica de segregación de dopaje, entre otros beneficios.

Debido a todas estas mejoras que presentan los transistores SB-MOSFET, es importante conocer las limitaciones que pudieran presentar, ya que es una tecnología novedosa y aun no se ha dimensionado totalmente el tipo de aplicaciones a las que se pudiese enfocar. Es por ello, que en este trabajo se estudiarán tanto los parámetros en CD (corriente directa), como de distorsión armónica de una serie de dispositivos SB-MOSFET, con el fin de conocer los alcances de los mismos e identificar mejoras en el diseño para obtener un buen desempeño de éstos y enfocar su utilización a aplicaciones específicas. Para cumplir con este objetivo, primero se presentará un panorama general del estado del arte de la tecnología SB-MOSFET. A continuación se estudiarán las técnicas de extracción de parámetros de CD y distorsión armónica para transistores MOSFET. Posteriormente se analizarán los resultados obtenidos. Finalmente se formularán las conclusiones.

Objetivo

Estudiar y analizar la distorsión armónica en transistores SB-MOSFET, así como su comportamiento con respecto a distintos niveles de dosis de implantación en las terminales de fuente y drenador.

Alcance

Realizar el análisis de parámetros en CD y de distorsión armónica mediante el uso de software específico, ya que se está participando en una colaboración con el laboratorio Wallonia Electronics and Communications Measurements (WELCOME) de la Universidad Católica de Lovaina en Bélgica. Por lo que se partirá de mediciones experimentales realizadas en dicho laboratorio, en varios transistores SB-MOSFET, con distintas longitudes de canal.

CAPÍTULO I

ASPECTOS TEÓRICOS

En este primer capítulo se describirán algunos conceptos relacionados con los transistores MOSFET, así como una breve introducción de la importancia del estudio de distorsión armónica en este tipo de dispositivos electrónicos.

El desarrollo de la microelectrónica ha alcanzado avances muy grandes, en diversas áreas del conocimiento humano. La capacidad de integrar una gran cantidad de dispositivos en un chip ha permitido incrementar el desarrollo de funciones, cada vez más complejas y con menores tiempos de ejecución, a costos reducidos y con una notable disminución de sus dimensiones. También se ha logrado desarrollar, enormemente, la capacidad de almacenamiento, coadyuvando al manejo de gran densidad de datos. Tal evolución ha sido guiada por la búsqueda del incremento de la densidad de integración, así como de la velocidad de operación de los circuitos integrados.

Desde la invención del transistor bipolar en 1947, las frecuencias de operación de transistores han sido mejoradas continuamente [1]. En 1958, se logró fabricar el primer transistor bipolar de germanio, con frecuencias de corte del orden de 1GHz [2]. Desde entonces, varias tecnologías han sido desarrolladas con el fin de mejorar e incrementar la frecuencia de operación en los nuevos

dispositivos electrónicos. Hacia 1965 aparecieron los transistores MESFET (*Metal Semiconductor Fiel Effect Transistor*, por sus siglas en inglés), basados en GaAs, que para la segunda mitad de la década de los 70's ya presentaban frecuencias máximas de oscilación (f_{max}) de aproximadamente 100 GHz. En 1980, una arquitectura nueva para transistor de efecto de campo con alta movilidad de electrones HEMT (*High Electron Mobility Transistor*) fue propuesta y fabricada. Fue hacia 1995, que esta tecnología demostró la posibilidad de fabricar dispositivos con frecuencias de corte mayores a los 500 GHz. En el año 2000 el límite de 1THz fue alcanzado mediante la tecnología HBT (*Heterostructure Bipolar Transistor*), apenas sobrepasado por la tecnología HEMT en 2007 [3].

De forma paralela, durante los años 60's se lograron resolver muchos problemas de la tecnología de silicio, lo cual permitió la fabricación de los transistores de efecto de campo Metal-Oxido-Semiconductor (MOSFET). Hacia finales de la misma década, se desarrollaron las lógicas digitales basadas en el MOSFET, permitiendo una evolución sin precedentes de los sistemas digitales. Sin embargo, la comunidad internacional consideraba que los transistores MOSFET eran dispositivos relativamente lentos, por lo que no fueron considerados para aplicaciones analógicas de muy alta frecuencia. En 1974 Robert Denard y colaboradores [4] desarrollaron una metodología capaz de permitir el incremento de la velocidad de operación de los MOSFETs. Este procedimiento, conocido como *scaling-down* (escalado) consistía en la reducción de todas las dimensiones del transistor por un factor constante k. Adicionalmente, el escalado permitió integrar más transistores en la misma área de silicio. Desde entonces, el escalado ha sido la piedra angular que ha permitido una evolución continua de los sistemas digitales, logrando el desarrollo de microprocesadores con cientos de millones de transistores y memorias con capacidades del orden de 1 GB [5].

A partir de 1996, gracias al éxito del escalado de transistores MOSFET, en el mundo digital, se comenzó a considerar como un dispositivo capaz de operar a frecuencias muy altas. Desde entonces, múltiples esfuerzos han sido enfocados en optimizar su estructura para aplicaciones analógicas [3,6].

Actualmente, la tecnología MOS presenta buena respuesta a muy altas frecuencias, bajo consumo de potencia, muy alta escala de integración, además de la posibilidad de combinar tanto elementos digitales como analógicos, en un mismo circuito integrado. Todas estas características, han hecho de los MOSFET buenos candidatos para trabajar en aplicaciones analógicas, tales como: las microondas y las ondas milimétricas.

1.1 PRINCIPIOS DE OPERACIÓN DEL TRANSISTOR MOS

Los transistores de efecto de campo, MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) tienen su fundamento en la estructura MOS (*Metal Oxide Semiconductor*). Es por ello que en los siguientes párrafos se describirán sus características fundamentales.

1.1.1 Estructura MOS

La estructura MOS consiste de tres elementos: un semiconductor (tipo n o tipo p), un dieléctrico y un metal. De manera generalizada se utiliza un sustrato de silicio (Si), sobre el cual se forma una capa de óxido de silicio (SiO_2) de espesor t_{ox} como dieléctrico, y sobre ésta se deposita una capa de aluminio (Al), comúnmente denominada terminal de compuerta. Aunque el análisis de la estructura MOS se realice con estos elementos, éste es igualmente válido para otros materiales.

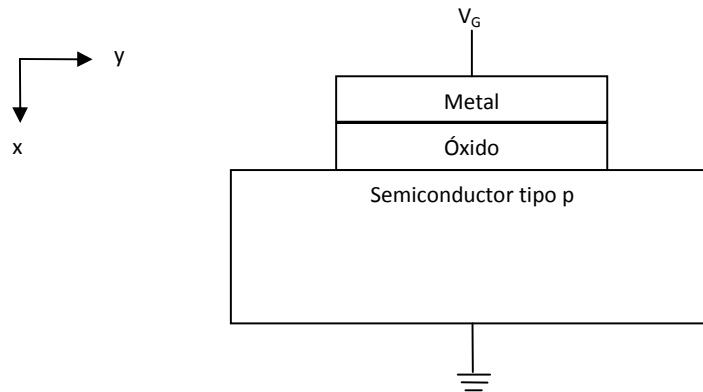


Figura 1.1. Diagrama básico de una estructura MOS para sustrato tipo p.

Si se aplica una tensión entre la compuerta (V_G) y el sustrato de este arreglo, el cual se conecta a tierra, las condiciones de las bandas de energía en la interfaz $\text{SiO}_2\text{-Si}$ se modificarán y consecuentemente, las propiedades eléctricas del semiconductor en esa zona. En el análisis que se realizará a continuación se considerará que el sustrato es de Si tipo p.

En la figura 1.2 se muestra el diagrama de bandas de energía, considerando que $V_G = 0$, el nivel de Fermi es constante y el semiconductor se encuentra en equilibrio térmico.

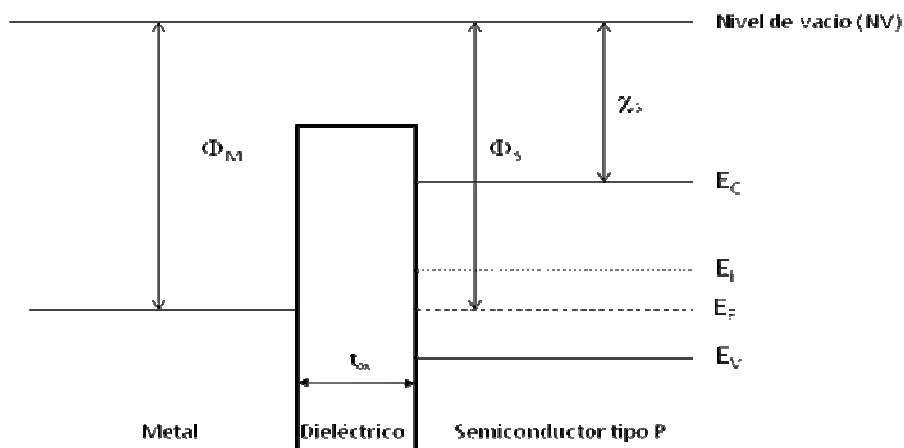


Figura 1.2. Diagrama de bandas de la estructura MOS en condiciones ideales.

Φ_M es la función trabajo de extracción del metal, la cual se define como la diferencia de energía entre el nivel de Fermi (E_F) y el nivel de vacío (NV), Φ_S es la función de trabajo del semiconductor; χ_s es la afinidad electrónica del mismo y se define como la diferencia de energía entre la banda de conducción (E_c) y el nivel de vacío (NV), E_v representa la banda de valencia y E_i el nivel de Fermi intrínseco.

De acuerdo al tipo de polarización en el electrodo de compuerta de la estructura MOS, pueden presentarse tres situaciones en la superficie del semiconductor: a) Acumulación, b) Empobrecimiento y c) Inversión

a) Acumulación

En este modo de funcionamiento la polarización en el electrodo de compuerta es $V_G < 0$, bajo esta situación se origina un campo eléctrico que atraerá a los portadores mayoritarios (huecos) del sustrato hacia la interfaz SiO₂-Si, produciéndose una acumulación de portadores mayoritarios en dicha región.

b) Empobrecimiento

En este caso $V_G > 0$, se origina un campo eléctrico que inducirá una carga negativa en el semiconductor y repelerá a los huecos en el silicio de la interfaz SiO₂-Si hacia el volumen, produciéndose una región de carga espacial (RCE) debido a los iones de impurezas aceptoras no compensadas.

La carga por unidad de área en el semiconductor Q_B estará dada por la carga contenida dentro de la RCE, esto es:

$$Q_B = -qN_B W \quad (1.1)$$

donde N_B es la densidad de impurezas en el sustrato y W el ancho de la región de carga espacial.

c) Inversión

Cuando la tensión aplicada al electrodo de compuerta sea $V_G \gg 0$, tanto el ancho de la región de carga espacial W , como el potencial electrostático ϕ_s en la interfaz SiO₂-Si se incrementarán, lo cual se ve reflejado en un mayor doblamiento de las bandas de energía del semiconductor, de forma que la banda de conducción quedará muy cerca del nivel de Fermi. Cuando esto sucede, la concentración de electrones se incrementa rápidamente, de modo que la superficie del silicio se comporta como una región tipo N, dado que tendrá una mayor concentración de electrones que de huecos libres. En ese momento se tiene una carga móvil negativa Q_n inducida por campo, denominada capa de inversión.

Inicialmente se presenta una condición de inversión débil dado que la concentración de electrones es relativamente pequeña. Cuando la concentración de electrones cercana a la interfaz SiO₂-Si

alcanza o iguala el nivel de dopaje del sustrato, se dice que ocurre la condición de inversión fuerte. Bajo esta situación el potencial electrostático en el silicio tiene un valor de:

$$\phi_S = 2\phi_F \quad (1.2)$$

donde ϕ_F representa el potencial de Fermi del sustrato. Asimismo, el ancho de la RCE alcanza su valor máximo W_{\max} , por lo que la carga inducida por unidad de área en el semiconductor estará dada por:

$$Q_S = Q_n + qN_B W_{\max} \quad (1.3)$$

el ancho máximo de la región de carga espacial W_{\max} estará dada por:

$$W_{\max} = \sqrt{\frac{2k_{si}\epsilon_0 2\phi_F}{qN_B}} \quad (1.4)$$

k_{si} es la constante dieléctrica del silicio y ϵ_0 la permitividad eléctrica del vacío.

La figura 1.3 muestra la estructura de bandas de la estructura MOS para las tres condiciones de operación.

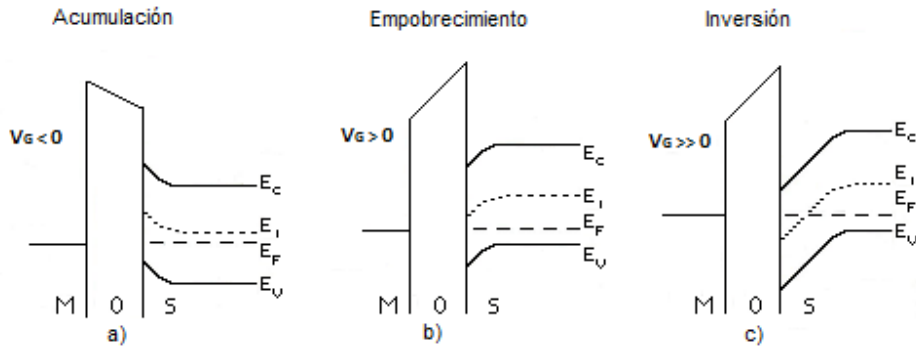


Figura 1.3. Funcionamiento en la superficie del semiconductor: a) Acumulación, b) Empobrecimiento y c) Inversión

Para comprender mejor el comportamiento de este tipo de estructura, es importante conocer la distribución de carga, el potencial y el campo eléctrico. Con el fin de simplificar los cálculos se considerará que las variaciones de estos parámetros se presentan sólo en el eje x.

Se considera que en el semiconductor hay impurezas tanto donadoras, N_D , como aceptoras N_A y todas están ionizadas, por lo que la densidad de carga ρ será igual a:

$$\rho(x) = q[p_p(x) - n_p(x) + N_D - N_A] \quad (1.5)$$

donde $p_p(x)$ representa la concentración de huecos y $n_p(x)$ es la concentración de electrones en el semiconductor tipo p.

Para mantener la condición de neutralidad de carga, en el volumen del semiconductor:

$$p_p(x) - n_p(x) = N_A - N_D \quad (1.6)$$

Dado que la diferencia entre los bordes de las bandas, con respecto al nivel de Fermi E_F , varía con la distancia, la concentración de portadores también lo hará. Las distribuciones de portadores están dadas por las siguientes expresiones:

$$n_p(x) = n_{p0} \cdot e^{\frac{q\phi(x)}{kT}} \quad (1.7)$$

$$p_p(x) = p_{p0} \cdot e^{\frac{-q\phi(x)}{kT}} \quad (1.8)$$

donde $\phi(x)$ es la diferencia de potencial entre el sustrato semiconductor y la superficie del silicio, k es la constante de Boltzman, T la temperatura, n_{p0} es la concentración de electrones dentro del material p en equilibrio y p_{p0} es la concentración de huecos dentro del material p en equilibrio.

Sustituyendo (1.6), (1.7) y (1.8) en (1.5)

$$\rho(x) = q \left[p_{p0} \left(e^{\frac{-q\phi}{kT}} - 1 \right) - n_{p0} \left(e^{\frac{q\phi}{kT}} - 1 \right) \right] \quad (1.9)$$

Dado que la distribución de carga es dependiente del potencial y de la distancia, haciendo uso de la ley de Poisson, se obtendrá la distribución de campo eléctrico en la región de carga espacial. La ecuación de Poisson establece lo siguiente:

$$\frac{d^2\phi}{dx^2} = -\frac{\rho(x)}{k_{st}\epsilon_o} \quad (1.10)$$

Utilizando la siguiente transformación para obtener el campo eléctrico en función del potencial, se tendrá:

$$\frac{d^2\phi}{dx^2} = \frac{d}{dx} \left(\frac{d\phi}{dx} \right) = \frac{d}{d\phi} \left(\frac{d\phi}{dx} \right) \frac{d\phi}{dx} \quad (1.11)$$

dado que:

$$E = -\frac{d\phi}{dx} \quad (1.12)$$

igualando (1.10) con (1.11)

$$\frac{d\phi}{dx} d\left(\frac{d\phi}{dx}\right) = -\frac{\rho(x)}{k_{si}\epsilon_0} d\phi \quad (1.13)$$

con (1.12) en (1.13), haciendo un cambio de variable en ρ e integrando ambos lados de la ecuación:

$$\int -E dE = -\int \frac{\rho(\phi)}{k_{si}\epsilon_0} d\phi \quad (1.14)$$

con (1.9) en (1.14) e integrando con las siguientes condiciones de frontera $E(\phi) = 0$ cuando $\phi \rightarrow 0$ se tiene lo siguiente:

$$\frac{1}{2} E^2 = -\frac{q}{k_{si}\epsilon_0} \left\{ p_{p0} \left[\left(\frac{-kT}{q} \right) \exp\left(\frac{q}{kT} \phi \right) - \phi \right] - n_{p0} \left[\left(\frac{kT}{q} \right) \exp\left(\frac{q}{kT} \phi \right) - \phi \right] + C \right\} \quad (1.15)$$

donde C es la constante de integración. Aplicando las condiciones de frontera se obtiene:

$$C = \frac{q}{k_{si}\epsilon_0} \left\{ \frac{kT}{q} p_{p0} + \frac{kT}{q} n_{p0} \right\} \quad (1.16)$$

Sustituyendo C en (1.15) y reagrupando términos se tiene:

$$E^2 = -\frac{2q^2 p_{p0}}{kT k_{si}\epsilon_0} \left(\frac{kT}{q} \right)^2 \left\{ \left[\exp\left(-\frac{q}{kT} \phi \right) + \frac{q}{kT} \phi - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[\exp\left(\frac{q}{kT} \phi \right) - \frac{q}{kT} \phi - 1 \right] \right\} \quad (1.17)$$

Considerando los siguientes términos en (1.17)

$$F = \left[\left(e^{\frac{-q}{kT}\phi} + \frac{q}{kT}\phi - 1 \right) + \frac{n_{p0}}{p_{p0}} \left(e^{\frac{q}{kT}\phi} - \frac{q}{kT}\phi - 1 \right) \right]^{\frac{1}{2}} \quad (1.18)$$

$$L_D = \sqrt{\frac{kT \cdot k_{si}\epsilon_0}{2q^2 N_B}} \quad (1.19)$$

donde L_D representa la longitud de Debye e indica la distancia promedio que separa cargas fijas de móviles y N_B es la concentración de impurezas en el sustrato.

$$-E^2 = \left(\frac{kT}{q} \right)^2 \frac{1}{L_D^2} F^2 \quad (1.20)$$

El campo eléctrico quedará expresado por:

$$E = \pm \frac{kT}{q} \frac{1}{L_D} F \quad (1.21)$$

Por su parte la carga superficial en el semiconductor en términos del potencial será:

$$Q_S = k_{si} \epsilon_o E \quad (1.22)$$

$$Q_S = k_{si} \epsilon_o \frac{kT}{q} \frac{1}{L_D} F \quad (1.23)$$

Considerando el caso ideal, un voltaje aplicado a la compuerta V_G , se reparte entre el óxido V_{ox} y el semiconductor ϕ_S , esto es:

$$V_G = V_{ox} + \phi_S \quad (1.24)$$

Si no hay cargas en la interfaz entre el óxido y el semiconductor, de acuerdo con la ley de Gauss el desplazamiento eléctrico tendrá que ser continuo en la frontera, por lo que:

$$k_{ox} \epsilon_o E_{ox} = k_{si} \epsilon_o E_S \quad (1.25)$$

En términos del campo eléctrico la expresión (1.25) se puede representar como:

$$E_{ox} = \frac{k_{si}}{k_{ox}} E_S \quad (1.26)$$

Si el dieléctrico es ideal

$$E_{ox} = \frac{V_{ox}}{t_{ox}} \quad (1.27)$$

Igualando (1.26) y (1.27)

$$V_{ox} = \frac{k_{si}}{k_{ox}} t_{ox} E_S \quad (1.28)$$

Si

$$E_S = \frac{-Q_S}{k_{si} \epsilon_o} \quad (1.29)$$

considerando que el óxido de silicio se comporta como un capacitor de placas paralelas, se tiene que:

$$C_{ox} = \frac{k_{ox}\epsilon_o}{t_{ox}} \quad (1.30)$$

Con (1.29) y (1.30) en (1.28)

$$V_{ox} = -\frac{Q_s}{C_{ox}} \quad (1.31)$$

De acuerdo a este resultado la ecuación (1.24) se podrá reescribir como:

$$V_G = -\frac{Q_s}{C_{ox}} + \phi_s \quad (1.32)$$

Como se mencionó anteriormente, una vez que la estructura MOS alcanza la inversión fuerte, la RCE adquiere un valor máximo, por lo que (1.32) queda definida como:

$$V_G = -\frac{Q_{B\max}}{C_{ox}} + 2\phi_F = V_T \quad (1.33)$$

donde V_T es el voltaje de umbral, el cual representa el voltaje de compuerta necesario para iniciar la inversión fuerte.

Al generarse una región de carga espacial, aparecerá una capacitancia en el semiconductor propia de la región de carga espacial inducida, la cual queda dada por:

$$C_{si} = \frac{k_{si}\epsilon_o}{W} \quad (1.34)$$

Sumando los efectos de las capacitancias en el dieléctrico y el semiconductor se obtendrá la capacitancia total en la estructura MOS:

$$C_T = \frac{k_{si}\epsilon_o}{W + \frac{k_{si}}{k_{ox}}t_{ox}} \quad (1.35)$$

1.1.2. Estructura MOS no ideal

Hasta este momento se han discutido las características de una estructura MOS ideal. Sin embargo, en la realidad la función de trabajo del metal, así como la del semiconductor son diferentes y el dieléctrico en la interfaz no es perfecto, lo cual aleja el comportamiento de dicha estructura, de uno ideal.

Si las funciones de trabajo no son iguales, aparecerá un potencial de contacto entre el metal y el semiconductor, por lo que las bandas de energía del semiconductor se doblarán, de manera proporcional a la diferencia de las funciones de trabajo de estos materiales.

Al aplicar un cierto voltaje a la estructura MOS, se logrará que las bandas regresen a su condición ideal (una posición plana), a éste se le denomina voltaje de banda plana V_{FB} (*flat band*) y está definido como la diferencia entre las funciones de trabajo del metal y del semiconductor.

$$V_{FB} = \Phi_{ms} = \Phi_M - \Phi_S \quad (1.36)$$

Por otra parte, debido a defectos estructurales en los materiales se presentan cargas tanto en el volumen del óxido, así como en la interfaz óxido-semiconductor. Estas cargas se consideran independientes del voltaje aplicado a la compuerta, pero influye en el comportamiento de la estructura.

La presencia de estas cargas provoca la aparición de una carga imagen en el silicio, ocasionando un campo eléctrico en la interfaz y con ello un ligero doblamiento de bandas del silicio. Para contrarrestar este efecto se deberá aplicar un voltaje en la compuerta que permita restablecer la condición de bandas planas en la interfaz óxido-semiconductor, el cual quedará expresado por:

$$V_{FB2} = \frac{qN_T}{C_{ox}} \quad (1.37)$$

Donde N_T , es la densidad total de carga en la interfaz óxido-semiconductor, q es la carga del electrón.

Por lo tanto, el voltaje de banda plana necesario para compensar los fenómenos debidos a la diferencia de funciones de trabajo de los materiales y a la no idealidad del dieléctrico será:

$$V_{FB} = \Phi_{MS} - \frac{qN_T}{C_{ox}} \quad (1.38)$$

Bajo estas consideraciones, el voltaje de umbral V_T quedará expresado mediante la siguiente ecuación:

$$V_T = -\frac{Q_{Bmax}}{C_{ox}} + \phi_S + V_{FB} \quad (1.39)$$

1.1.3. Transistor MOS

Se ha visto que la estructura MOS permite la formación de una capa delgada de portadores minoritarios (huecos o electrones según el caso), en las proximidades de la interfaz SiO₂-Si, cuando la tensión aplicada al electrodo de compuerta es la adecuada para que se produzca una inversión en el sustrato. El transistor MOS es un dispositivo en el que los procesos de interés ocurren en la

superficie del silicio. En función del tipo de portadores del canal superficial, existen dos tipos de transistores MOS: de canal n y de canal p.

En este caso describiremos las características de un transistor tipo n, el análisis y los resultados obtenidos aplicarán de igual forma para un transistor tipo p.

El transistor MOS canal n está formado por los siguientes elementos: un sustrato de Si tipo p, dentro del cual se encuentran dos regiones altamente dopadas tipo n⁺ denominadas surtidor (S) y drenador (D), sobre el canal (la zona entre S y D) se deposita una capa de dieléctrico y posteriormente de una capa de metal (compuerta), en otras palabras se forma una estructura MOS. La distancia entre surtidor y drenador se conoce como longitud de canal (L). Debido a lo anterior, se considera que este dispositivo posee cuatro terminales: la compuerta (G), el surtido (S), el drenador (D) y el sustrato (B). Normalmente, se considera que el sustrato B y el surtidor S se encuentran conectados a tierra.

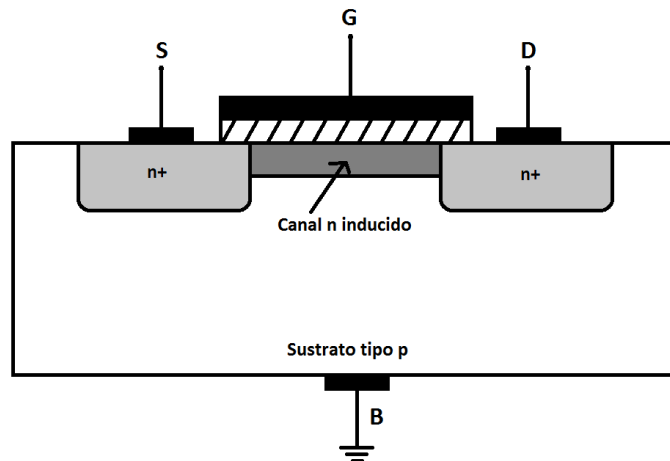


Figura 1.4. Estructura básica del transistor MOS de canal n

1.1.4. Principios de operación

Cuando un voltaje positivo es aplicado a la compuerta y éste es lo suficientemente alto para invertir la superficie del semiconductor, se generará un cambio en la conductividad del canal, la cual puede ser modulada mediante la variación del voltaje de compuerta V_{GS} . Si además de esto, se aplica un potencial pequeño en el drenador V_{DS} se formará un campo eléctrico que atraerá a los portadores mayoritarios desde el surtidor hasta el drenador. Este comportamiento se puede modelar como una resistencia que varía en función de los voltajes aplicados al transistor.

$$R = \rho \frac{L}{A} \quad (1.40)$$

donde ρ es la resistividad del canal, L la longitud y A el área transversal del mismo.

La resistividad está dada por:

$$\rho = \frac{1}{q\mu_n n} \quad (1.41)$$

μ_n y n son la movilidad y concentración de los portadores respectivamente, en la zona de inversión.

Con (1.41) en (1.40) se tiene lo siguiente:

$$R = \frac{1}{q\mu_n n} \frac{L}{A} = \frac{L}{Z} \frac{1}{\mu_n Q_n t_i} \quad (1.42)$$

donde Z es el ancho del canal, t_i el espesor de la zona de inversión, μ_n representa la movilidad de los electrones y Q_n es la carga de electrones por unidad de área en el mismo, cuya magnitud dependerá del voltaje aplicado en la compuerta V_{GS} .

1.1.5. Características Corriente-Voltaje

Las características Corriente-Voltaje (I-V) del transistor MOS, representan las distintas regiones de operación del dispositivo: lineal y saturación.

Una vez que se ha inducido el canal y se aplica un voltaje positivo V_{DS} pequeño en la terminal de drenador, éste hace circular una corriente I_{DS} a través del canal. Este último actúa como un resistor variable (ya que depende de V_{GS}) y la corriente I_{DS} varía linealmente con V_{DS} . Dicho comportamiento corresponde a la región de operación lineal.

Conforme el voltaje de drenador se incrementa, el voltaje efectivo para mantener la condición de inversión fuerte junto al drenador comenzará a aumentar, incrementando el ancho de la región de carga espacial. En consecuencia, Q_n disminuirá en el borde del drenador y la resistencia del canal aumentará, de este modo la curva característica I-V comenzará a doblarse hacia abajo, como lo muestra la figura 1.5.

A medida que V_{DS} se incrementa, el voltaje necesario para mantener la inversión fuerte en la región cercana al drenador seguirá incrementándose hasta superar el valor del voltaje aplicado a la compuerta, en ese momento el canal se cerrará en el borde del drenador. A este fenómeno se le conoce como condición de estrangulamiento del canal o *pinch-off* y al voltaje de drenador necesario para llegar a esta condición, se le denomina voltaje de saturación V_{DSat} .

Más allá del punto de estrangulamiento, la corriente de drenador (I_{DSat}) permanece constante, aun si V_{DS} se sigue incrementando. A esta condición de operación se le denomina región de saturación.

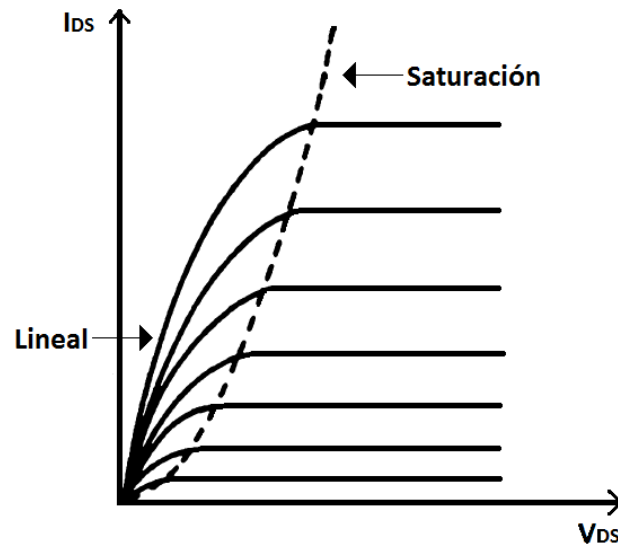


Figura 1.5. Características de salida del transistor MOS

De acuerdo a lo descrito anteriormente, se pueden observar dos regiones de operación del transistor MOS. La primera para voltajes de V_{DS} pequeños, la característica $I-V$ se comporta de manera lineal, mientras que para niveles de $V_{DS} > V_{Dsat}$, se presenta la región de saturación.

1.1.6. Modelo de corriente del transistor MOS

Para un transistor MOS de canal largo la relación I_{DS} vs V_{DS} puede ser obtenida mediante la aproximación de canal gradual, en la cual se asume lo siguiente:

- El campo eléctrico transversal a lo largo del canal en la dirección de x es mucho mayor que el campo eléctrico longitudinal en la dirección y .
- Tanto el campo transversal como el longitudinal son independientes uno de otro.
- La movilidad de portadores es constante.

En el caso de la región de operación lineal, el análisis para la obtención de la corriente de drenador se llevará a cabo considerando una sección infinitesimal del canal, la cual está dada por:

$$dV = I_{DS} dR = -\frac{I_{DS} dy}{Z\mu_n Q_n(y)} \quad (1.43)$$

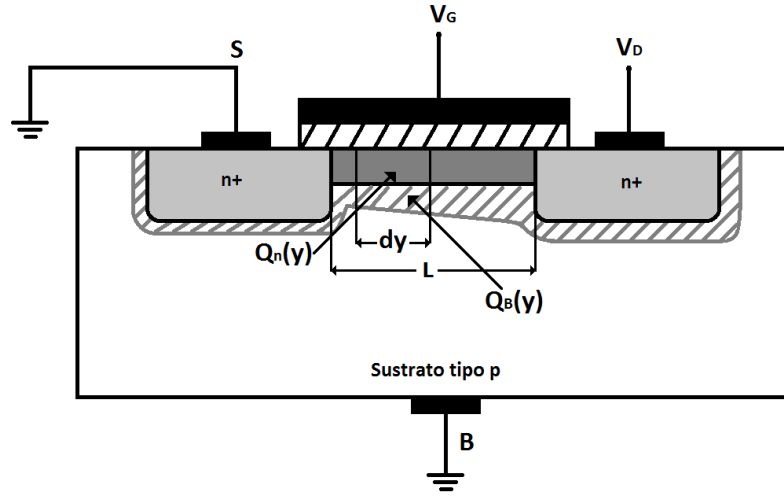


Figura 1.6. Sección infinitesimal en el canal del transistor MOS

A una distancia y del surtidor, la carga total inducida en el silicio Q_S estará constituida por la carga en la capa de inversión Q_n y por la contenida en la región de carga espacial, debida a los aceptores ionizados no compensados Q_B , esto es:

$$Q_S(y) = Q_n(y) + Q_B(y) \quad (1.44)$$

Recordando la ecuación (1.39) que relaciona la carga inducida en el silicio, así como los potenciales de superficie y de banda plana se tiene:

$$V_{GS} - V_{FB} - \phi_s = -\frac{Q_S}{C_{ox}} \quad (1.45)$$

Combinando las ecuaciones (1.44) y (1.45) se obtiene:

$$Q_n(y) = -(V_{GS} - V_{FB} - \phi_s(y))C_{ox}(y) - Q_B(y) \quad (1.46)$$

Dado que en la zona de inversión se tienen el efecto del campo longitudinal y transversal, el potencial superficial $\phi_s(y)$ estará definido por la condición de inversión fuerte y el voltaje $V(y)$, es decir:

$$\phi_s(y) = V(y) + 2\phi_F \quad (1.47)$$

Por otro lado, considerando la aproximación de empobrecimiento, la carga del sustrato. $Q_B(y)$ queda definida por:

$$Q_B(y) = -qN_A W_{\max}(y) = -\sqrt{2k_{si}\epsilon_o qN_A [V(y) + 2\phi_F]} \quad (1.48)$$

Combinando las ecuaciones (1.43), (1.46), (1.47) y (1.48) e integrando para $y = 0$ donde $V(0) = 0$, y para $y = L$ y $V(L) = V_D$, se obtiene:

$$I_{DS} = \frac{Z}{L} \mu_n C_{ox} \left\{ \left[V_{GS} - V_{FB} - 2\phi_F - \frac{V_{DS}}{2} \right] V_{DS} - \frac{2}{3} \frac{\sqrt{2k_{si} \epsilon_o q N_A}}{C_{ox}} \left[(V_{DS} + 2\phi_F)^{\frac{3}{2}} - (2\phi_F)^{\frac{3}{2}} \right] \right\} \quad (1.49)$$

Es importante mencionar que la ecuación anterior es válida para la condición $0 \leq V_{DS} \leq V_{Dsat}$, ya que más allá de V_{Dsat} la corriente permanece constante.

Para voltajes de V_{DS} pequeños ($V_{DS} \ll 2\phi_F$), la corriente I_D se aproxima a:

$$I_{DS} \cong \frac{Z}{L} \mu_n C_{ox} [V_{GS} - V_{FB} - 2\phi_F] V_{DS} \quad (1.50)$$

La deducción anterior pierde validez cuando la capa de inversión desaparece cerca del drenador, esto ocurre cuando $V_{DS} = V_{Dsat}$ y se cumple la condición $Q_n(L) = 0$. En este caso, de (1.46), (1.47) y (1.48):

$$V_{Dsat} + \frac{1}{C_{ox}} \sqrt{2k_{si} \epsilon_o q N_A} [V_{Dsat} + 2\phi_F] + 2\phi_F - V_{GS} + V_{FB} = 0 \quad (1.51)$$

Despejando para V_{Dsat}

$$V_{Dsat} = V_{GS} - V_{FB} - 2\phi_F + \frac{k_{si} \epsilon_o q N_A}{C_{ox}^2} \left[1 - \sqrt{1 + \frac{2\epsilon_o^2 (2\phi_F)}{k_{si} \epsilon_o q N_A}} \right] \quad (1.52)$$

La corriente de saturación se obtendrá al sustituir $V_{DS} = V_{Dsat}$ en (1.49). Sin embargo, dada la complejidad de estas expresiones, es posible simplificarlas si se considera que, la carga por unidad de área en la región de carga espacial Q_B es independiente de y . Bajo esta consideración se podrán obtener las expresiones de primera aproximación, del transistor MOS.

Si se considera que:

$$Q_n(y) = -C_{ox} \left[V_{GS} - V_{FB} - 2\phi_F - V(y) + \frac{Q_{Bmax}}{C_{ox}} \right] \quad (1.53)$$

con (1.39) en (1.53), se obtendrá:

$$Q_n(y) = -C_{ox} [V_{GS} - V_T - V(y)] \quad (1.54)$$

Sustituyendo (1.54) en (1.43) e integrando para $V(y)$ en los límites de integración de $0 - V_{DS}$ se obtiene:

$$I_{DS} \approx \frac{Z\mu_n C_{ox}}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right] \quad (1.55)$$

Este modelo matemático es válido para $0 \leq V_{DS} \leq V_{Dsat}$.

En saturación se deberán cumplir las siguientes condiciones: $V(L) \geq V_{Dsat}$ y $Q_n(L) = 0$, por lo que sustituyendo en (1.54), se obtendrá:

$$V_{Dsat} = V_{GS} - V_T \quad (1.56)$$

Con (1.56) en (1.55) se obtiene I_{Dsat}

$$I_{Dsat} = \frac{Z\mu_n C_{ox}}{L} \left[\frac{(V_{GS} - V_T)^2}{2} \right] \quad (1.57)$$

En régimen dinámico, los parámetros de interés son la conductancia de salida (g_d) y la transconductancia (g_m), los cuales se definirán a continuación:

a) En la región lineal:

$$g_d = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}=cte} = \frac{Z\mu_n C_{ox}}{L} (V_{GS} - V_T - V_{DS}) \quad (1.58)$$

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=cte} = \frac{Z\mu_n C_{ox}}{L} V_{DS} \quad (1.59)$$

b) En saturación:

$g_d = 0$, lo cual presume que la resistencia de salida del dispositivo, tiende a infinito.

$$g_m = \frac{Z\mu_n C_{ox}}{L} (V_{GS} - V_T) \quad (1.60)$$

Otro régimen de operación importante para un MOSFET es conocido como región subumbral. En ésta el voltaje de compuerta es menor al voltaje de umbral, por lo que se considera que la superficie del semiconductor está en inversión débil. En esta condición la corriente de drenador recibe el nombre de corriente subumbral y varía de manera exponencial en función del voltaje de compuerta.

El estudio de la región subumbral es particularmente importante para aplicaciones de bajo voltaje y baja potencia, tales como circuitos de conmutación y digitales.

Por su parte la región de corte, se presenta cuando el voltaje de compuerta es mucho menor al voltaje de umbral, por lo que la capa de inversión no se forma el canal de conducción, bajo esta condición el transistor MOS actúa como dos diodos conectados *back to back* lo cual impide un flujo de corriente entre las terminales de fuente y drenador del dispositivo.

1.2 ESCALADO DE MOSFET

El escalado de las dimensiones de los transistores implica, la reducción de las mismas, en todo el dispositivo, por un factor constante k. A fin de mantener los campos eléctricos internos constantes, se requiere que las fuentes de alimentación también sean reducidas por el mismo factor, como lo muestra la tabla 1.1

Parámetro	Regla de escalado
Longitud de canal (L)	1/K
Ancho del canal (Z)	1/K
Espesor del óxido de compuerta (t_{ox})	1/K
Profundidad de unión (r_j)	1/K
Concentración de impurezas (N_B)	K
Fuente de alimentación (V)	1/K

Tabla 1.1 Reglas de escalado para distintos parámetros de transistores MOS

Bajo este esquema, las nuevas dimensiones serán:

$$L' = \frac{L}{K}; \quad t_{ox}' = \frac{t_{ox}}{K}; \quad Z' = \frac{Z}{K}; \quad V' = \frac{V}{K} \quad (1.61)$$

Como resultado, se obtienen nuevas relaciones de las nuevas magnitudes físicas relativas al transistor MOSFET, obteniéndose:

$$C'_{ox} = K \cdot \frac{\epsilon_{ox}}{t_{ox}} = K \cdot C_{ox} \quad (1.62)$$

$$I_{DS} = \frac{\mu_n (K \cdot C_{ox}) (Z/K)}{L/K} \left[(V_{GS}/K - V_T/K)(V_{DS}/K) - \frac{1}{4} (V_{DS}/K)^2 \right] = \frac{I_{DS}}{K} \quad (1.63)$$

La potencia de conmutación P_{ac} y la de continua P_{dc} son también reducidas en K^2 :

$$P'_{ac} = \frac{P_{ac}}{K^2} \quad (1.64)$$

$$P'_{dc} = I'V' = \left(\frac{I}{K}\right) \cdot \left(\frac{V}{K}\right) = \frac{P_{dc}}{K^2} \quad (1.65)$$

Como puede observarse en la tabla 1.1, todos los parámetros del transistor son reducidos por el factor de escalamiento K , excepto la concentración de impurezas del substrato. A fin de garantizar el correcto desempeño de los transistores, es necesario que el ancho de las regiones de carga espacial (RCE) formadas por las uniones de las regiones de drenador y fuente se reduzca por el mismo factor. Considerando una unión abrupta unilateral, el ancho de la RCE (W) queda definida por:

$$W = \sqrt{\frac{2k_{si}\epsilon_0}{q} \left(\frac{1}{N_B}\right) (V + \phi_{bi})} \quad (1.66)$$

Donde k_{si} es la constante dieléctrica del silicio, N_B es la concentración de impurezas del substrato, V es el voltaje inverso aplicado y ϕ_{bi} es el potencial interconstruido de la unión.

Considerando que $V \gg \phi_{bi}$ y la relación (1.61), se tiene:

$$W' = \sqrt{\frac{2k_{si}\epsilon_0}{q} \left(\frac{1}{N'_B}\right) (V')} = \sqrt{\frac{2k_{si}\epsilon_0}{q}} \cdot \sqrt{\left(\frac{1}{N_B \cdot k}\right) \left(\frac{V}{k}\right)} = \sqrt{\frac{2k_{si}\epsilon_0}{q}} \cdot \sqrt{\left(\frac{V}{N_B}\right) \left(\frac{1}{k^2}\right)} \quad (1.67)$$

Por lo tanto, se puede ver claramente que:

$$W' = \frac{W}{k} \quad (1.68)$$

Finalmente, el escalado produce una reducción de los tiempos de operación de los transistores MOSFET, fundamentalmente debido a la reducción de la capacitancia de entrada (C_G), la cual es proporcional al área total del dispositivo, es decir del producto del ancho por la longitud del canal. El tiempo de retardo de propagación (t_p) queda definido como:

$$t'_p \alpha \frac{C'_G \cdot V'_{GS}}{I'_{DS}} \alpha \frac{W' \cdot L' \cdot V'_{GS}}{t'_{ox} \cdot I'_{DS}} \quad (1.69)$$

Considerando las relaciones (1.61) y (1.63), se tiene:

$$t_p' \propto \frac{W \cdot L \cdot V_{GS}}{k^3} \propto \frac{W \cdot L \cdot V_{GS}}{t_{ox} \cdot I_{DS}} \cdot \frac{1}{k} \propto \frac{t_p}{k} \quad (1.70)$$

Sin embargo el escalado real practicado en los dispositivos, no ha seguido completamente el método propuesto por Denard. La diferencia principal ha sido el voltaje de alimentación, que durante muchos años, se mantuvo en 5 V, para los circuitos digitales buscando mantener la compatibilidad entre los diferentes sistemas en uso. La tabla 1.2 muestra la forma como se ha realizado el escalado real en los dispositivos [1].

Parámetro	1972	2005	Razón
Longitud de canal	6 μm	0.1 μm	60
Espesor del óxido de compuerta	100 nm	2.5 nm	40
Profundidad de unión	700 nm	30 nm	23
Fuente de alimentación	5 V	1.5 V	3.3

Tabla 1.2. Razón de escalado para distintos parámetros de transistores MOS, en las últimas décadas [1]

Es muy difícil predecir el límite de la miniaturización de los dispositivos. El punto mínimo que se plantea es la distancia entre átomos en cristales de silicio, de aproximadamente 0.3 nm, como se muestra en la figura 1.7, en donde se hace una proyección de los posibles niveles de escalado que alcanzarán algunos parámetros de los transistores en los próximos años. Por otra parte, esto podría no representar una solución práctica, ya que conectar nodos tan pequeños sería muy complicado. Para algunos autores, el límite de la reducción debe considerarse desde el punto de vista de la integración de los componentes en circuitos [10].

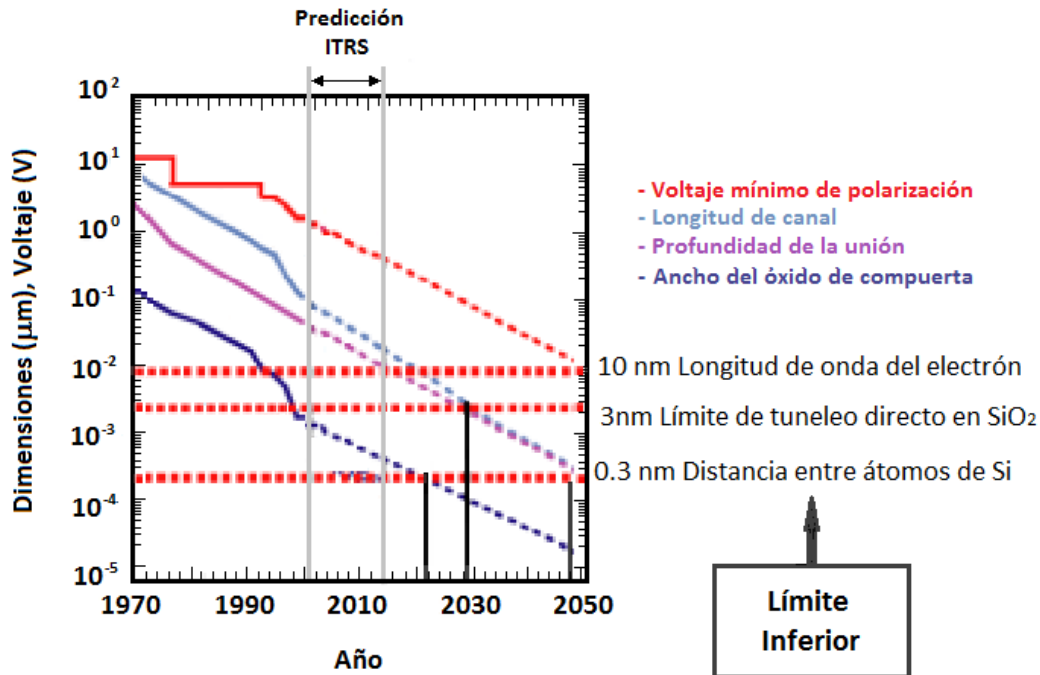


Figura 1.7. Tendencia (extrapolada) del escalado de transistores MOS, con base en información de la organización International Technology Roadmap for Semiconductors (ITRS) [10]

1.3 EFECTOS DE CANAL CORTO

El escalado ha hecho posible la fabricación de transistores con longitudes de canal menores a los 90 nm. Sin embargo, debido a la reducción de las dimensiones de los MOSFETs, se presentan ciertos fenómenos que degradan su comportamiento, los cuales son conocidos como efectos de canal corto. Los principales efectos de degradación asociados a la reducción de las dimensiones de los transistores son:

- 1) Reducción del voltaje de umbral
- 2) Modulación de la longitud de canal
- 3) Reducción de la barrera de potencial inducida por el voltaje de drenador
- 4) Electrones calientes

1.3.1 Reducción del voltaje de umbral

En las figuras 1.8a) y 1.8b), se observa el corte transversal de un transistor MOSFET de canal largo y de canal corto, respectivamente. Como puede observarse, existen regiones de carga espacial producto tanto de la zona de inversión en el canal, así como de las regiones de fuente y drenador. Como resultado, se presenta un traslape de las RCE del canal mismo y de las regiones de drenador/fuente, por lo que la RCE asociada al canal adquiere un perfil trapezoidal, reduciendo su longitud efectiva en un factor Δ .

Como puede observarse en la figura 1.8a), el caso de los transistores de canal largo, el efecto de la reducción de la RCE es despreciable, por lo que se puede considerar que las regiones de drenador/fuente no afectan al canal.

Sin embargo, a medida que las dimensiones del transistor se reducen, el efecto de las uniones ya no puede ser despreciado y por tanto, la carga total controlada por la tensión de compuerta (V_{GS}) en un dispositivo de canal corto es proporcionalmente menor que en el caso de un dispositivo de canal largo. En consecuencia, una tensión de compuerta menor es suficiente para alcanzar la inversión, es decir el voltaje de umbral se reduce a medida que se reduce la longitud del dispositivo.

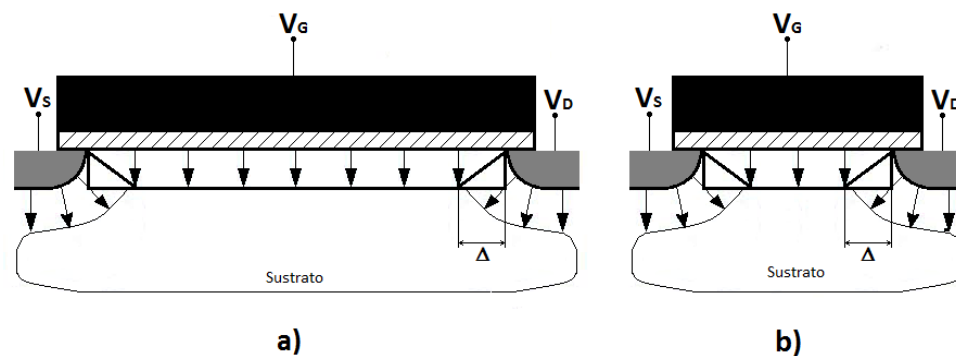


Figura 1.8. Corte transversal de un transistor MOSFET: a) canal largo, b) canal corto

1.3.2 Modulación de la longitud de canal

La condición de saturación de los transistores MOSFET ocurre cuando se presenta la condición de oclusión o de *pinch-off* en el borde del drenador, como se muestra en la figura 1.9. Al aumentar el voltaje aplicado al drenador, el punto de oclusión se desplaza hacia el interior del canal, como lo muestra la figura 1.10, acortando la longitud efectiva del canal en un factor ΔL . Este efecto tiene como consecuencia una reducción de la resistencia del canal y como resultado un ligero incremento en la corriente del dispositivo.

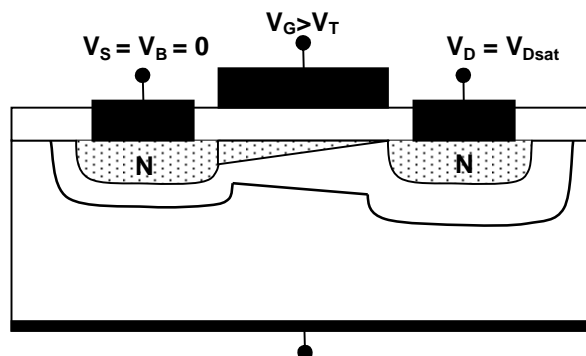


Figura.1.9. Condición de oclusión o *pinch off* en el MOSFET de canal N

Para dispositivos de canal largo, el acortamiento del canal puede ser despreciado, por lo que la corriente no aumenta de manera significativa, sin embargo para dispositivos de canal corto ΔL se puede volver una fracción muy importante de la longitud del canal, provocando incrementos significativos de la corriente.

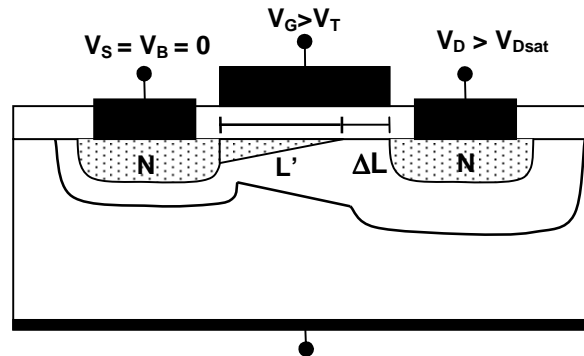


Figura 1.10. Efecto de modulación de canal en el MOSFET canal N

El efecto de modulación de la longitud de canal, sobre la corriente de drenador puede ser modelado como:

$$I_{DSat} = \frac{I_{DS}}{L - \Delta L} \quad (1.71)$$

Donde I_{DS} es la corriente del drenador al inicio de la saturación.

1.3.3 Reducción de la barrera de potencial inducida por el voltaje de drenador

Otro efecto que se presenta en los transistores de canal muy reducido y que degrada su desempeño, es el llamado DIBL (*Drain Induced Barrier Lowering*: reducción de la barrera de potencial inducida por el drenador).

La figura 1.11 muestra la estructura de bandas del MOSFET a lo largo del canal con $V_{GS} < V_T$. Como puede observarse, cuando el voltaje aplicado al drenador es cero, se establece una barrera de potencial entre el surtidor y el canal. Al incrementar el voltaje en el drenador, se establece un potencial a lo largo del canal, que reducirá la barrera de potencial presente en el surtidor, como lo indica la figura 1.11.

Para dispositivos de canal largo, la reducción en la barrera de potencial es despreciable, sin embargo para dispositivos de canal muy corto, el efecto del voltaje del drenador sobre el surtidor es cada vez más importante, reduciendo de manera significativa la barrera de potencial formada. Este fenómeno facilita la inyección de electrones en condiciones subumbral y por lo tanto, la corriente subumbral aumenta.

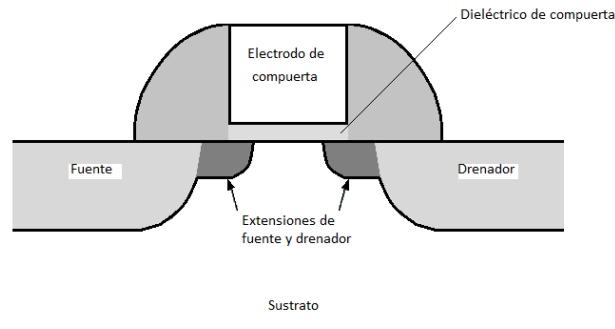


Figura 1.12. Regiones fuente y drenador adicionales para disminuir el efecto de electrones calientes

1.4 TRANSISTORES SB-MOSFET

Otro fenómeno importante, en dispositivos de canal corto es la influencia de las resistencias serie. A medida que la longitud de canal es reducida, la resistencia intrínseca al canal disminuye. Por otro lado, las resistencias asociadas a las regiones de drenador y fuente no se reducen de manera proporcional, por lo que la resistencia parásita asociada a la estructura física del dispositivo se vuelve comparable a la resistencia intrínseca del canal. Esto produce una importante degradación del comportamiento del transistor tanto para aplicaciones digitales como analógicas. Por tal motivo, muchos esfuerzos tecnológicos han buscado la reducción de las resistencias parásitas asociadas a la estructura del transistor. Una forma de disminuir este fenómeno es mediante la tecnología SB-MOSFET (*Schottky-barrier MOSFET*) [8,9].

La tecnología SB-MOSFET consiste en reemplazar las regiones de fuente y drenador, formadas por silicio muy fuertemente dopado, por un metal o siliciuros (aleaciones de silicio y metal). Existen varias razones por las cuales esta tecnología tiene grandes posibilidades de impactar el desarrollo de dispositivos cada vez más pequeños, entre ellas se encuentran la reducción de resistencias parásitas en las terminales de fuente, abriendo la posibilidad de implementar con éxito transistores con longitudes de canal del orden de 10 nm [7].

Entre las mejoras que se contemplan con el uso de esta nueva tecnología, se pueden mencionar las siguientes:

- Fabricación compatible con la tecnología CMOS
- Disminución de los efectos de canal corto
- Incremento de la densidad de integración en el diseño de circuitos integrados
- Incremento en la velocidad de operación

El escalado de los MOSFET, a longitudes de canal por debajo de 50 nm, presenta serios problemas para transistores convencionales con fuente y drenador dopados. La corriente de fuga debido a la delgada capa de óxido en la compuerta y los efectos de canal corto son fenómenos difíciles de suprimir. Mediante la tecnología SB-MOSFET se está buscando superar dichas dificultades.

Al sustituir las regiones semiconductoras de fuente y drenador por un metal, regularmente un siliciuro, se formará una barrera tipo Schottky de altura Φ_B , la cual presenta propiedades rectificadoras, con muy baja resistividad. Este pequeño cambio en los MOSFET convencionales representa ventajas significativas para el escalado de los mismos.

Algunos parámetros físicos importantes definen al dispositivo, los principales son: la longitud de compuerta (L_g), longitud de canal efectiva (L_{ch}) y la profundidad de los electrodos de fuente y drenador (t_{SD}). Cualquier sustrato, como silicio, silicio tensado o silicio-germanio, puede ser utilizado en el diseño de SB-MOSFET, así como estructuras MOS convencionales en la compuerta.

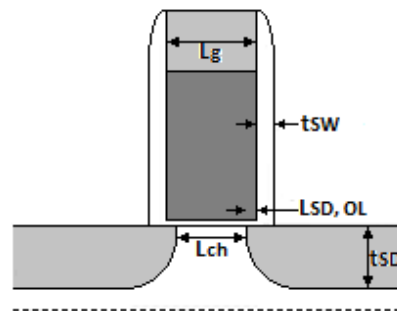


Figura 1.13. Representación de parámetros básicos de dispositivos SB-MOSFET

Un espaciado delgado a los costados del electrodo de compuerta (t_{sw}) ayuda a minimizar el traslape entre los electrodos, tanto de la fuente como del drenador, con la compuerta. El parámetro de traslape ($L_{SD,OL}$) es la distancia lateral entre los bordes de la fuente y el drenador con respecto al borde de la compuerta.

Debido a la naturaleza de las uniones metal-semiconductor, un transistor SB-MOSFET canal n requiere que el siliciuro utilizado presente una barrera Schottky baja para electrones, mientras que para uno tipo p, la barrera tendrá que ser pequeña para huecos. Se ha encontrado que aleaciones como PtSi, utilizada para transistores canal p, presentan una barrera de potencial entre 0.15-0.27eV [12], [13], mientras que para dispositivos canal n $ErSi_x$ y $YbSi_x$ el rango de valores es de 0.27-0.36 eV [14], [15], aproximadamente.

Existen numerosas razones por las cuales se ha motivado el estudio de esta tecnología, entre ellas la reducción de las resistencias parásitas en las regiones de fuente y drenador (la literatura reporta la resistividad del PtSi de $6\Omega/\text{cuadro}$), la posibilidad de escalar los dispositivos a dimensiones de 10nm de longitud de canal, el control de corrientes de fuga debido a la barrera Schottky cuando el transistor está apagado, así como la reducción del nivel de dopaje del canal (entre 10^{16} - 10^{17}cm^{-3}), lo cual mejora la velocidad de portadores, entre otros beneficios. Sin embargo, aun es posible mejorar el desempeño de estos dispositivos, ya que en la medida en que se reduzca la altura de la barrera Schottky, éstos podrán incrementar su potencial. Una forma de lograrlo es mediante la técnica de unión Schottky de dopaje segregado (DSS, Dopant-Segregated Schottky).

Esta técnica consiste en aplicar una concentración alta de impurezas en la interfaz metal-silicio, la función de las impurezas es modular la altura de la barrera Schottky, aunque dicha capa deberá ser lo suficientemente delgada para no alterar la eficiencia de la unión Schottky.

Esta modificación genera un doblamiento en la banda de conducción o valencia, según sea el caso, en la interface permitiendo el flujo de portadores debido al decremento efectivo de la altura de la barrera Schottky.

Se presume que para llevar a efecto este fenómeno la concentración de impurezas deber ser del orden de $1 \times 10^{20} \text{ cm}^{-3}$ con una ancho menor a 10nm [16]. Los materiales que se utilizan para implantación de impurezas son el arsénico para semiconductor tipo n y boro para el tipo p.

La técnica de segregación de dopaje, combinada con las ventajas específicas de los SB-MOSFET, ofrece grandes posibilidades de desempeño y escalabilidad para futuras generaciones de este tipo de dispositivos.

1.5 DISTORSIÓN ARMÓNICA

En la actualidad, el desafío del diseño de circuitos es mantenerse actualizado sobre las propiedades, potenciales y las limitaciones de la tecnología de dispositivos electrónicos. Esto es especialmente importante para los diseñadores de circuitos integrados analógicos y de radio frecuencias, donde la sensibilidad a los detalles de modelado y la retroalimentación entre componentes cobran mayor interés. A fin de reducir los efectos del ruido en este tipo de componentes la amplitud de la señal de interés deberá ser incrementada, lo que causará efectos de distorsión debido a la no linealidad inherente a los dispositivos activos utilizados para implementar las funciones de circuito.

En general, los transistores tipo MOS son los dispositivos más adecuados y eficaces para implementar funciones analógicas. Con el escalado continuo de sus dimensiones, varios de sus parámetros característicos son alterados, por los efectos de segundo orden (degradación de movilidad debido a los campos eléctricos, velocidad de saturación en el canal y la resistencia serie). Todos estos efectos introducirán fenómenos de no linealidad en el transistor.

Por estos motivos, a pesar de todas las bondades que presentan los transistores SB-MOSFET, es importante conocer los alcances y limitaciones que pudieran presentar, ya que es una tecnología novedosa y aun no se han dimensionado completamente los tipos de aplicaciones a las que se pudiese enfocar. Por otro lado, diversos fenómenos pueden degradar el comportamiento de éstos dispositivos, por ejemplo, se ha mostrado experimentalmente una reducción significativa de las resistencias serie, gracias a los contactos Schottky; sin embargo dichos contactos son muy dependientes de la polarización aplicada al dispositivo, lo que produce una dependencia de las resistencias serie con el voltaje. Estos factores introducirán efectos no lineales en las características del transistor, las cuales producirán distorsión en la señal de salida. Asimismo, dado que este tipo de dispositivos están enfocados a aplicaciones analógicas, es necesario conocer su desempeño no lineal a través de la distorsión armónica.

En el siguiente apartado, se describirá la metodología para medir la distorsión armónica de estos dispositivos, así como la extracción de parámetros con el fin de conocer su desempeño.

CAPÍTULO II

EXTRACCIÓN DE PARÁMETROS

En este apartado se presentará una breve descripción del método de extracción de parámetros en CD, para transistores MOSFET. También se dará una explicación general de la metodología IFM (*Integral Function Method*) para el cálculo de las no linealidades de los dispositivos en estudio.

Debido a las limitaciones que se tienen para llevar a cabo mediciones directas de los parámetros que definen las características o el comportamiento, bajo ciertas condiciones, de un dispositivo se recurre a técnicas de extracción de parámetros.

El objetivo de la extracción de parámetros es encontrar las características de los dispositivos en estudio, a través de ciertos modelos matemáticos que nos permiten hacer una aproximación de su comportamiento.

2.1 PARÁMETROS DE CORRIENTE DIRECTA

Diferentes parámetros son necesarios para analizar el comportamiento de los transistores MOSFET, los principales son:

- Transconductancia
- Conductancia
- Voltaje de umbral
- Pendiente subumbral
- Voltaje de Early
- Ganancia

2.1.1 Transconductancia y conductancia

Como se indicó en el capítulo I, la transconductancia y conductancia de salida pueden definirse por las ecuaciones (1.58), (1.59) y (1.60).

Como puede inferirse de (1.58), la conductancia de salida se reduce linealmente a medida que V_{DS} aumenta, hasta volverse prácticamente cero en saturación.

Por otro lado, de (1.59) se puede ver que la transconductancia es independiente de V_{GS} . Sin embargo a medida que V_{GS} aumenta, el campo eléctrico transversal se incrementa, provocando una reducción en la movilidad de los portadores en el canal. De este modo, la transconductancia queda definida como:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{Z}{L} C_{ox} V_{DS} \cdot \frac{\partial \mu_n(V_{GS})}{\partial V_{GS}} \quad (2.1)$$

De igual forma en saturación, queda definida como:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{Z}{L} C_{ox} V_{DS} \cdot (V_{GS} - V_T) \cdot \frac{\partial \mu_n(V_{GS})}{\partial V_{GS}} \quad (2.2)$$

2.1.2 Voltaje de umbral

Como se indicó anteriormente, el voltaje de umbral (V_T) representa el voltaje de compuerta necesario para iniciar la inversión fuerte. Se representa mediante la ecuación (1.39).

Existen varios métodos para determinar el voltaje de umbral de un transistor, dos de los más utilizados son la segunda y la tercera derivada de la corriente de drenador respecto a V_{GS} :

$$V_T = \left. \frac{\partial^2 I_{DS}}{\partial V_{GS}^2} \right|_{Máximo} \quad (2.3)$$

$$V_T = \frac{\partial^3 I_{DS}}{\partial V_{GS}^3} = 0 \quad (2.4)$$

2.1.3 Voltaje de Early

En el transistor MOS ideal, la corriente en la zona de saturación, se mantiene constante a medida que el voltaje en el drenador se incrementa. Sin embargo, como se mencionó en el capítulo 1 la modulación de la longitud del canal provoca un incremento de la corriente del drenador, como se muestra en la figura 2.1. Como puede observarse, si se realiza una proyección de las curvas características de salida, cortarán al eje de voltaje en el punto V_A , a este valor se le conoce como voltaje de Early.

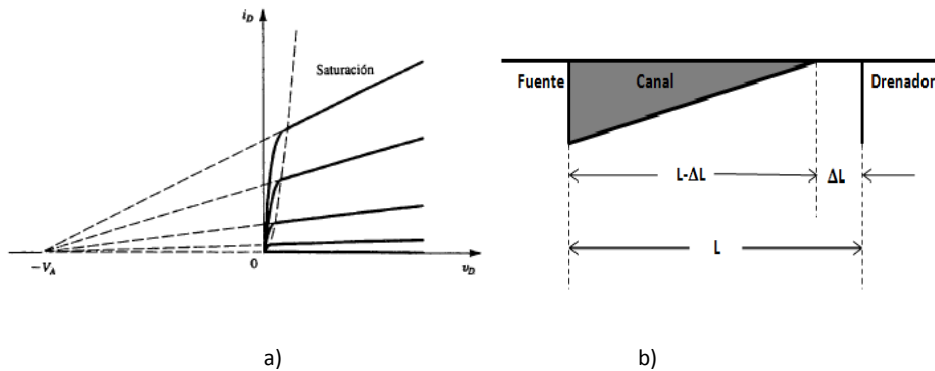


Figura 2.1. a) Representación gráfica de V_A . b) Modulación de la longitud de canal.

El método de extracción normalmente utilizado para determinar el voltaje de Early es mediante la razón I_{DS} contra g_d :

$$V_A = \frac{I_{DS}}{g_d} \quad (2.5)$$

2.1.4 Pendiente subumbral

Otra región de operación de gran importancia en el MOSFET, es la de subumbral. Esta condición se tiene cuando el voltaje de compuerta es menor que el voltaje de umbral, por lo que la superficie del silicio se encuentra en inversión débil, de forma que existe una concentración de electrones relativamente baja y por tanto la corriente del drenador es pequeña.

De manera ideal, cuando V_{GS} es menor que V_T el canal del transistor no se forma y como resultado no habría corriente en el dispositivo. Sin embargo, en la realidad si existe una corriente pequeña,

la cual corresponde a una corriente de fuga en el transistor y presenta una dependencia exponencial respecto a V_{GS} .

En esta condición de operación, se define a la pendiente subumbral (S) como el cambio de voltaje en la compuerta necesario para que la corriente de drenador se reduzca en una década, como se muestra en la figura 2.2.

La pendiente subumbral puede definirse como:

$$S = \frac{\ln(10)}{\frac{d \ln I_{DS}}{dV_{GS}}} \quad (2.6)$$

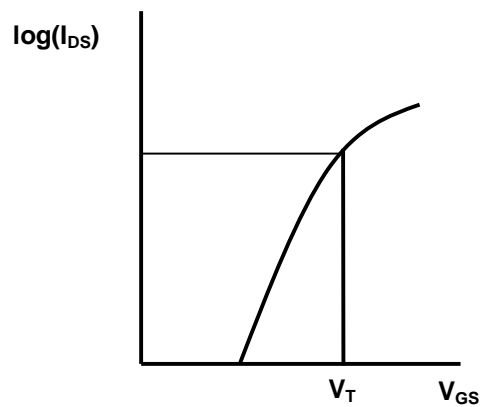


Figura 2.2. Representación gráfica de la región de operación subumbral de un transistor MOSFET

2.1.5 Ganancia

La ganancia se define como la razón del voltaje de salida contra el voltaje de entrada, por tanto, se puede expresar como:

$$\frac{\Delta V_{out}}{\Delta V_{in}} = \frac{g_m}{I_{DS}} \cdot \frac{I_{DS}}{g_d} = \frac{g_m}{I_{DS}} V_A = \frac{g_m}{g_d} \quad (2.7)$$

La tabla 2.1 resume los métodos de extracción utilizados en el análisis de CD.

Parámetro	Símbolo	Método
Transconductancia	g_m	$g_m \equiv \frac{\partial I_{DS}}{\partial V_{GS}}$
Conductancia	g_d	$g_d = \frac{\partial I_{DS}}{\partial V_{DS}}$
Voltaje de umbral	V_T	$V_T = \frac{\partial^2 I_{DS}}{\partial V_{GS}^2}$
Voltaje de Early	V_A	$V_A = \frac{I_{DS}}{g_d}$
Ganancia	A_V	$A_V = \frac{g_m}{g_d}$

Tabla 2.1. Parámetros de CD obtenidos de los dispositivos SB-MOSFET.

2.2 DISTORSIÓN ARMÓNICA

Debido a las no linealidades de los dispositivos electrónicos, es común que la forma de onda en la entrada de los mismos sufra alteraciones o deformaciones que se verán reflejadas en la señal de salida. A dichas perturbaciones se les conoce como distorsión armónica.

Un índice cuantitativo de la distorsión producida por un dispositivo electrónico, puede ser obtenido mediante la evaluación de los armónicos generados de una señal de entrada senoidal, es decir, obteniendo las razones de las amplitudes de los distintos términos armónicos de la señal de salida, con respecto a su componente fundamental. Tales razones, son expresadas en cantidades porcentuales, así que la distorsión armónica total (THD, por sus siglas en inglés) puede obtenerse mediante la siguiente expresión:

$$\%THD = \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + \dots)}}{V_1} \times 100 \quad (2.8)$$

Donde V_1 , V_2 , V_3 , V_4 , etc., son las amplitudes de las componentes fundamental, segundo, tercero y cuarto armónico respectivamente, de la señal de salida.

Si en la definición de THD se incluye la componente de CD en la señal de salida (V_0), el valor de THD_0 estará definido por:

$$THD_0 = \sqrt{\frac{\sum_{n=2}^{\infty} |V_n|^2}{|V_1|^2} + \frac{|V_0|^2}{|V_1|^2}} \quad (2.9)$$

Los transistores MOSFET polarizados en saturación, presentan una función de transferencia cuadrática, por tal motivo la distorsión armónica se debe fundamentalmente al segundo y tercer armónico.

2.2.1 Método de Funciones Integrales

Para el estudio de distorsión armónica de los transistores SB-MOSFET se recurrió a un método novedoso, mediante el cual es posible realizar el análisis de este parámetro sin hacer uso de cálculos complejos, como la transformada rápida de Fourier (FFT, por sus siglas en inglés) o los coeficientes de Fourier (FC). Este procedimiento hace uso, únicamente, de las características medidas en corriente directa de los dispositivos bajo estudio.

Una ventaja importante de este método es que no requiere de mediciones de pequeña señal, lo cual es el fundamento de los métodos tradicionales, por lo que la implementación del sistema de medición es mucho más sencillo. Esta nueva metodología para el análisis de distorsión armónica se denomina Integral Function Method (IFM) [18], [19], [20] y consiste en definir distintas funciones integrales las cuales determinan la distorsión armónica total, así como del segundo (HD2) y tercer (HD3) armónicos.

Este método considera una entrada senoidal hipotética $X = X_0 + A \sin(\xi)$, donde $\xi = \omega t$ es la frecuencia angular de la señal, X_0 es el punto de operación y A es la amplitud de la señal. Se considera que la señal de salida del dispositivo será una función no lineal $Y = f(X)$, tanto Y como X pueden ser voltajes o corrientes, dependiendo del dispositivo en análisis. Ambas magnitudes deberán ser normalizadas en un rango de [0,1], de tal forma que se utilizan las siguientes expresiones:

$$x = \frac{X - (X_0 - A)}{(X_0 + A) - (X_0 - A)} = \frac{X - (X_0 - A)}{2A} \quad (2.10)$$

$$y = \frac{Y(X) - Y(X_0 - A)}{Y(X_0 + A) - Y(X_0 - A)} \quad (2.11)$$

$$X = X_0 + A(2x - 1) \quad (2.12)$$

Sustituyendo (2.12) en (2.11), la señal de salida normalizada estará en función del punto de operación y la amplitud de la señal, esto es:

$$y(x) = \frac{Y(X_0 + A(2x-1)) - Y(X_0 - A)}{Y(X_0 + A) - Y(X_0 - A)} \quad (2.13)$$

La función de salida normalizada presenta las siguientes características: la primera es que dicha función se dimensiona en un cuadro de área unitaria, el cual se divide en dos partes, como se muestra en la figura 2.3, AREA 1 y AREA 2. Si la función es completamente lineal, $y(x) = x$ se tiene que ambas áreas son iguales. Por otra parte, si existe diferencia entre las magnitudes de éstas, implica la presencia de una función de transferencia no lineal, por lo que la no linealidad de la función quedará definida por la diferencia de las áreas 1 y 2.

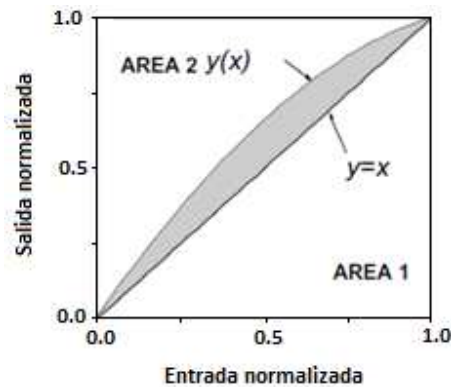


Figura 2.3. Determinación de distorsión mediante la normalización de funciones.

La función integral D , representa la diferencia de áreas (AREA 1 y AREA 2), la cual es definida como:

$$D = \int_0^1 y(x) \cdot dx - \int_0^1 x(y) \cdot dy \quad (2.14)$$

Si ambas áreas son iguales, la función D será igual a cero.

En muchos casos, los valores de HD3 están varios órdenes de magnitud por debajo de la THD. Sin embargo, HD3 se convierte en dominante en diseños de circuitos diferenciales, los cuales suprimen las no linealidades de orden par. Matemáticamente, la supresión de este tipo de armónicos puede obtenerse calculando la diferencia de la señal de salida Y_r , correspondiente a señales de entrada senoidal con corrimiento de fase.

$$Y_r = Y(X_0 + A \sin \xi) - Y(X_0 - A \sin \xi) \quad (2.15)$$

La función y_r normalizada queda expresada como:

$$y_r(x) = \frac{Y_r(X_0 + A(2x-1)) - Y_r(X_0 - A)}{Y_r(X_0 + A) - Y_r(X_0 - A)} \quad (2.16)$$

En la figura 2.4a) se observa una función de este tipo, donde es prácticamente imposible ver algún tipo de comportamiento no lineal. Sin embargo, al graficar $(y_r(x) - x)$ vs x , se puede apreciar que la señal es completamente simétrica, debido a la supresión de armónicas pares. Un caso más general se muestra en la figura 2.4b), donde la curva $y_r(x)$ presenta simetría en torno al punto $x=0.5$. La aplicación de la función D en este caso, no es apropiada, ya que el valor obtenido será igual a cero. Por lo tanto, se propone la aplicación de una función Dr , la cual quedará definida para el análisis de la curva $y_r(x)$ en el intervalo $[0, 0.5]$ y debido a la simetría que presenta Dr se expresará como:

$$Dr = 2 \cdot \left| 2 \cdot \int_0^{0.5} y_r(x) dx - 0.5^2 \right| \quad (2.17)$$

Esta función define la distorsión armónica total cuando las armónicas pares son removidas.

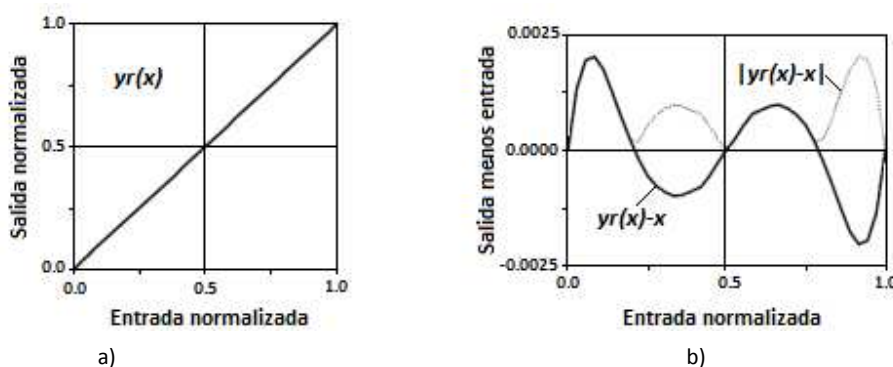


Figura 2.4. a) Función de salida y_r normalizada, b) Señal de salida simétrica normalizada $(y_r(x)-x)$, y su módulo $|y_r(x)-x|$. Se muestra el caso más general en el que más de un punto se interseca.

Por otra parte, si se considera que la función $y(x)$ no está completamente ubicada por encima o debajo de la línea que divide el cuadrado de área unitaria, como se muestra en la figura 2.5, el cálculo de las áreas mediante (2.14) será impreciso, ya que la parte por debajo de la línea divisoria compensará al área superior, lo cual generará un error en la obtención del valor de no linealidad. Es por ello que se introduce el uso de otra función $y_s(x)$, en la cual se considera el desplazamiento de la función $y(x)$ de tal forma que ésta quede completamente por arriba de la línea que divide las áreas 1 y 2. Esto es:

$$y_s(x) = |y(x) - x| + x \quad (2.18)$$

De este modo la función Ds quedará definida por:

$$Ds = 2 \cdot \int_0^1 y_s(x) \cdot dx - 1 \quad (2.19)$$

Si la función $f(x)$ se ubica en un solo lado de la línea divisoria, ver figura 2.3, las funciones integrales D y Ds serán iguales.

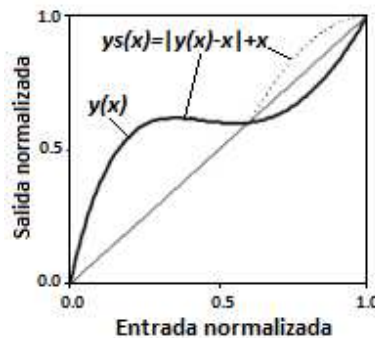


Figura 2.5. Función normalizada con desplazamiento, en el caso de intersección de la línea divisoria en puntos arbitrarios.

La función Ds está relacionada con la distorsión armónica total. El uso de Ds evita la necesidad de calcular la posición de los puntos que intersecan la línea divisoria, lo cual simplifica el análisis de las no linealidades.

En el caso de la función $y_r(x)$, debido a su comportamiento simétrico, es posible aplicar el mismo procedimiento, quedando expresada como:

$$y_{rs}(x) = |y_r(x) - x| + x \quad (2.20)$$

La función $y_{rs}(x)$ se puede observar en línea punteada, en la figura 2.4b.

Por lo tanto, la nueva función integral Drs estará expresada por:

$$Drs = 2 \cdot \int_0^1 y_{rs}(x) \cdot dx - 1 \quad (2.21)$$

Si $y_r(x)$ tiene un solo punto de inflexión en $x = 0.5$, las funciones Dr y Drs serán iguales.

De acuerdo a lo anterior, se puede ver que dependiendo de la forma de la función de transferencia en estudio, se puede aplicar alguna de las distintas funciones integrales para la obtención de las no linealidades del sistema.

Finalmente, HD3 será obtenido a través de Dr , mientras que el valor de THD podrá determinarse mediante las funciones Ds y Drs .

Un análisis detallado de las componentes armónicas da como resultado que el corrimiento en CD de HD0, es prácticamente igual a la distorsión de la segunda armónica HD2. Debido a que en la literatura se consideran predominantes los efectos de HD2 y HD3, THD₀ y THD pueden ser expresadas como:

$$THD_0 = \sqrt{HD0^2 + HD2^2 + HD3^2 + \dots}$$

$$THD_0 \approx \sqrt{2HD2^2 + HD3^2 + \dots} = 1.06 \cdot Ds \quad (2.22)$$

$$THD = \sqrt{HD2^2 + HD3^2 + \dots} \quad (2.23)$$

De (2.22) y (2.23) y de la definición de Drs THD puede ser definida como:

$$THD = \sqrt{\frac{(1.06Ds)^2}{2} + \frac{Drs^2}{2}} \quad (2.24)$$

Por su parte, HD2 quedará expresada por:

$$HD2 = \sqrt{\frac{(1.06Ds)^2}{2} - \frac{Drs^2}{2}} \quad (2.25)$$

finalmente, HD3 será:

$$HD3 = Dr \quad (2.26)$$

Con base en estos fundamentos teóricos, en el siguiente capítulo se hará una breve descripción de la extracción de parámetros en CD, así como de los de distorsión armónica para transistores SB-MOSFET con longitudes de canal de 80 nm y 180 nm.

CAPÍTULO III

RESULTADOS

En este capítulo se presentarán los resultados obtenidos, tanto en el análisis de extracción de parámetros en CD, como en el de distorsión armónica.

Para este trabajo, se estudiaron transistores SB-MOSFET canal n con segregación de dopantes, fabricados sobre un sustrato SOI. Se utilizaron transistores con longitudes de canal de 80 y 180 nm y ancho total de 80 μm . La capa de segregación se fabricó mediante implantación iónica de arsénico con energía de 5 KeV y dosis de implantación de $1 \times 10^{14} \text{ cm}^{-2}$, $5 \times 10^{14} \text{ cm}^{-2}$, $1 \times 10^{15} \text{ cm}^{-2}$ y $3 \times 10^{15} \text{ cm}^{-2}$. Finalmente para los contactos Schottky se utilizó siliciuro de níquel. Los dispositivos fueron fabricados en el "Institute of Bio- and Nanosystems (IBT)" del "Jülich Aachen Research Alliance (JARA-FIT)", Forschungszentrum Jülich, Jülich, Alemania.

Se realizaron un conjunto de mediciones de CD en el laboratorio "Wallonia Electronics and Communications Measurements (WELCOME)", de la Universidad Católica de Lovaina, en Bélgica.

La extracción de los parámetros tanto de CD como de distorsión armónica fueron desarrollados durante esta Tesis de Maestría en la FI-UNAM.

Se utilizaron tres grupos de mediciones:

1. Característica transferencial en régimen lineal: Consiste en una medición de corriente de drenador-fuente vs voltaje compuerta-fuente (I_{DS} vs V_{GS}) para un voltaje drenador-fuente (V_{DS}) constante de 50 mV.
2. Característica transferencial en régimen de saturación: Consiste en una medición de corriente de drenador-fuente vs voltaje compuerta-fuente (I_{DS} vs V_{GS}) para un voltaje drenador-fuente (V_{DS}) constante de 1 V.
3. Característica de salida: Consiste en una medición de corriente de drenador-fuente vs voltaje drenador-fuente (I_{DS} vs V_{DS}) para distintos valores de voltaje compuerta-fuente (V_{GS}).

Las mediciones de corriente y voltaje se obtuvieron por medio de unidades fuente-medidor (Source Measure Unit, SMU) las cuales, como su nombre lo indica, contienen una fuente de voltaje o corriente y un medidor complementario. Es decir, si se tiene una fuente de corriente se utilizará un voltmetro como medidor y viceversa. El equipo utilizado corresponde al modelo HP Semiconductor Parameter Analyzer 4145.

Tanto en la terminal de compuerta como en la de drenador se conectó una unidad fuente-medidor, en una configuración de dos puertos con surtidor común. Para obtener las mediciones de las características transferenciales se fijó el voltaje en el drenador y se varió la tensión en la compuerta. En el caso de los parámetros de salida se realizó el proceso inverso.

3.1 PARÁMETROS DE CORRIENTE DIRECTA

A partir de los diferentes grupos de mediciones, se realizó la extracción de los distintos parámetros de CD, mencionados en el Capítulo II.

3.1.1 Característica de Salida.

Para este análisis, se utilizaron las mediciones de salida de los transistores, con voltajes de compuerta de 0.6 V y 0.5 V para las longitudes de canal de 180 y 80 nm, respectivamente. Las figuras 3.1 a) y b), muestran la comparación de las curvas de salida para los dispositivos con diferente dosis de implantación en la zona de segregación.

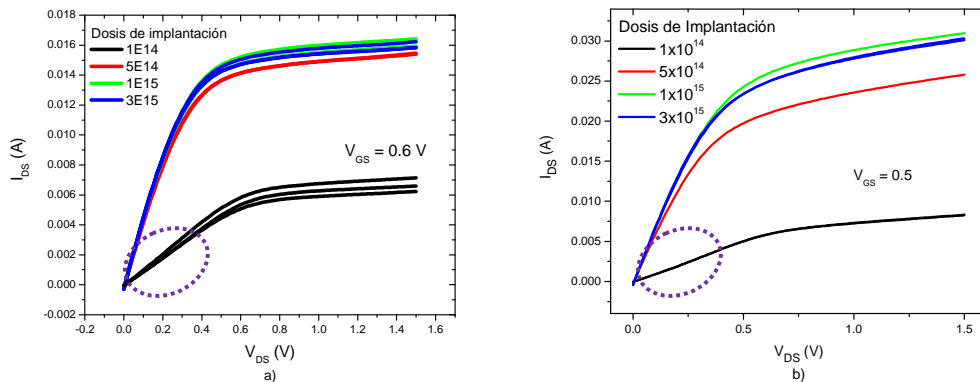


Figura 3.1. Característica I_{DS} - V_{DS} para transistor SB-MOSFET, con distintas dosis de implantación. a) Longitud de canal de 180 nm, b) Longitud de canal de 80 nm.

Como puede observarse, a medida que se incrementa la dosis de implantación, mejora el desempeño de los dispositivos. Las mejoras más importantes son:

- i) El incremento de la corriente de salida
- ii) La región lineal está mejor definida. Como puede observarse, para dosis de implantación de $1 \times 10^{14} \text{ cm}^{-2}$, la región lineal muestra una característica tipo diodo, producto de una barrera Schottky relativamente grande.

Acorde con el Capítulo II, la conductancia se obtiene como la derivada de las curvas características I_{DS} - V_{DS} , respecto a V_{DS} . La figura 3.2 muestra las curvas de conductancia vs V_{DS} .

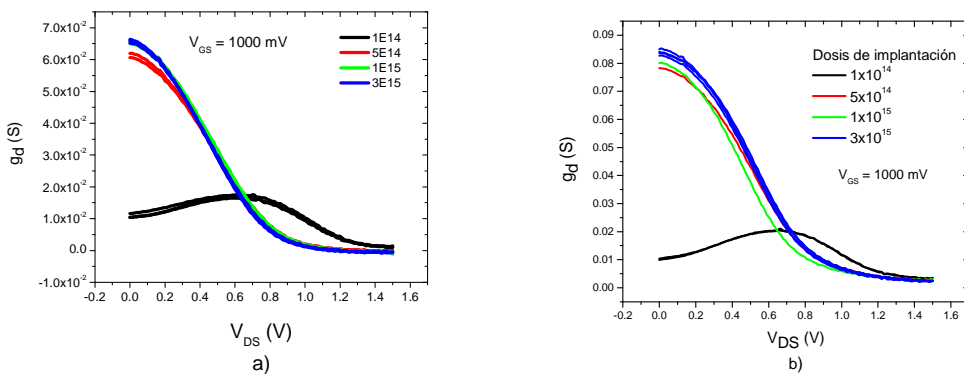


Figura 3.2. Gráfica de conductancia para distintas dosis de implantación. a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

Como puede observarse, la conductancia de salida también muestra una mejora sustancial a medida que se incrementa la dosis de implantación en la zona de segregación. Para dosis pequeñas, la conductancia muestra un incremento anómalo cuando el voltaje se incrementa de 0V

a aproximadamente 0.8 V. Esto se debe al comportamiento tipo diodo que tiene la corriente I_{DS} en ese rango de operación de los dispositivos, ya que al presentar una barrera Schottky, relativamente grande, a valores pequeños de V_{DS} la corriente I_{DS} es pequeña y por ende la conductancia disminuye.

Al incrementar la dosis de implantación de la zona de segregación, se provoca una reducción en la barrera de potencial de la unión Schottky, lo cual produce un incremento en la corriente del transistor. Este resultado coincide con lo reportado en la literatura donde se ha encontrado una disminución de la altura de la barrera Schottky de alrededor de un 34%, al aumentar las dosis de implantación [24]. Como puede observarse hay una mejora sustancial cuando la dosis cambia de 1×10^{14} a $5 \times 10^{14} \text{ cm}^{-2}$. Sin embargo cuando la dosis cambia de 5×10^{14} a $3 \times 10^{15} \text{ cm}^{-2}$, la mejora es menos notoria, esto es debido a que la reducción de la barrera Schottky es menor en ese rango de implantación.

Por otra parte, se observa que la conductancia es máxima para valores de V_{DS} pequeños, esto se debe a que en dicha condición el canal del transistor queda definido de manera homogénea, por lo que la resistencia que presenta es pequeña. Conforme el voltaje de drenador aumenta se aprecia una dependencia lineal con respecto a V_{DS} , como se ve en la ecuación (1.58). Sin embargo, al llegar al grado de saturación se considera que la corriente de drenador permanece constante, por lo que la conductancia tiende a cero.

3.1.2 Característica transferencial lineal.

Las figuras 3.3 a) y b) muestran la curva transferencial en régimen lineal, es decir con $V_{DS} = 50 \text{ mV}$. Las figuras 3.4 a) y b) muestran las curvas de transconductancia vs V_{GS} . En ambos casos la figura a) muestra las características del dispositivo de 180 nm mientras que la figura b) muestra las características del dispositivo de 80 nm.

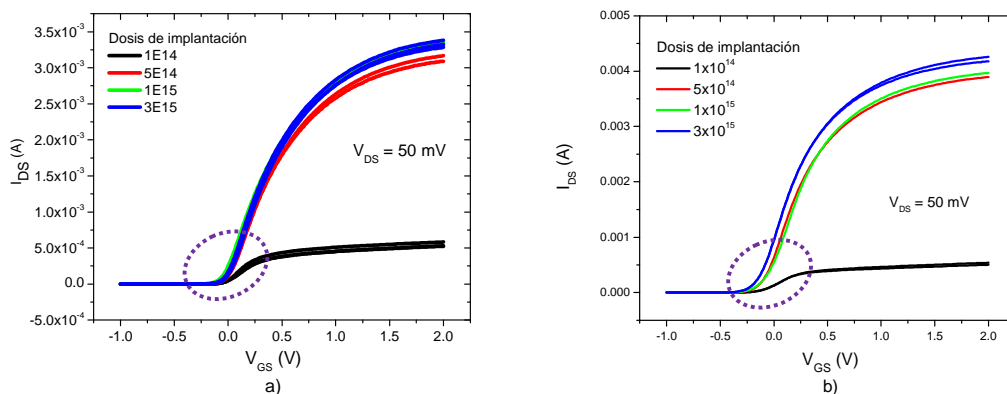


Figura 3.3. Curva transferencial en régimen lineal para $V_{DS}=50 \text{ mV}$. a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En las curvas transferenciales, para ambas longitudes de canal, se observa claramente el comportamiento exponencial de la corriente de drenador en la región subumbral. Asimismo, se aprecia un aumento en la corriente conforme las dosis de implantación se incrementan.

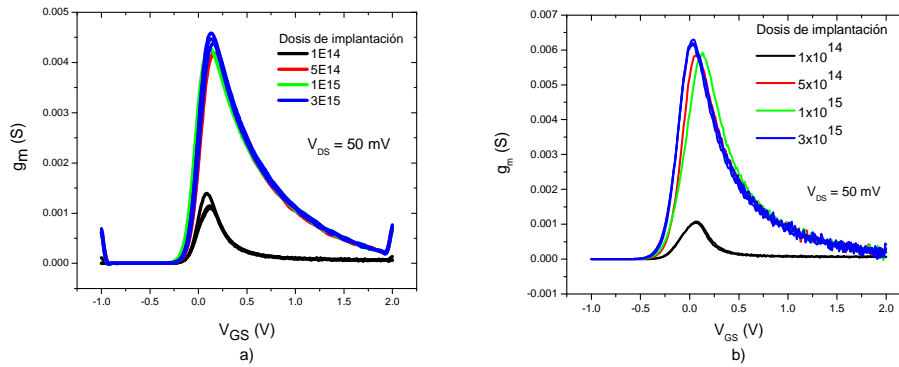


Figura 3.4. Gráfica g_m vs V_{GS} para $V_{DS}=50$ mV y V_{GS} en el rango de $[-1V, 2V]$, a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

De igual forma, se observa que a medida que la dosis de implantación aumenta, la transconductancia de los dispositivos se incrementa de manera significativa, alcanzando valores máximos de 4.5 y 6.5 mS para las longitudes de canal de 180 y 80 nm respectivamente. Además, se aprecia que un cambio en la dosis de 1×10^{15} a $3 \times 10^{15} \text{ cm}^{-2}$ no produce cambios en la corriente ni en la transconductancia. También se aprecia que, debido al comportamiento exponencial de la corriente en la región subumbral, se presenta un incremento súbito en la gráfica de transconductancia en ese rango de voltaje de compuerta; posteriormente, alcanza un máximo en aproximadamente 0.25 V y comienza a decaer a medida que V_{GS} aumenta. Dicho comportamiento se debe a que al aumentar el voltaje de compuerta, el campo eléctrico transversal en el canal se incrementa, lo cual reduce la movilidad de los portadores y dado que la transconductancia depende linealmente de este parámetro se ve directamente afectada, reduciendo su valor como lo muestran las figuras 3.4a) y 3.4b).

La figura 3.5 a) y b) muestran las curvas transferenciales en escala semilogarítmica, lo que permite ver la operación de estos dispositivos en régimen subumbral. Se observa un crecimiento exponencial de la corriente de drenador en esta región de operación.

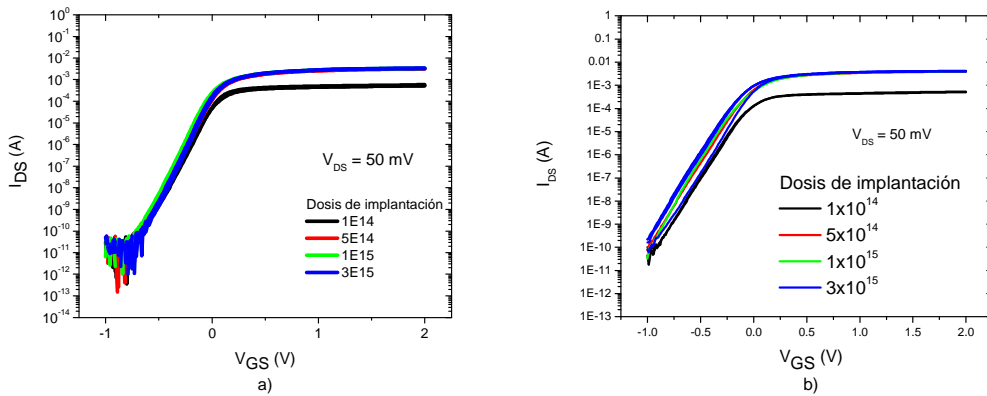


Figura 3.5. Curva transferencial para $V_{DS}=50$ mV y V_{GS} en el rango de [-1V, 2V], a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

Finalmente, la figura 3.6 muestra la variación de la pendiente subumbral respecto a la dosis de implantación. Claramente se observa que a medida que la dosis aumenta, S se reduce, lo que implica un mejor control de la corriente de fuga en el dispositivo.

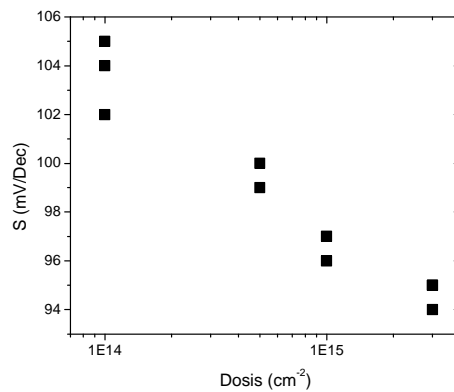


Figura 3.6. Comportamiento del parámetro S en función de la dosis de implantación, para el transistor de 180 nm de longitud de canal.

3.1.3 Característica transferencial en saturación.

Las figuras 3.7 a) y b) muestran la característica transferencial en saturación, con $V_{DS} = 1$ V. Las figuras 3.8 a) y b) muestra la curva de transconductancia vs V_{GS} .

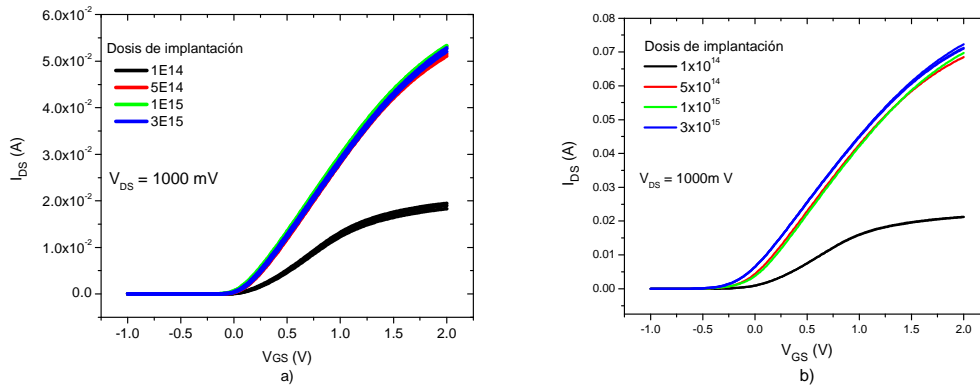


Figura 3.7. Curva transferencial para $V_{DS}=1\text{ V}$, a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En las figuras 3.7a) y 3.7b) se observa una diferencia en los niveles de I_{DS} al aumentar la dosis de implantación de $1 \times 10^{14}\text{ cm}^{-2}$ a $5 \times 10^{14}\text{ cm}^{-2}$, mientras que para dosis mayores dichos niveles varían muy poco.

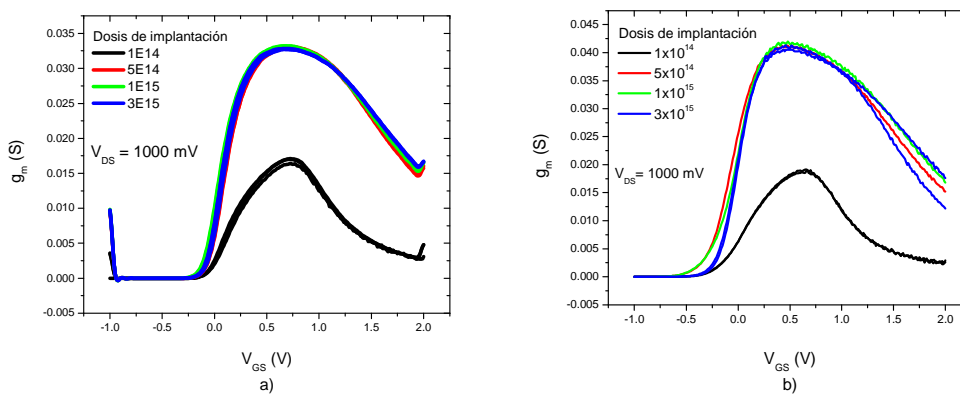


Figura 3.8. Curva de g_m para $V_{DS}=1\text{ V}$ y V_{GS} en el rango de $[-1\text{ V}, 2\text{ V}]$, a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

Como puede observarse, en la figura 3.8 se ve el comportamiento del parámetro de transconductancia en régimen de saturación. En este caso se muestra, una vez más, que a mayor dosis de implantación la transconductancia aumenta. En el caso de los transistores de 180 nm alcanza valores por encima de 30 mS, mientras que para los de 80 nm supera los 40 mS. También se aprecia una caída suave de la transconductancia, debido a la variación de la movilidad no sólo con respecto al campo producido por V_{GS} , sino también con respecto al generado por V_{DS} . Es decir, se suman los efectos de ambos campos, lo cual deteriora el parámetro de movilidad de manera importante.

El voltaje de Early (V_A) se obtuvo a través del cociente de I_{DS} entre el valor de g_d , para distintos valores de V_{GS} .

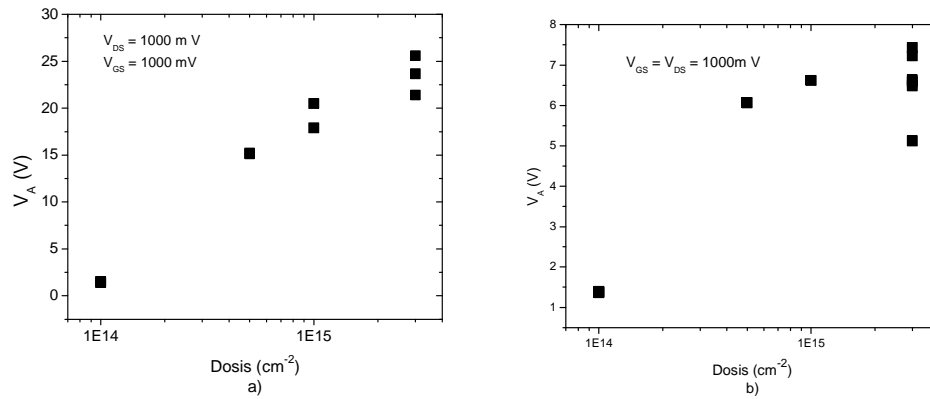


Figura 3.9. Voltaje de Early para distintas dosis de implantación. a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En la figura 3.9 se aprecia que al aumentar la dosis de implantación, el voltaje de Early aumenta. Esto implica que la variación de I_{DS} con respecto a V_{DS} es pequeña, a medida que la dosis se incrementa.

Para el cálculo de la ganancia se hizo uso de parámetros determinados previamente, únicamente se obtuvo la relación (g_m/I_{DS}), la cual se multiplicó por el valor V_A , para determinar la relación de la conductancia de salida con respecto a la de entrada y así conocer la ganancia del dispositivo.

Este parámetro se obtuvo para un valor de $V_{DS}=1 \text{ V}$ y se graficó con respecto a la corriente de drenador normalizada (I_{nom}).

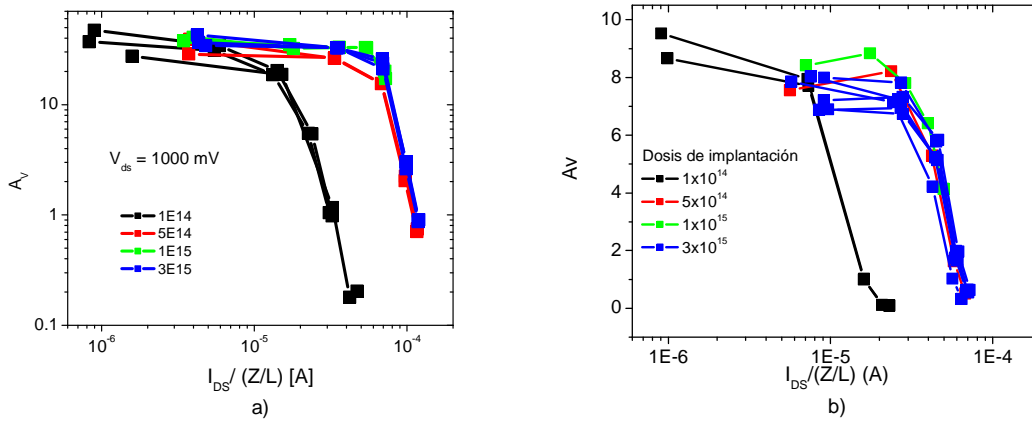


Figura 3.10. Gráfica ganancia A_v vs corriente normalizada $I_{DS}/(Z/L)$, a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En el caso de la ganancia se observa que al aumentar la dosis de implantación, dicho parámetro se mantiene constante en un rango de corriente mayor, lo cual resulta ser de gran utilidad para la implementación de este tipo de transistores.

3.2 PARÁMETROS DE DISTORSIÓN ARMÓNICA

Para la obtención de los parámetros de distorsión armónica se utilizó el método IFM. Gracias a él, se determinaron la distorsión armónica total (THD), así como el segundo y tercer armónico (HD2 y HD3), a partir de las características medidas en CD. Se asume que el voltaje aplicado a la compuerta corresponde a un nivel de CD junto con una señal senoidal de forma:

$$V_{GS} = V_0 + V_a \sin(\omega \cdot t) \quad (3.1)$$

Cabe señalar que este método de obtención de distorsión armónica es válido, tanto para el tipo de señal grande como para señal pequeña, ya que sólo se necesita normalizar las funciones en el rango de medición.

Las figuras 3.11 a) y b) muestran el segundo y tercer armónico, respectivamente, para el conjunto de transistores de 180 nm. La distorsión armónica se obtuvo mediante la curva transferencial para $V_{DS} = 0.5V$. Acorde con (3.1), se considera que $V_a = 250$ mV y V_0 varía desde 0.25 hasta 1.75 V.

Como puede verse, con dosis pequeñas en la zona de segregación y $V_{DS} = 0.5$ V, HD2 muestra un mínimo alrededor de 0.4 V, después sufre un incremento abrupto hasta tomar un valor cercano a -15 dB, después cae suavemente hasta casi -30 dB. En el caso de altas dosis de implantación, el mínimo de HD2 presenta un corrimiento a $V_{GS} = 0.5$ V y para valores mayores a 0.7 V se vuelve prácticamente constante con valores de -20 dB. De este modo se presenta una transición

alrededor de 1.2 V, por debajo de ese valor HD2 es menor a altas dosis de implantación y por arriba de 1.2 V HD2 es menor para la menor dosis de implantación.

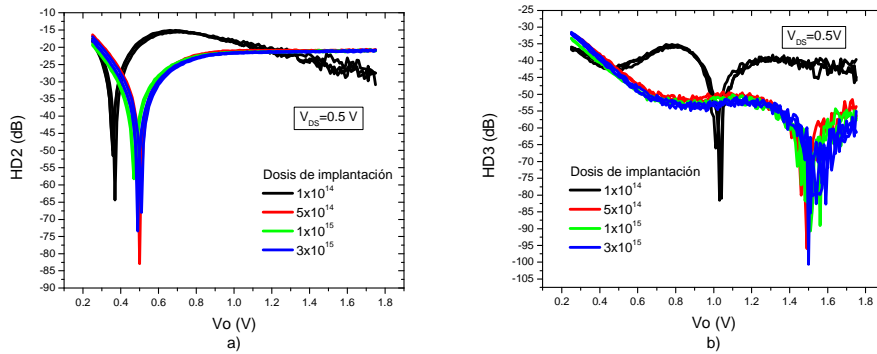


Figura 3.11. a) HD2, b) HD3 para $V_{DS}=0.5$ V con longitud de canal de 180 nm

Las figuras 3.12 a) y b) muestran el segundo y tercer armónico, respectivamente, para el conjunto de transistores de 180 nm, obtenidos mediante la curva transferencial para $V_{DS} = 1.0$ V.

En el caso del segundo armónico se observa un mínimo, alrededor de 0.7 V, prácticamente para todas las dosis de implantación. Sin embargo, a partir de ese valor (0.7 V), en el caso de las dosis pequeñas, se observa un incremento abrupto hasta -20 dB en 1.1 V, aproximadamente. Posteriormente, comienza a decaer suavemente por debajo de -20 dB. Mientras que las dosis mayores, presentan un incremento suave, alcanzando valores de aproximadamente -25dB a 1.75 V.

Para HD3, se aprecia un comportamiento similar entre las diferentes dosis de implantación. En el caso de las dosis pequeñas, se observa un mínimo en 0.5 V de poco más de -40 dB, posteriormente llega a un máximo a -35dB en 0.75 V y cae rápidamente hasta -80 dB a 1 V. Para voltajes mayores a 1 V, se observa un incremento abrupto hasta llegar a -40 dB en 1.25 V. Por otro lado, las curvas con altas dosis muestran un corrimiento del mínimo de aproximadamente 0.5V.

De las figuras. 3.11 y 3.12 se observa que en ambos casos, HD3 presenta valores menores con respecto a HD2, en prácticamente todo el rango de voltajes. Esto implica que la distorsión armónica total queda fundamentalmente definida por HD2. Sin embargo, para valores de V_0 de aproximadamente 0.5 V para $V_{DS} = 0.5$ V y de 0.7 V para $V_{DS} = 1.0$ V, se observa que el tercer armónico es superior al segundo. Es decir bajo estas condiciones específicas de operación, los SB-MOSFETs presentarán una distorsión debida al tercer armónico.

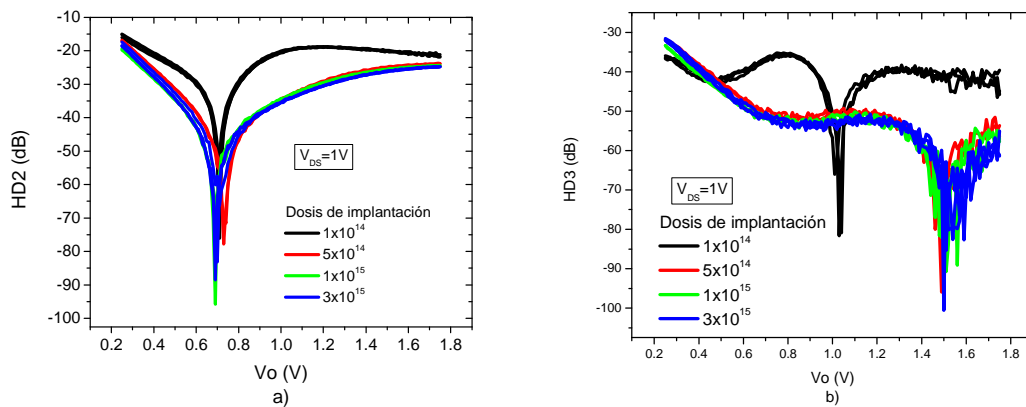


Figura 3.12. a) HD2, b) HD3 para $V_{DS}=1$ V y longitud de canal de 180 nm

De las figuras. 3.11 y 3.12, se puede observar lo siguiente:

- Para $V_{DS} = 1$ V, los parámetros de distorsión son menores que para $V_{DS} = 0.5$ V.
- En el caso de HD3, para ambos valores de V_{DS} , el mínimo de este armónico se presenta en $V_0 \approx 1$ V en el caso de dosis pequeñas y para dosis grandes en $V_0 \approx 1.5$ V.
- Se observa que, para $V_{DS}=1$ V, HD2 presenta un mínimo en $V_0 \approx 0.7$ V el cual se debe a que en ese valor de voltaje se presenta un punto de inflexión, en la función transferencia, por lo que la distorsión armónica total queda definida por HD3. En la figura 3.12b) se aprecia que para $V_0 \approx 0.7$ V, HD3 alcanza -50dB, aproximadamente. Mientras que para HD2 la distorsión se reduce hasta por debajo de -90dB, todo esto para dosis grandes. En el caso de implantaciones menores se aprecia un comportamiento similar, pero con valores de distorsión mayores.
- Para el caso de $V_{DS}=0.5$ V, se aprecia un comportamiento similar al descrito en el punto anterior, salvo que el mínimo en HD2 se presenta a un voltaje menor $V_0 \approx 0.5$ V para dosis de implantación grandes y para las pequeñas es de 0.3 V, aproximadamente.

La figura 3.13 muestra la distorsión armónica total, normalizada con respecto a la ganancia, para los dispositivos de 180 y 80 nm. En ambos casos THD, se grafica vs la razón g_m/I_{DS} , considerando una amplitud de la señal senoidal de 100 mV.

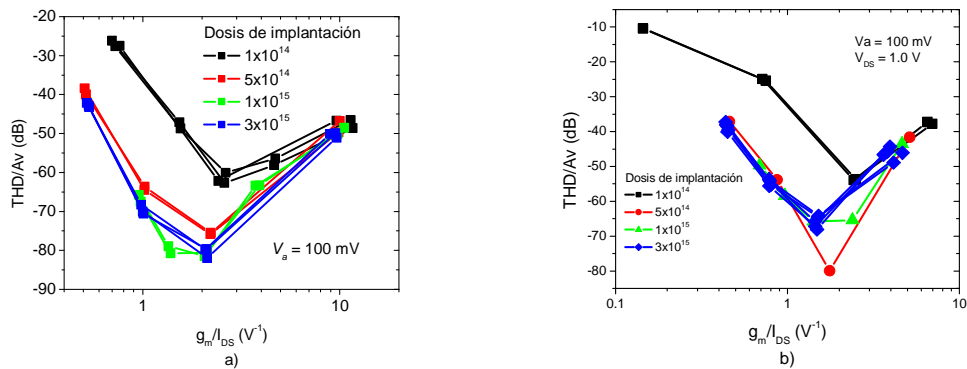


Figura 3.13. Gráfica THD/ A_v en función de g_m/I_{DS} . a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En la figura 3.13 a) se observa que para valores de g_m/I_{DS} menores a 2 V^{-1} , THD/ A_v presenta una reducción de aproximadamente 20 dB con altas dosis de implantación, respecto a la menor dosis. A medida que g_m/I_{DS} se aproxima a 10 V^{-1} , la distorsión armónica tiende a incrementar, y se vuelve prácticamente independiente de la dosis de implantación. Esto se debe a que en ese rango de valores el dispositivo se encuentra en condición de inversión moderada, por lo que la función transferencial tiende a un comportamiento exponencial y en consecuencia la distorsión armónica se incrementa. En el caso de valores menores a 1 V^{-1} la distorsión también se incrementa, ya que el transistor se encuentra en la región de inversión fuerte, en la cual su comportamiento es cuadrático.

En el caso del transistor de 80nm, se aprecia un comportamiento similar al de 180 nm, salvo que para g_m/I_{DS} menores a 2 V^{-1} , la reducción de THD es de aproximadamente 30 dB.

Finalmente, las figuras 14, 15 y 16 muestran la distorsión armónica total, el segundo y tercer armónico, respectivamente. Para estas gráficas, se utilizó un punto de polarización determinado y se varió la amplitud de la señal senoidal hipotética, de modo que se presentan los parámetros de distorsión respecto a V_a .

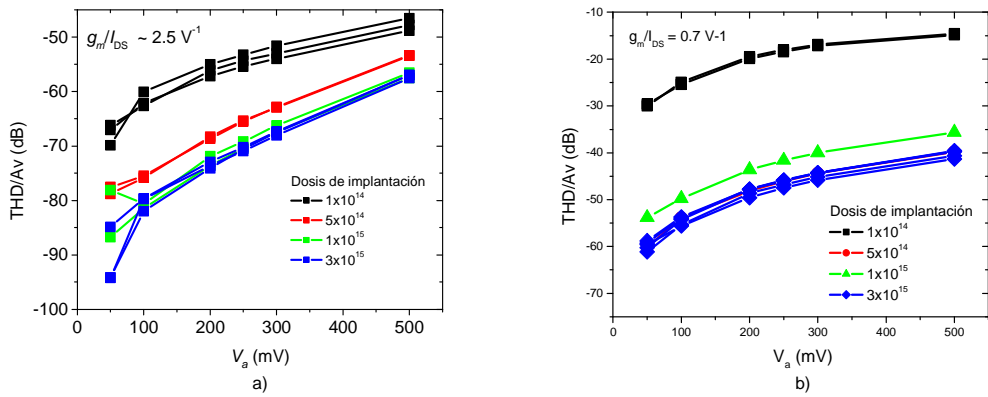


Figura 3.14. Gráfica THD/Av, en función de Va, para a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En la figura 3.14, se puede apreciar que para el transistor L=180 nm la distorsión armónica se va reduciendo, conforme la dosis se va incrementando, por alrededor de 20 dB, para valores de Va menores a 300 mV. Para valores de Va mayores a 300 mV, la diferencia de THD disminuye entre las distintas dosis de implantación.

En contraste con el dispositivo L=80 nm, es evidente la disminución de THD, entre la dosis menor y las mayores, de alrededor de 30 dB y este comportamiento se mantiene a medida que se incrementa el valor de Va.

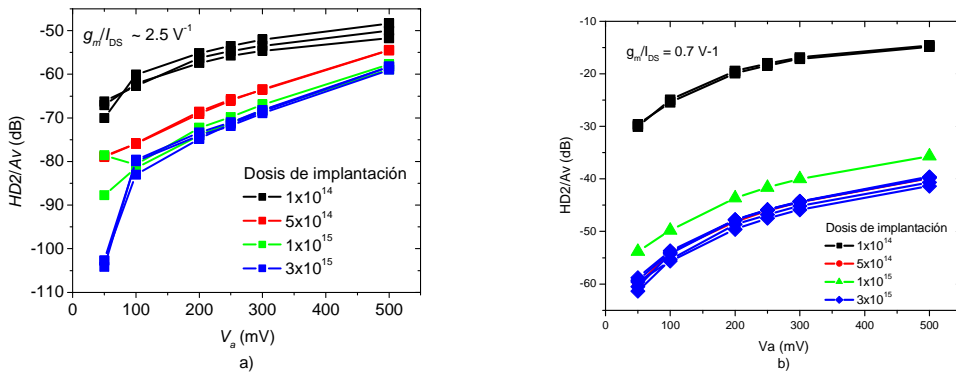


Figura 3.15. Gráfica HD2/Av en función de Va, para a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

En el caso del análisis del segundo armónico, el comportamiento es similar al de la distorsión armónica total.

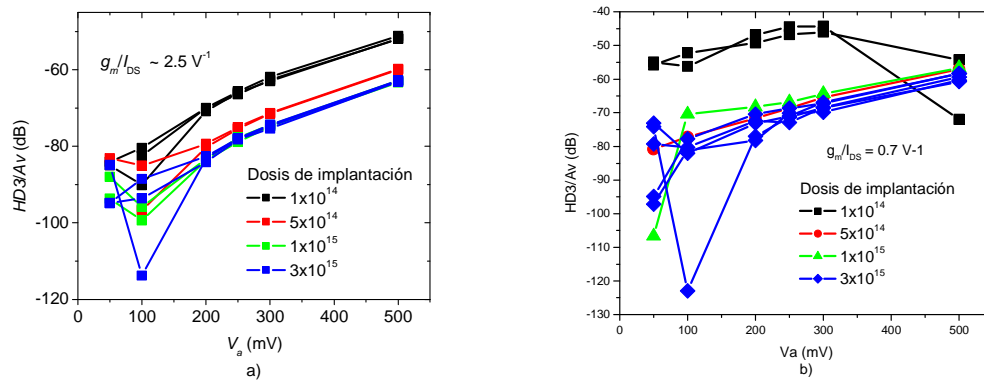


Figura 3.16. Gráfica HD3/ A_V en función de V_a , para a) Longitud de canal de 180 nm b) Longitud de canal de 80 nm.

La gráfica 3.16 muestra el análisis del tercer armónico. En este caso se observan algunas dispersiones, pero en general, la diferencia para los distintos valores de dosis de implantación no es tan significativa, en el caso del dispositivo $L=180 \text{ nm}$, como en el del transistor $L=80 \text{ nm}$, donde se observa una reducción de HD3 de 20 dB para valores de V_a menores a 300 mV.

CONCLUSIONES

De acuerdo a los resultados obtenidos mediante la extracción de parámetros en CD y el análisis de distorsión armónica de los transistores SB-MOSFET con región de segregación, se ha observado que el dopaje de la zona de segregación influye de manera importante en el desempeño de los dispositivos. Los resultados generales, indican que a medida que aumenta la dosis de implantación, diferentes parámetros presentan una mejora sustancial.

Los principales efectos observados, como resultado del incremento de la concentración de impurezas de la zona de segregación son:

- Mejora la característica de salida $I_{DS}-V_{DS}$.
- Se reduce el efecto tipo diodo de las características de salida, para valores pequeños de V_{DS} .
- Mejoran las características transferenciales $I_{DS}-V_{GS}$.
- Aumenta la transconductancia para V_{GS} mayores al V_T .
- Aumenta la conductancia de salida en la región de operación lineal.
- Se reduce la conductancia de salida en la región de operación en saturación.

- Se reduce la pendiente subumbral.
- Aumenta el voltaje de Early.

Por otra parte, una forma de evaluar la distorsión armónica es mediante la razón THD/A_V en función de g_m/I_D . En este sentido, se observa una reducción de la distorsión armónica total a medida que la dosis de implantación de la zona de segregación se incrementa, para razones g_m/I_{DS} pequeñas. A medida que g_m/I_{DS} aumenta, THD se ve incrementada y no hay diferencias significativas con las diferentes dosis de implantación. Esto implica que aumentar la dosis de implantación, mejoran las características de los transistores, cuando operan en régimen de inversión fuerte, dado que se presenta una menor distorsión. Por otro lado, bajo régimen de inversión moderada o débil, no hay cambios significativos al incrementar la dosis de implantación.

Adicionalmente, se puede observar que en general el segundo armónico es mayor que el tercero, por lo que la distorsión armónica total es fundamentalmente debida a HD2. Sin embargo en zonas muy específicas de operación se puede observar una distorsión total debida al HD3.

Finalmente, al graficar THD, HD2 y HD3 vs. la amplitud de la señal senoidal, se observa claramente que la distorsión armónica total se reduce sustancialmente al aumentar la dosis de implantación de la región de segregación. Para el dispositivo de 180 nm de longitud de canal, la reducción es de aproximadamente 20 dB para amplitudes pequeñas, mientras que el dispositivos de 80 nm la reducción es de aproximadamente 30 dB en todo el rango de V_a . En este mismo análisis se observa que para señales menores a 200 mV de amplitud, los dispositivos presentan el menor índice de distorsión armónica, lo cual proporciona un indicio de los alcances de esta tecnología, ya que al avanzar en el estudio de estos dispositivos este rango de operación se podría ampliar.

Aun queda mucho por hacer para conocer los alcances y limitaciones de este tipo de tecnología por ejemplo: conocer su desempeño para frecuencias altas, para dispositivos de canal corto, entre otros. Este trabajo es un primer paso para el estudio de transistores SB-MOSFET dentro de la UNAM, lo cual podrá servir como antecedente para futuros desarrollos.

BIBLIOGRAFÍA

- [1] Iwai, H. and Ohmi, S-I. "Silicon integrated circuit technology from past to future", *Microelectronics Reliability*, vol. 42, no.4, pp. 465-491, 2002.
- [2] Schwierz, F. and Liou, J. J. "RF transistors: Recent developments and roadmap toward", *Solid-State Electronics*, vol. 51, no. 8, pp. 1079-1091, 2007.
- [3] Raskin JP. "SOI technology: an opportunity for RF Designers?". *Journal of telecommunications and information technology*. 2009
- [4] Dennard, R. H.; Gaensslen, F. H.; Yu, H.-N.; Rideout, V. L.; Bassouts, E. and LeBlank, A. R. "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", *Solid-State Cir.* vol. 9, no. 5, pp. 256-266, 1974.
- [5] Iwai, H. "Roadmap for 22 nm and beyond", *Microelectron. Eng.*, vol. 86, no. 6-7, pp. 1520-1528, 2009

-
- [6] Schwierz, F. and Liou, J. J. "Semiconductor devices for RF applications: evolution and current status", *Microelectronics Reliability*, vol. 41, no. 2, pp. 145-168, 2001
- [7] Larson J.M, Snyder J.P. *Overview and status of metal S/D Schottky-Barrier MOSFET technology*. *IEEE Trans. Electron Devices*, Vol. 53, No. 5, May 2006
- [8] Valentin R.; Dubois R.; Raskin J.-P.; Larrieu G.; Dambrine G.; Lim T.-C.; Breil N. and Danneville F. "RF Small Signal Analysis of Schottky-Barrier p-MOSFET", *IEEE Trans. Electron Devices*, Vol. 55, No. 5, pp. 1192-1202, 2008
- [9] Urban C., Emam M., Sandow C., Zhao Q.-T., Fox A., Raskin J.-P. and Mantl S., "High-Frequency Performance of Dopant-Segregated NiSi SID SOI SB-MOSFETs", *Proceedings of the European Solid State Device Research Conference*, 2009. ESSDERC '09
- [11] Iwai, H. "CMOS downsizing toward sub-10 nm", *Solid-State Electronics* 48, pp. 497-503, 2004
- [12] Dubois E. and Larrieu G., "Measurement of low Schottky barrier heights applied to S/D metal-oxide-semiconductor field effect transistors", *J. Appl. Phys.*, vol. 96, no 1, pp. 729-737, Jul. 2004
- [13] Chin V. W. L, Storey J. W. V., and Green M. A., "Characteristics of p-type PtSi Schottky diodes under reverse bias", *J. Appl. Phys.*, vol 68, pp. 4127-4132, Oct. 1990
- [14] Zhu S., Chen J., Li M. F., Lee S. J., Singh J., Zhu C. X., Du A, Tung, Tung C. H., Chin A., and Kwong D. L., "N-type Schottky barrier S/D MOSFET using Ytterbium silicide", *IEEE Electron Device Lett.*, vol. 25, no. 8, pp. 565-567, Aug. 2004
- [15] Jang M., Kim Y., Shin J., and Lee S. "Characterization of erbium-silicided Schottky diode junction", *IEEE Electron Device Lett.*, vol 26, no. 6, pp. 354-356, Jun. 2005
- [16] Kinoshita A. "Dopant-Segregated Source/Drain Technology for High-Performance CMOS". *IEEE* 2008
- [17] Babarada F., Profirescu M. D., Dunare C., "MOSFET distortion analysis including series resistances modelling aspects", *IEEE* 20004
- [18] Cerdeira A., Alemán Miguel A., *et al*, "Integral function method for determination of nonlinear harmonic distortion", *Solid-State Electronics*, vol 48, pp. 2225-2234, 2004
- [19] Cerdeira A., Quintero R., *et al*, "Generalization of the Integral Function Method to Evaluate Distortion in SOI FD MOSFET", *Proceedings of the 23rd International Conference on Microelectronics* , vol. 2, MIEL 2002
- [20] Cerdeira A., Estrada M., *et al*. "New method for determination of harmonic distortion in SOI FD transistors", *Solid-State Electronics*, vol. 46, pp. 103-108, 2002
- [21] Zhang M., Knoch J., *et al*. "Schottky barrier height modulation using dopant segregation in Schottky-barrier SOI-MOSFETs", *Proceedings of ESSDERC*, Grenoble, France, 2005
-

[22] Pearman D.J., Pailloncy G., et al. "Static and High-Frequency Behavior and Performance of Schottky-Barrier p-Mosfet Devices." IEEE Trans. Electron Devices, Vol. 54, No. 10, October 2007

[23] Tucker J.R. "Schottky barrier MOSFETs for silicon nanoelectronics". IEEE 1997

[24] Urban, C., Zhao Q.-T., et al. "Schottky Barrier Height Modulation by Arsenic Dopant Segregation", pp. 151-154, IEEE 2008

[25] Tyagi M.S. "Introduction to semiconductor Materials and devices" John Wiley & Sons, USA 1991

[26] Sze S.M., Ng K.K. "Physics of semiconductor devices" Third edition, Wiley-Interscience, USA 2007

[27] Li S.S. "Semiconductor physical electronics". Second edition, Springer, USA 2006

[28] Grove A.S. "Physics and Technology of Semiconductor Devices". John Wiley & Sons, USA 1967