

# 4. RESULTADOS.

## 4.1. Inmunidad a los Efectos de Canal Corto.

Se ha destacado que los FinFETs de triple compuerta, se presentan como candidatos muy buenos para reemplazar a los transistores MOSFET estándar, para las futuras generaciones o nodos tecnológicos. El uso de tres compuertas de manera simultánea sobre el canal, permite reducir los efectos de canal corto y por lo tanto recuperar el correcto desempeño de los transistores.

En las siguientes graficas se comparan los FinFETs contra otras tecnologías de transistores.

Las Figuras 4.1 a) y b), muestran las características de salida, para un transistor FinFET de 3 compuertas y un transistor de una compuerta (SG: Single-Gate), respectivamente. Ambos transistores tienen una longitud de canal de 60 nm. Como puede verse, el transistor SG, muestra una pendiente muy pronunciada de la corriente de drenador, de modo que la zona de saturación no se aprecia adecuadamente, clara muestra de la degradación de los SCE. Por otro lado, en el caso del FinFET, la zona de saturación se observa claramente, demostrando un mucho mejor control de los SCE.

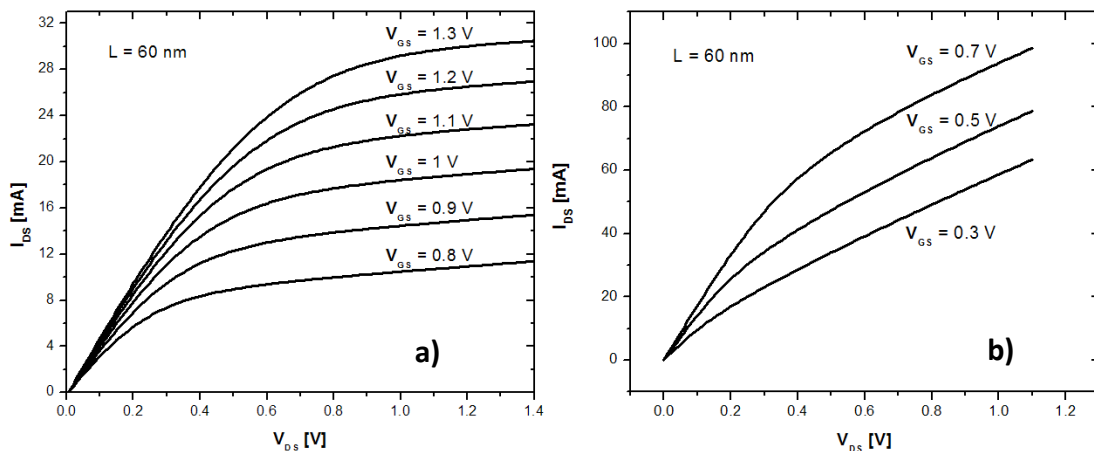


Figura 4.1. Características de salida para transistores FinFET de tres compuertas (a) y para transistores de una compuerta SG (b).

Adicionalmente, la Figura 4.2, muestra la característica transferencial en régimen lineal para los FinFETs con diferente longitud de canal y transistores SG.

Como se puede ver claramente, en el caso de los FinFETs en régimen sub-umbral, un decremento de  $V_{GS}$  de 0.4 a 0.2 V produce una caída abrupta en la corriente de drenador de varios órdenes de magnitud, aún para dispositivos de 60 nm de longitud de canal. Por otro lado, los SG muestran una corriente de fuga muy elevada, de modo que una reducción en  $V_{GS}$  de 0.4 a 0 V solo reduce  $I_{DS}$  en un orden de magnitud para el transistor de 120 nm de longitud de canal, en el caso del transistor de 60 nm es aún más limitada la caída de la corriente.

Esto muestra de manera evidente que en los transistores SG la compuerta tiene muy poco control sobre la corriente de drenador, y por tanto una fuerte degradación por los SCE, por el contrario en los FinFETs la corriente es modulada de manera efectiva por la compuerta, dando cierta inmunidad a los SCE.

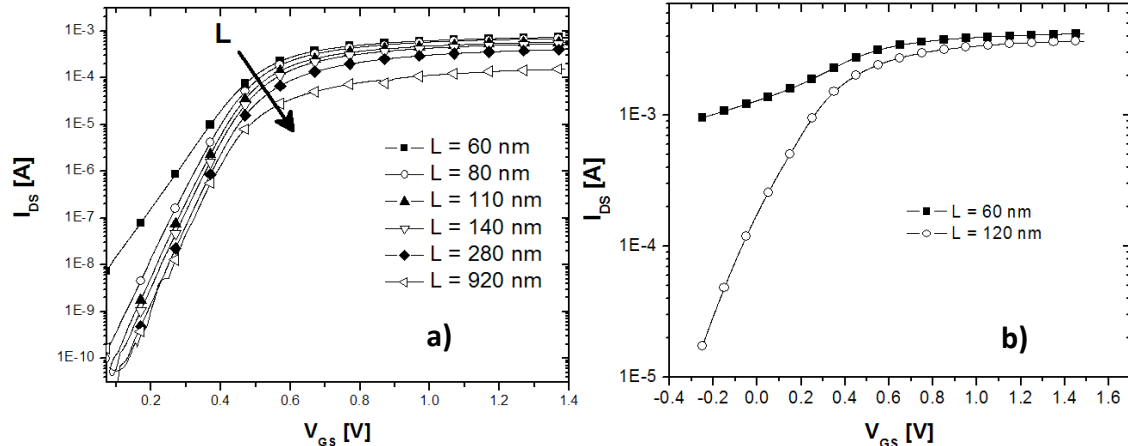


Figura 4.2. Grafica de  $I_{DS}$ - $V_{GS}$  para los FinFETs de diferente longitud de canal (a). Grafica  $I_{DS}$ - $V_{GS}$  para transistores de una compuerta (b).

Finalmente, la Figura 4.3 muestra una comparación del voltaje de umbral para diferentes tipos de MOSFETs: FD-SOI (medición y simulación) [27], [28], DG (simulación) [28] y TG-FinFET (medición y simulación) [29].  $V_T$  está normalizado respecto al  $V_T$  del dispositivo de mayor longitud ( $V_{TLong}$ ), a fin de poder comparar adecuadamente los resultados.

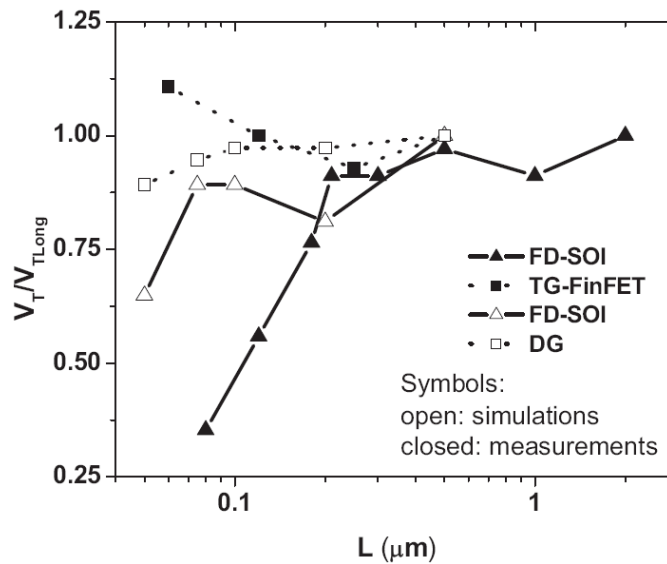


Figura 4.3.  $V_T$  para diferentes tipos de MOSFETs,  $V_{TLong}$  corresponde al  $V_T$  de mayor longitud de cada tecnología [25].

Como puede observarse, las tecnologías de una compuerta, tales como los FD-SOI, muestran una fuerte degradación a medida que la longitud del canal se reduce, lo cual se muestra como una caída importante del  $V_T$ . Por otro lado los transistores de más de una compuerta mejoran significativamente la estabilidad del  $V_T$ . Por otra parte, los transistores de varias compuertas, tienen un mejor comportamiento del voltaje de umbral, dando mayor estabilidad en su desempeño.

## 4.2. Dependencia de los Parámetros de Pequeña-Señal con L.

En la siguiente tabla se resumen los parámetros obtenidos para los FinFETs bajo análisis.

Parámetro	R <sub>se</sub> [Ω]	R <sub>de</sub> [Ω]	R <sub>ge</sub> [Ω]	g <sub>m</sub> [mS]	g <sub>d</sub> [mS]	C <sub>gs</sub> [fF]	C <sub>gd</sub> [fF]	C <sub>ds</sub> [fF]	
L [nm]	60	4.6	7.13	8.5	47.8	5.6	59.2	33	58.4
	80	4.8	6.84	7.22	52	5	69.3	36.5	48.5
	110	5.7	7.96	10.88	49	2.8	88	41	40
	140	5.6	7.86	6.08	46	3	103	47.5	36.6
	280	5.85	7.65	5.42	23.4	0.87	200	38	25.7

Las dependencias con la longitud (L) del canal son las siguientes:

- Las resistencias R<sub>se</sub>, R<sub>de</sub> y R<sub>ge</sub> no tienen variaciones importantes, debido a que se relacionan en gran medida con la longitud del fin, es decir, se deben a las regiones que unen la compuerta con el surtidor y el drenador, que para todos los transistores se mantiene constante.
- La transconductancia disminuye al aumentar L.
- La conductancia disminuye al aumentar L.
- Las capacitancias C<sub>gs</sub> y C<sub>gd</sub> aumentan con el incremento de L.
- La capacitancia C<sub>ds</sub> disminuye con el incremento de L.

De acuerdo a lo anterior, al reducir la longitud del canal hay un aumento en la transconductancia y conductancia, se ve evidente que los FinFETs controlan adecuadamente los SCE, observándose buenas características de salida en los transistores de canal muy corto.

Para poder observar el desempeño de los transistores en alta frecuencia hay algunas figuras de mérito importantes que a continuación se describen.

*Figuras de mérito para transistores de alta frecuencia.*

Las figuras de mérito que comúnmente se usan para describir el funcionamiento de los MOSFET en alta frecuencia son: la frecuencia de corte de la ganancia de corriente (f<sub>T</sub>) y la máxima frecuencia de oscilación (f<sub>max</sub>) [13].

La frecuencia de corte f<sub>T</sub> puede ser definida como la frecuencia a la cual la ganancia de corriente disminuye hasta 1 (0 dB) [13]. Basándose en el circuito equivalente de pequeña-señal, puede ser descrita por la siguiente expresión:

$$f_T = \frac{g_{mi}}{2\pi} \frac{1}{(C_{gs} + C_{gd})(1 + g_{di}R_{se}) + C_{gd}g_{mi}R_{se}} \quad (4.1)$$

De esta ecuación se puede observar que f<sub>T</sub> es fuertemente reducida por la resistencia del surtidor extrínseca R<sub>se</sub>. En la literatura, la frecuencia de corte intrínseca f<sub>c</sub>, que mide la habilidad intrínseca de un MOSFET para amplificar señales de alta frecuencia [13], se define como:

$$f_c = \frac{g_{mi}}{2\pi} \frac{1}{C_{gs}} \quad (4.2)$$

La máxima frecuencia de oscilación se define como la frecuencia a la cual el dispositivo aún proporciona potencia para operar de forma estable [13], se define como:

$$f_{max} = \frac{f_T}{2\sqrt{2\pi f_T R_{gs} C_{gd} + g_{di}(R_{ge} + R_{se})}} \quad (4.3)$$

Se puede ver que esta ecuación es directamente proporcional a  $f_T$  y es afectada fuertemente por las resistencias extrínsecas de la compuerta y el surtidor.

Las frecuencias obtenidas a partir de las mediciones de los parámetros S se muestran a continuación:

Parámetro	$f_T$ [GHz]	$f_{max}$ [GHz]
L [nm]	60	76.2
	80	73.17
	110	63.8
	140	48.1
	280	21.7

La Figura 4.4 muestra la gráfica de la frecuencia de corte contra la longitud del canal.

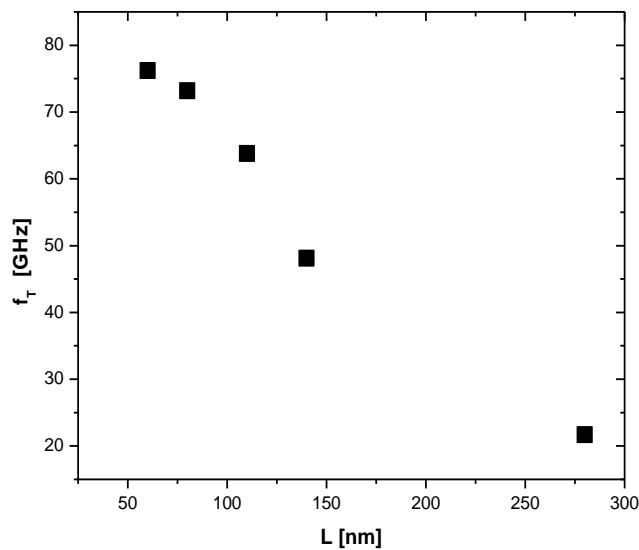


Figura 4.4. Frecuencias de corte en función de la longitud del canal.

De igual forma, las frecuencias obtenidas a partir de los parámetros del modelo de circuito equivalente de pequeña-senal, de acuerdo a las formulas (4.1)-(4.3), se muestran en la siguiente tabla:

Parámetro	$f_T$ [GHz]	$f_c$ [GHz]	$f_{max}$ [GHz]
L [nm]	60	74.708	129
	80	70.465	119
	110	54.723	88.6
	140	44.299	71.1
	280	15.237	18.6

Como puede observarse tanto en las tablas anteriores, como en la Figura 4.4, las frecuencias de corte de los transistores se ven incrementadas a medida que se reduce la longitud del canal. Sin embargo, los elementos parásitos tienden a degradarlos con mayor efecto, siendo las capacitancias y resistencias parasitas el principal factor.

En la Figura 4.5 se muéstrala la tendencia teórica y los valores obtenidos de la frecuencia de corte. Se muestran representados contra  $1/L^2$  para hacer evidente el efecto de los elementos parásitos al trabajar a frecuencias muy altas.

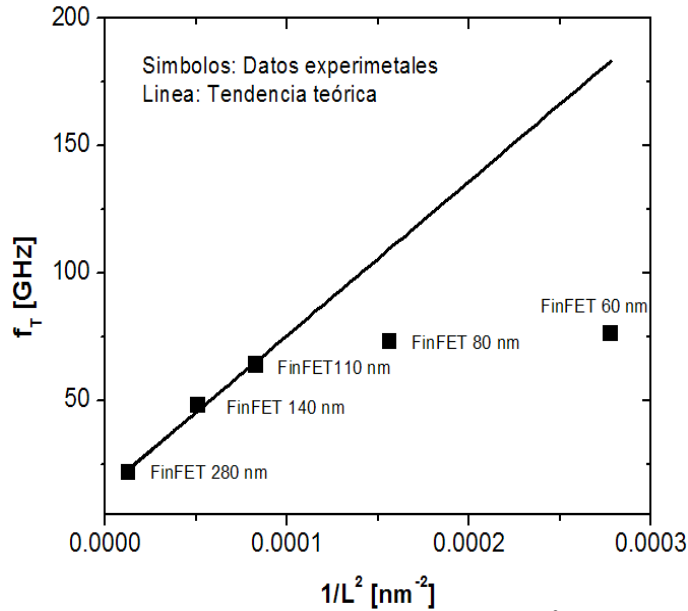


Figura 4.5. Frecuencia de corte contra  $1/L^2$ .

De la Figura 4.5 se puede observar que al reducir la longitud del canal los efectos parásitos tienen mayor efecto, produciendo una saturación en la frecuencia de operación de los transistores. Estos efectos indeseados que afectan la frecuencia de operación son la principal limitación de los transistores FinFET. De este modo, en la Figura 4.6 se compara la frecuencia de corte de transistores FinFET y MOSFET Single Gate de diferente longitud de canal.

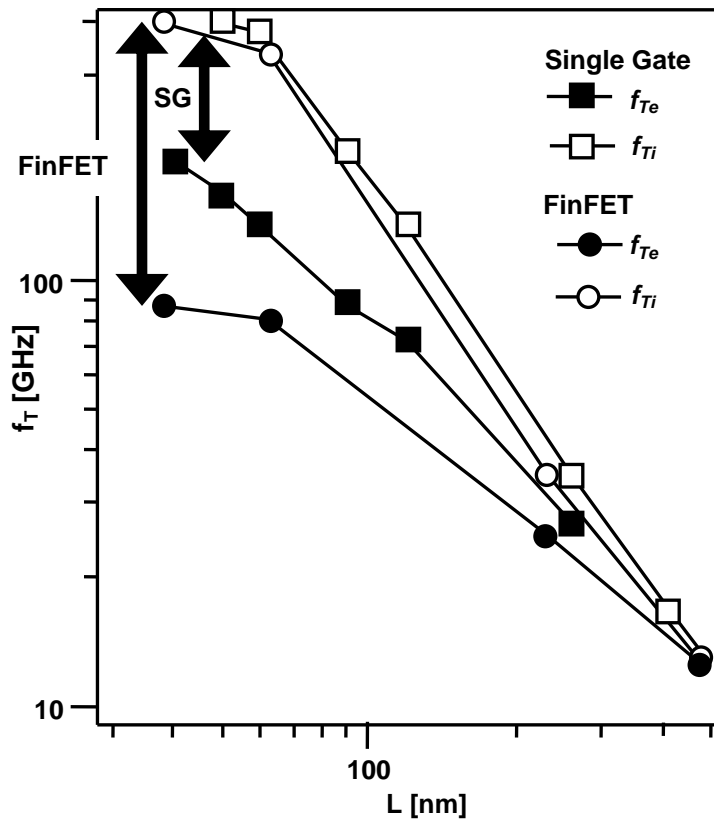


Figura 4.6. Frecuencia de corte intrínseca ( $f_{Ti}$ ) y extrínseca ( $f_{Te}$ ) de transistores FinFET y MOSFET SG en función de la longitud del canal [1].

En la Figura 4.6, la frecuencia de corte intrínseca ( $f_{Ti}$ ) representa la frecuencia de corte sin los efectos parásitos, que para ambos transistores sigue una tendencia casi igual. Sin embargo, la frecuencia de corte extrínseca ( $f_{Te}$ ), donde se introducen los efectos parásitos, en los transistores MOSFET SG se ve afectada en menor medida que en los transistores FinFET, en donde los efectos parásitos son más degradantes al ir reduciendo la longitud del canal.

En la Figura 4.7 se muestra un esquema en 3-D de un FinFET compuesto por dos fin's [25]. Las capacitancias más importantes están representadas para observar mejor su efecto.

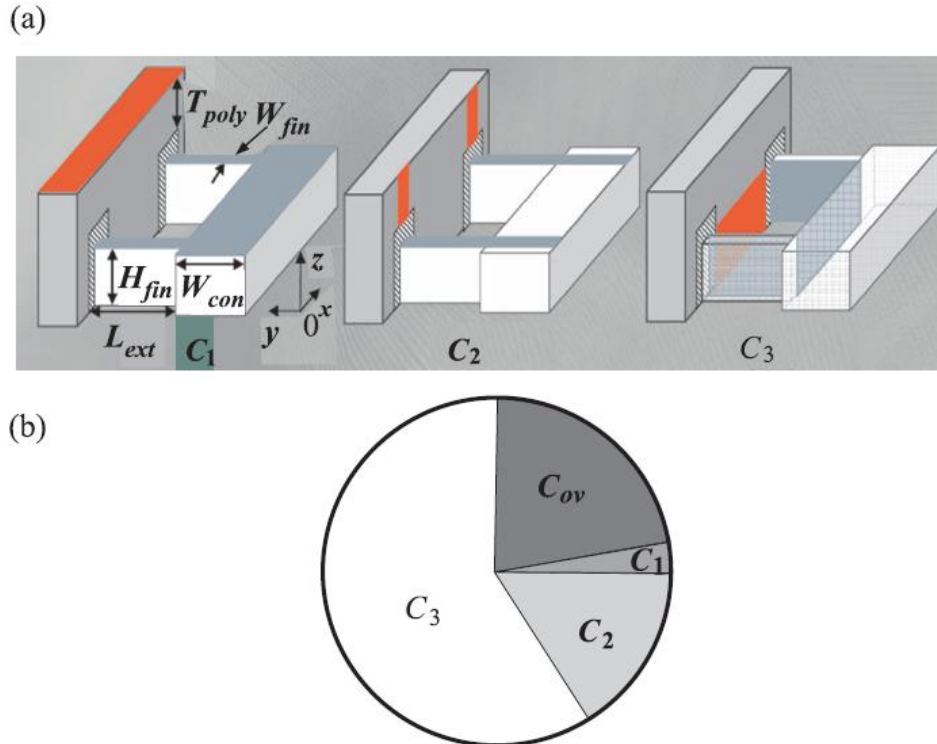


Figura 4.7. Representación esquemática en 3-D de un FinFET de dos fin's [1].

Las capacitancias parásitas se pueden dividir en tres partes diferentes [26]:

- $C_1$  es la capacitancia asociada a la franja de campo eléctrico de la parte superior del electrodo de compuerta a la parte superior de los fin's (Figura 4.7 a).
- $C_2$  es la capacitancia asociada a la franja de campo eléctrico del muro del electrodo de compuerta a la parte superior de los fin's (Figura 4.7 a).
- $C_3$  es la capacitancia asociada a la unión entre el electrodo de compuerta y las regiones internas de los fin's (Figura 4.7 a).

La capacitancia total extrínseca es la suma de las tres capacitancias ( $C_1$ ,  $C_2$  y  $C_3$ ) y las capacitancias de traslape ( $C_{ov}$ ) entre el electrodo de compuerta y las regiones surtidor/drenador [25]. La contribución relativa de cada parte se muestra en la Figura 4.7 b, donde la capacitancia  $C_3$  muestra mayor importancia.

De lo anterior, es posible deducir que los SCE son menores mediante el uso de fin's muy estrechos, sin embargo, esto produce un incremento en las resistencias parásitas del surtidor y drenador ( $R_{se}$  y  $R_{de}$ ). Como las resistencias inducen una reducción general en la corriente del drenador,  $g_m$  y por lo tanto  $f_T$  también disminuyen [25].

En general, las capacitancias extrínsecas son las que tienen mayor efecto en el desempeño de los transistores FinFETs.

Para concluir, se ve evidente que para mejorar el rendimiento de los FinFETs en frecuencias muy altas es necesario reducir tanto como sea posible el impacto de las resistencias y capacitancias extrínsecas. Esto se puede lograr a través de una optimización de las dimensiones de los fin's (ancho, altura y espaciado entre fin's).