

3. CARACTERIZACIÓN DE FinFETs.

Una de las alternativas más prometedoras para reducir los efectos de canal corto son las estructuras de múltiples compuertas, y entre ellas está el FinFET de tres compuertas con el que se trabajó en esta tesis. Por esta razón se describirán a continuación las características más importantes del FinFET.

El transistor FinFET de tres compuertas consiste básicamente en la estructura que se muestra en la Figura 3.1. Estos dispositivos se construyen sobre un sustrato SOI (Silicon-On-Insulator) [1], como puede verse en la Figura 3.1 la compuerta se coloca a los tres lados del canal, envolviéndolo, de modo que se producen tres compuertas activas alrededor del canal. Estos dispositivos reciben el nombre genérico "FinFETs" porque la capa de silicio activa entre el drenador y el surtidor tiene forma de "fin" proveniente de finger, del inglés dedo [24], como se ve en la Figura 3.2.

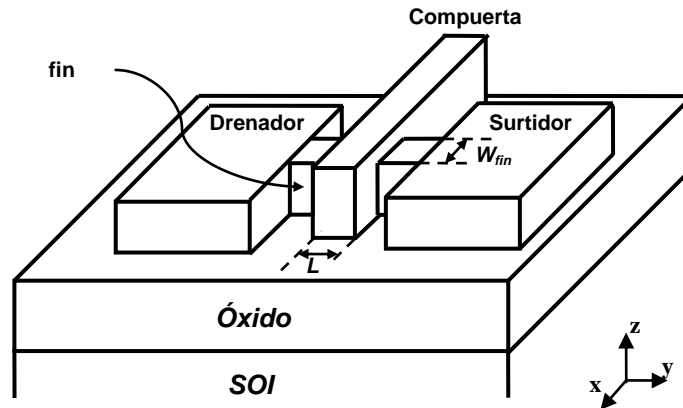


Figura 3.1. Estructura básica del FinFET.

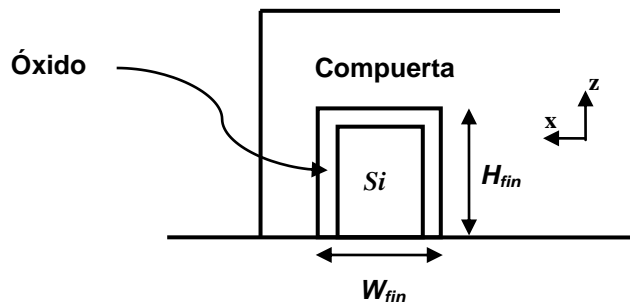


Figura 3.2. Sección transversal del fin.

Un sustrato SOI consiste de una película muy fina de silicio cristalino del orden de 50 a 100 nm (dependiendo del tipo de tecnología), la cual es depositada sobre una capa relativamente gruesa de óxido de silicio, normalmente conocido como óxido enterrado o BOX (Buried Oxide). Finalmente el óxido se coloca sobre el sustrato de silicio. Los sustratos de silicio tienen varios cientos de micras de espesor, por lo que producen efectos parásitos que degradan de manera importante el desempeño de los transistores. El uso de sustratos SOI permite aislar eléctricamente al sustrato, reduciendo significativamente los efectos parásitos y por tanto mejorando el desempeño de los transistores.

El FinFET mostrado en la Figura 3.1 consiste de un transistor de un solo fin, no obstante existen estructuras cuyo número de fin's es superior, tal y como se puede observar en la Figura 3.3.

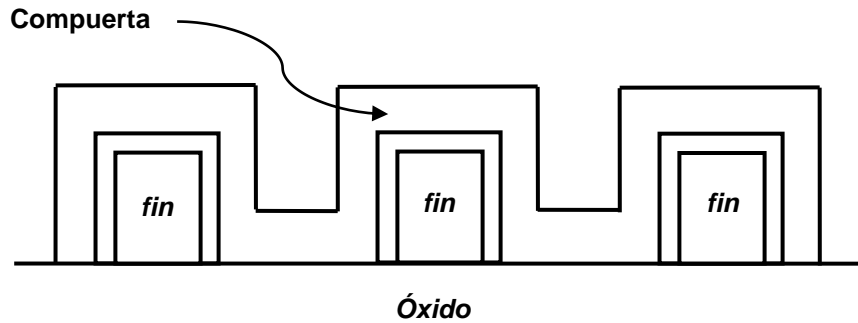


Figura 3.3. Sección transversal de un FinFET con múltiples fin's.

Los transistores para aplicaciones de RF requieren, entre otras cosas, optimizar sus frecuencias máximas de operación, para ello se requiere de dispositivos con longitudes de canal muy pequeñas y anchos muy grandes. Desde el punto de vista tecnológico es difícil realizar un dispositivo con estas características, además de que implica una pérdida importante de área de silicio. Por estos motivos, se desarrollaron las configuraciones multifingers (multidedos). Con esta configuración, se ponen varias compuertas idénticas en paralelo (llamadas dedos o fingers) y se interconectan de modo que se comportan como pequeños transistores en paralelo. De esta forma, el ancho total del dispositivo es la suma de los anchos de todos los fingers.

Adicionalmente se observó que esta estructura permitía reducir las resistencias parásitas, por lo que se comenzó un proceso de optimización, buscando maximizar las frecuencias de operación de los transistores y minimizando las resistencias parásitas. En el caso de los FinFETs, se aprovecha esta experiencia a fin de fabricar transistores con múltiples fin's en paralelo, buscando optimizar su desempeño.

La caracterización de los FinFETs, en este trabajo, se realizó mediante mediciones experimentales de dispositivos canal n, todos los dispositivos fueron fabricados en un sustrato SOI con una capa de óxido enterrado de 145 nm. Los transistores se fabricaron bajo la configuración multi-finger, consistente de 50 fingers, donde cada finger tiene 6 fin's en paralelo y la altura del fin es de 60 nm. Finalmente la estructura MOS consiste de una capa de oxinitruro de silicio (SiON) con espesor equivalente de 2 nm [1] sobre la cual se deposita una capa de 5 nm de nitruro de titanio (TiN) y sobre esta última una capa de 100 nm de silicio policristalino. Se utilizaron dos arreglos de dispositivos:

- L-array: Consiste de un juego de transistores con el mismo ancho de fin de 27 nm y diferentes longitudes de canal cuyos valores son: 60, 80, 110, 140 280 y 920 nm.
- W-array: Consiste de un juego de transistores con la misma longitud de canal de 60 nm y diferentes anchos de fin cuyos valores son: 20, 90 y 400 nm

Con estas mediciones se observó la variación de los parámetros del circuito equivalente de pequeña señal en función de la geometría del transistor, a fin de tener en cuenta el desempeño del transistor al diseñar un circuito.

3.1. Caracterización en Corriente Directa.

Las caracterizaciones de CD, se realizaron a través de mediciones corriente-voltaje (I-V), bajo diferentes condiciones de operación, a fin de obtener los parámetros de CD, deseados.

Básicamente se utilizaron tres condiciones de polarización:

1. Característica transferencial en régimen lineal: Consiste en una medición de corriente de drenador-surtidor vs. Voltaje compuerta-surtidor (I_{DS} vs V_{GS}) para un voltaje drenador-surtidor (V_{DS}) constante de 20 mV.
2. Característica transferencial en régimen de saturación: Consiste en una medición de corriente de drenador-surtidor vs. Voltaje compuerta-surtidor (I_{DS} vs V_{GS}) para un voltaje drenador-surtidor (V_{DS}) constante de 1.1 V.
3. Característica de salida: Consiste en una medición de corriente de drenador-surtidor vs. Voltaje drenador-surtidor (I_{DS} vs V_{DS}) para varios valores de voltaje compuerta-surtidor (V_{GS}), los valores de V_{GS} utilizados fueron de 0.8 a 1.3 V con intervalos de 0.1 V.

Los principales parámetros que se analizaron fueron: Voltaje de umbral (V_T), transconductancia (G_m) y conductancia de salida (G_d).

3.1.1. Característica transferencial en régimen lineal.

Las Figuras 3.4 y 3.5 muestran la característica transferencial en régimen lineal para los transistores con diferentes longitudes de canal y anchos de fin, respectivamente.

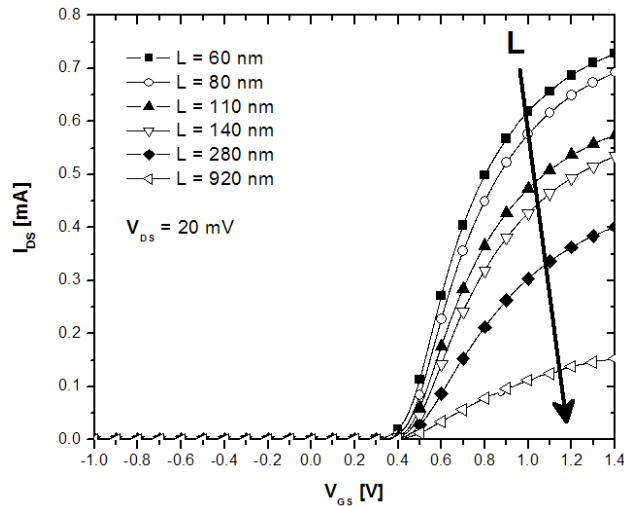


Figura 3.4. I_{DS} - V_{GS} para las diferentes longitudes de canal.

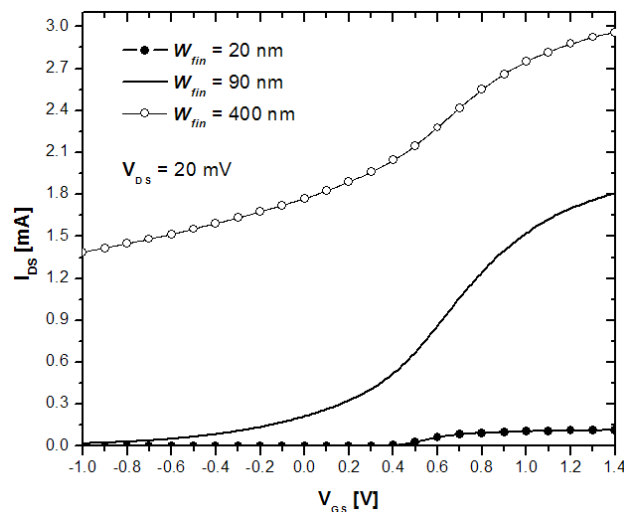


Figura 3.5. I_{DS} - V_{GS} para los diferentes anchos de fin.

Como puede verse claramente, a medida que disminuye la longitud del canal, aumenta la corriente del drenador, por otro lado, a medida que se incrementa el ancho del fin, se incrementa la corriente del drenador.

Mediante esta característica, es posible determinar el voltaje de umbral, mediante las fórmulas:

$$V_T = \left. \frac{d^2 I_{DS}}{dV_{GS}^2} \right|_{= \text{máximo}} \quad (3-1)$$

$$V_T = \left. \frac{d^3 I_{DS}}{dV_{GS}^3} \right|_{= 0} \quad (3-2)$$

Se utilizó el método descrito en la ecuación (3-2) a partir de las graficas presentadas anteriormente. A continuación se muestran los valores obtenidos:

Parámetro	V_T [V]	
L [nm]	60	0.45737
	80	0.46096
	110	0.46059
	140	0.46333
	280	0.46403
	920	0.45962
W_{fin} [nm]	20	0.43761
	90	0.42415
	400	0.46382

Las graficas de V_T en función de L y W, se muestran en las Figuras 3.6 y 3.7 respectivamente.

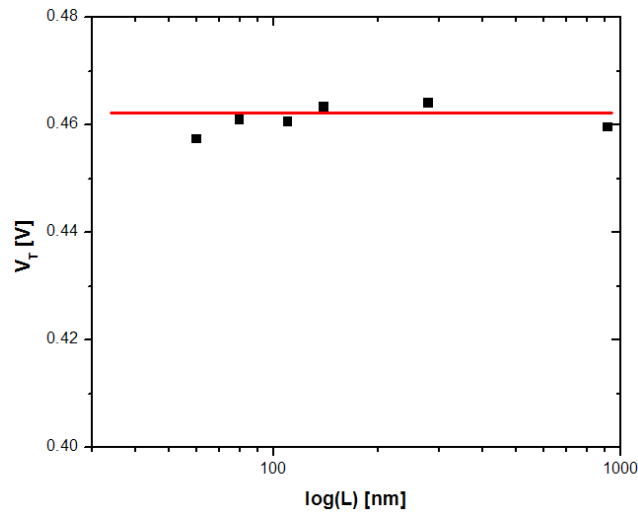


Figura 3.6. Voltaje de umbral en función de la longitud del canal.

En la Figura 3.6 se puede observar que el voltaje de umbral prácticamente se mantiene en un valor constante. Como se puede deducir de la ecuación (1-65) vista en el Capítulo 1, se tiene:

$$V_T = 2\varphi_F + V_{FB} + \gamma\sqrt{2\varphi_F} \quad (3-3)$$

Lo cual confirma que V_T es independiente de la longitud de canal. Además se observa que los efectos de canal corto no producen efectos significativos en el voltaje de umbral, verificando que estos FinFETs son afectados en menor medida por los SCE.

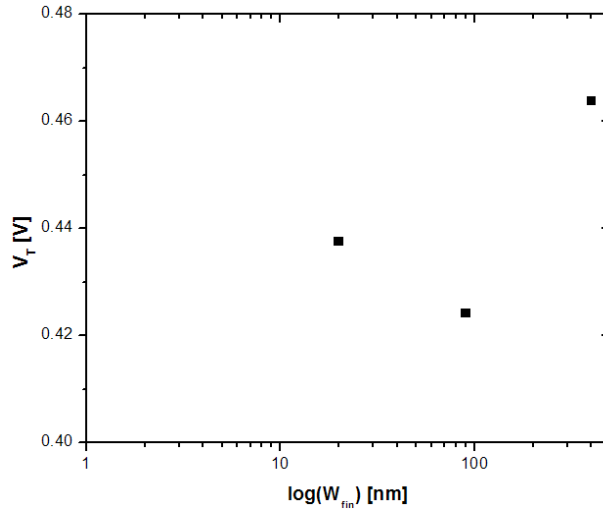


Figura 3.7. Voltaje de umbral en función del ancho del fin.

Por otro lado, en la Figura 3.7, se observa que el V_T se ve ligeramente afectado a medida que se reduce el ancho del fin, esto se debe a que al hacer al dispositivo con fin's muy angostos, comienza a observarse cierta degradación de sus características, esta degradación consiste en cierta pérdida de control por parte de la compuerta de la densidad de carga en el canal, lo que implica una reducción del V_T .

En el Capítulo 1, se analizó el parámetro pendiente sub-umbral S como una medida para observar el efecto de los SCE de los transistores. En la siguiente tabla se muestran los valores de S obtenidos para los FinFETs de diferente longitud de canal:

L [nm]	S [mV/Dec]
60	98.48
80	68.64
110	66.19
140	65.41
280	65.01
920	64.43

En la Figura 3.8 se muestra la grafica de S para los transistores con diferente longitud de canal.

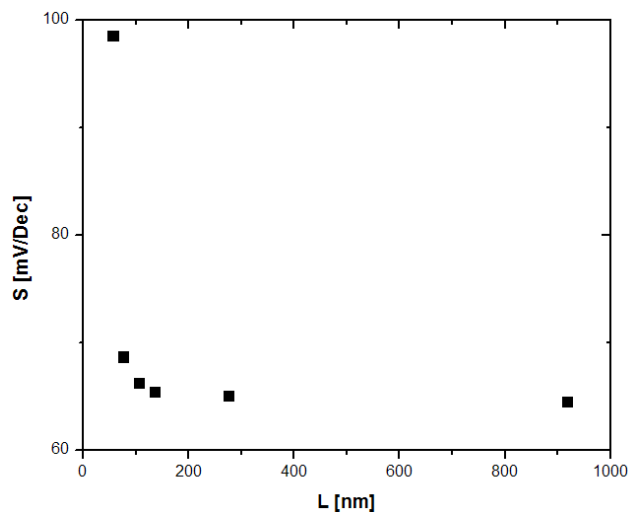


Figura 3.8. Grafica de S en función de la longitud del canal.

Este parámetro nos dice que los transistores de canal muy corto son afectados por los SCE. De esta forma, el transistor de 60 nm presenta una pendiente sub-umbral de 98.48 [mV/Dec] que se aleja del que presentan los demás con un valor alrededor de 68 [mV/Dec].

3.1.2. Característica transferencial en régimen de saturación.

Las Figuras 3.9 y 3.10 muestran la característica transferencial en régimen de saturación para los transistores con diferentes longitudes de canal y anchos de fin, respectivamente.

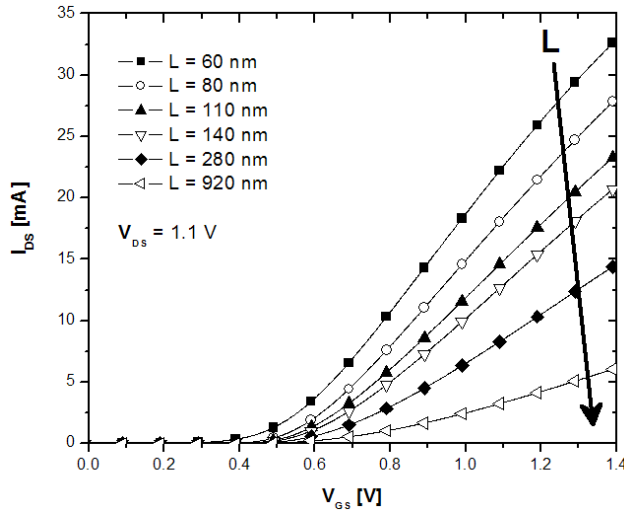


Figura 3.9. I_{DS} - V_{GS} para las diferentes longitudes de canal.

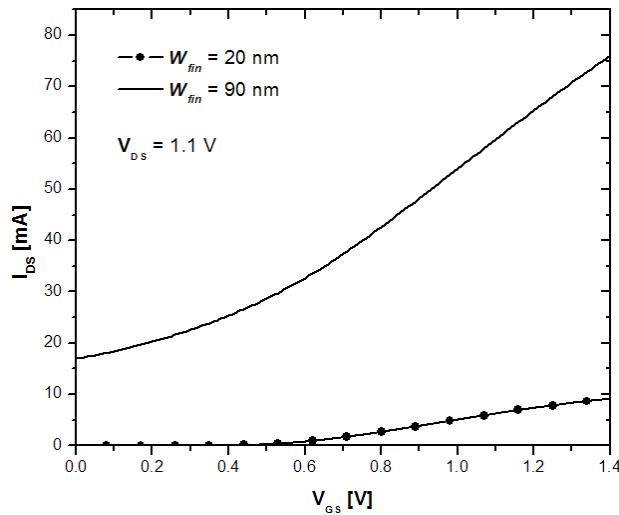


Figura 3.10. I_{DS} - V_{GS} para los diferentes anchos de fin.

Esta característica nos permite determinar la transconductancia, la cual se obtiene de la siguiente manera:

$$G_m = \left. \frac{dI_{DS}}{dV_{GS}} \right|_{V_{DS} = cte} \quad (3-4)$$

La grafica de G_m - V_{GS} , para las diferentes longitudes de canal, se muestra a continuación:

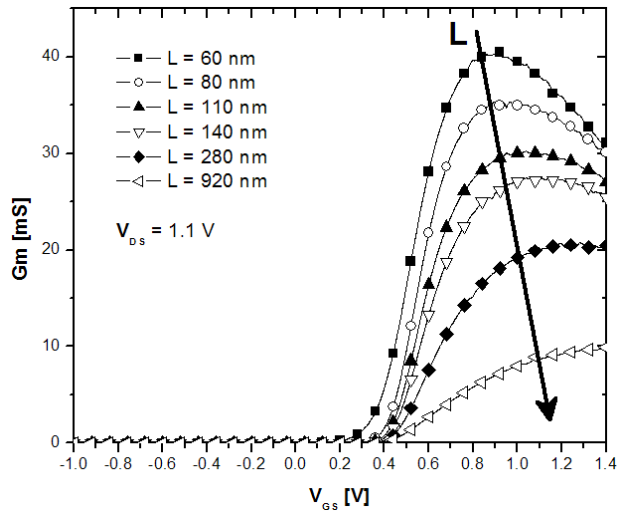


Figura 3.11. G_m - V_{GS} para diferentes longitudes de canal y $V_{DS} = 1.1$ V.

La grafica de G_m - V_{GS} , para los diferentes anchos de fin, se muestra a continuación:

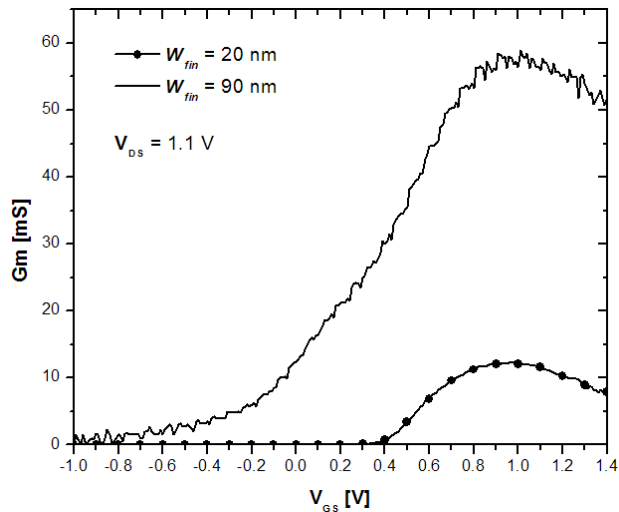


Figura 3.12. G_m - V_{GS} para diferentes anchos de fin y $V_{DS} = 1.1$ V.

Como puede verse claramente, a medida que disminuye la longitud de canal, la corriente de drenador aumenta y al mismo tiempo, aumenta la transconductancia. Por otro lado, a medida que aumenta el ancho del fin, aumenta la corriente de drenador y a su vez la transconductancia.

A continuación se muestran algunos valores de transconductancia en CD para $V_{DS} = 1.1$ V y valores de V_{GS} alrededor de 1.0 V:

Parámetro	G_m [mS]	V_{GS} [V]
L [nm]	60	40.25
	80	35.25
	110	30.25
	140	27.25
	280	20.7
	920	9.885
W_{fin} [nm]	20	12.22
	90	56.45
	400	--

Se puede observar que la transconductancia va disminuyendo al aumentar la longitud del canal del transistor. Esta disminución se hace predecible al observar la ecuación (1-71) vista en el Capítulo 1, es decir:

$$G_m = \frac{W}{L} \mu_{eff} C_{ox} V_{DS} \quad (3-5)$$

La grafica se muestra en la Figura 3.13.

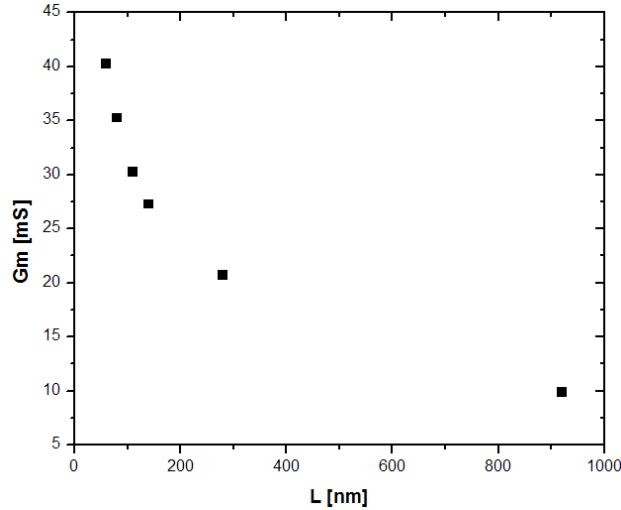


Figura 3.13. Gm-L para las diferentes longitudes de canal, obtenidas con $V_{DS} = 1.1 \text{ V}$ y $V_{GS} \approx 1.0 \text{ V}$.

Además, de la tabla, también se observa que al aumentar el ancho del fin la transconductancia aumenta.

3.1.3. Característica de salida.

La Figura 3.14 muestra las características de salida para el transistor de 60 nm de longitud de canal y 27 nm de ancho de fin, mientras que la Figura 3.15 muestra las características de salida del transistor de 60 nm de longitud de canal y 20 nm de ancho de fin. Como puede observarse, los dispositivos tienen un correcto desempeño, a pesar de ser dispositivos con dimensiones nanométricas. Como puede verse claramente, en ambos casos la compuerta modula adecuadamente la corriente del drenador, pues un incremento relativamente pequeño en V_{GS} produce un aumento muy importante de I_{DS} .

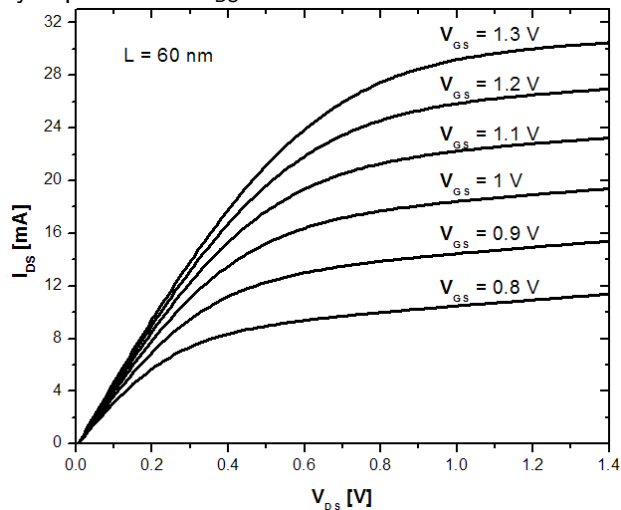


Figura 3.14. Curvas de salida (I_{DS} - V_{DS}) para el transistor de $L=60 \text{ nm}$ y $W_{fin} = 27 \text{ nm}$.

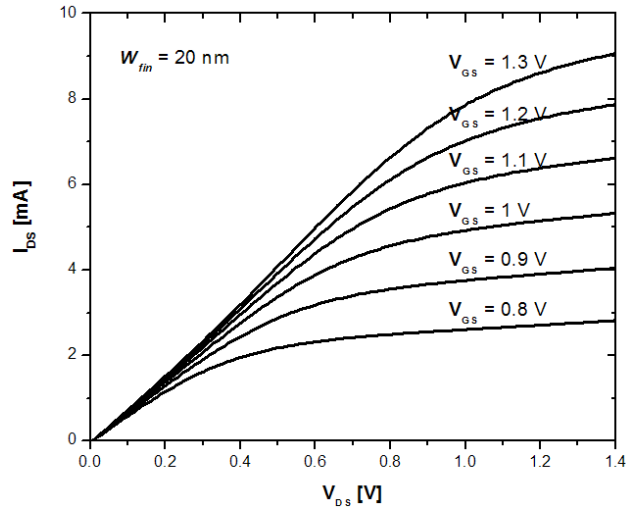


Figura 3.15. Curvas de salida (I_{DS} - V_{DS}) para el transistor de $W_{fin}=20$ nm y $L = 60$ nm.

Además, la conductancia se obtiene de la siguiente manera:

$$G_d = \left. \frac{dI_{DS}}{dV_{DS}} \right|_{V_{GS} = cte} \quad (3-6)$$

La Figura 3.16 muestra la gráfica de G_d vs. V_{DS} para el FinFET de 60 nm de longitud de canal.

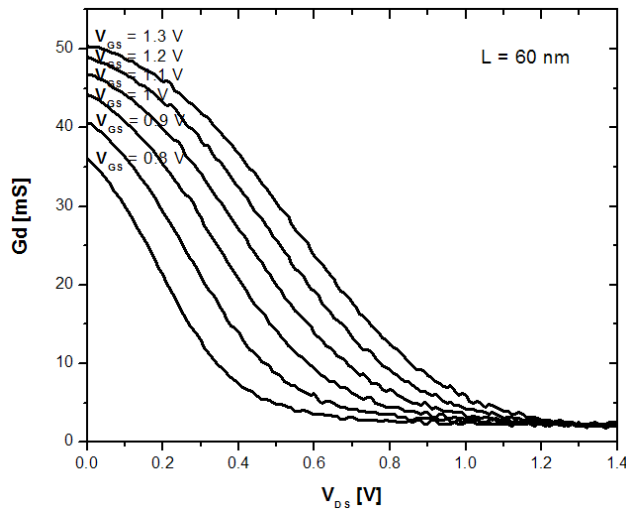


Figura 3.16. Conductancia de salida del transistor de $L=60$ nm y $W_{fin} = 27$ nm.

Las graficas de $G_{d\max}$ - V_{GS} , para los valores de L y W_{fin} se muestran a continuación:

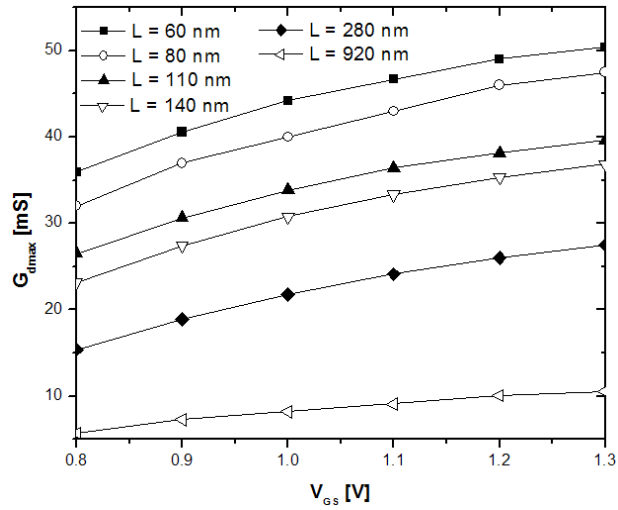


Figura 3.17. Grafica de $G_{d\max}$ - V_{GS} para diferentes longitudes del canal.

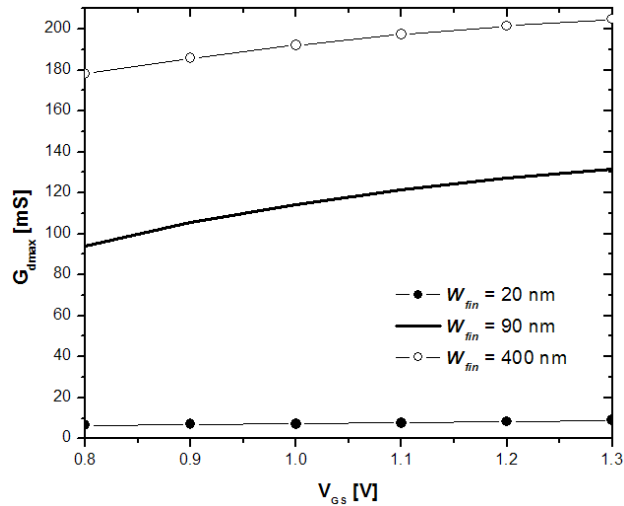


Figura 3.18. Grafica de $G_{d\max}$ - V_{GS} para diferentes anchos del fin.

En las graficas de las Figuras 3.17 y 3.18, se observa una dependencia directamente proporcional de la conductancia con el voltaje de compuerta V_{GS} , que es predecible al observar las ecuaciones del modelo de primera aproximación vistas en el Capítulo 1.

Por otro lado, de las características de corriente-voltaje (I_{DS} - V_{DS}), se puede observar el buen funcionamiento de los transistores, ya que las curvas corresponden con las que se vieron en el Capítulo 1, donde se puede observar claramente la región lineal y de saturación de los FinFETs.

A continuación se muestran algunos valores de conductancia en CD para $V_{DS} = 1.1$ V y algunos valores de $V_{GS} = 1$ V, 1.2 V y 1.3 V.

Parámetro	Gd [mS]	V_{GS} [V]
L [nm]	60	2.75
	80	1
	110	0.75
	140	0.7
	280	0.25
	920	0.12
W_{fin} [nm]	20	1.115
	90	17.75
	400	--

De los valores anteriores se puede notar que la conductancia va disminuyendo al aumentar la longitud del canal del FinFET. Esta disminución es predecible al observar la ecuación (1-70) vista en el Capítulo 1, es decir:

$$G_d = \frac{W}{L} \mu_{eff} C_{ox} (V_{GS} - V_T - V_{DS}) \quad (3-7)$$

La grafica se muestra en la Figura 3.19.

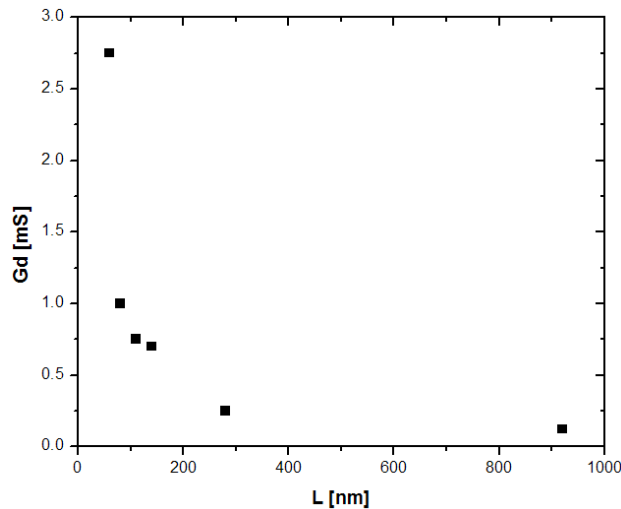


Figura 3.19. Gd-L para las diferentes longitudes de canal, con $V_{DS} = 1.1$ V y algunos valores de V_{GS} .

También, de la tabla, se puede ver que al aumentar el ancho del fin la conductancia aumenta.

3.2. Parámetros del Circuito Equivalente de Pequeña-Señal.

Como se mencionó en el Capítulo 2, las mediciones necesarias para extraer los parámetros del modelo de circuito equivalente de pequeña-señal son realizadas mediante parámetros S para un rango de frecuencias específico.

Para extraer los parámetros del transistor, es necesario realizar un procedimiento llamado de “de-embedding” para quitar los parámetros de acceso y así obtener la matriz Z_Σ a partir de la cual se extraen los parámetros del modelo de circuito equivalente de pequeña-señal. Para esto, se tomaron las mediciones con el transistor insertado en la línea coplanar, como en la Figura 3.20.

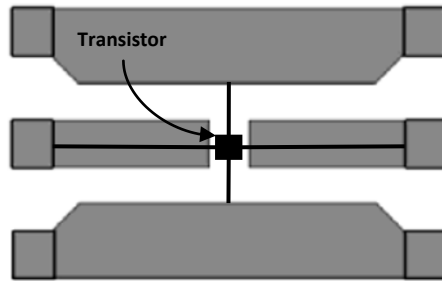


Figura 3.20. Vista superior de la línea coplanar que contiene incrustado el transistor bajo prueba.

Además, se realizaron las mediciones en estructuras de prueba. Estas estructuras de prueba consisten de una guía de onda coplanar, idéntica a la utilizada en el transistor, pero se construye en una zona de silicio donde no existe ningún transistor. Debido a esto, la estructura de prueba no incluye a ningún transistor y por tanto los electrodos quedan desconectados, es decir en circuito abierto, motivo por el cual se le denomina estructura abierta (open), como se muestra en la Figura 3.21.

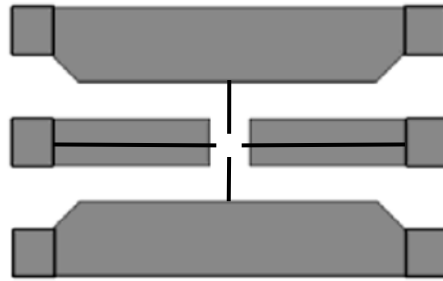


Figura 3.21. Línea coplanar sin el transistor incrustado.

De esta manera, el proceso de de-embedding consiste en una resta entre los parámetros de admitancia del dispositivo bajo prueba (DUT: Device Under Test) y de los parámetros de admitancia de la estructura open, es decir:

$$Y_{\Sigma} = Y_{DUT} - Y_{Open} \quad (3-8)$$

Los parámetros S se obtuvieron para un rango de frecuencias de 45 MHz a 110 GHz y para valores de $V_{ds} = 1.1$ V y $V_{gs} \approx 1.0$ V.

Para extraer los parámetros intrínsecos del circuito equivalente, primero es necesario extraer las resistencias extrínsecas. Para esto se utilizó el método de Tinoco descrito en la sección 2.4. De este modo, se obtuvieron los siguientes resultados para el juego de mediciones analizado:

Parámetro	Rse [Ω]	Rde [Ω]	Rge [Ω]	
L [nm]	60	4.6	7.13	8.5
	80	4.8	6.84	7.22
	110	5.7	7.96	10.88
	140	5.6	7.86	6.08
	280	5.85	7.65	5.42

Las mediciones para los transistores con diferentes anchos de fin fueron afectadas de manera considerable por efectos de ruido, por lo que los parámetros no se obtuvieron.

Con las resistencias extrínsecas se construyó la matriz Z_e para obtener la matriz Y_{π} para cada FinFET analizado como se vio en la ecuación (2-7).

La transconductancia, conductancia y las capacitancias se obtuvieron a partir de la matriz Y_{π} utilizando las expresiones (2-14). Los valores obtenidos se muestran en las siguientes secciones.

3.2.1. Transconductancia g_m .

Los valores de transconductancia para las diferentes longitudes de canal se muestran en la Figura 3.22.

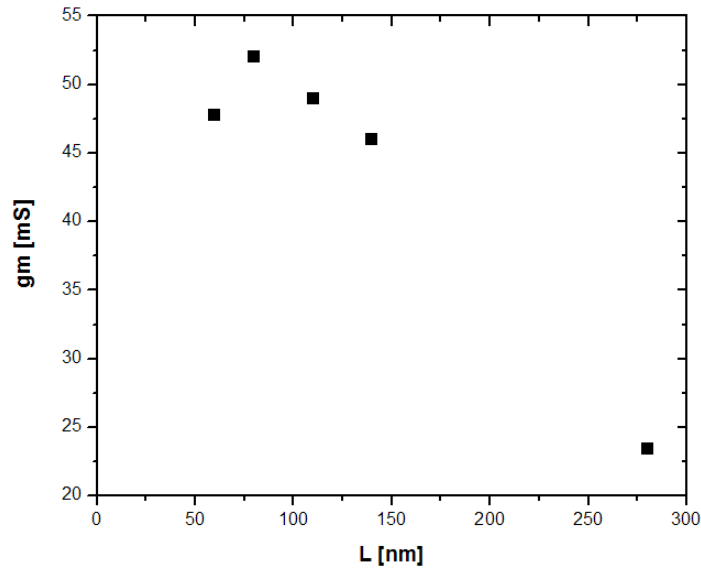


Figura 3.22. Gráfica de transconductancia en función de la longitud del canal.

Como ya se ha comentado, la transconductancia muestra una dependencia con la longitud del canal.

3.2.2. Conductancia g_d .

Los valores de conductancia para las diferentes longitudes de canal se muestran a continuación:

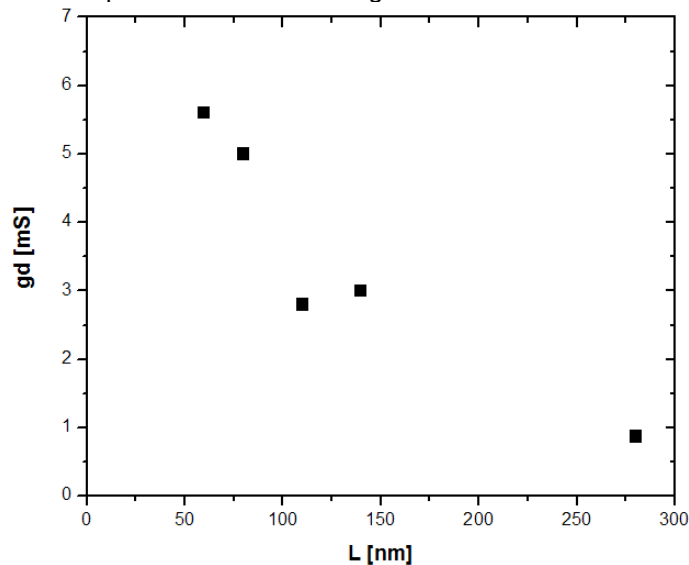


Figura 3.23. Gráfica de conductancia en función de la longitud del canal.

La conductancia también muestra una dependencia con la longitud del canal.

3.2.3. Capacitancia C_{gs} .

Los valores de la capacitancia C_{gs} para las diferentes longitudes de canal se muestran a continuación:

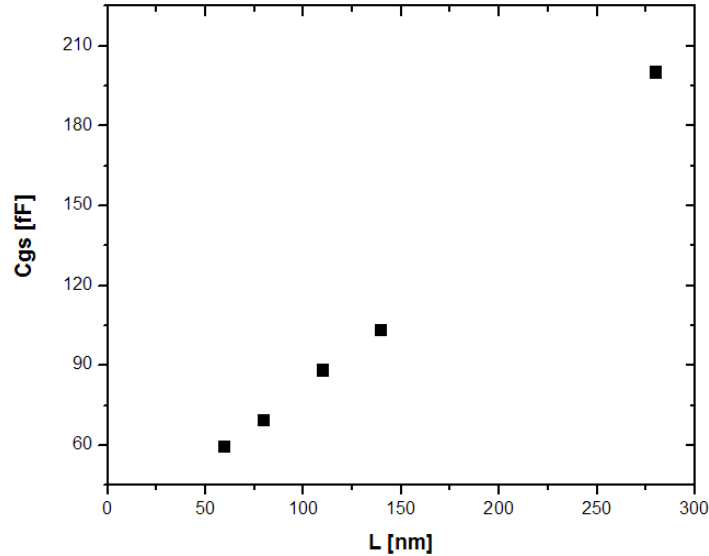


Figura 3.24. Gráfica de Capacitancia C_{gs} en función de la longitud del canal.

La capacitancia C_{gs} también tiene dependencia con la longitud del canal, ya que está fuertemente asociada con la carga contenida en el canal, como se vio en la sección 2.2. Al aumentar la longitud del canal habrá mayor carga, por lo que la capacitancia intrínseca aumentará. Por otro lado, la capacitancia extrínseca asociada a los fenómenos de borde también aumentará, debido a que el incremento del área produce mayor campo eléctrico.

3.2.4. Capacitancia C_{gd} .

Los valores de la capacitancia C_{gd} para las diferentes longitudes de canal se muestran a continuación:

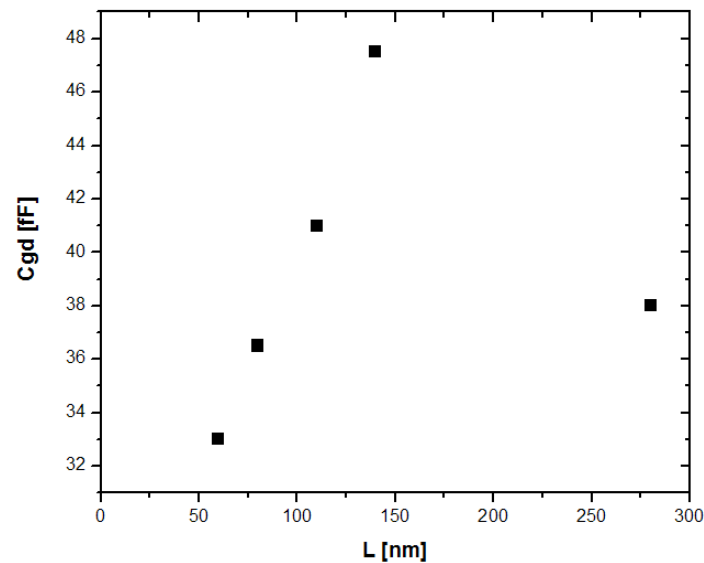


Figura 3.25. Gráfica de Capacitancia C_{gd} en función de la longitud del canal.

La capacitancia C_{gd} también se incrementa con el aumento de la longitud del canal al igual que la capacitancia C_{gs} .

3.2.5. Capacitancia C_{ds} .

Los valores de la capacitancia C_{ds} para las diferentes longitudes de canal se muestran a continuación:

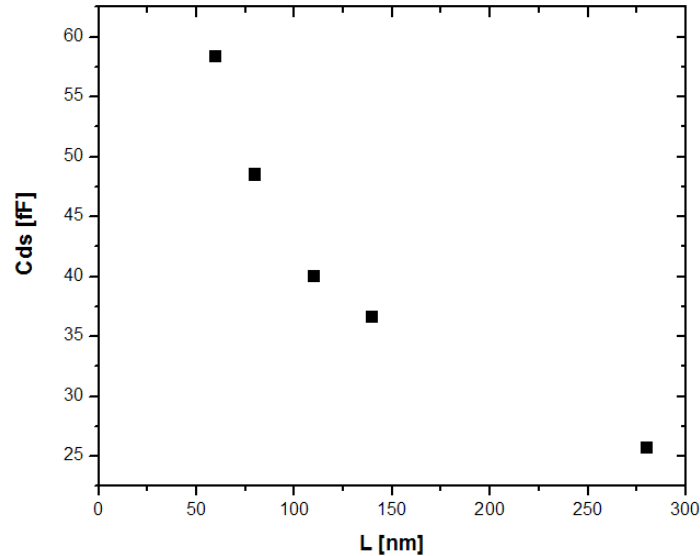


Figura 3.26. Grafica de Capacitancia C_{ds} en función de la longitud del canal.

Esta capacitancia está asociada a la carga presente entre el surtidor y drenador, por lo que al disminuir la longitud del canal, esta capacitancia aumentará como se ve claramente en la grafica de Figura 3.26.

Los valores de las capacitancias mostradas anteriormente, corresponden a las capacitancias totales, es decir:

$$C_{gs} = C_{gsi} + C_{gs\bar{e}}$$

$$C_{gd} = C_{gdi} + C_{gd\bar{e}}$$

$$C_{ds} = C_{sdi} + C_{ds\bar{e}}$$

En este Capítulo se mostró la obtención de los parámetros del modelo de circuito equivalente de pequeña-señal para varios FinFETs con diferente geometría. Este modelo se vuelve fundamental al diseñar algún circuito, debido a que nos da información acerca del funcionamiento del transistor en una banda de frecuencias amplia.

Los parámetros se pudieron obtener gracias a las técnicas estudiadas en el Capítulo 2, que permitieron extraer con precisión el modelo de circuito equivalente de pequeña-señal de cada FinFET, De esta forma, se destaca la importancia de obtener los parámetros del modelo de circuito equivalente de pequeña señal de forma precisa, ya que permiten evaluar el funcionamiento de los transistores en un amplio rango de frecuencias y por lo tanto aplicarlos en sistemas analógicos y digitales.