

2. MODELO EQUIVALENTE DE PEQUEÑA-SEÑAL.

El modelado y caracterización de los transistores MOS en altas frecuencias es de gran importancia para los sistemas analógicos, esto se realiza por medio de los parámetros de dispersión, conocidos como parámetros “S”.

En general, hay dos tipos de modelos: modelos polinomiales y modelos físicos basados en pequeña señal [13]:

Modelos Polinomiales: Estos modelos describen el comportamiento del MOSFET como cajas negras y frecuentemente requieren rutinas de optimización matemática. Es relativamente fácil obtener los parámetros del modelo, pero no da información sobre la naturaleza física del transistor [13].

Modelos físicos de pequeña señal: Estos modelos describen el comportamiento del MOSFET como un circuito eléctrico equivalente de parámetros concentrados. Los elementos que conforman el modelo tienen un origen basado en los fenómenos físicos que ocurren en el interior del dispositivo, sin embargo, no son fáciles de obtener. El conocimiento del circuito equivalente de pequeña señal es muy importante porque es útil para determinar metodologías de diseño de circuitos, así como la influencia de cada parámetro en el comportamiento dinámico del transistor [13].

2.1. Efecto Útil.

El efecto útil de un transistor MOSFET es la modulación de corriente (I_{ds}) que fluye a través del canal, de la terminal del surtidor (S) a la terminal del drenador (D), mediante un voltaje de control (V_{gs}) aplicado a la terminal de la compuerta (G). Eléctricamente este comportamiento puede ser representado por una fuente de corriente conectada entre las terminales S y D, mientras el voltaje de control es aplicado entre las terminales G y S. La corriente del surtidor queda definida por la transconductancia intrínseca (g_{mi}) [13]. La Figura 2.1 representa el circuito equivalente del MOSFET considerando solamente el efecto útil. La transconductancia intrínseca [13] puede ser expresada matemáticamente como:

$$g_{mi} = \left. \frac{\partial i_{ds}}{\partial v_{gs}} \right|_{v_{ds} = const} \quad (2-1)$$

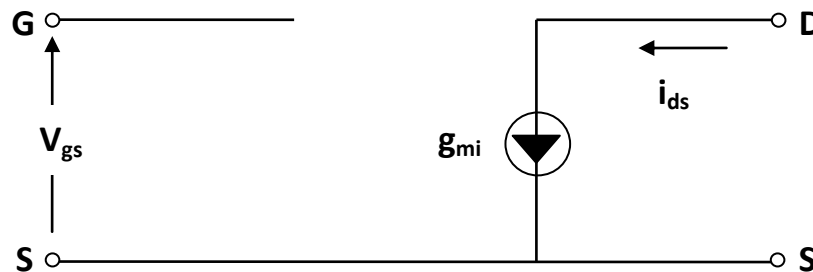


Figura 2.1. Circuito equivalente del efecto útil de un MOSFET [13].

2.2. Parámetros Intrínsecos.

Para comprender los parámetros intrínsecos que conforman el circuito equivalente de pequeña señal es necesario analizar el modelo cuasi-estático del MOSFET que se presenta a continuación.

Modelo cuasi-estático.

El modelo cuasi-estático se define cuando una pequeña señal aplicada varía con la suficiente lentitud de forma que los portadores dentro del transistor pueden seguirla instantáneamente. Por otra parte, en el MOSFET, hay algunas influencias entre las terminales, de tal manera que un pequeño incremento en el voltaje aplicado en una terminal producirá una variación de la carga asociada a las demás terminales. La Figura 2.2 muestra el esquema simplificado del MOSFET cuando se polariza en CD (Corriente Directa) y una pequeña señal es agregada a la terminal de la compuerta con un valor δV_g . Este incremento en el voltaje produce un aumento en la carga del canal representado por δQ . Este incremento de carga se asocia a las terminales del surtidor y drenador denotadas como δQ_s y δQ_d , respectivamente [13].

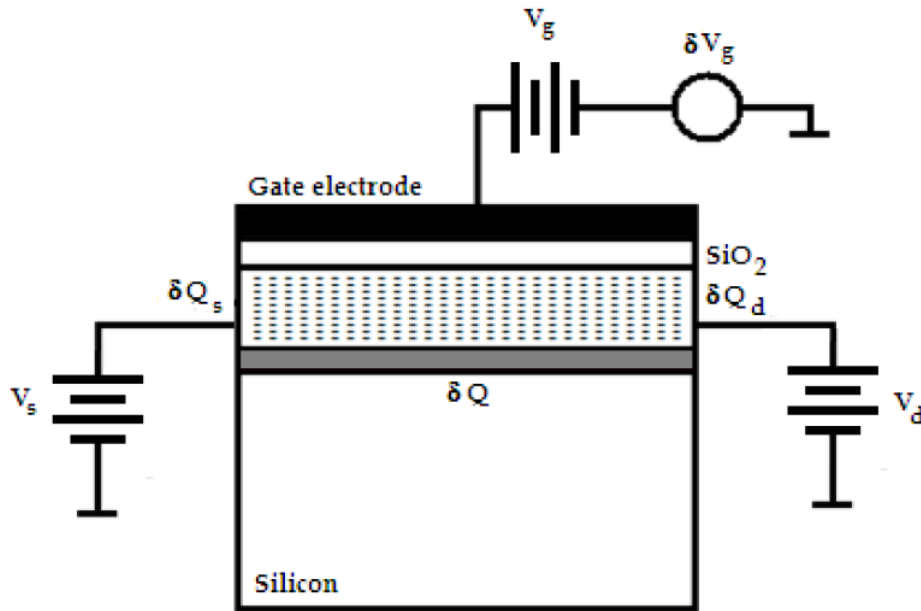


Figura 2.2. Esquema simplificado del MOSFET que muestra el efecto producido en el canal por un pequeño incremento en el voltaje aplicado en la terminal de la compuerta [13].

Los efectos anteriores, pueden ser incluidos en el modelo equivalente de pequeña-señal como capacitancias intrínsecas debido al incremento de carga relacionado con un cambio de voltaje $C \equiv dQ/dV$ [13]. Las capacitancias entre el surtidor, drenador y la compuerta [13] se definen por:

$$\begin{aligned}
 C_{gdi} &= -\left. \frac{\partial q_d}{\partial v_d} \right|_{v_{gs}=\text{const}} & C_{dgi} &= -\left. \frac{\partial q_d}{\partial v_g} \right|_{v_{gs}=\text{const}} & (2-2) \\
 C_{gsi} &= -\left. \frac{\partial q_g}{\partial v_s} \right|_{v_{gd}=\text{const}} & C_{sgi} &= -\left. \frac{\partial q_s}{\partial v_g} \right|_{v_{gd}=\text{const}} \\
 C_{dsi} &= -\left. \frac{\partial q_d}{\partial v_s} \right|_{v_{gs}=\text{const}} & C_{sdi} &= -\left. \frac{\partial q_s}{\partial v_d} \right|_{v_{gs}=\text{const}}
 \end{aligned}$$

De las capacitancias intrínsecas anteriores, las que tienen mayor efecto en el modelado del circuito equivalente son: C_{gdi} , C_{gsi} y C_{sdi} .

Es interesante notar que en general las capacitancias no son recíprocas. Por ejemplo, si se tiene en cuenta un MOSFET en saturación, un incremento en el voltaje de drenador no produce ningún cambio en la terminal de la compuerta, debido a la condición de Pinch-Off [14] y, por lo tanto $C_{gdi} = 0$. Por otro lado, un pequeño cambio en el voltaje de la compuerta producirá una variación en la densidad de carga del canal y un cambio en la corriente del drenador que conducirá a un cambio en la carga del drenador y por lo tanto $C_{dgi} \neq 0$. Así, bajo esta condición tenemos $C_{gdi} \neq C_{dgi}$. Este efecto no recíproco se puede modelar mediante la adición de una parte imaginaria a la transconductancia intrínseca llamada transc capacitancia intrínseca (C_{mi}) [13]. Así, la transmitancia intrínseca (Y_{mi}) [13] se define como:

$$Y_{mi} = g_{mi} - j\omega C_{mi} \quad (2-3)$$

Por lo general, la transc capacitancia intrínseca puede despreciarse para frecuencias relativamente bajas, sin embargo, para frecuencias muy altas debe considerarse con el fin de describir con precisión el comportamiento del MOSFET.

Por otro lado, el transistor actúa como una fuente de corriente real y por lo tanto, tiene asociada una conductancia intrínseca de salida [13], definida por:

$$g_{di} = \left. \frac{\partial i_{ds}}{\partial v_{ds}} \right|_{v_{gs}=\text{const}} \quad (2-4)$$

Finalmente, el circuito equivalente de pequeña señal se presenta en la Figura 2.3, con todos los parámetros dependientes de las ecuaciones (2.1-2.4) indicadas claramente:

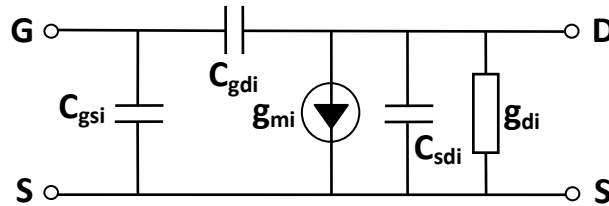


Figura 2.3. Circuito equivalente del modelo cuasi-estático de un MOSFET [13].

Este circuito equivalente puede ser representado por la matriz de admitancia intrínseca ($Y_{\pi i}$) [13] definida por:

$$Y_{\pi i} = \begin{bmatrix} j\omega(C_{gsi} + C_{gdi}) & -j\omega C_{gdi} \\ g_{mi} - j\omega C_{gdi} & g_{di} + j\omega(C_{sdi} + C_{gdi}) \end{bmatrix} \quad (2-5)$$

2.3. Parámetros Extrínsecos.

Modelo extrínseco.

En la sección anterior se estableció el modelo del circuito equivalente bajo el régimen cuasi-estático. El modelo toma en cuenta sólo la parte intrínseca del transistor por lo que presenta una fuerte dependencia con la polarización aplicada y con la geometría del transistor. Sin embargo, la estructura del MOSFET está rodeada por algunos efectos parásitos procedentes principalmente de los contactos e interconexiones, los cuales deben ser considerados con el fin de describir adecuadamente su comportamiento general. Estos elementos extrínsecos parásitos son en general independientes del voltaje de polarización.

Capacitancias extrínsecas.

Varias capacitancias extrínsecas están asociadas a la estructura física del transistor, como se muestra en la Figura 2.4. Estas capacitancias extrínsecas están asociadas a los terminales de la compuerta, el drenador y el surtidor. Las capacitancias compuerta-drenador (C_{gde}) y compuerta-surtidor (C_{gse}) se producen de la combinación paralela de: (i) el traslape de regiones debido a la difusión de átomos dopados debajo de la capa de óxido de la compuerta tanto en el surtidor como en el drenador (ii) efectos de borde de campo eléctrico desde el electrodo de la compuerta a las regiones del surtidor y drenador. La capacitancia drenador-surtidor (C_{dse}) corresponde a una capacitancia de proximidad debido a efectos de acoplamiento a través del sustrato [13].

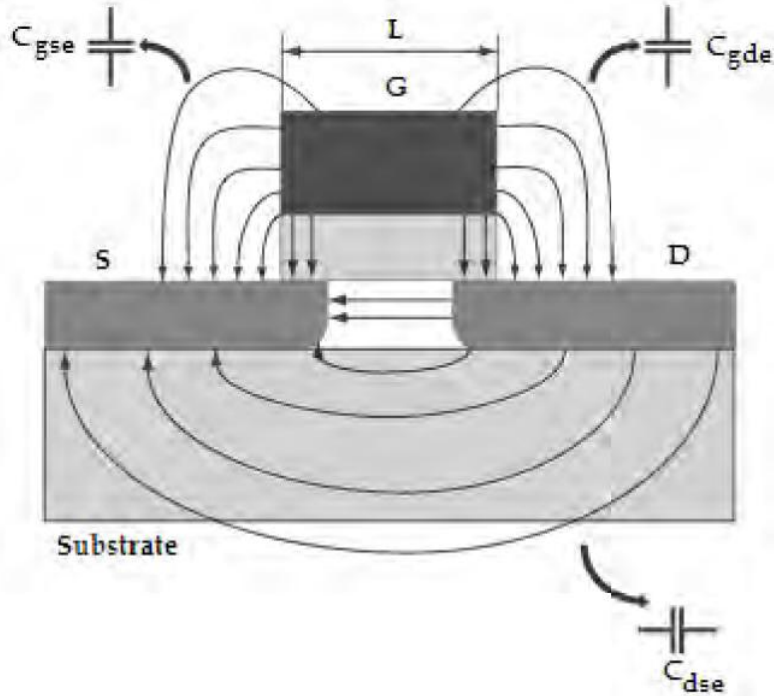


Figura 2.4. Capacitancias extrínsecas asociadas a la estructura física del transistor MOS [13].

El circuito equivalente de pequeña señal se muestra en la Figura 2.5, con las capacitancias extrínsecas agregadas:

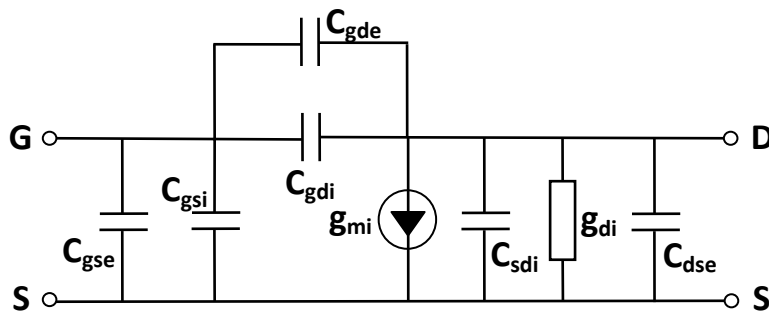


Figura 2.5. Modelo intrínseco cuasi-estático que incluye las capacitancias extrínsecas [13].

La matriz de admitancias (Y_{π}) del circuito equivalente de pequeña señal [13] presentado en la Figura 2-5 se define como:

$$Y_{\pi} = Y_{\pi i} + Y_e \quad (2-6)$$

donde

$$Y_e = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix}$$

Resistencias extrínsecas.

Las regiones de semiconductor dopadas del surtidor y drenador están caracterizadas por cierta resistividad que, debido a su geometría, producen una resistencia en serie con el transistor intrínseco. Además, el transistor debe estar conectado al exterior mediante líneas de metal. Esas líneas de interconexión también introducen algunas resistencias en serie con el canal intrínseco del transistor. Por último, el contacto entre las líneas de metal y las regiones del semiconductor dopado se caracteriza por una resistencia de contacto que también contribuye a la resistencia parasita total [13].

La Figura 2.6 representa una vista superior de un transistor FinFET con las resistencias extrínsecas distribuidas.

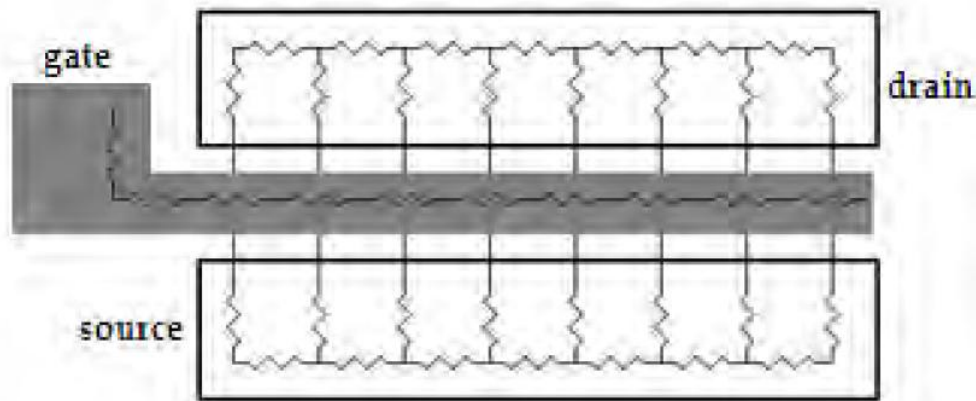


Figura 2.6. Resistencias extrínsecas en serie distribuidas en la estructura física del transistor [13].

La Figura 2.7 presenta el circuito equivalente de pequeña señal del MOSFET incluyendo tanto los elementos intrínsecos, como los extrínsecos.

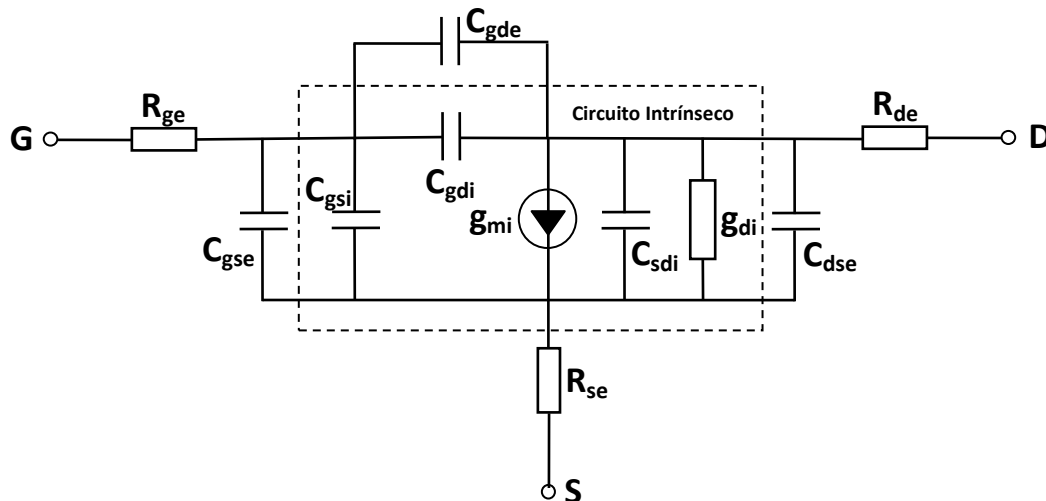


Figura 2.7. Circuito equivalente de pequeña señal de un MOSFET que incluye todos los elementos intrínsecos y extrínsecos concentrados [13].

La matriz de impedancia (Z) de todo el circuito presentado en la Figura 2.7 [13] puede ser representada matemáticamente por:

$$Z_{\Sigma} = Y_{\pi}^{-1} + Z_e \quad (2-7)$$

donde

$$Z_e = \begin{bmatrix} R_{ge} + R_{se} & R_{se} \\ R_{se} & R_{de} + R_{se} \end{bmatrix}$$

Parámetros de acceso.

Con el fin de caracterizar el MOSFET en una banda de frecuencias amplia, debe ser integrado en líneas de transmisión planares, la más común es la guía de onda coplanar (CPW) presentada en la Figura 2.8. Por su puesto, estas líneas introducen algunos elementos parásitos adicionales, en serie y en paralelo, tanto a la entrada como a la salida del transistor bajo prueba [13].



Figura 2.8. Estructura de una guía de onda coplanar [13].

Varios procedimientos llamados de “de-embedding” (des-incrustación), se han propuesto en la literatura [15] para retirar los elementos parásitos relacionados a la estructura CPW. Sin embargo, el esquema real de “de-embedding” no es perfecto y por lo tanto algunos de los parámetros de acceso permanecen en la entrada y salida del dispositivo [13].

Por esta razón, los elementos parásitos de acceso (Z_{ga} , Z_{da} , Y_{ga} , Y_{da} , Y_{gda}) deben estar incluidos en el modelo de circuito equivalente tal como se presenta en la Figura 2.9.

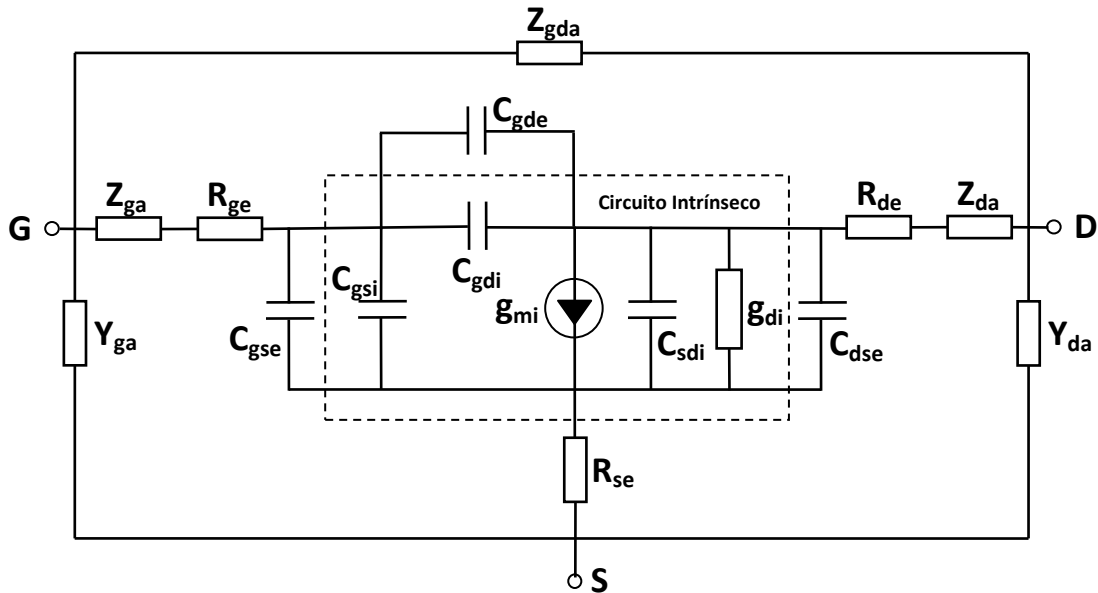


Figura 2.9. Circuito equivalente de pequeña señal completo de un MOSFET incrustado en una estructura CPW [13].

La representación matemática del circuito equivalente de pequeña señal completo presentado en la Figura 2.9, necesita dos consideraciones, primero es necesario añadir las impedancias de acceso a la matriz Z_{Σ} y posteriormente agregar las admitancias de acceso [13]. Así tenemos:

$$Z_{\sigma} = Z_{\Sigma} + Z_{\alpha} \quad (2-8)$$

donde

$$Z_{\alpha} = \begin{bmatrix} Z_{ga} & 0 \\ 0 & Z_{da} \end{bmatrix}$$

Y finalmente:

$$Y_{\mu} = Z_{\sigma}^{-1} + Y_{\alpha} \quad (2-9)$$

donde

$$Y_{\alpha} = \begin{bmatrix} Y_{ga} + Y_{gda} & -Y_{dga} \\ -Y_{gda} & Y_{da} + Y_{gda} \end{bmatrix}$$

Por lo tanto, la matriz Y_{μ} representa los parámetros de admitancia de todo el circuito equivalente del transistor MOS. En la actualidad, las infraestructuras tecnológicas son lo suficientemente robustas de modo que las estructuras de control utilizadas para los procedimientos de “de-embedding” pueden, adecuadamente, quitar los elementos parásitos de acceso. Así, para transistores avanzados bien optimizados y estructuras de de-embedding (en circuito abierto, en circuito corto, con líneas, con carga), los elementos de acceso pueden ser removidos adecuadamente de las mediciones de los dispositivos bajo prueba [13].

2.4. Procedimiento de Extracción de Pequeña-Señal.

Como se menciono anteriormente, la tecnología actual es capaz de producir estructuras de prueba para “des-incrustar” adecuadamente los parámetros de acceso. Por lo tanto, se puede considerar al circuito equivalente del MOSFET, tal como se presentó en la Figura 2.7. Partiendo de éste, el procedimiento de extracción de los parámetros, se realiza de la siguiente forma:

- En primer lugar, se deben extraer las resistencias serie extrínsecas y construir la matriz Z_e ;
- En segundo lugar, extraer la matriz Y_{π} de Z_{Σ} ;
- En tercer lugar, extraer las capacitancias extrínsecas y formar la matriz Y_e ;
- Por último, extraer la matriz $Y_{\pi i}$ de la matriz Y_{π} y determinar los parámetros intrínsecos.

En general, la filosofía de los métodos de extracción de RF consiste en polarizar al MOSFET bajo condiciones específicas, a fin de reducir la complejidad del circuito equivalente y así obtener la extracción directa de los elementos del circuito equivalente [13].

Extracción de resistencias serie extrínsecas.

Hay varios métodos para extraer las resistencias serie extrínsecas. En general, pueden ser divididos en dos grupos: (i) métodos que dependen de medidas de DC, y (ii) métodos que requieren medidas de RF [13].

Los métodos de RF permiten determinar por separado las tres resistencias serie R_{se} , R_{de} y R_{ge} . Los métodos en RF más usados para extraer las resistencias serie extrínsecas han sido propuestos en la literatura por Lovelace [16], Torres-Torres [17], Raskin [18] y Bracale [19].

Es importante mencionar que algunos de los métodos de RF requieren la extracción de parámetros intermedios antes de realizar la extracción de resistencias serie [20] y otros métodos requieren rutinas complejas de optimización matemática [21]. Tales características los hacen más sensibles

al ruido y difícil de aplicarse. A continuación se describe brevemente el método de Bracale y el método de Tinoco que se usaron en esta tesis.

Método de Bracale.

Para este método el MOSFET es polarizado en inversión y en régimen cuasi-estático, es decir, con $V_{gs} > V_T$ y $V_{ds} = 0$ V. En esta condición la transconductancia intrínseca (g_{mi}) se vuelve despreciable. Además, ya que $V_{ds}=0$ V el dispositivo se vuelve simétrico, esto implica que $C_{gs}=C_{gd}=C$. Así, el circuito equivalente se simplifica como el que se muestra en la Figura 2.10.

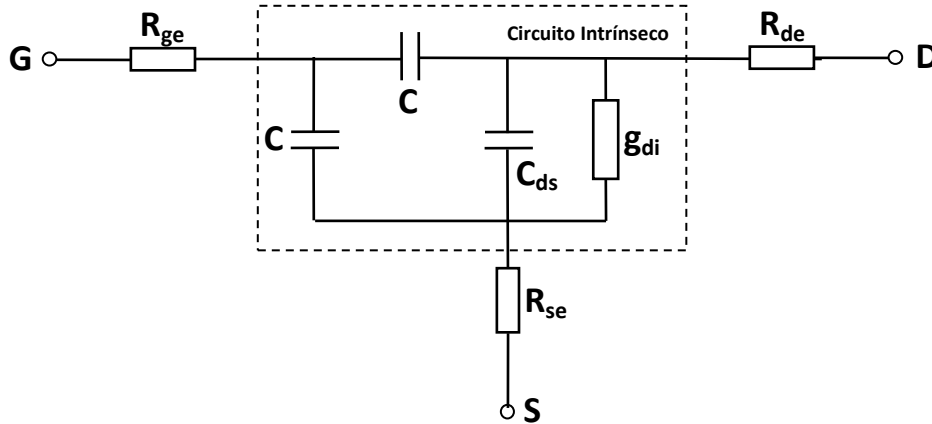


Fig 2.10. Circuito equivalente de pequeña señal en inversión: $V_{gs} > V_T$ y $V_{ds} = 0$ V [13].

Considerando que $C+2CC_{ds} \ll 2g_{di}/\omega$ y movilidad constante [19] para cada V_{gs} aplicado, las partes reales de los parámetros Z quedan relacionadas con los elementos del circuito equivalente de la siguiente manera:

$$\begin{aligned}
 Re(Z_{22} - Z_{12}) &= R_{de} + \frac{1}{2K(V_{gs} - V_T)} \\
 Re(Z_{12}) &= R_{se} + \frac{1}{2K(V_{gs} - V_T)} \\
 Re(Z_{11} - Z_{12}) &= R_{ge} + \frac{1}{4K(V_{gs} - V_T)}
 \end{aligned}
 \tag{2-10}$$

donde $K=\mu(W/L)C_{ox}$, μ y C_{ox} son la movilidad de los portadores y la capacitancia por unidad de área del óxido, respectivamente, W y L, son el ancho y la longitud del canal del transistor MOS respectivamente.

Como puede observarse, la parte real de las impedancias tienen una dependencia lineal respecto al término $1/(V_{gs} - V_T)$, donde la intersección con el eje de la impedancia define la correspondiente resistencia serie.

Método de Tinoco.

Recientemente, se ha demostrado que los métodos de Lovelace, Torres-Torres y Raskin son muy sensibles al ruido de las mediciones de los parámetros S, por esta razón una pequeña señal de ruido mezclada con los parámetros de dispersión perturbará el proceso de extracción lo suficiente como para reducir la precisión en la extracción de los parámetros concentrados [22]. Por otro lado, el método de Bracale es más robusto en términos de ruido, sin embargo, no puede extraer con precisión los valores de las resistencias. Por lo tanto, se ha establecido un nuevo procedimiento de extracción de las resistencias serie extrínsecas basado en el método de Bracale [23], pero teniendo en cuenta que la movilidad de los portadores varía con V_{gs} y que el transistor no es

perfectamente simétrico. Bajo estas nuevas suposiciones, las partes reales de los parámetros Z se expresan como:

$$\begin{aligned} Re(Z_{22} - Z_{12}) &= R_{ds} + \frac{1}{(\alpha^{-1}+1)} \frac{L}{W\mu_0 C_{ox}} \left[\theta + \frac{1}{V_{gs}-V_T} \right] \\ Re(Z_{12}) &= R_{ss} + \frac{1}{(\alpha+1)} \frac{L}{W\mu_0 C_{ox}} \left[\theta + \frac{1}{V_{gs}-V_T} \right] \\ Re(Z_{11} - Z_{12}) &= R_{gs} + \frac{1}{(\alpha+\alpha^{-1}+2)} \frac{L}{W\mu_0 C_{ox}} \left[\theta + \frac{1}{V_{gs}-V_T} \right] \end{aligned} \quad (2-11)$$

donde $\alpha=C_{gs}/C_{gd}$ es definido como el coeficiente de simetría y θ es el coeficiente de degradación de la movilidad con V_{gs} [23].

El factor de la degradación de la movilidad θ puede ser determinado midiendo un arreglo de transistores de diferentes longitudes de canal (L-array) seguido por dos pasos que se mencionan a continuación [23]:

- i. Una regresión lineal de dV_{ds}/dl_{ds} vs. $1/(V_{gs} - V_T)$ para cada dispositivo a fin de determinar la ordenada al origen (β) y la pendiente (m);
- ii. Después, una regresión lineal de la función β vs. m para las diferentes longitudes de canal del L-array se traza para determinar θ , como se detalla en [23].

Además, el parámetro α puede obtenerse como:

$$\alpha = \frac{Im(Z_{22} - Z_{12})}{Im(Z_{12})} \quad (2-12)$$

Por lo tanto, las resistencias serie pueden obtenerse con mayor precisión, mediante el método de Bracale, pero aplicando las correcciones relacionadas con el cambio de la movilidad de los portadores al aplicar el voltaje en la compuerta (θ) y la asimetría del dispositivo bajo prueba (α) [23].

Extracción de las capacitancias extrínsecas.

Una vez que se hayan extraído las resistencias serie extrínsecas, se debe construir la matriz Z_e y restarla de la matriz Z_Σ , vista en la ecuación (2-7), para obtener Y_π . Entonces, las capacitancias extrínsecas pueden ser obtenidas usando el MOSFET en empobrecimiento con $V_{ds}=V_{gs}=0$. En esta condición, el circuito equivalente se muestra en la Figura 2.11.

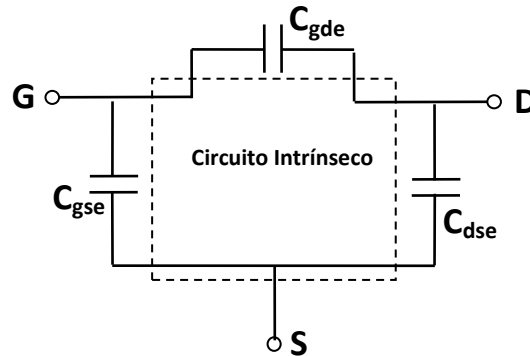


Figura 2.11. Circuito equivalente polarizado en empobrecimiento después de extraer las resistencias serie extrínsecas [13].

Para el circuito equivalente anterior, las capacitancias extrínsecas pueden ser obtenidas de la parte imaginaria de los parámetros de admitancia [13], dadas por:

$$\begin{aligned}
 C_{gse} &= \frac{\text{Im}(Y_{11}+Y_{12})}{\omega} \\
 C_{gds} &= -\frac{\text{Im}(Y_{12})}{\omega} \\
 C_{dse} &= \frac{\text{Im}(Y_{22}+Y_{12})}{\omega}
 \end{aligned}
 \tag{2-13}$$

Extracción de parámetros intrínsecos.

Después de extraer las capacitancias extrínsecas, la matriz intrínseca (Y_{π}) puede ser determinada de la ecuación (2-6). De esta matriz, se pueden obtener los parámetros intrínsecos mediante las siguientes expresiones [13]:

$$\begin{aligned}
 C_{gsi} &= \frac{\text{Im}(Y_{11}+Y_{12})}{\omega} \\
 C_{gdi} &= -\frac{\text{Im}(Y_{12})}{\omega} \\
 C_{sdi} &= \frac{\text{Im}(Y_{22}+Y_{12})}{\omega} \\
 g_{di} &= \text{Re}(Y_{22}) \\
 g_{mi} &= \text{Re}(Y_{21})
 \end{aligned}
 \tag{2-14}$$

La extracción de los parámetros y el modelo equivalente de pequeña señal, expuestos anteriormente, permitirán conocer el desempeño del transistor MOSFET para alguna aplicación en RF, de ahí su importancia para aplicaciones en sistemas electrónicos para telecomunicaciones.