



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

FACULTAD DE INGENIERÍA

**Sistema de disparo digital
para la detección de rayos
Gamma basado en un FPGA**

TESIS

Que para obtener el título de

INGENIERO ELECTRICO ELECTRÓNICO

P R E S E N T A

ALFONSO CAMARILLO NUÑEZ

DIRECTOR DE TESIS

M.I. RUBÉN A. FLORES MEZA.



Ciudad Universitaria, Cd. Mx., 2017

Dedicatoria

Dedico esta tesis a mis padres y hermanas que siempre me apoyaron desde el inicio de la carrera. A mi esposa, y a mi asesor que me apoyaron y tuvieron la paciencia para apoyarme a que terminara.

También dedico esta tesis a mi hijo Alfonso a Rene y a mis sobrinos Leonardo, Diego y Dani para que cuando crezcan tomen esta tesis como ejemplo de que con esfuerzo es posible terminar a pesar de las adversidades.

Agradecimientos

Al Instituto de Astronomía de la Universidad Nacional Autónoma de México por haberme permitido desarrollar esta tesis en sus instalaciones. A la Facultad de ingeniería por la formación que recibí. A mi asesor por guiarme para que la tesis llegara a buen término. A mis suegros y cuñadas por el apoyo que me brindaron para terminar la tesis.

Agradezco especialmente a mis padres que con gran esfuerzo me impulsaron a terminar la carrera y la tesis. A mi amada esposa que me apoyo en momentos complicados y me impulso a seguir adelante.

CONTENIDO

<u>Introducción.....</u>	1
1) <u>Sistema de detección de rayos Gamma.....</u>	4
1.1. <u>Rayos Gamma.....</u>	4
1.2. <u>Arquitectura del sistema de detección de rayos Gamma de alta energía.....</u>	6
1.3. <u>La detección de rayos Gamma.....</u>	8
1.4. <u>Luz Cherenkov.....</u>	11
1.5. <u>El PMT.....</u>	14
1.6. <u>Método ToT (Time over Threshold, tiempo sobre umbral)</u>	16
1.7. <u>Electrónica de los observatorios de rayos Gamma.....</u>	18
1.8. <u>Principio de operación de un TDC.....</u>	21
1.9. <u>Discriminación de la señal de forma analógica.....</u>	22
1.10. <u>Obtención de la señal producida por un PMT.....</u>	23
1.11. <u>Señal producida por un PMT.....</u>	25
1.12. <u>Reconstrucción del ángulo de incidencia de la fuente del rayo Gamma.....</u>	28
2) <u>FPGAs.....</u>	31
2.1. <u>Historia y Arquitectura de los FPGA.....</u>	32
2.2. <u>Software de programación.....</u>	37
2.3. <u>Tecnologías de programación.....</u>	38
2.3.1. <u>Tecnología de Fuse-link.....</u>	38
2.3.2. <u>Tecnología Antifuse.....</u>	39

2.3.3.	PROM.....	40
2.3.4.	EPROM.....	41
2.3.5.	EEPROM.....	43
2.3.6.	FLASH.....	43
2.3.7.	RAM.....	43
3)	<u>Selección del FPGA y su tarjeta de evaluación.....</u>	45
3.1.	<u>Requerimientos del sistema de discriminación.....</u>	45
3.2.	<u>Plataformas de FPGA evaluadas.....</u>	46
3.3.	<u>Chips de FPGA evaluados</u>	48
3.3.1.	Características de la tarjeta de Evaluación seleccionada <u>.....</u>	50
4)	<u>Discriminación con valores digitales.....</u>	54
4.1.	<u>Conversión Analógica Digital.....</u>	55
4.2.	<u>Determinación de los umbrales de discriminación.....</u>	57
4.3.	Selección del ADC.....	58
4.3.1.	<u>Convertidor CAD083000.....</u>	60
4.4.	<u>Proceso de discriminación con valores digitales.....</u>	64
5)	<u>Diseño y programación del algoritmo.....</u>	67
5.1.	<u>Algoritmo de discriminación.....</u>	67
5.2.	<u>Simulación de Software.....</u>	72
6)	<u>Pruebas en laboratorio.....</u>	76
6.1.	<u>Descripción de pruebas.....</u>	76

6.2. Arquitectura de pruebas de validación del Software de discriminación (arreglo de pruebas)	78
6.2.1. Arquitectura	80
6.3. Descripción de Software de discriminación	81
6.3.1. Tasa de transmisión	81
6.3.2. Rutina de reinicio	84
6.3.3. Rutina de recepción de datos	85
6.3.4. Rutina de transmisión de datos	88
6.3.5. Prueba de envío y recepción de datos	91
6.3.6. Algoritmo de Discriminación	91
6.3.7. Arreglo propuesto de interconexión de FPGA	94
6.3.8. Interfaz en LabVIEW™	96
7) Resultados	99
8) Conclusiones y perspectivas	104
Apéndices	106
Convertidor ADS5485	106
Convertidor ADC14V155	110
Bibliografía	114
Glosario	117

Introducción

La detección de rayos Gamma tiene varias aplicaciones. En ésta tesis nos enfocaremos en la aplicación astronómica, revisando los fenómenos astrofísicos que generan este tipo de energía como los agujeros negros o supernovas.

Los observatorios terrestres van aumentando la capacidad de detectar este tipo de energía. Con ellos se han encontrado otras fuentes de energía muy similares, que se han podido discriminar por la forma en que representan sus efectos en el Planeta.

En los observatorios la discriminación se hace de forma analógica multicanal por lo rápido que sucede el evento. También hay que tener en consideración que estos eventos no suceden todo el tiempo su aparición es aleatoria.

En este trabajo se propone establecer un sistema para realizar la discriminación de las señales de rayos Gamma de manera digital y mono canal.

Este sistema a diferencia del tipo analógico es más accesible y nos brinda la posibilidad de reconfiguración según se necesite, además, de tener la opción de hacer pruebas con los datos que se requieran en cualquier momento. Adicionalmente, se propone una estructura para realizar la detección de n señales generadas por igual número de sensores, con la finalidad de poder tener un sistema multicanal.

Los observatorios de detección de rayos Gamma como MILAGRO o HAWC cuentan con muchos detectores repartidos en una gran superficie. Para este caso se propone el desarrollo de un arreglo de pruebas de laboratorio, con un algoritmo implementado en un FPGA (Field Programmable Gate Array / Arreglo de compuertas programables en campo).

Para hacer la discriminación de señales que sean similares a las producidas por los efectos de los rayos Gamma, se trabajó con una señal simulada equivalente a la generada por un PMT al detectar estas partículas, ya que como se comentó no se tiene acceso a estos detectores y se visualiza la respuesta del procesamiento de la señal en la PC, resolviendo si es o no un evento parcial generado por un rayo Gamma.

Cabe hacer mención que originalmente esta tesis fue iniciada como parte de un desarrollo para colaboración en el proyecto HAWC.

En el Capítulo 1, se describe brevemente el concepto de rayo Gamma. El por qué se estudian los efectos que tienen en nuestro planeta así como las técnicas que se utilizan para su detección y en cuál de éstas basamos la tesis.

En el Capítulo 2, se explica que es un FPGA, un poco de su historia, las diferentes arquitecturas y por qué será útil.

En el Capítulo 3, se reportan los resultados de la investigación de las diferentes plataformas de tarjetas de FPGAs que hay en el mercado, evaluadas en función de las principales características del sistema de discriminación de la señal generada por un rayo Gamma.

El proceso para escoger un ADC (del Inglés: Analog to Digital Converter) compatible con el FPGA y tarjeta de evaluación seleccionados se describe en el Capítulo 4. Cabe mencionar que con este chip se desarrolló un esquema de discriminación.

En el Capítulo 5, presenta el desarrollo del algoritmo de discriminación que posteriormente se programó en el FPGA. Con el ADC se generan los valores digitales de la señal y el FPGA se encarga de analizarlos haciendo la discriminación, dándonos así una respuesta.

En el Capítulo 6, se describen varias pruebas de simulación realizadas antes de descargar físicamente el programa al FPGA. Como el desarrollo de una tarjeta para el ADC representa un periodo muy extenso se optó por emular la señal desde una PC para ser transmitida al FPGA.

Una vez que la simulación del algoritmo fue revisada y funcionó como se esperaba, se realizaron las pruebas en el FPGA. Se corroboró su funcionamiento y se realizaron los ajustes para que el algoritmo funcionara correctamente. Para realizar lo anterior, se desarrolló una interfaz en LabVIEW™ con la finalidad de emular la señal y mandar los datos hacia la tarjeta que contenga el FPGA con el algoritmo cargado, mediante la tarjeta de evaluación. Además se describe el arreglo de detección equivalente al usado en un observatorio, el cual será también incluido en el FPGA.

En el Capítulo 7, se presentan los principales resultados.

1) Sistema de detección de rayos Gamma

La detección de rayos Gamma provenientes de fuentes astronómicas nos interesa porque con ella lograremos encontrar nuevos puntos de observación en el espacio. Para que en la Tierra nos enteremos de que un fenómeno astrofísico se presenta tenemos diferentes técnicas, una de ellas es la detección de rayos Gamma. Algunos de estos fenómenos tienen emisiones de rayos de este tipo, pero no lo hacen todo el tiempo y lo realizan de forma aleatoria.

1.1. Rayos Gamma

El espectro electromagnético (Figura 1.1.1) es un conjunto de ondas de diferentes características, las cuales se clasifican de acuerdo con su longitud, frecuencia y energía. Los rayos Gamma son ondas electromagnéticas que contienen mayor energía que las ondas de radio, microondas o el espectro visible y también tienen una menor longitud de onda que éstos.

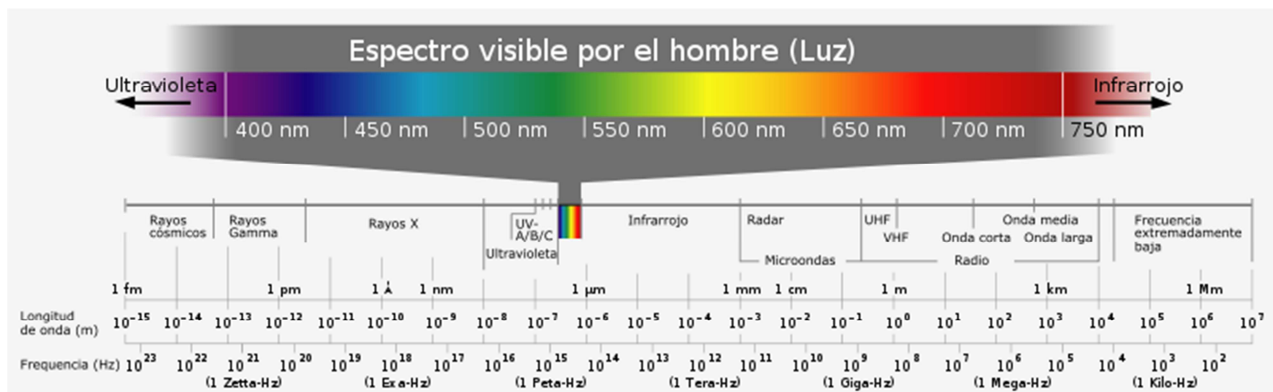


Figura 1.1.1.- Espectro electromagnético [FRE03].

Los rayos Gamma son un tipo de radiación electromagnética (como la luz), por tanto, están constituidos por fotones de muy alta energía, lo que les proporciona una naturaleza dual al igual que la luz, es decir, se puede comportar como onda o como partícula. La energía que poseen es la que determina la naturaleza con la que se comportarán.

En el caso de los rayos Gamma la naturaleza que prevalece es la de partícula porque están formados por fotones, los cuales no poseen masa, ni carga eléctrica y su energía se mide en electrón volts (1 eV es igual a $1,602176462 \times 10^{-19}$ J, que es equivalente a la energía que adquiere un electrón al ser acelerado en el vacío por 1 volt).

Los rayos Gamma estudiados provienen de objetos celestes con condiciones físicas extremas en los que se producen partículas de las más altas energías.

La Astronomía de rayos Gamma de alta energía es posible gracias al estudio de procesos del universo, tales como son galaxias activas, remanentes de supernovas, explosiones de rayos Gamma (GRB del Inglés: Gamma Ray Bursts) y agujeros negros.

Con el paso de los años y el avance tecnológico se han encontrado radiaciones de mayor energía, por lo que se ha recurrido llamar "rayos Gamma" a aquellas radiaciones detectadas con observatorios satelitales y "rayos Gamma de alta y/o muy alta energía" a las que se detectan con observatorios terrestres.

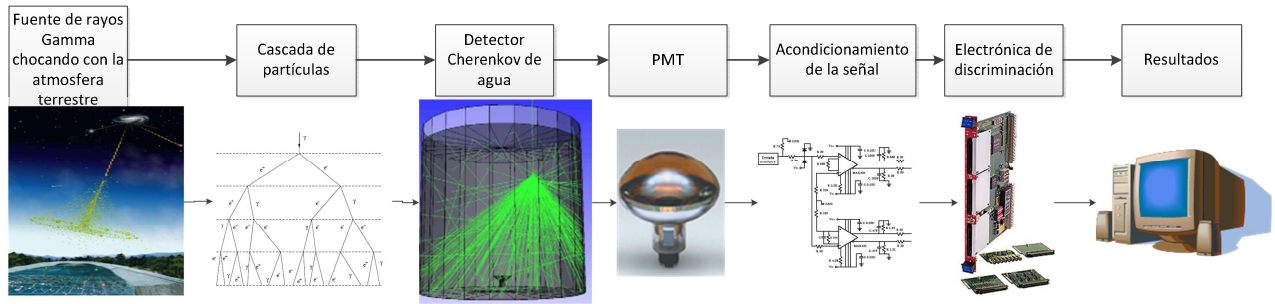
1.2. Arquitectura del sistema de detección de rayos Gamma de alta energía

La Figura 1.2.1 muestra la arquitectura de detección de rayos Gamma de alta energía. En este capítulo se describirán los subsistemas que componen esta arquitectura. Dado que este tipo de detección es en la que se base la tesis, a partir de este punto nos referiremos a ella como “Detección de rayos Gamma”.

Hay que decir que lo que se detecta en los observatorios a los que haremos referencia no son rayos Gamma directamente, sino el efecto que éstos producen en la atmósfera terrestre, como se describirá a detalle más adelante.

Cuando una de estas fuentes genera un rayo Gamma que choca con la atmósfera de la Tierra (como se observa en el primer bloque de la arquitectura) ésta evita que el rayo atraviese directamente hasta la corteza terrestre.

Lo que sucede en realidad es que al chocar con la atmósfera este rayo se descompone en diferentes partículas, las cuales a medida que caen hacia la corteza terrestre van aumentando en cantidad provocando una cascada de partículas. Lo anterior, se explica con más detalle en el subcapítulo 1.3.



1.2.- Arquitectura de detección de rayos Gamma [HAW11, CAE16, INA16, REV16, RAM16].

Gracias a esta cascada podemos reconstruir la dirección del rayo Gamma que la causó, usando un arreglo de detectores Cherenkov en agua. Éstos detectores estarán ubicados en un área determinada y se irán activando conforme las partículas vayan cayendo sobre la superficie sensible de los mismos.

Con la información de cuándo y que detectores se activaron se genera un plano, con el que se logra reconstruir la dirección en la que arribó el rayo Gamma. Con esa dirección se podrá dirigir otro observatorio o telescopio, con la finalidad de ubicar la fuente de origen del rayo detectado.

La detección de las partículas de una cascada se realiza usando detectores sumergidos en agua, los cuales se activan por la luz que generan estas partículas al estar en ese medio.

Como en el universo los fenómenos astrofísicos no sólo generan rayos Gamma sino también otro tipo de radiaciones, es necesario discriminar que es lo que se está detectando.

Para esta discriminación se utiliza una electrónica especial la cual analiza la señal producida en los detectores, comparándola contra los datos esperados y así definir si es o no un evento provocado por un rayo Gamma. En adelante nos referiremos a este evento como “evento esperado”. En esta tesis nos enfocaremos en la discriminación de esta señal.

1.3. La detección de rayos Gamma

En los detectores basados en satélites el flujo de rayos Gamma que puede ser medido es muy bajo, por lo que para mejorar la detección se utilizan técnicas en la cuales se hacen las mediciones desde la Tierra de forma indirecta.

Los rayos Gamma de alta energía interactúan con la atmósfera terrestre produciendo una cascada de partículas llamada “cascada atmosférica extensa” (del Inglés: Extensive Air Shower [EAS] / Figura 1.3.1).

Estas cascadas están formadas por partículas y fotones provenientes de los rayos Gamma absorbidos por la atmósfera terrestre, los cuales se van separando en más partículas entre más penetran en la atmósfera.

Después de penetrar la atmósfera 20 km los fotones absorbidos se convierten en un electrón y un positrón (electrón de carga positiva), los cuales penetran unos 3 km más antes de emitir un fotón cada uno, con lo que el rayo Gamma original se ha repartido en cuatro partículas, las cuales se irán multiplicando así mismas siguiendo el mismo patrón.

Con el aumento en la densidad del aire se tendrá que estas reacciones se darán cada vez a distancias menores, por lo que a 2700 metros de la corteza terrestre tendremos un millón de partículas.

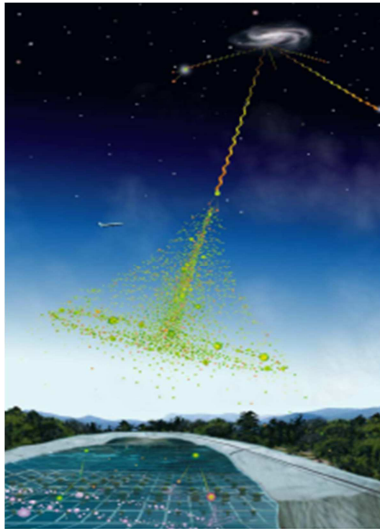


Figura 1.3.1.- Representación de una fuente de rayos Gamma inciendiendo en la superficie del planeta [HAW11].

Al acercarse al ras del suelo el incremento en las partículas no permitirá que el detector tenga una buena eficiencia para reconstruir la dirección del rayo Gamma original. Al haber más partículas expandidas se hace necesario aumentar el área efectiva de detección.

Si no se abarca una gran área de la cascada de partículas, no se puede estar seguro de que al reconstruir la dirección del rayo Gamma original se haya cometido un error por las perturbaciones de estas partículas en la atmósfera.

Para facilitar la detección correcta del rayo este tipo de detectores se colocan a una altura en la cual la cantidad de partículas de la cascada no es tan grande y se abarca un área menor; dado lo anterior, se incrementa la precisión en la detección de la dirección del rayo Gamma original.

Además de rayos Gamma también se tienen los rayos cósmicos que chocan con la atmósfera y también producen cascadas de partículas, pero de un tipo distinto denominado cascadas hadrónicas.

Para diferenciar el tipo de cascada existente se sabe que las cascadas hadrónicas tienen la presencia de muones, que son partículas más penetrantes y que pueden activar varias zonas del área de detección al mismo tiempo. En cambio, las cascadas producidas por rayos Gamma sólo activan una zona a la vez (Figura 1.3.2), lo que permite discriminar el tipo de cascada presente.

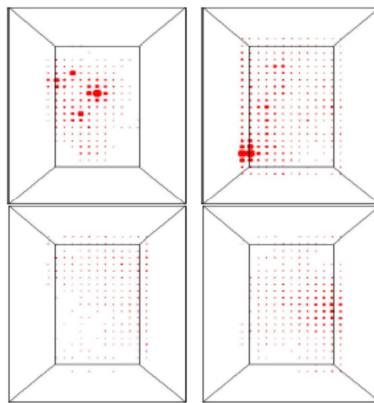


Figura 1.3.2.- Parte superior: efectos de una cascada de protones.

Parte inferior: rayos Gamma [HAW11].

Para detectar los rayos Gamma existen dos técnicas:

- 1) Telescopios Cherenkov atmosféricos (Figura 1.3.3). A pesar de la ventaja de contar con un área grande de detección, los telescopios Cherenkov atmosféricos tienen dos fuertes limitaciones: una es que requieren de cielos oscuros para poder detectar la radiación Cherenkov. Por lo que sólo en noches claras se puede realizar la detección.

La otra es que los telescopios deben de estar enfocados a una región determinada del cielo, por lo cual se requiere conocer previamente el objeto a estudiar.

- 2) Detector de emisión Cherenkov en agua. Con este detector se obtienen imágenes de las cascadas atmosféricas, logrando así una mejor discriminación de partículas y una mayor resolución angular de la dirección de las cascadas.

Los observatorios Cherenkov de agua son capaces de detectar rayos Gamma desde cualquier dirección, dentro de un cono de unos 45 grados de apertura con respecto a la vertical, lo que es correspondiente a un 15% del cielo durante las 24 horas del día.

1.4. Luz Cherenkov

La luz Cherenkov se produce cuando partículas cargadas que se mueven más rápido que la luz en un medio generan un tipo de radiación, fue Pavel Cherenkov quien lo demostró entre 1930 y 1950.

Se tiene que la velocidad de la luz en el vacío representa un límite el cual no puede ser superado, pero cuando la luz viaja en un medio como por ejemplo el aire o el agua ve reducida su velocidad.

Con esta idea se puede hacer la detección de partículas usando un detector en agua, donde estas irán más lento que la luz y por lo tanto pueden ser registradas.

Se desean detectar rayos Gamma porque a diferencia de los rayos cósmicos, estos rayos no son desviados por los campos magnéticos de las galaxias por las que pasan, con lo se tiene la certeza de que en la dirección de ese rayo se encuentra la fuente que los genero.

Dado que la producción de rayos Gamma requiere de partículas cargadas de alta energía, se encontrará que la fuente que los genera coincide también con la fuente de rayos cósmicos.

Para encontrar la dirección donde el rayo Gamma que incide sobre la atmósfera terrestre, se hace uso un sistema que consta de varios tubos fotomultiplicadores o PMTs (del Inglés Photo Multiplier / Figura 1.4.1 y Sección 1.5) tanques, electrónica y software.

Cada uno de estos PMT se coloca en un tanque lleno con agua purificada (Detector Cherenkov / Figura 1.4.2) y se acomodan en un arreglo con en el cual se puede obtener la información de la dirección del rayo Gamma por los disparos de cada PMT al tener contacto con las partículas del frente de la cascada. Estos disparos son discriminados usando la electrónica y el software.

La cantidad de agua que debe haber en el detector Cherenkov debe ser suficiente para que todos los fotones del rayo Gamma generados en la cascada que inciden en el tanque se conviertan en electrones y positrones. Pero no tan profunda como para que absorba la luz producida en la parte superior antes de llegar al PMT.



Figura 1.4.1.- Tubo fotomultiplicador (PMT) [HAM16].

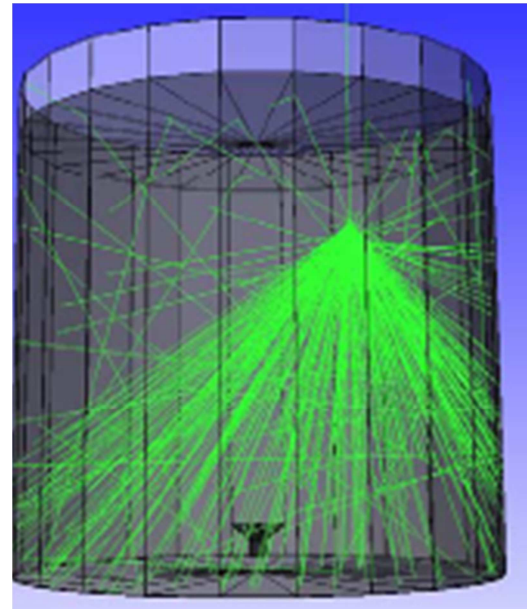


Figura 1.4.2.- Tanque con detector de luz Cherenkov [HAW11].

El tiempo de observación de este fenómeno se incrementa por dos razones: por el tiempo que tarda la luz en llegar desde el tope del tanque al PMT y por el tiempo en que se producen el par electrón-positrón cerca del PMT, por lo que la resolución angular y el umbral de energía dependen de la altura del agua.

Utilizando diferentes alturas se determinó que para obtener la mejor sensibilidad para una fuente de rayos Gamma la profundidad óptima del agua es de 1.2 metros sobre el PMT.

1.5. El PMT

El tubo fotomultiplicador (PMT) es un dispositivo sensible, que consiste en una ventana de entrada, un fotocátodo, electrodos de enfoque, un multiplicador de electrones o dinodo y un ánodo, todo dentro de un tubo al vacío (Figura 1.5.1).

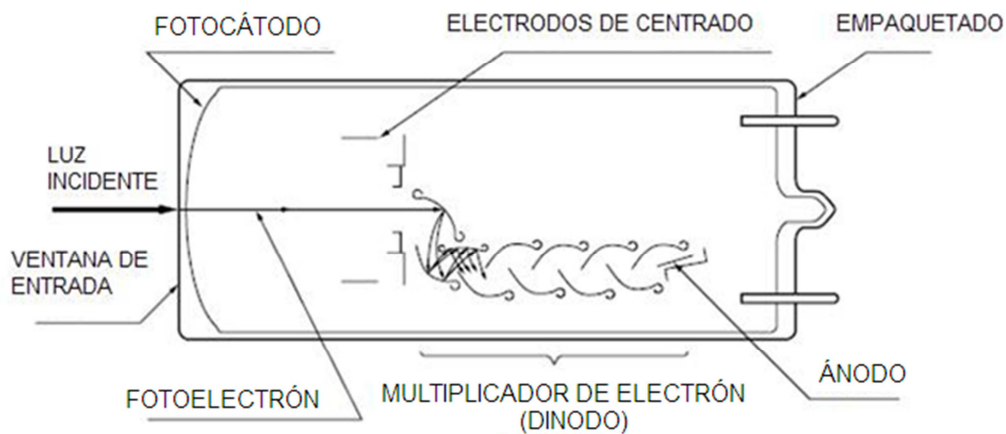


Figura 1.5.1.- Corte seccional de un PMT [HAM16].

Cuando la luz entra al fotocátodo por la ventana, ésta emite fotoelectrones dentro del tubo al vacío, esto por el efecto fotoeléctrico que ocurre en el exterior del tubo. Estos fotoelectrones son dirigidos por el potencial creado en los electrodos de enfoque, hacia el multiplicador de electrones, donde los electrones son multiplicados por el proceso de emisión de electrones secundario; la multiplicación de electrones es colectada en el ánodo, el cual produce la señal de salida.

El ánodo produce la salida, que es producto de la corriente del fotocátodo y de la ganancia. La corriente fotoeléctrica es proporcional a la intensidad de luz incidente y la ganancia es determinada al aplicar voltaje en un divisor de voltaje específico.

En el multiplicador de electrones los fotoelectrones emitidos por el fotocátodo son acelerados por un campo eléctrico hacia el primer dinodo, el que produce una segunda emisión de electrones, la cual incide en el dinodo siguiente produciendo otra emisión de electrones, lo anterior se repite en cada dinodo como un proceso en cascada que aumenta la ganancia.

La corriente oscura del ánodo y el ruido resultante de factores críticos marcan el límite mínimo de luz a detectar. La corriente oscura se da cuando el PMT opera en completa oscuridad es decir, que cuando no hay incidencia de luz se tiene una corriente muy pequeña en el PMT.

La corriente oscura puede ser causada por los efectos de terminado en los materiales del PMT, por ionización dentro del PMT, por residuos de gases, por destellos del cristal, por bajas óhmicas (humedad, falla del vacío) o por emisión de campo (al trabajar con altos voltajes).

El conteo de destellos es el método más común y efectivo para detectar la radiación de partículas, para lo cual se usa un PMT acoplado con un destellador, que produce luz por la incidencia de partículas, la cantidad de destellos es proporcional a la energía de la partícula incidente y la luz individual de cada destello es detectada en el PMT.

Los observatorios como HAWC, MILAGRITO y MILAGRO utilizan detectores Cherenkov de agua y el PMT escogido para éstos fue el Hamamatsu R5912SEL PMT con 20 [cm] de diámetro.

El PMT funciona con un alto voltaje positivo, para que el fotocátodo este al mismo potencial que el agua a su alrededor.

Se utiliza un cable coaxial de 75 $[\Omega]$ para suministrar el alto voltaje al PMT y mandar las señales de éste a la electrónica correspondiente.

1.6. Método ToT (Time over Threshold, tiempo sobre umbral)

El método ToT (del Inglés: Time over Threshold / tiempo sobre umbral) tiene ventajas sobre el sistema de medición de altura de pulsos convencional con convertidor analógico digital (ADC del Inglés: Analog to Digital Converter), debido a su alta integración, la simplicidad del circuito y la baja disipación de energía que ocasiona la lectura binaria.

Sin embargo, la relación entre ToT contra entrada es altamente no lineal, por lo que se requiere una reconstrucción con tabla de referencia. Esta no linealidad degrada la energía de resolución y distorsiona el espectro, por esa razón algunos investigadores utilizan sistemas ToT con 3 ó 4 niveles de umbral los cuales tienen mejor intervalo dinámico pero complican los circuitos y el post-procesamiento.

Para la tesis se utilizó como referencia el método ToT empleado en observatorios como MILAGRO o HAWC, utilizando dos niveles de umbral. Se utiliza para recabar información de las señales provocadas en el PMT y así poder realizar la discriminación.

El método ToT se utiliza para convertir una señal analógica en una señal cuadrada, donde cada flanco nos indica un punto específico de la señal, estos son definidos mediante la detección de los umbrales de discriminación, como se observa en la Figura

1.6.1.

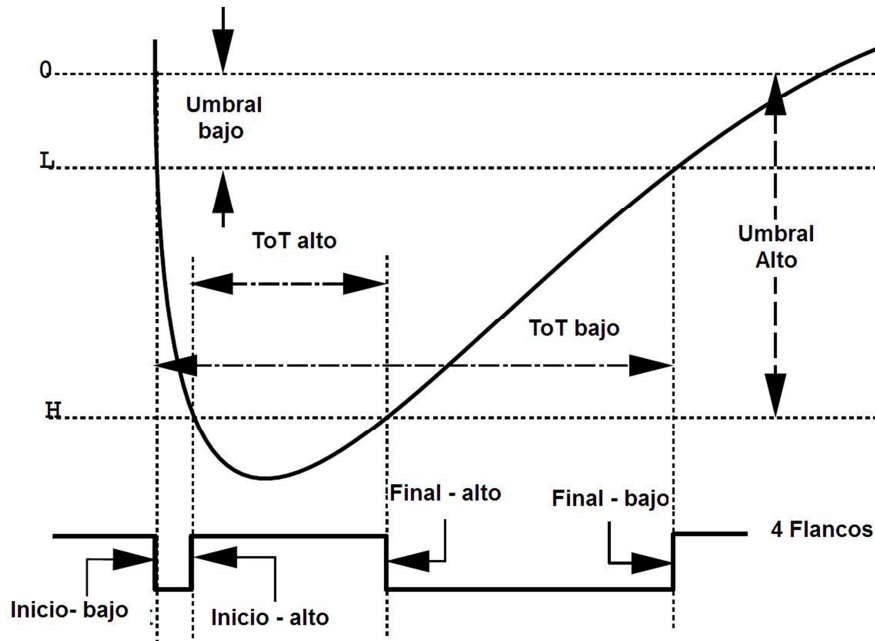


Figura 1.6.1.- Método ToT [WAN01].

Para formar la señal ToT, se inicia con la detección del primer umbral, en este caso el umbral bajo (L), con esta detección se da inicio al primer flanco de la señal cuadrada, provocando un cambio de valor. Al detectar el umbral alto (H) se tendrá otro cambio de valor en la señal ToT y se tendrá el flanco de inicio del umbral alto.

Conforme avance el tiempo se detectara nuevamente el umbral alto, con lo que se generara el flanco final del umbral alto, generando un cambio de valor en la señal ToT. Por último se detectara el umbral bajo, generando el ultimo flanco y cambio de valor en la señal cuadrada.

De esta forma se tiene la información de detección de los umbrales y la duración de la señal entre estos umbrales, con la cual es posible realizar la discriminación.

1.7. Electrónica de los observatorios de rayos Gamma

La función de la electrónica es discriminar la señal producida por cada PMT proveyendo un cronometraje. Adicionalmente, con base en un disparo se debe registrar la hora exacta de llegada de las cascadas.

La información de cada pulso se medirá usando la técnica de tiempo sobre umbral (ToT); el buen cronometraje en la información es independiente del pre-pulso del PMT y de tener un intervalo dinámico grande en la medición del alto de pulso. El cronometraje y la información del ToT se determina con dos diferentes discriminadores de umbral uno bajo de $\frac{1}{4}$ de PE (del Inglés: PhotoElectrón / fotoelectrón) y otro alto de 5 PE.

Con una tarjeta analógica se inicia el procesamiento de la señal del PMT (Figura 1.7.1). La señal del PMT es obtenida y añadida a la entrada del amplificador por un capacitor de alto voltaje en la tarjeta analógica: La señal analógica de cada PMT es dividida y pasada por dos amplificadores con diferentes ganancias, las señales amplificadas son integradas en un capacitor con una descarga constante de 100 [ns], este valor se escogió para minimizar el efecto de retraso en la medición del TOT.

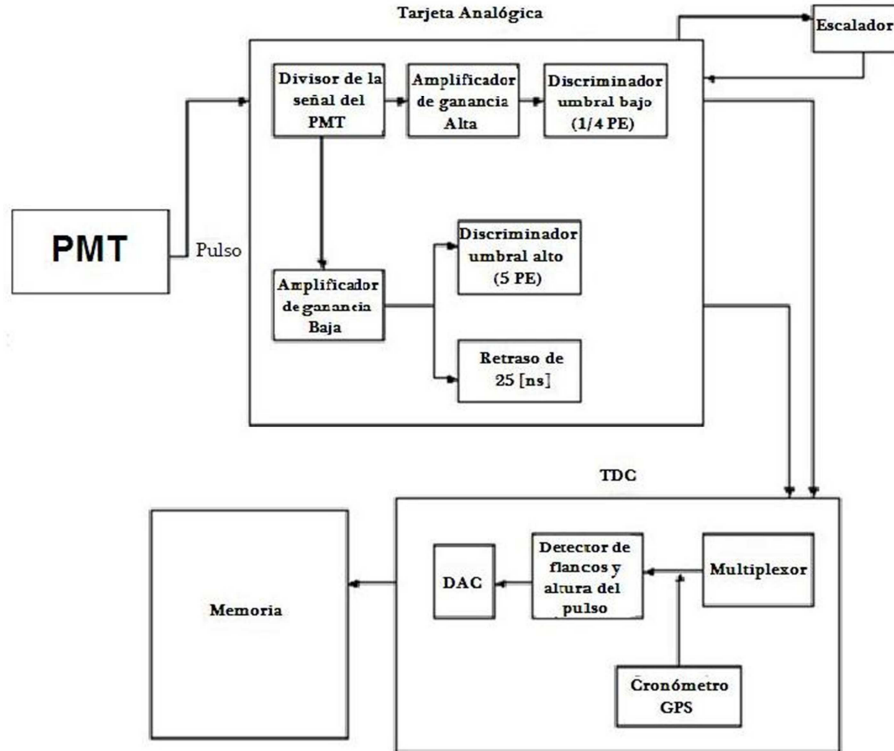


Figura 1.7.1.-Procesamiento de la señal de un PMT [HAW11].

La salida del amplificador con la ganancia más alta es la entrada del discriminador de umbral bajo. La ganancia del amplificador y el discriminador de umbral se fijan de manera que la señal del PMT este cerca de $\frac{1}{4}$ PE.

La salida del amplificador de menor ganancia se divide en dos: una se conecta a un chip que provee un retraso en el pulso analógico para que pueda ser integrado con un ADC externo y la otra va al discriminador de umbral de 5 PE. Los dos discriminadores generan pulsos TOT, la salida de los discriminadores son enviados a una tarjeta digital que realiza el procesamiento digital de la señal.

La tarjeta digital con el uso de un multiplexor, manda las señales a los discriminadores de umbral, proporcionando el disparo y monitorización de la información (Figura 1.7.2). Cada señal del PMT atraviesa un discriminador de umbral generando un pulso de duración fija de 300 [ns] y 25 [mV] de amplitud. La información del disparo es simplemente la suma analógica de la duración de los pulsos. La información que es multiplexada se obtiene de forma independiente de cada discriminador.

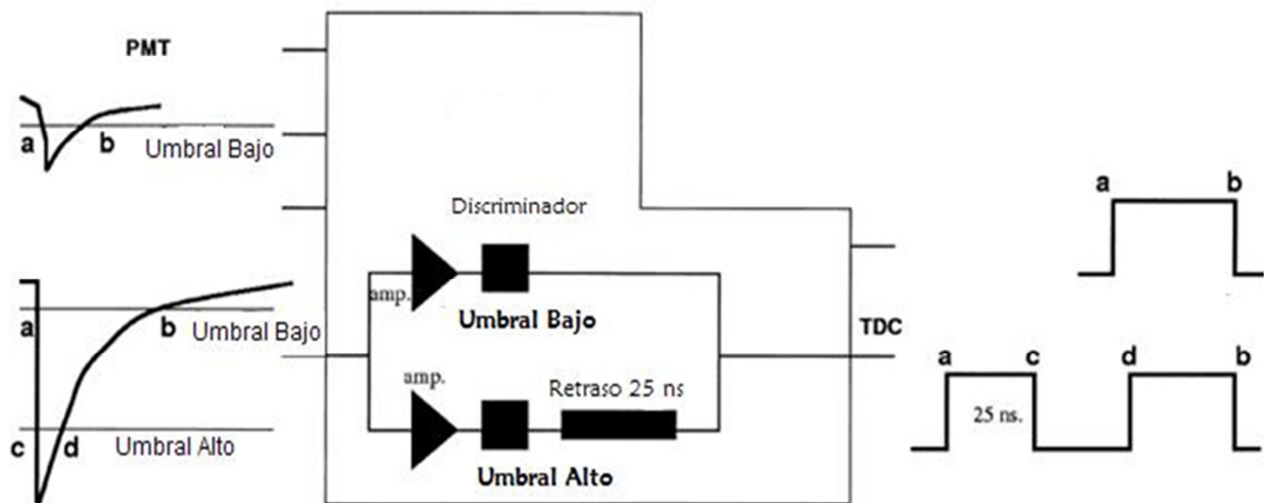


Figura 1.7.2.- Discriminación de umbrales [ATK00].

Para el observatorio MILAGRITO sólo se utilizó la información del umbral bajo para el disparo, mientras que para los laboratorios como MILAGRO y HAWC se utilizan ambos.

1.8. Principio de operación de un TDC

El sistema TDC (del Inglés: Timing to Digital Converters / Convertidor de tiempo digital) ha sido diseñado para la medición de intervalos de tiempo de inicio y fin de señales. Para intervalos de tiempo largos se emplea un contador y un reloj de referencia. El tiempo medido es el número de cuentas multiplicado por el periodo del reloj (la resolución del TDC depende del periodo de referencia del reloj), el tiempo más pequeño es archivado y usado como reloj de alta frecuencia. La frecuencia del reloj de referencia está limitada por el rango dinámico del contador de tecnología CMOS.

Con esquemas de conversión con dos niveles se puede mejorar la resolución del TDC. En esta arquitectura se emplea al contador para la conversión secundaria y una tecnología de muestreo multifase para la conversión fina.

Los relojes multifase son hechos por un generador de tiempo con periodo de referencia de un reloj, un retraso en lazo cerrado es usualmente usado como un generador multifase.

Cuando el periodo de tiempo ToT es medido por el TDC una parte es medida con el contador y otra con el sistema de muestreo multifase.

La señal de entrada es sucesivamente retasada por una estructura jerárquica, con los flancos de la señal se crea un historial del paso de la señal por cada demora para hacer la compensación de la señal.

Usado un latch se capturan los últimos datos de la señal de la última demora. Usando el flanco de bajada de la señal de reloj estos datos son enviados a un decodificador, cuya función es señalar la secuencia de rutas de demora por las que paso la señal, por lo que, tomando los flancos de subida de la señal se puede obtener la información para ser traducida en un código binario.

1.9. Discriminación de la señal de forma analógica

El siguiente método que se describe se utiliza en observatorios como MILAGRITO, MILAGRO y HAWC para discriminar la señal de cada PMT en forma analógica.

La señal analógica de entrada se inyecta a un arreglo de un par de diodos y una resistencia de 20 $[\Omega]$ como se observa en la Figura 1.9.1, proporcionando una protección de entrada para el circuito.

Si un condensador de alto voltaje falla o un arco se observa, estos componentes tendrán más probabilidades de ser reemplazados, el pulso de entrada se divide en dos y se envía a los amplificadores MAX435 que dan una salida diferencial.

Los pulsos de umbral bajo y alto son integrados con una constante de tiempo de aproximadamente 80 [ns]. Tienen un diferencial final de ganancia de aproximadamente 7 para el umbral bajo y 1 para el umbral alto.

Estas dos señales diferenciales son acopladas capacitivamente en la parte del discriminador del circuito.

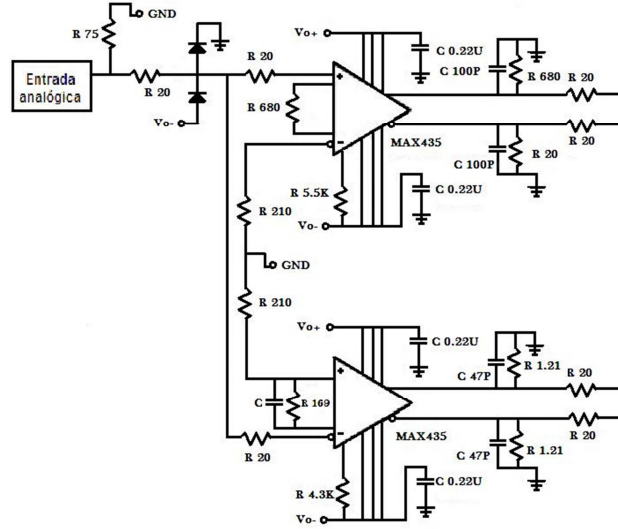


Figura 1.9.1.- Circuito discriminador analógico [HAW11].

Por ejemplo, para un pulso de 100 [mV] se esperaría ver un par de pulsos de aproximadamente 350 [mV] y -350 [mV] en la entrada del discriminador de umbral de bajo y un par de pulsos de 50 [mV] y -50 [mV] en el discriminador de umbral alto. Estos pulsos diferenciales siempre deben ser idénticos en tiempo, amplitud y decadencia.

La existencia de estos pulsos determina como se discrimina esta señal, ya que si sólo se presenta alguno de los dos, no es una condición suficiente para afirmar que sea una señal producida por un rayo Gamma.

1.10. Obtención de la señal producida por un PMT

La señal producida por un PMT se obtiene con una tarjeta analógica en la cual se hace la discriminación de la señal que produce cada PMT de forma multicanal.

Hay tres umbrales estables situados en la entrada de la tarjeta, estos son el umbral del discriminador bajo amplificado (por lo general alrededor de 30 [mV]), el umbral del discriminador alto (por lo general alrededor de 80 [mV]), y el umbral del discriminador de la suma analógica. Es posible observar directamente la señal de PMT mediante un divisor de tensión y un capacitor de 100 [pF] con la terminación de alta impedancia. La capacitancia de la sonda del osciloscopio ligeramente distorsiona este pulso.

La señal analógica se encuentra sobre una superficie de seguimiento que va desde dos grandes condensadores de 33 [nF] (que están conectados en paralelo Figura 1.10.1) a la entrada de la sección analógica de la tarjeta.

Otros componentes de esta sección incluyen una resistencia de alto voltaje. Se trata de una resistencia de socket que se puede cambiar para ajustar el nivel de alta tensión en un determinado canal, además se utiliza un condensador de 10 [nF] el cual proporciona un filtrado para la distribución de la alta tensión.

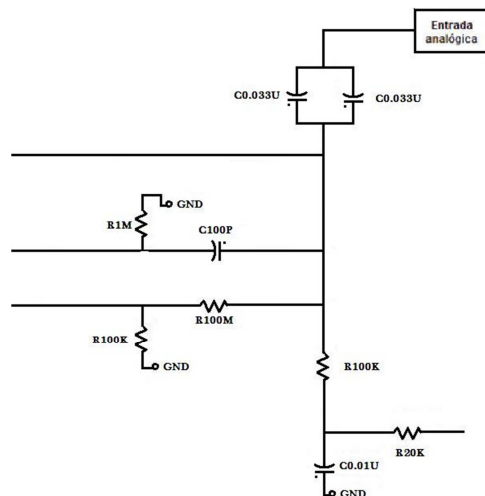


Figura 1.10.1.- Circuito de señal analógica [HAW11].

1.11. Señal producida por un PMT

La señal producida por un PMT es aperiódica, o no periódica. Ya que por la naturaleza de la fuente que genera los rayos Gamma, los eventos ocurren aleatoriamente. Pero podemos analizar este tipo de señales mediante la “transformada de Fourier”, la cual nos dice, que cualquier señal aperiódica, puede ser descompuesta en un número infinito de señales periódicas [OPP98].

Dado que las señales aperiódicas pueden ser:

- 1) Estrictamente limitadas en el tiempo: Son aquellas señales que por sí mismas tienen un nacimiento y un final. Por ejemplo, un impulso eléctrico.
- 2) Asintóticamente limitadas en el tiempo: Son aquellas que producto de ser racionales y como resultado de una división, en ciertos puntos, tienden a infinito.

Se puede definir que la señal que usaremos es del tipo estrictamente limitada en el tiempo; por lo que podemos decir que se puede analizar esta señal como si fuera periódica y así obtener una frecuencia de la señal, para encontrar un ADC que pueda convertir la señal en valores digitales.

La detección de rayos Gamma se hace usando los pulsos que nos da el PMT, aquellos que cumplen con pasar los dos umbrales son los que nos interesan, como se muestra en la siguiente gráfica (Figura 1.11.1).

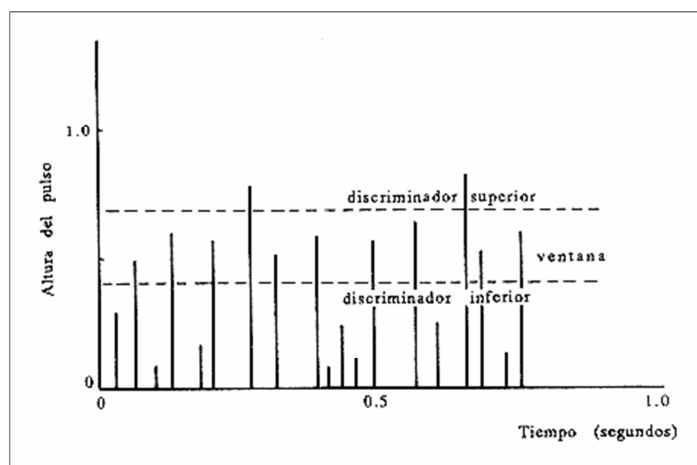


Figura 1.11.1.- Ventana de discriminación [HAW11].

En la Tabla 1.11.1 se muestran los valores de umbrales de detección para diferentes partículas que pueden ser detectadas por un PMT.

Tabla 1.11.1 Datos de umbrales

Partícula	U_L	U_H
Rayo Gamma	4.19 [mV]	80 [mV]
Rayos cósmicos	30 [mV]	50 [mV]
Neutrinos	1.57 [mV]	800 [mV]

Para los rayos Gamma que son los que nos interesan, se suele usar una amplificación con ganancia de aproximadamente 7 para detectar el umbral bajo, de esta manera este umbral se define en 30 [mV].

La Figura 1.11.2 muestra la señal en la que nos basamos para hacer las comparaciones. La señal fue obtenida usando un cable atenuador x20 de 1000 FT BELDEN 8241 RG-59U de 75 ohm, conectado un generador de señales, el cual, da como resultado una señal con las mismas características que la salida de un tubo PMT del proyecto MILAGRO.

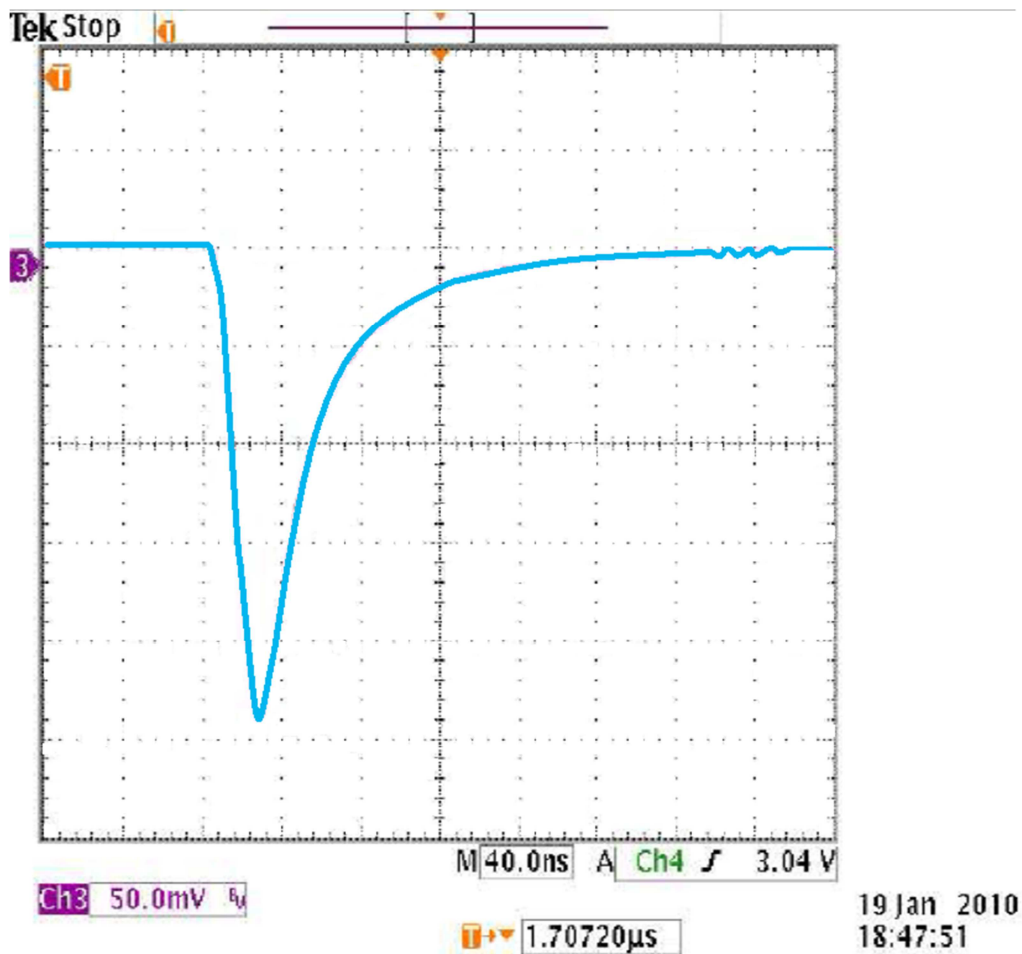


Figura 1.11.2.- Señal [ABE10].

Como se observa de la imagen, la amplitud máxima obtenida en el osciloscopio es de aproximadamente 240 [mV], aunque no todas las señales poseen la misma amplitud, estas deben de estar cerca de este valor. La duración de esta señal es de 192 [ns] aproximadamente y alcanza su valor máximo en aproximadamente 15 [ns].

De lo anterior se observa que existe una diferencia en duración y amplitud contra la información reportada de los observatorios. Esto es debido a que la señal se acondiciona para ser visualizada en el osciloscopio, comparando la señal imagen contra lo esperado se deduce que existe aproximadamente una diferencia en ganancia de 10 en amplitud y tiempo, con lo cual la amplitud de la señal producida en el PMT sería de aproximadamente 24 [mV] y tendría una duración muy cercana a los 15 [ns].

Además, usando la información del observatorio MILAGRO, la cual nos dice que este posee 228 PMTs y que para la discriminación de un evento generado por rayos Gamma necesitan de la activación de 90 a 100 PMTs, para alcanzar en una ventana de 300 [ns] un voltaje acumulado de 2.5 [V], se desarrolló el algoritmo que hace la discriminación digital.

1.12. Reconstrucción del ángulo de incidencia de la fuente del rayo Gamma

Cada evento es reconstruido para determinar la dirección de incidencia de la primera partícula, la localización del núcleo de la cascada y el tamaño de la cascada.

En la Figura 1.12.1, se observan las señales producidas por una cascada generada por un rayo Gamma, las cuales muestran su ubicación dentro del observatorio.

La imagen corresponde al observatorio MILAGRITO, como se aprecia se puede generar un plano con el cual se puede reconstruir la dirección del rayo Gamma original que formó esta cascada.

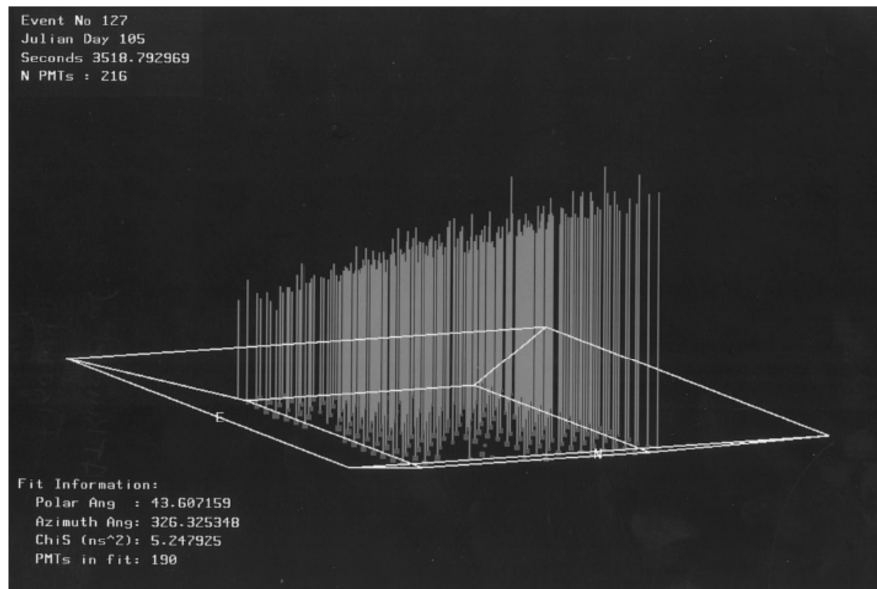


Figura 1.12.1.- Ilustración de cómo las señales de PMT son usadas para reconstruir las dirección de incidencia [ATK00].

Para determinar la dirección de incidencia de la fuente de rayos Gamma se tienen que realizar algunas correcciones usando un ajuste ponderado de mínimos cuadrados (χ^2).

El ajuste es individual para cada detector, esto para realizar la selección de una muestra de detecciones con la que se estimará la dirección de la cascada. Dicha muestra se compone de varias detecciones que llegaron cerca del centro del punto.

Este procedimiento se hace iterativamente en cada detección examinando las diferencias de tiempo de activación de los PMTs. La posición de los picos es usada para

la corrección de muestreo, este procedimiento se repite hasta que no hay cambios apreciables en las iteraciones.

La incidencia de la cascada de partículas no es en realidad un plano pero es muy aproximado a un cono con un vértice en el núcleo de la cascada. La pendiente del cono es medida desde el núcleo de la cascada y se conoce como la curvatura del frente de la cascada.

2) FPGAs

Un FPGA (del Inglés: Field Programmable Gate Array / Figura 2.1) o arreglo de compuertas programables en campo, es un circuito integrado que contiene bloques lógicos reconfigurables (programables) con interconexiones configurables entre estos bloques, por lo que son muy prácticos en su implementación dependiendo la manera en la que son puestos en funcionamiento. Algunos FPGAs sólo pueden ser programados una vez, mientras que otros pueden ser reprogramados en varias ocasiones (algunos chips pueden ser reprogramados al menos 100,000 veces).

Se usan los FPGAs porque estos al tener un diseño base se pueden reprogramar muchas veces dependiendo de la función que se requiera realizar. En cambio en un ASIC (del Inglés: Application Specific Integrated Circuit / Circuito Integrado de Aplicación Especifica) esto no ocurre debido a que se diseña un circuito específico para cada aplicación que se desee hacer y no es posible reconfigurarlo mediante programación.

La ventaja de un FPGA sobre los CPLD (del Inglés: Complex Programmable Logic Device / Dispositivo Lógico Programable Complejo) y los ASIC es que, los primeros, cuentan con características de ambos. Un FPGA puede realizar funciones muy complejas como lo haría un CPLD, y contiene cientos de millones de compuertas lógicas como un ASIC.



Figura 2.1.- FPGA [XIL16, ALT16].

Un FPGA puede contener desde algunos miles de elementos lógicos hasta millones de ellos, esto se ve claramente en el chip de Stratix V™ de Altera® que contiene hasta 1,087,000 elementos lógicos programables.

Para programar un dispositivo existen varias tecnologías como son: Fuse-link, Antifuse, SRAM y FLASH, PROM, EPROM, EEPROM, pero las más comúnmente utilizadas para reprogramar son las últimas cuatro, ya que las dos primeras se utilizan para hacer una programación definitiva.

2.1. Historia y Arquitectura de los FPGAs

Xilinx® lanzó el primer FPGA en 1984 pero no fue muy utilizado en ese entonces, su uso se dio más tarde por el comienzo de los años 90.

Los primeros circuitos integrados programables fueron referidos como PLDs (del Inglés: Programmable Logic Devices / dispositivo lógico programable).

El primer componente programable apareció en 1960, aunque era algo simple. A finales de los sesentas aparecieron otros dispositivos más complejos, por lo que para diferenciarlos se les llamó CPLD (del Inglés: Complex PLD / PLD Complejo) y a los anteriores se les denominó SPLD (del Inglés: Simple PLD / PLD Simple).

Las primeras PROM aparecieron en 1970, una forma en la que se puede considerar este dispositivo es como un arreglo fijo de funciones AND, que controlan un arreglo programable de funciones OR. Aunque originalmente fueron creadas para almacenar instrucciones y valores constantes, se encontró que con estos dispositivos se pueden hacer pequeñas funciones lógicas.

Dadas las limitaciones de la arquitectura PROM se dio el siguiente paso dentro de los PLD con la creación de las PLA (del Inglés: Programmable Logic Arrays / Arreglo de Lógica Programable) cuya estructura puede observarse en la Figura 2.1.1, la cual apareció cerca de 1975. Este dispositivo puede ser mucho más configurable por el usuario ya que los arreglos de AND y de OR son completamente programables mediante una interconexión programable.

A diferencia de una PROM el número de funciones AND y OR dentro de los arreglos son independientes del número de entradas del dispositivo, con lo que para tener más funciones AND sólo hay que agregar más renglones y para tener más funciones OR sólo se agregan más columnas.

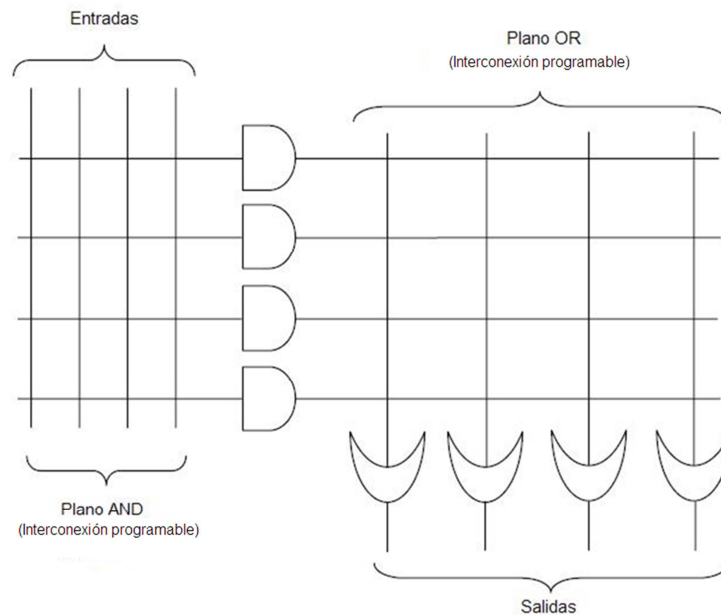


Figura 2.1.1.- Arquitectura PLA [WOO08].

Existen arquitecturas que no se basan sólo en el arreglo de AND y OR, sino que hay algunas que manejan funciones NOT o combinan éstas entre sí (AND-OR, NAND-OR o NAND-NOR).

Dado el problema con la velocidad de las PLA, se creó un nuevo dispositivo llamado PAL (del Inglés: Programmable Arrays Logic / Lógica de arreglos programable). Este dispositivo es conceptualmente lo contrario a una PROM ya que, en este caso, el arreglo programable está basado en compuertas AND.

En las PAL Figura 2.1.2 se tiene predefinido el arreglo de ORs, por lo que sólo se puede programar el arreglo de AND. Aunque esto las hace más rápidas que una PLA en donde los dos arreglos se pueden programar a conveniencia, tienen la limitante de que únicamente dejan utilizar una cantidad de productos de términos.

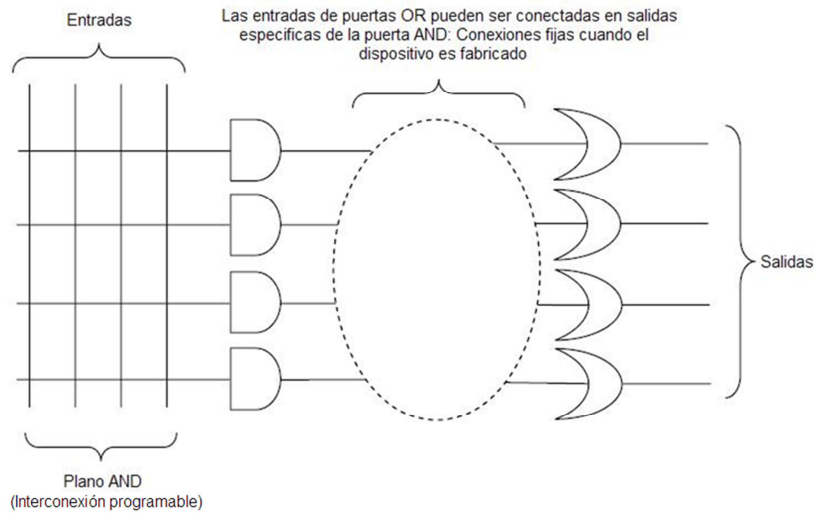


Figura 2.1.2.- Arquitectura PAL [WOO08].

Los PLA y las PAL son dispositivos pequeños y rudimentarios para propósitos simples, dado que las cosas tienden a crecer, ser más rápidas, más baratas y más poderosas se dio el paso en la creación de los CPLD (Figura 2.1.3) que son PLD complejos.

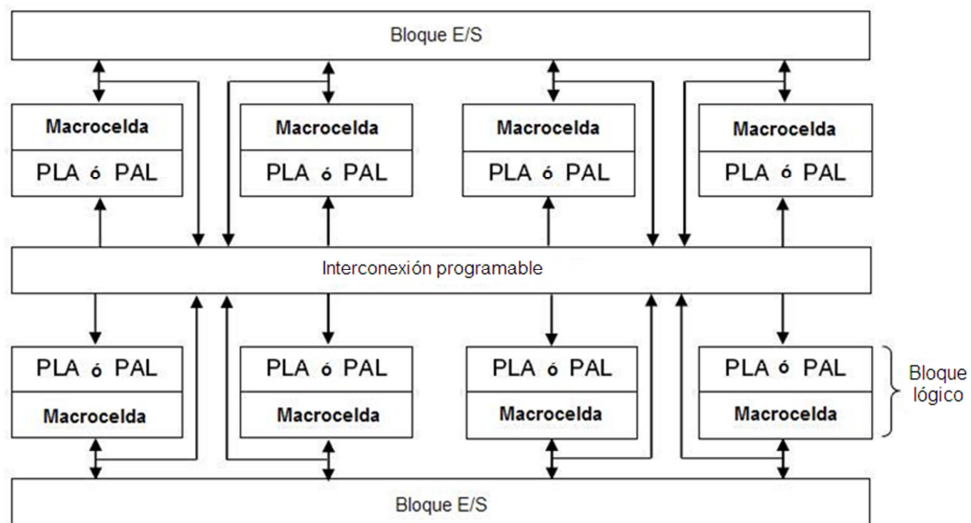


Figura 2.1.3.- Arquitectura genérica de un CPLD [WOO08].

Aunque cada fabricante tiene su propia arquitectura, los CPLD se componen de varios bloques lógicos (que son muy similares a un SPLD), conectados mediante una matriz de interconexión.

Después de la creación de las PAL se creó la Mega PAL, que en esencia es como tener cuatro Pal en un mismo dispositivo, pero esta necesitaba mucha más energía para funcionar que si se trabajara con los cuatro dispositivos individuales, por lo que se mudó al uso de la tecnología CMOS y EPROM con la cual se logró tener un gasto menor de energía. Al crear la Mega PAL se asumió por completo la forma de interconexión de arreglos, conectando completamente las entradas y salidas de cada bloque lo cual produjo que el tamaño del dispositivo aumentara así como el costo de este y disminuyendo la velocidad.

A principios de los 80's se puso en evidencia que había una brecha entre los diferentes circuitos integrados programables. Por un lado, se tenían los SPLD y los CPLD los cuales tenían una fácil y rápida configuración, pero no podía realizar funciones demasiado complejas. Y por otro se tenían a los ASIC que podía realizar funciones extremadamente largas, pero que eran muy costos y consumían un gran tiempo de diseño.

Por esa razón para llenar esta brecha en 1984 Xilinx® creó una nueva clase de circuito integrado llamado FPGA.

Los FPGA (Figura 2.1.4) se basan en la programación de bloques lógicos, que contienen una tabla de referencia, un registro que puede actuar como latch y multiplexores. Los bloques actuales de los FPGA pueden ser más complejos.

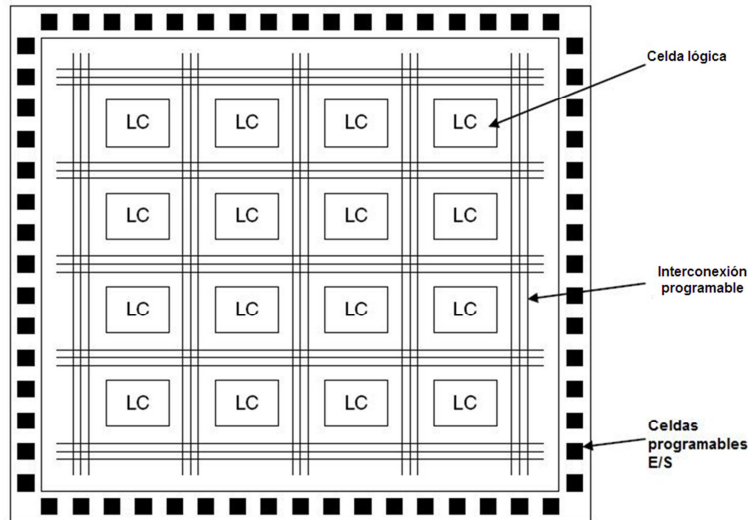


Figura 2.1.- Arquitectura genérica de un FPGA [WOO08].

Una de las características de este dispositivo es la gran velocidad con la que trabajan, como ejemplo se tiene el reloj de hasta 717 MHz que soporta la familia Stratix® V de Altera®. Además de que al utilizar SRAM (del Inglés: Static RAM) las interconexiones pueden ser programadas para que las entradas del chip se puedan conectar con las entradas de uno o varios bloques lógicos y las salidas de estos pueden conectarse con otros bloques, con la salida del dispositivo o con ambas.

2.2. Software de programación

Como al principio cada fabricante creaba su propio PLD no existía una uniformidad en la programación de éstos, por lo que en 1980 Joint Electron Device Engineering Council (JEDEC) propuso un estándar para la programación de los PLD.

Por esas mismas fechas Jonh Brikner, el creador de la primera PAL, desarrollo PAL Assembler (PALASM), que hacía referencia a un rudimentario lenguaje de descripción de hardware (HDL del Inglés: Hardware Description Language) y aun software de aplicación. Con PALASM en la forma de HDL se especificaban las funciones Booleanas en un archivo de texto con una forma de suma de productos. Como software de aplicación podía generar la programación del dispositivo utilizando un archivo en FOTRAN (este HDL fue la base para lo que hoy en día es el lenguaje de programación de estos dispositivos Verilog y VHDL).

2.3. Tecnologías de programación

Se describirán diferentes tecnologías que se han desarrollado para programar los diferentes dispositivos electrónicos programables.

2.3.1. Tecnología Fuse-Link

La tecnología de Fuse-link se basa en tener un “fusible” (similar en concepto al utilizado para proteger los aparatos eléctricos) en las entradas de las compuertas lógicas antes de programar el dispositivo (Figura 2.3.1.1).

La programación se basa en remover estos “fusibles” con pulsos de alto voltaje y corriente, de manera que se obtenga la función requerida. El inconveniente en este caso es que una vez quitado el fusible no se puede reemplazar por otro (los dispositivos con esta característica también se denominan OTP (del Inglés One-Time Programmable / Programable una vez).

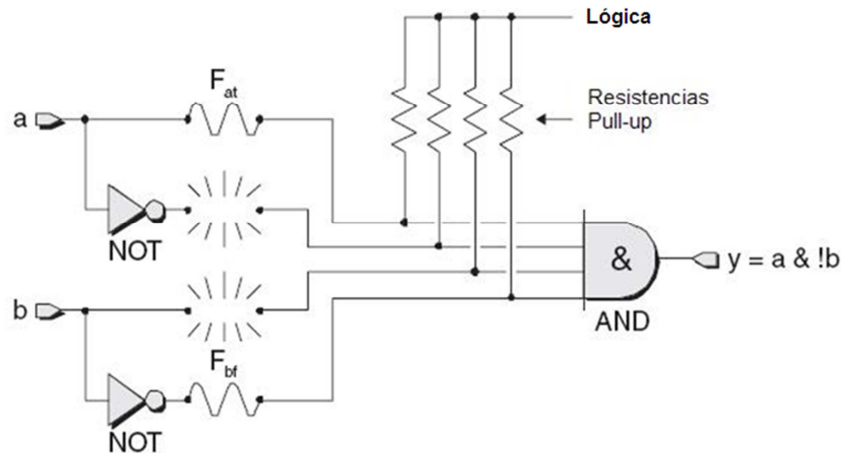


Figura 2.3.1.1.- Tecnología de Fusible-link [MAX04].

2.3.2. Tecnología Antifuse

En la tecnología “Antifuse” (Figura 2.3.2.1) a diferencia de la tecnología de Fuse-link, se tiene un “antifusible” en las entradas de las compuertas antes de ser programado. El cual se puede considerar como un circuito abierto al tener una alta resistencia.

El dispositivo es programado dando pulsos de alto voltaje y corriente en las entradas del dispositivo, con lo cual el “antifusible” cambia de una alta resistencia a una baja resistencia.

La limitante que se tiene es que al igual que en la tecnología anterior, una vez programado no se puede regresar al estado inicial por lo que los dispositivos basados en esta tecnología también son denominados OTP.

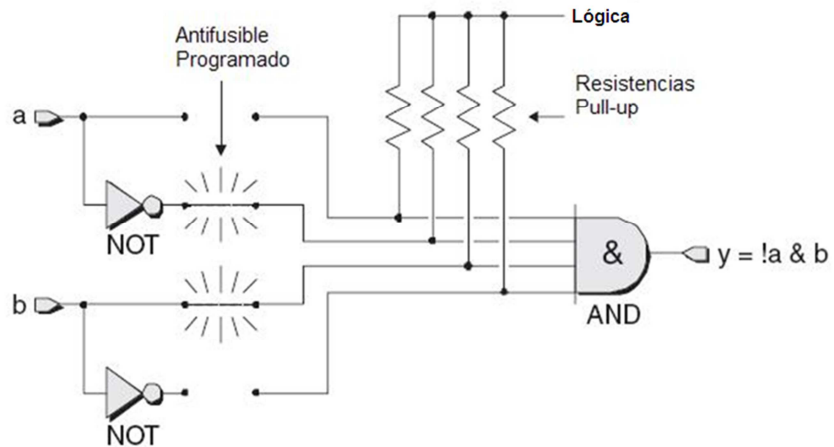


Figura 2.3.2.1.- Tecnología “antifuse” [MAX04].

En este tipo de tecnología, el “circuito abierto” se obtiene mediante dos columnas de silicio separadas entre dos capas de metal. Al programarse, estas dos columnas crecen y se unen formando una vía de comunicación.

2.3.3. PROM

Los dispositivos PROM (del inglés: Programmable Read Only Memory / memoria de lectura programable / Figura 2.3.3.1) se basa en el uso de tecnologías Fuse-link o Antifuse. Estos dispositivos fueron los primeros en utilizarse y son muy útiles ya que pueden programarse para almacenar valores constantes, implementar funciones lógicas o máquinas de estados. La desventaja que tienen es que solo se pueden programar una vez.

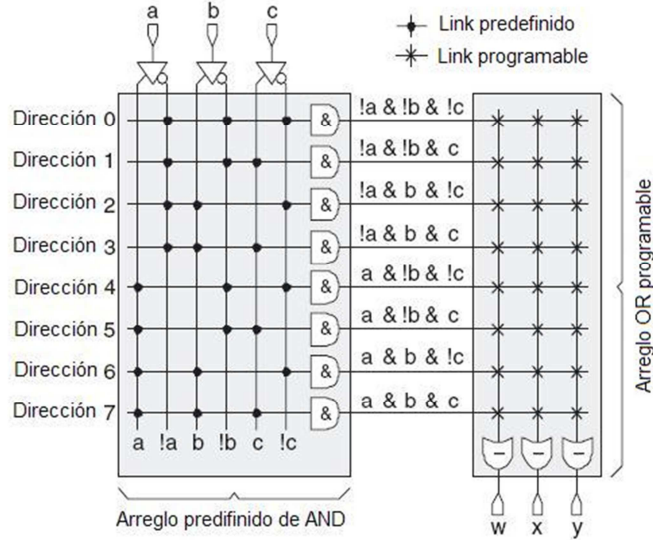


Figura.- 2.3.3.3.1.- PROM [MAX04].

2.3.4. EPROM

Debido a que los dispositivos PROM sólo pueden ser programados una vez, es por lo que se pensó en un dispositivo en el que se pudiera programar, borrar y volver a programar, creándose la tecnología EPROM (del Inglés: Erasable Programmable Read Only Memory / memoria de sólo lectura programable borrable).

La EPROM tiene la misma estructura que un transistor MOS (del Inglés: Metal-Oxide-Semiconductor / Metal-Oxido-Semiconductor), en la que se añade una capa de silicio flotante que está aislada por capas de óxido, esta capa se encuentra por debajo de la compuerta de control.

En el estado no programado la puerta flotante esta descargada por lo que no afecta la operación normal de la puerta de control.

Cuando se manda la señal de programación al ser esta de alto voltaje, se inyectan electrones hacia la capa flotante lo que inhibe la operación normal de la puerta de control. Gracias a esto se pueden identificar las capas que han sido programadas de las que no.

El tamaño de estos transistores es tan pequeño como el de los fusibles o anti-fusibles por lo que se puede tener una gran cantidad de éstos (tales dispositivos tuvieron mucha fama por la característica de poder ser borrables y reprogramables).

Para poder borrar estos dispositivos se requiere descargar la capa flotante con el uso de radiación ultravioleta a través de una pequeña ventana de cuarzo en la parte de superior del dispositivo. Para evitar que el contenido en el dispositivo se borre, la ventana debe de permanecer cubierta.

Aunque con esta tecnología se tiene un dispositivo borrable y grabable, estos tiene dos grandes problemas: el primero es el gran costo de la ventana de cuarzo y el segundo es el tiempo de borrado de aproximadamente 20 minutos.

Dado que cada vez el número de elementos dentro de un circuito aumenta, el uso de esta tecnología se ve limitado por el tamaño del circuito ya que al tener más elementos se requiere que la luz ultravioleta llegue a todos ellos para poder borrar el dispositivo, lo cual se complica con tal cantidad. Además de que se requeriría de más tiempo para poder borrar el dispositivo, por esta razón se creó otra tecnología con una forma diferente de borrado.

2.3.5. EEPROM

La tecnología EEPROM (del Inglés: Electrically Erasable Programmable Read-Only Memory) o memoria de sólo lectura borrable eléctricamente, es muy similar a la EPROM pero ésta cuenta con dos transistores en vez de sólo uno. El segundo transistor sirve para borrar eléctricamente las celdas en lugar de usar la ventana de cuarzo.

2.3.6. FLASH

La tecnología FLASH combina características de las tecnologías EPROM y EEPROM en diferentes arquitecturas. El nombre proviene de la relación de un tiempo de borrado mucho más rápido en comparación con la tecnología EPROM.

Esta tecnología también permite el borrado eléctricamente; algunas de las arquitecturas usadas utilizan una celda con un sólo transistor como en la tecnología EPROM, pero con las capas de óxido que separan la capa flotante tan delgada como las que utiliza la tecnología EEPROM.

2.3.7. RAM

Existen dos tipos de tecnología RAM, la DRAM (del Inglés: Dinamic RAM) Y SRAM (del Inglés: Static RAM).

El tipo DRAM utiliza una célula formada por un par transistor – capacitor.

Como se sabe, los capacitores se van descargando con el tiempo por lo que se debe incluir un circuito para recargar estos capacitores y no perder la información guardada (el término de dinámico viene de esta forma de trabajo).

La SRAM tiene la ventaja de que se puede reprogramar muy rápidamente y las veces que sean necesarios, pero tiene como desventaja el que debe de estar conectada a la fuente para que funcione. Además de que se utilizan tres o cuatro transistores para almacenar el dato, lo cual conlleva una mayor cantidad de silicón.

A pesar de las desventajas que posee esta tecnología es la más usada en FPGAs por que se tendrá el valor cargado siempre y sólo se perderá si se especifica que se borre o si se desconecta la alimentación del sistema.

3) Selección del FPGA y su tarjeta de evaluación

La selección del FPGA inició con el análisis profundo de las características del sistema de discriminación de rayos Gamma. Dado lo anterior, se procedió a evaluar las características de las diferentes tarjetas disponibles en el mercado, verificando que éstas fuesen compatibles con las características del sistema de discriminación.

3.1. Requerimientos del sistema de discriminación

Concretamente, el criterio de selección de la tarjeta de evaluación con FPGA contempló los siguientes aspectos:

- 1) Se buscaron aquellas que manejen relojes de alta velocidad ya que el procesamiento de la señal debe ser muy rápido. El FPGA realiza la discriminación, por lo que deberá revisar cada dato, para analizar en qué punto se cruzan los dos umbrales, además de que analice la duración del pulso para que sea la esperada. Para lo anterior, es necesario que el FPGA trabaje con un reloj que pueda analizar la mayor cantidad de datos para poder detectar los umbrales.
- 2) Puertos de entrada/salida con estructura de electrónica rápida. La tarjeta de evaluación contiene un ducto que permite conectar el ADC con el FPGA. Para enviar los datos digitales de la señal proveniente de un PMT, el sistema debe monitorear un puerto de comunicación para que sea posible que el FPGA analice la señal de dicho PMT.

- 3) Se analizaron el tipo y tamaño de memoria de la tarjeta. Se buscó que la memoria fuese de acceso rápido o que el mismo chip de FPGA incluya una para almacenar la información de la señal digitalizada para su procesamiento. La memoria mínima requerida es para aproximadamente 96 datos de 8 bits que conformaran la señal, por lo que se propone que la memoria tenga al menos 1 Kb para almacenar los datos provenientes del ADC.
- 4) Se evaluó la cantidad de registros, pines Entradas / Salidas, LUT, PLL/DLL, procesadores integrados, multiplicadores.
- 5) Por último, se cuidó que el costo de la tarjeta fuese accesible.

3.2. Plataformas de FPGA evaluadas

Se evaluaron las familias de FPGA de diferentes fabricantes de FPGA, como Cyclone™, Arria™ y Stratix™ de Altera®, Virtex™ y Spartan™ de Xilinx® y ECP™, SC/M™ y XP2™ de Lattice®. Con la información correspondiente se realizó una tabla que contiene las características principales de las diferentes tarjetas y chips FPGA.

En la siguiente Tabla (Tabla 3.2.1) se pueden observar algunas de las características los chips más representativos que fueron evaluados. Con esta tabla se puede observar cuales son los chips que soportan relojes más rápidos, que puertos poseen, si es que tienen memoria interna, cuantos pines de entrada y/o salida poseen, además de los puertos especiales que poseen. Con esta información se pudo tomar una decisión sobre que chip fue conveniente elegir.

Tabla 3.2-1.- Características de los chip FPGA [ALT16, XIL16, LAT16].

FPGA	Reloj	Pines E/S	LE's o equivalentes	PLL/DLL	Circuitos aritméticos (DSP)	ALU	Procesadores integrados	Memoria interna	Tipo de memoria	Interfaz memoria externa	Transceptores	Tiempos de comunicación
Altera	Stratix V	900 a 1020+	239k - 1087k	32 PLL's	500 MHz PS 9x3 - 5x54 Multiplicación 2x27 Acumulador 64 bits	MPV 18x18 (400-3680) MPV 27x27 (200-1840) 2 sumadores y 4 registros por ALM		32 Mbits - 53 Mbits	MLAB 600 MHz 640 bits	DDR3 SRAM 533 MHz DDR2 SRAM 400 MHz QDR1 SRAM 350 MHz QDR1H SRAM 400 MHz RLDRAM1I 400 MHz	PHY 10 G PCI Express Ethernet Intel/altera GIE XAUI GPOII PIPE GEN1 PCI Express Ethernet Serial Rapid I/O CPRI OBASA SD/HD/3G-SDI SONET/SDH XAUI/HISig	28 Gbps - 12.5 Gbps
	Arria II	612	42955-244188	4-6 PLL con 7 salidas	350 MHz multiplicaciones de precisión 9x9 12x12 18x18 36x36 filtros FIR	multiplicadores 18x18 de 232 a 736 Sumadores y restadores 2 sumadores por ALM 256 bits para encriptado	NIOS II	3435-11756 kbits	MB1xMLAB	DDR SDRAM 200 MHz DDR2 SDRAM 300 MHz DDR3 SDRAM 300 MHz QDR1+ QDR1I SRAM 250 MHz	PCI Express Ethernet Serial Rapid I/O CPRI OBASA SD/HD/3G-SDI SONET/SDH XAUI/HISig	48 full duplex 155 Mbps y 3.75 Gbps
	Cyclone IV	532	6k-140k	4 MPPLL 8 PLL con 5 salidas	360 multiplicadores 18x18	multiplicadores 18x18 bits		6.3 Mb	M8K	DDR2 SDRAM 200 MHz QDR1 SRAM 167 MHz DDR SDRAM 167 MHz	PCI Express Ethernet Serial Rapid I/O CPRI Basic mode V by one Display port SATA SD/HD/3G-SDI SONET/SDH XAUI/HISig OBASII	8 - 10 bits 88/108 encode/decoder 2.5-3.125 Gbps
Xilinx	Virtex 6	360-1200	11,640-118,660 4 LUT y 6 flip-flop	600 MHz genera -30 ps 1600 MHz -11.5 ps CTM	DSP48E1 Un 25x18 multiplicación en complemento a dos un acumulador y un sumador 288-2016			1045-9280 Kbits RAM distribuida 5616-38300 Kbits RAM	RAM 36 Kb puede trabajar en 2 de 1Kb	DDR	PCI Express 1.4 GEN1, GEN2 GTX GTH Ethernet MAC 0-4	GE1/12.5Gbps) GE1/2(5Gbps) GTX (6.6Gbps) GTH (2.488-11Gbps) Ethernet MAC 10, 100, 1000 Mbits
	Spartan 6	132-576	600-23038 4 LUT y 6 flip-flop	2-6 CMT (2 DCM y 1 PLL) 400-1080 MHz	DSP48A1 Multiplicador 18x18 acumulador 48 bits sumador 8-180	MicroBlaze	75-135 Kb RAM distribuida 216-424 Kb RAM bloques	RAM 18 Kb puede trabajar en 2 de 9Kb	DDR DDR2 LPDDR El bloque de control de memoria 800MHz (12.8 Gbps pico)	AURORA Ethernet 1G PCI Express (1) OBASII CPRI EPOII GPOII Display port XAUI	3.125 Gbps PCI Express 33nm/2 32-64 bits GPT transceiver 2.8	
	Lattice ECP 3	133-586		2 DDL 10 PLL	12-160 multiplicador 36x36, 2 de 18x8, 4 de 9x9 acumulador, sumador 18x36 MAC 18x18 operaciones de multiplicación-acumulador contadores	sysDSP operaciones ALU 54 bit Multiplexor de división de tiempo MAC Redondeo y truncamiento	6.85 Mbits sysMEM de RAM embebida 36 k - 303 k RAM distribuida	DDR DDR2 DDR3 DSQ	SEDES PCI Express SONET/SDH Ethernet (1 GbE, SGMII, XAUI) CPRI SMPTE 3G Serial Rapid I/O	16 canales por dispositivo 150 Mbps a 3.2 Gbps 230 Mbps a 3.2 Gbps		
Lattice ECP 2	420 MHz	90-583		2 GPPLL, 6 SPPLL 2 DLL	3-42 bloques multiplicación, acumulador multiplicaciones de 36x36, 4 de 18x18, 8 de 9x9	sysDSP	55 kbits-530k kbits sysMEM RAM embebida 12k-202kbits de RAM distribuida	DDR, 200 MHz DDR2 266 MHz DSQ	SEDES PCI Express Ethernet (1 GbE, SGMII) OBASII CPRI Serial Rapid I/O	250 Mbps a 3.125 Gbps 16 canales		

3.3. Chips de FPGA evaluados

Dado que al tener una gran variedad de tarjetas se tenía que seleccionar las que nos fueran más útiles, usando la Tabla (Tabla 3.3.1) se tomó como punto clave para empezar la discriminación aquellas cuyo reloj trabajara con la mayor frecuencia y poseyeran un chip que trabajara con este reloj o soportara uno de frecuencia mayor.

Otro punto que se reviso fue la memoria. Como se observa de la tabla, varios de estos ya tienen integrada una memoria, con lo que fue innecesario utilizar alguna de las memorias externas que poseen las tarjetas. Solamente, si la cantidad de datos a evaluar y los registros de las variables hubiese sido mayor a la interna del FPGA, se requeriría de la memoria de la tarjeta de evaluación.

El siguiente punto a evaluar fue el costo de la tarjeta, dado que se necesitaba adquirir una para poder realizar el set de pruebas. Se cotizaron las que cumplían con las características necesarias y de éstas se escogió la que se ajustaba al presupuesto disponible.

Con base en lo anterior, la tarjeta de evaluación seleccionada fue la SP605 de Xilinx®, la cual posee un chip que puede trabajar con una frecuencia mayor a la que posee la tarjeta, la que a su vez pose una entrada para un reloj que podría hacer la evaluación del algoritmo en tiempo real con el ADC adecuado.

Tabla 3.3.1 Características de las tarjetas FPGA [ALT16, XIL16, LAT16].

Tarjeta	Dispositivo	FPGA	PLL	Multiplicadores	CPD	Reloj	Memoria	ES	Comunicación	Transceptores, componentes e interfaces	Puertos	CONVERTIDOR ADC	AES3	Configuración
Stratix IV FPGA Development Kit	EP4K10K10-2AES	EP4K10K10-2AES 1162 pin user I/O	8	1024 18x18 bits	MAX10 EP4K10K10-2AES 256 pin	50 MHz, 65 MHz, 100 MHz, 125 MHz OSCILADORES SMA conexión entrada salida y SMA salida ES HSIC	2 GB DDR3 SDRAM DIMM 72 bit bus 72 MB DDR3 SDRAM 16 bit bus 376 MB ADRAM II COO 36 bit bus 16 MB SDRAM 36 bit bus 32 MB Flash 16 bit bus	leds push buttons DIP switch 128x64 graphics LCD 16x2 display LCD display / segmentos HSIC 17 canales I/Os	1-PCI EXPRESS	2-módulos HSIC 16 Ethernet conexión RJ45	USB-Ether para Quartus II USB 2.0 FTDI 12 MB PHY PIE20 HSIC	medición integrada 24-BITS 8 CANALES LTC2410CN		16 MB Parallel SRP Flash 12 MB Parallel (BP) Flash
Altera 6i Development Kit	EP4K10K10-2AES	EP4K10K10-2AES 780 PIN	4	128 18x18	MAX10 116 BITS MEMORIA FLASH	OSCUADORES 65.5 MHz, 100 MHz, 125 MHz ENTRADA DE RELOJ PCI EXPRES CONECTOR SMA EXTERNO	32 MB Hex x 16 DDR3 SDRAM a 233 MHz	LED DIP SWITCH PUSH-BUTTON 38x5 ES		INTERFACZ PCIe x4 1 HSIC CON 4 TRANSPORTORES 8 CANALES TRANSPORTORES	JTAG			PPP PS
Quartus II 6i Transceiver Starter Kit	EP4K10K10-2AES	EP4K10K10-2AES 168	3		MAX10 EP4K10K10-2AES 100 PIN	20 REDES GLOBALES OSCUADORES 65 MHz 24- 1 MHz 25 MHz y 50 MHz OSCUADOR I/Os 125 MHz ENTRADA SMA	540 MB memoria on-chip 16-megabit SDRAM 128 MB flash	72 ES LEDs PUSH-BUTTON DIP SWITCH DISPLAY LCD	1-PCI EXPRESS	CONECTOR PCI EXPRESS x1 edge CONECTOR OPTICO SFP TRANSPORTOR SMA	USB 2.0 JTAG 1G ETHERNET	24-BITS 8 CANALES LTC2410 medición integrada		PS USB-Busster
Virtex-6 FPGA ML605 Evaluation Kit	ML605	XC6VLX160-4FFG1565				200 MHz oscilador (diferencial) Conector SMA diferencial Conector SMA IGBT	512 MB DDR3 SDRAM 64-BITS 128 Mb Platform Flash I/L 12 MB Linear SRP Flash	LED PUSH-BUTTON DIP SWITCH CONECTOR SMA GPO DISPLAY LCD	PCI Express Endpoint Connectivity Gen1 Channel (d) Gen2 Lane (x4) I/O Bus I/O EEPROM - 1Kb	Mini-SAS2 Transceivers (GTx10Gbs) Conector FMC - FPC Conector FMC - LPC SMA, PCIe Conector módulo SFP Interfaz Ethernet PHY SGMII controlador USB DVI Codec	System ACE LP Conector Compact Flash USB JTAG MINI USB TPO B 1G Ethernet USB-a/JTAG Bridge			
Spartan-6 FPGA SP06 Evaluation Kit	SP06	XCSL04JST FCS04 XC6SLX160-4FFG1565				SMA ENTRADA SMA GPO PACTX 200 MHz oscilador diferencial 27 MHz Sine-wave oscilador simple CONECTOR SMA-ET DF REFERENCIA GPO CON 2 SMA	16 MB DDR3 SDRAM 64-BITS 128 MB DDR3 32 MB Parallel (BP) Flash 20 MB Quad SRP Flash	4x ES LED DIP SWITCH PUSH-BUTTON DISPLAY LCD	8 Kx I/O EEPROM	1G ETHERNET PHY SFP (PCIe Sfp Header) PCIe Gen1 GTP TRANSPORTOR TARI GPO (SMA) DE ALTA VELOCIDAD DIFERENCIAL System ACE LP TRANSPORTOR SFP CONECTOR FMC LPC	SERIAL USB-JTAG USB JTAG 1G ETHERNET RJ45 VIDEO I/O (VGA) SFP CONECTORES FMC LPC PCI Express System ACE LP 2 GB Compact Flash (CF card)		8 MB Quad SRP Flash 12 MB Parallel (BP) Flash	
LatticeCP2 Advanced Evaluation Board	EQ23					Cosido en la parte y filarce 33.33 MHz	21x18 MB DDR3 SDRAM CONECTOR HDMI CONECTOR Compact Flash TPO III isPAC PROGRAMACION isPAC	DIP SWITCH LED DISPLAY 7 SEGMENTOS MODULO LCD 10x ES 4 PARES SMA-ALTA VEL. DF		SP Serial Flash 21x18 MB DDR3 SDRAM CONECTOR HDMI CONECTOR Compact Flash TPO III isPAC PROGRAMACION isPAC	1G ETHERNET PHY RJ45 CONECTOR Serial TPA1403 (S-D) LC RS-232 USB 1.1 TPO A, B			

3.3.1. Características de la tarjeta de Evaluación seleccionada

La tarjeta Spartan-6 FPGA SP605 Evaluation Kit (Figura 3.3.1.1) posee las siguientes características:

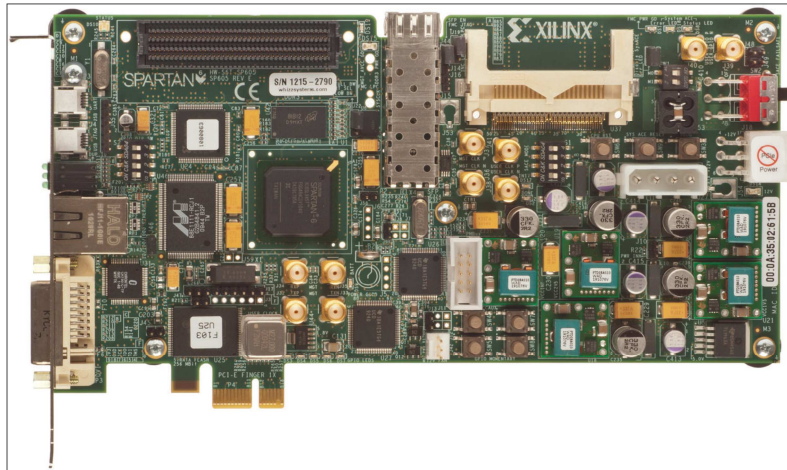


Figura 3.3.1.1.- Tarjeta de evaluación SP605 [ALT16].

- FPGA Spartan-6:
 - XC6SLX45T-3 con empaque FGG484.
- Configuración:
 - Circuito de configuración USB JTAG.
 - Memoria flash SPI de 8 Mb.
 - Memoria flash BPI paralela de 32 Mb.
 - Tarjeta de memoria CF 2 Gb.
- Memoria:
 - Memoria DDR3 de 128 Mb.
 - Memoria flash BPI paralela de 32 Mb (sólo disponible para configuración).
 - EEPROM IIC de 1 Kb.

- Memoria flash SPI de 8 MB (sólo disponible para configuración).

➤ Comunicación:

- Puerto Ethernet de 10 Mb/s, 100 Mb/s y 1000 Mb/s.
- Conector Transceptor óptico SFP.
- Puerto (TX, RX) transceptor GTP con cuatro conectores SMA.
- Puente USB a UART.
- Conector PCI Express®.

➤ Expansión de conectores:

- Conector FMC LPC (1 transceptor GTP, 68 señales simples o 34 señales diferenciales definidas de usuario).
- Entradas GPIO con dos conectores SMA.
- 4 entradas/salidas.

➤ Reloj:

- Oscilador diferencial fijo de 200 MHz.
- Socket con oscilador de 27 MHz a 2.5 V.
- Conector SMA diferencial.
- Dos conectores SMA para reloj GTP diferencial.

➤ Visualizadores:

- Interfaz de video DVI/VGA.

- Puerto para conectar un display LCD de 16x2.
- 4 Leds.
- Control:
 - 4 Pushbuttons.
 - 4 DIP switch.
- Alimentación
 - Adaptador de pared a 12 V.

Por otro lado, el CHIP FPGA de esta tarjeta tiene las siguientes características:

- Trabaja con reloj de hasta 400 MHz.
- Cuenta con 132 entradas y 576 salidas.
- Cuenta con 6 entradas LUT con doble flip-flop.
- Tiene 2 DCM y 1 PLL de 400 y 1080 MHz respectivamente.
- Cuenta con un DSP48A1, un Multiplicador 18x18, un acumulador de 48 bits y un sumador 8-180.
- Un procesador integrado MicroBlaze™.
- Una memoria interna de 75-1355 Kb RAM distribuida y 216-4824 Kb RAM bloques.
- La interfaz de memoria externa con las que cuenta son DDR, DDR2, DDR3, LPDDR. El bloque de control de memoria trabaja a 800 MHz (12.8 Gb/s pico).
- El tiempo de comunicación es de 3.125 Gb/s, en PCI Express 33 MHz de 32-64 bits.

Esta tarjeta fue escogida debido a que posee un chip FPGA que puede funcionar con un reloj de 400 MHz. Además la tarjeta cuenta con puertos para conectar este reloj en caso de que se consiga o trabajar con uno de 200 MHz con el cual la tarjeta puede trabajar sin problema. También porque posee diferentes puertos de comunicación con los cuales se podrá conectar tanto una PC como la tarjeta con el ADC.

4) Discriminación con valores digitales

La Figura 4.1 muestra los elementos que conforman el arreglo de discriminación: el PMT, la electrónica de acondicionamiento, el ADC, la tarjeta de evaluación del FPGA y la PC.

A diferencia de los utilizados en los observatorios como HAWC o MILAGRO en donde la discriminación es de forma multicanal, este esquema se plantea en forma de un solo canal debido a que no se disponía en el momento del desarrollo de este proyecto de tesis de un rack especializado con tarjetas para desarrollo de un sistema multicanal.

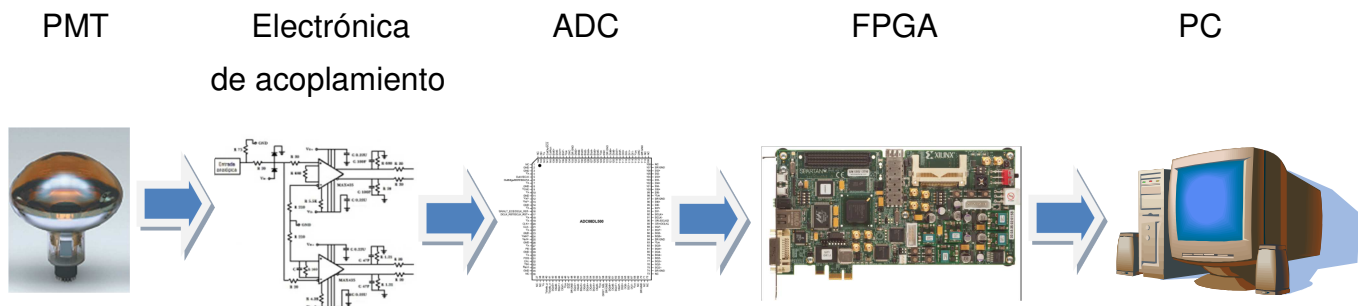


Figura 4.1.- Esquema para el arreglo de discriminación [T116, HAM16, XIL16].

Al no tener acceso a un PMT, se optó por emular la señal que se obtendría de forma digital, por lo que del esquema anterior se redujo, ya que tanto la electrónica de acoplamiento como el ADC no se utilizaron para la formación del arreglo de pruebas.

Aunque no se utilizó el ADC para el arreglo de pruebas, se analiza y se propone el uso de un posible ADC, utilizando la información de este se generó la señal con la que se probará el algoritmo de discriminación.

Este arreglo de pruebas (Figura 4.2) está formado por el FPGA para la discriminación y de la PC para emular la señal de forma digital y para visualización. Al igual que el esquema de discriminación este esquema propuesto es mono canal.

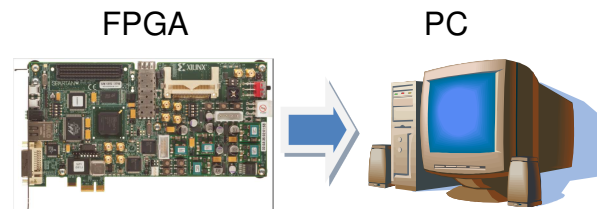


Figura 4.2.- Esquema del arreglo de pruebas [XIL16].

4.1. Conversión Analógica Digital (CAD)

La CAD es llevada a cabo por un dispositivo que acepta un voltaje o una corriente analógica y que entrega una palabra lógica relacionada con la señal analógica introducida.

Dependiendo del requerimiento de resolución de la aplicación se puede tener un cierto número de bits en el convertidor, dato que es muy importante al escogerlo, así como lo es el tiempo de conversión, el cual depende mucho de la arquitectura del convertidor.

Los ADC tienen dos categorías:

- a) ADC tipo Nyquist: en este el ancho de banda de señal de entrada es igual a la frecuencia Nyquist.

b) ADC de sobre-muestreo: en este la frecuencia es mucho mayor a la frecuencia Nyquist.

Para nuestro caso, como la señal tiene un tiempo de duración muy corto (del orden de 15 [ns]), nos interesa que el tiempo de la conversión sea rápido y que la resolución en bits nos permita tener la mayor información de la señal digitalizada.

Las principales características a considerar en la selección de un Convertidor Analógico Digital (ADC del Inglés: Analog to Digital Converter) son:

- Intervalo de entrada (voltaje o corriente).
- Lectura paralela o serial.
- Fuente de alimentación.
- Entrada diferencial o común (común referida a 0V o GND, diferencial referido a una diferencia de voltajes).
- Arquitectura del dispositivo.
- Empaquetado.
- Error de conversión.
- Tiempo de conversión.
- Intervalo de temperatura de operación (Comercial de 0°C a +70°C, industrial de -40°C a +85°C, militar de -55°C a +125°C).

La entrada del dispositivo es muestreada a una frecuencia establecida, con la cual se obtendrá la salida digital.

4.2. Determinación de los umbrales de discriminación

Para determinar los umbrales de discriminación se seleccionó un ADC, pero no se hicieron pruebas de muestreo de la señal del PMT con éste, dado que el tiempo de desarrollo de la tesis se hubiese incrementado considerablemente. A pesar de no realizar las pruebas con el convertidor seleccionado, con el diseño y la selección del convertidor se determinó plenamente la **fiabilidad** del esquema de detección de rayos Gamma con un PMT y un convertidor (sistema de un canal). El desarrollo de las pruebas con un PMT y el convertidor seleccionado, está establecida como actividad futura en el Instituto de Astronomía.

Se analizaron ADCs con el tiempo de conversión más corto de los que se encontraban en el mercado, de estos los más representativos fueron el ADC083000, ADC14V155 y ADS5485, de los cuales se analizaron sus características para la selección [TI16, NI16].

Cabe hacer mención que, aunque se hizo un comparativo y se consiguieron muestras de los tres, se diseñó el esquema en su totalidad con el ADC083000 ya que es el que más información de la señal proporciona, principalmente por la alta velocidad de muestreo.

En la sección siguiente y en el Apéndice 9 se muestran los cálculos realizados con dichos convertidores para verificar que cumplan con los requerimientos y poder seleccionar el más conveniente.

4.3. Selección del ADC

Para el convertidor rápido se ha buscado obtener uno mediante muestras del proveedor “National Semiconductor” [NI16] analizando cuales están disponibles y que tan rápidos son.

Al revisar la estructura de estos convertidores rápidos (Figura 4.3.1), nos encontramos con que no solo son un convertidor flash, si no que cuentan con una estructura de tuberías “pipeline”, la cual está compuesta por varios niveles, donde cada uno proporciona un código digital de salidas de “ m_i ” bits y un voltaje residual; lo cual es analizado en el siguiente nivel, proporcionando la conversión digital y otro voltaje residual.

La salida digital proviene de los bits obtenidos en cada etapa.

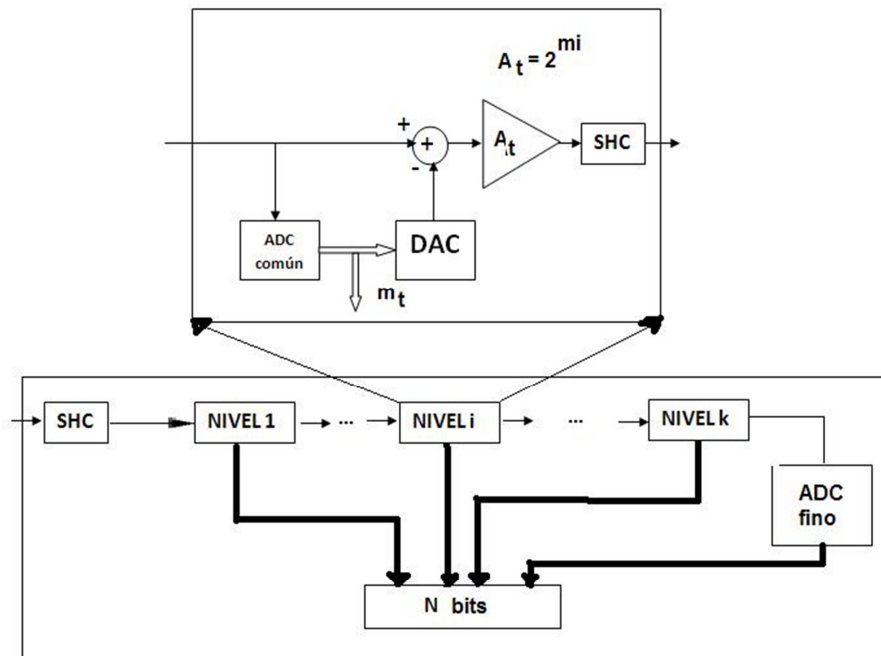


Figura 4.3.1.- CAD Rápido [ZAY].

La etapa de muestreo y retención (SHC de Ingles: Sample and Hold Circuit) emplea una técnica de muestreo en serie que nos da la ventaja de que el error de inyección de la carga y los errores del reloj se eliminan eficazmente **teniendo como una característica una muy alta precisión.**

La modificación del convertidor flash que tiene este tipo de convertidores es para que se tenga un menor consumo de energía y para reducir la complejidad del circuito, además de que mantiene la posibilidad de obtener una conversión analógica digital en un sólo ciclo de reloj, esto es en parte a la técnica R/2R utilizada en cada bloque de conversión, ya que es una configuración sencilla que permite tener una buena precisión y no necesita un gran consumo de energía. Además de que el utilizar resistencias pasivas ayuda con el ruido, ya que en éstas el ruido térmico es el más dominante.

Como el desarrollo para usar un ADC extendería el tiempo de la tesis, se decidió dejarlo a un lado. Así que se optó por generar los datos de prueba de una forma distinta, para probar el algoritmo propuesto.

Para obtener la señal con la que se trabajara se toma el ADC más rápido encontrado, el ADC083000, con la información de éste se generaron los datos digitales equivalentes que conforman la señal producida por un PMT.

4.3.1. Convertidor ADC083000

Para analizar los umbrales de la señal digitalizada de un rayo Gamma, utilizando un convertidor rápido, necesitamos conocer la correspondencia entre el dato de salida del convertidor y el valor de voltaje de un umbral, con la finalidad de realizar la discriminación de la señal y así comprobar que se trata de una señal deseada. Para esto establecemos un equivalente en valor digital del voltaje de un umbral.

Este convertidor puede trabajar en dos intervalos de hasta 600 [mV] y 800 [mV]. A continuación se desarrollaran los cálculos para ambos intervalos:

El error máximo por resolución del convertidor de 8 bits ADC083000 con intervalo de hasta 600 [mV] es medio bit, que equivaldría a 1.1718 [mV].

Para el umbral bajo, sin amplificar, en un intervalo de 600 [mV], con 8 bits, tenemos que cada nivel equivale a 2.34375 [mV]. Para encontrar la palabra a la que equivale cada umbral, calculamos el error de voltaje para obtener la palabra que genere el menor error y así definir esta como su equivalente digital.

Para lo anterior, utilizamos la ecuación 4.3.1.1:

$$E = \left| \frac{V_t - V_m}{V_t} \right| \times 100 \quad (\text{Ecuación 4.3.1.1})$$

Dónde:

E: es el error en porcentaje entre el voltaje esperado de un umbral y el que puede medir el convertidor en la palabra deseada.

Vt: es el valor en voltaje del umbral que deseamos.

Vm: el valor en voltaje más cercano al umbral que se puede leer con el convertidor.

Para el nivel 1 de conversión: se tiene que 2.34375 [mV] es su equivalente en [mV] por lo que para el umbral bajo que es de 4.19 [mV] se realiza el siguiente cálculo:

$$2.34375 \times 1 = 2.34375$$

$$U_L: \quad E = \left| \frac{4.19 - 2.34375}{4.19} \right| \times 100 = 44.06\%$$

$$2.34375 \times 2 = 4.6875$$

$$U_L: \quad E = \left| \frac{4.19 - 4.6875}{4.19} \right| \times 100 = 11.87\%$$

De aquí se observa que el nivel 2 de conversión se define como el umbral bajo ya que tiene un error menor.

En los observatorios como MILAGRITO, MILAGRO o HAWC se tiene una ganancia de 7 como amplificación en el umbral bajo, para poder facilitar su detección, dejando el umbral en 30 [mV].

Si tomáramos la señal del umbral bajo amplificada el cálculo sería el siguiente:

$$\text{Nivel de conversión 12: } 2.34375 \times 12 = 28.125$$

$$U_L: \quad E = \left| \frac{30 - 28.125}{30} \right| \times 100 = 3.55\%$$

$$\text{Nivel de conversión 13: } 2.34375 \times 13 = 30.468$$

$$U_L: \quad E = \left| \frac{30 - 30.468}{30} \right| \times 100 = 1.56\%$$

Comparando ambos resultados se observa que el Nivel de conversión 13 sería el que se definiría como el umbral bajo, ya que tiene un error menor, incluso menor que el del cálculo sin amplificación.

Para el umbral alto 80 [mV] se hace lo mismo, se busca el equivalente en digital del voltaje relacionado a un umbral alto para un rayo Gamma sin amplificar:

Nivel de conversión 34: $2.34375 \times 34 = 79.6875$

$$U_H: \quad E = \left| \frac{80 - 79.6875}{80} \right| \times 100 = 0.39\%$$

Nivel de conversión 35: $2.34375 \times 35 = 82.03$

$$U_H: \quad E = \left| \frac{80 - 82.03}{80} \right| \times 100 = 2.5375\%$$

De esto, se observa que el nivel de conversión 34 puede ser definido como el equivalente del umbral alto por tener un error menor que el del nivel 35.

El convertidor tiene la capacidad de trabajar con otro intervalo, de 800 [mV], también se hace el análisis anterior para este intervalo, para éste se tiene que entre niveles hay 3.125 [mV] y un error de $\frac{1}{2}$ bit menos significativo de 1.5625 [mV].

Haciendo algo similar para el caso de 800 [mV] tenemos que, para el umbral bajo sin amplificación 4.19 [mV] se tiene:

Nivel de conversión 1: $3.125 \times 1 = 3.125$

$$U_L: \quad E = \left| \frac{4.19 - 3.125}{4.19} \right| \times 100 = 25.417\%$$

Nivel de conversión 2: $3.125 \times 2 = 6.25$

$$U_L: \quad E = \left| \frac{4.19-6.25}{4.19} \right| \times 100 = 49.164\%$$

Como se observa, el nivel de conversión que nos arroja un error menor es la primera pero también se observa que el error es mucho mayor que en el caso de 600 [mV].

Para el caso que tenemos el umbral bajo amplificado es decir a 30 [mV] se tiene:

$$\text{Nivel de conversión 9: } 3.125 \times 9 = 28.125$$

$$U_L: \quad E = \left| \frac{30-28.125}{30} \right| \times 100 = 6.25\%$$

$$\text{Nivel de conversión 10: } 3.125 \times 10 = 31.125$$

$$U_L: \quad E = \left| \frac{30-31.125}{30} \right| \times 100 = 3.75\%$$

De estos cálculos se observa que el nivel de conversión 10 es el que tiene un menor error y que podría ser definido como el equivalente del umbral bajo.

Para el umbral alto de 80 [mV] se hace lo mismo, que en el caso anterior:

$$\text{Nivel de conversión 25: } 3.125 \times 25 = 78.125$$

$$U_H: \quad E = \left| \frac{80-79.125}{80} \right| \times 100 = 2.34\%$$

$$\text{Nivel de conversión 26: } 3.125 \times 26 = 81.25$$

$$U_H: \quad E = \left| \frac{80-81.25}{80} \right| \times 100 = 1.5625\%$$

De lo anterior, se observa que el nivel de conversión 26 puede ser definido como el equivalente del umbral alto por tener un error menor que el del nivel 25. Pero de nuevo

se observa que el error es mayor con en el intervalo de 800 [mV] que en el caso de 600 [mV]. Por lo que se prefiere trabajar con el intervalo de 600 [mV].

Al ver esto, nos damos cuenta que **por resolución el CAD si cumple**, además tiene una frecuencia de muestreo de más del doble de la queremos detectar, que es de 66.7 MHz, por lo que cumple con el teorema de muestreo de Nyquist.

Comprando este ADC con los otros, nos damos cuenta de que con este se pueden obtener más conversiones, logrando así tener más información de la señal, además se tiene la ventaja de que las salidas de este convertidor son LVDS y el FPGA posee entradas del mismo tipo, la revisión de los otros dos convertidores se puede apreciar en los apéndices 9.1 y 9.2, respectivamente.

4.4. Proceso de discriminación con valores digitales

Tomando la señal e información de los umbrales del Capítulo 1.11 (Figura 4.4.1) y asumiendo que se utiliza el ADC0830000 de 3GSPS con el intervalo de 600 [mV], en donde el error máximo por resolución es de 2.34375 [mV], tenemos que el umbral bajo, estaría definido en 00001101 teniendo el nivel 13 y el umbral alto en 00100010 teniendo el nivel 34.

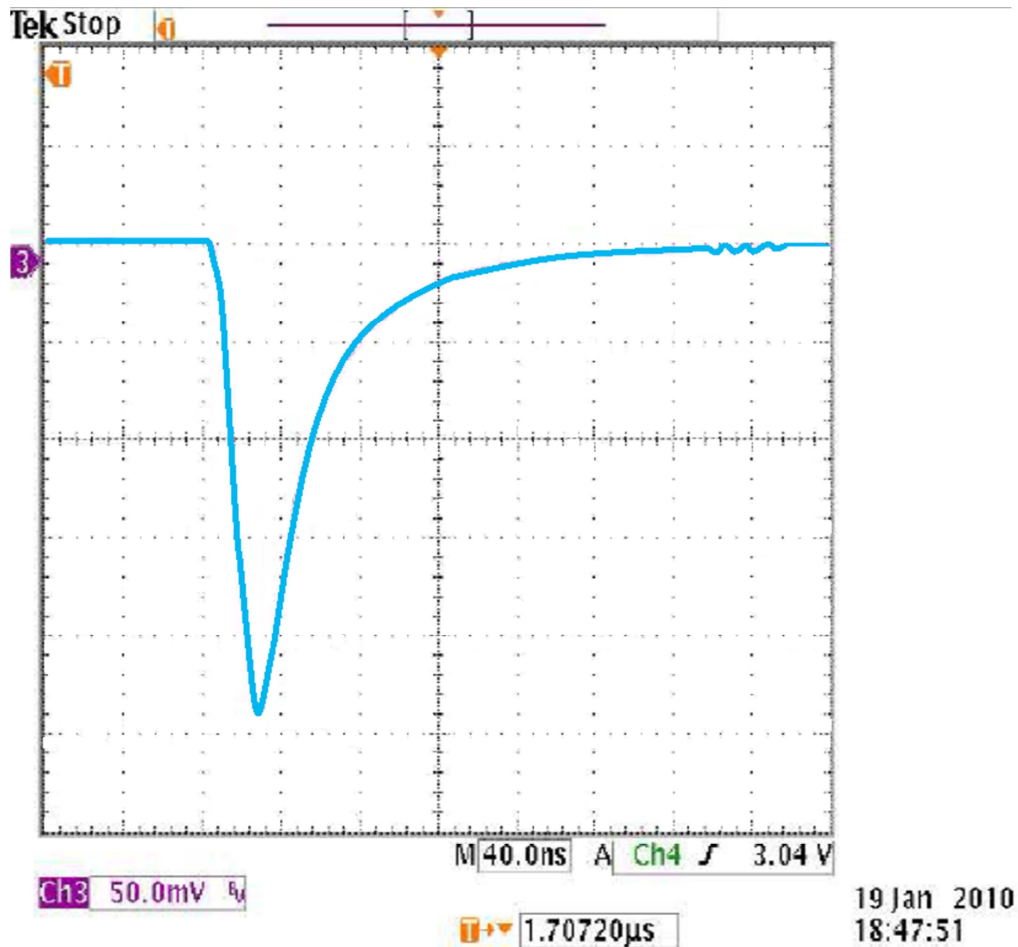


Figura 4.4.1 Señal [ABE10].

Usando la imagen anterior se creó una tabla para conformar una gráfica con los datos equivalente a la señal. Para esto se toman los valores de voltaje de varios puntos a simple vista. Usando una PC se sobrepuso una línea para definir qué valor tendría ese punto y se hizo la transformación para obtener el valor que tomaría el ADC, formando así punto a punto la tabla con los valores digitales equivalentes.

Se verifico sobreponiendo la imagen final sobre la anterior para ver que no haya variaciones significativas y que los datos nos generen una señal equivalente (Figura 4.4.2).

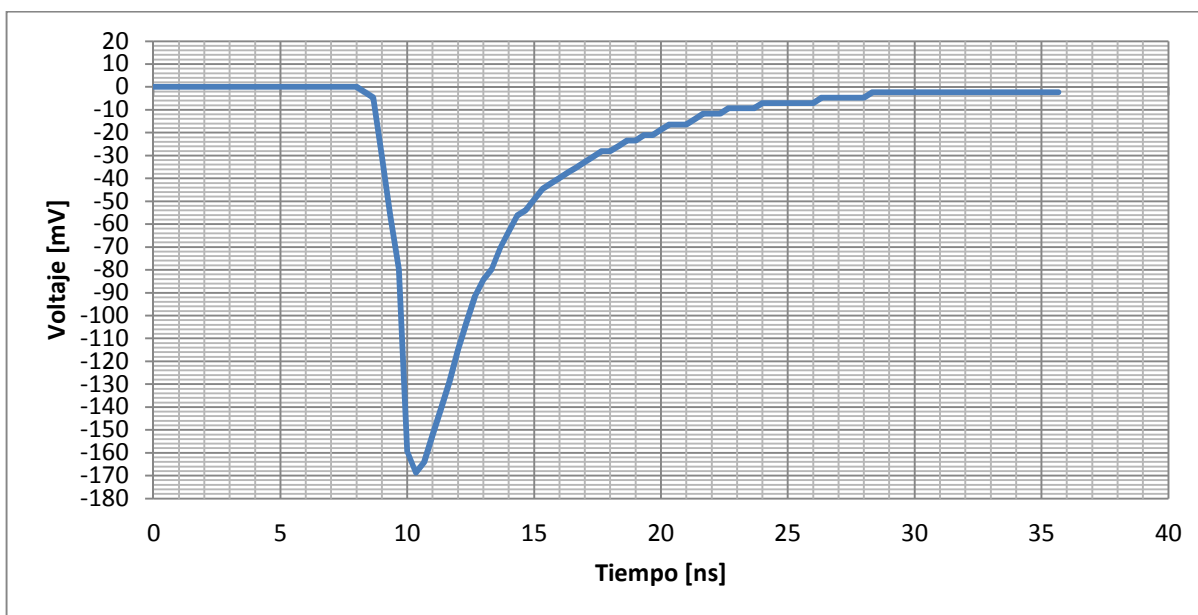


Figura 4.4.2.- Señal tipo generada.

Como se observa, la señal generada usando la tabla es muy parecida a la de la Figura 4.4.1 por lo que podemos trabajar con ésta para realizar pruebas en nuestro arreglo.

5) Diseño y programación del algoritmo

El programar el algoritmo en un FPGA nos da la ventaja de poder realizar modificaciones del algoritmo cuando sea necesario. Además, nos permite escalar del algoritmo a más detectores (PMT) con el uso de una sola tarjeta.

Para hacer las pruebas de laboratorio generamos una señal parecida a la esperada de un PMT y se definieron los valores de umbral alto y bajo, respectivamente. Con esta señal, se realizaron las simulaciones para probar el algoritmo propuesto basado en la técnica ToT. Como ya se mencionó en el capítulo anterior, la conexión de la tarjeta de evaluación con el convertidor no se desarrolló en esta etapa del proyecto.

Para la programación del FPGA se usó VHDL usando el programa facilitado por el fabricante ISE™. Se desarrolló el algoritmo que a continuación se describe, el cual se puede definir como una máquina de estados finitos.

5.1. Algoritmo de discriminación

La señal con la que hicimos esta prueba no es idéntica a una producida por un PMT, pero es una excelente aproximación. Se trata de una señal simulada que fue reconstruida de una señal real tomada con un osciloscopio. Originalmente, esta señal sirvió para familiarizarnos con el lenguaje VHDL y crear un programa que realice el proceso de discriminación de señales tipo rayo Gamma. Se tomó como base la señal generada ya que con esta se hará la validación del software de discriminación.

La señal reconstruida cumple con las siguientes condiciones:

- 1) Tener dos umbrales altos y dos bajos, esto porque al recorrer la señal en el tiempo primero se detectara un umbral bajo, después un alto, la señal llegará a su máximo valor y decrecerá volviendo a pasar por el umbral alto y finalmente por el ultimo umbral bajo, con esta secuencia de activación de umbrales se desarrolló el algoritmo.
- 2) La duración de este pulso es un dato muy importante para la discriminación de esta señal, este tiempo de duración se toma desde la activación del primer umbral bajo hasta la activación del segundo y debe ser de una duración específica.

Si alguna de las condiciones previamente explicadas no se cumple podemos descartarla como señal producida por rayo Gamma.

El algoritmo de discriminación debe analizar los datos de la señal que generamos la cual será enviada mediante una PC por el puerto USB; dato a dato en busca de los dos umbrales de discriminación (los cuales deben aparecer en el orden que ya se mencionó).

Así mismo, debe contabilizar los datos que existen entre los dos umbrales bajos, para analizar el ancho de duración del pulso. Posteriormente, el algoritmo proporciona una respuesta en base a si cumple o no con lo esperado; esta respuesta será visible mediante un LED (del Inglés: Light Emitting Diode / Diodo emisor de luz) encendido (un testigo en una interface de usuario) como confirmación de que si cumple o apagado en caso de no cumplimiento.

A continuación se describe paso a paso cómo funciona el Algoritmo de Discriminación:

- 1) Primero se inicia leyendo el dato de entrada proveniente de la PC.
- 2) En el primer estado se compara que este dato sea diferente de "0000".
- 3) Si el dato es igual a "0000" se vuelve a leer esperando el siguiente dato.
- 4) Si es diferente se avanza al siguiente estado en el cual se revisa que el dato de entrada tenga el valor del primer umbral bajo.
- 5) Si la comparación resulta negativa (no es el valor del umbral bajo) se regresa al primer estado a leer un dato nuevo.
- 6) Si la comparación resulta afirmativa, entonces se trata de un valor del umbral bajo y se inicia la cuenta de la señal ToT sumándole un 1 y pasamos a la detección del segundo umbral en el tercer estado.
- 7) En el tercer estado se realiza la comparación para saber si el dato de entrada tiene el valor del umbral alto.
- 8) Si no lo tiene se espera a leer un nuevo dato y se regresa al inicio del tercer estado. Además se suma un 1 a la señal ToT por cada dato que no cumple en este estado ya que estos datos nos ayudaran a determinar la duración del pulso.
- 9) Si lo que resulta de la comparación es que si es el umbral alto se continúa al estado cuatro y se suma un uno a la señal ToT.
- 10) En el estado cuatro se espera detectar nuevamente el umbral alto.
- 11) Como en el estado tres, si la comparación no cumple con ser el valor del umbral alto, se regresa al inicio del estado cuatro y se suma un 1 a la señal ToT por cada dato que este en este ciclo.

- 12) Si la comparación nos resulta afirmativa se da acceso al siguiente umbral y se suma un 1 a la señal ToT.
- 13) En el estado cinco, se compara el valor leído contra el valor del último umbral bajo.
- 14) Si la respuesta de la comparación es negativa se suma un 1 por cada dato que pase en este estado y se regresa al inicio del estado cinco.
- 15) Si la respuesta es afirmativa se suma un último 1 a la señal ToT y se pasa al proceso de discriminación de la señal ToT.
- 16) En el sexto estado se hace la comparación de la señal ToT con el valor esperado el cual es constante.
- 17) Si la señal ToT tiene un valor diferente al esperado se mostrará la respuesta "0001" la cual será la respuesta a una señal que no cumple con el ancho de pulso, por lo que se entenderá que no fue generada por un rayo Gamma.
- 18) Si la señal ToT tiene el valor esperado, se mostrara una respuesta "1111" lo que equivale a que la señal cumple con las características de una señal generada por un rayo Gamma.
- 19) Después de que se muestre cualquiera de los dos resultados se retorna al inicio.

El diagrama de flujo de la Figura 5.1.1, muestra como se hizo la discriminación de una señal producida por un rayo Gamma, siguiendo el algoritmo previamente descrito. Dicho algoritmo de pruebas se verificó mediante simulación en el programa ISE™.

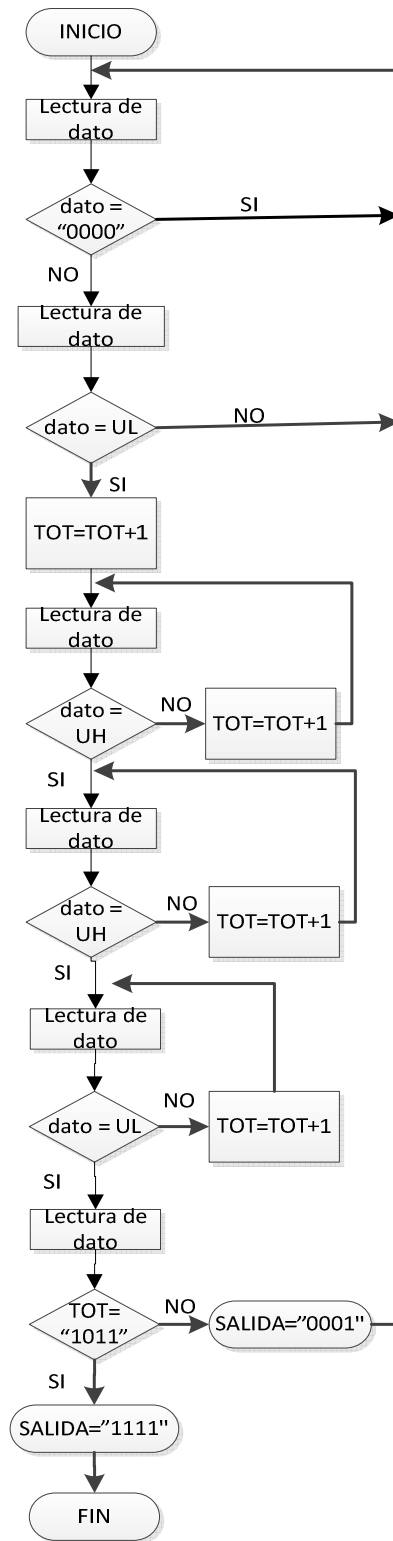


Figura 5.1.1.- Algoritmo inicial de discriminación de rayos Gamma [BRO06].

5.2. Simulación de Software

La simulación se desarrolló con el mismo software que nos provee Xilinx® para su tarjeta (Programa ISE® versión 13.2). En ésta se crea un archivo adicional donde se caracterizó la señal utilizada y el intervalo entre cada dato enviado.

Se muestran las imágenes con las simulaciones de datos aplicados al algoritmo diseñado en VHDL para la tarjeta SP605, usando un reloj con un periodo de 5 [ns] y aplicando un retraso en cada dato de 30 [ns], esto para dar tiempo a la evaluación correcta de cada estado programado en el algoritmo.

En la primera imagen de simulación (Figura 5.2.1) se muestra el resultado de aplicar los datos de una señal esperada que cumple con la detección de los umbrales con lo que se obtiene una salida esperada de “1111”, lo cual nos confirma que si es un evento deseado esto significa que la señal cumple con las características esperadas.

En la primera fila se muestra los datos introducidos con un retraso de 10 [ns] entre cada dato, este valor fue escogido para poder observar el cambio de la información. Se hicieron pruebas usando éste retraso, siendo el valor más pequeño con el que el algoritmo trabajo correctamente.

En la segunda fila se muestra el reloj utilizado. En la tercera, la salida que observaremos de la evaluación de los datos. Si la salida es “1111” tendremos que hay datos equivalentes a un evento de rayo Gamma pero si la salida es “0001” corresponderá a unos datos diferentes a los que verifican un evento.

Al final, se muestra la señal ToT que es la que nos indica si se cumple la cantidad de datos esperados. Si la cantidad de datos esperados se confirma, se determina que el tiempo de duración de la señal esperada se cumple. Lo anterior, junto con el cumplimiento de los umbrales da la certeza de que la señal evaluada corresponde a un evento de rayo Gamma.

Por otra parte, si la cantidad de datos evaluados no es la esperada, la señal recibida no cumple con todas las características y por lo tanto, se declara como una señal generada por otro tipo de partícula.

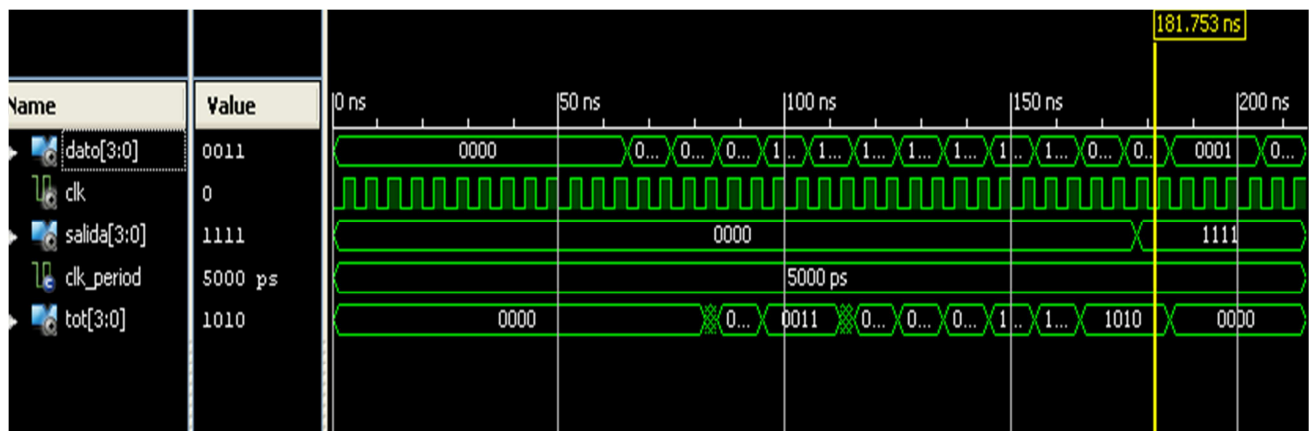


Figura 5.2.1.- Primera simulación del algoritmo.

En la Figura 5.2.2 se muestra que aunque la señal de prueba ubicada en la primera fila cumple con los umbrales como la anterior, tiene un dato menos lo que da como resultado al aplicar el algoritmo de discriminación una respuesta diferente (ver tercera fila).

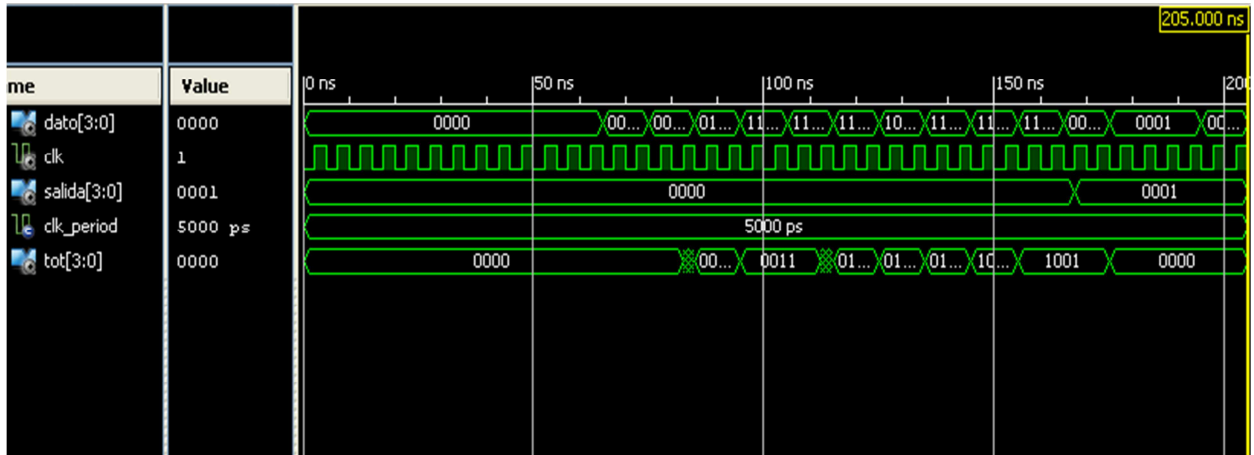


Figura 5.2.2.- Segunda simulación del algoritmo.

En la Figura 5.2.3, se observa como la señal de prueba de la primera fila es diferente, ya que se modificó el valor esperado en el umbral alto, por lo que ya no es una señal idéntica a la esperada, lo cual se nos entrega una salida predeterminada para los eventos fallidos de “0001”.

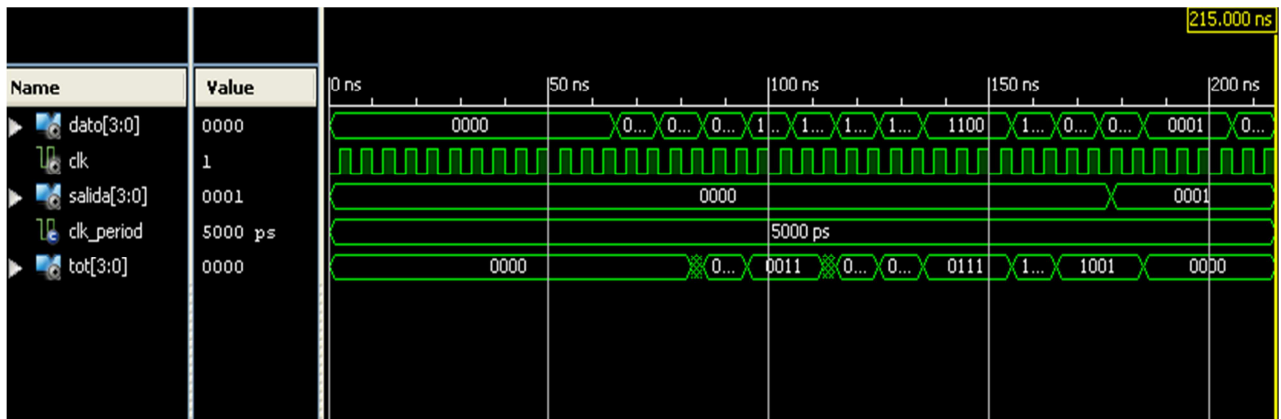


Figura 5.2.3.- Tercera simulación del algoritmo.

Con la simulación se verifica que el algoritmo de discriminación funciona correctamente. El algoritmo revisa cada dato en busca de los umbrales y al detectarlos lo registra. Además, de evaluar que el ancho de duración del pulso.

Como se observa en la simulación, el tiempo que dura la señal ToT está dado por la cantidad de palabras que se cuentan desde que se detecta el primer umbral bajo y hasta que se detecta el segundo umbral bajo. Se asume que cada nivel detectado será equivalente a un mismo tiempo determinado, por lo que al sumar la cantidad de niveles detectados será equivalente al tiempo de duración del pulso, lo anterior no sólo se aplica en la simulación sino también en las pruebas de laboratorio donde se realizó una simulación de la señal.

Después de esta validación del algoritmo, se procedió a realizar las pruebas del programa de discriminación en el FPGA.

6) Pruebas en laboratorio

Las pruebas del sistema se desarrollaron en el Laboratorio de Electrónica y Detectores del Instituto de Astronomía de la UNAM. Una PC con Windows XP, software ISE® Design Suite versión 13.2 de Xilinx y LabVIEW™ versión 8.0, fueron acondicionados para tal efecto.

6.1. Descripción de pruebas

Para probar el algoritmo se decidió utilizar una tarjeta de evaluación con FPGA de Xilinx®, en este caso la Spartan 6, la cual fue elegida por tener un chip que cumple con las características necesarias para poder procesar la información (ver Sección 3.1).

Se conectó la PC a la tarjeta de evaluación usando un cable USB Mini-B, un lado en el puerto JTAG de la tarjeta y el otro en el puerto USB UART.

Se utilizó una tarjeta de evaluación Spartan™ SP605 de Xilinx® ya diseñada para realizar pruebas en el laboratorio para no tener que desarrollar una tarjeta para el FPGA, haciendo más rápido el proceso de creación y evaluación del algoritmo.

Dado que no contamos con un reloj de 400 [MHz] utilizaremos el reloj de 27 [MHz] que trae integrado la tarjeta, el cual es suficiente para poder verificar el algoritmo de discriminación usando el arreglo de pruebas propuesto.

Tomando del sistema de discriminación se armó el arreglo de pruebas en donde quedan implementados:

- La señal simulada que será enviada desde la PC.
- La electrónica de discriminación, implementada en el FPGA.
- La respuesta que será visualizada en la PC.

Para implementar la discriminación se utiliza la electrónica programable del FPGA, para lo cual se desarrolló un programa en VHDL el cual configura el FPGA para realizar la discriminación y comunicar la tarjeta de evaluación con la PC.

Para la visualización se desarrolló una interfaz utilizando LabVIEW™ en la cual es posible elegir la señal que se enviara así como la respuesta que el FPGA nos arroje.

La Figura 6.1.1 muestra el equipo utilizado para realizar el arreglo de pruebas implementado en el laboratorio para discriminar si una señal cumple con las características de una producida por rayo Gamma.

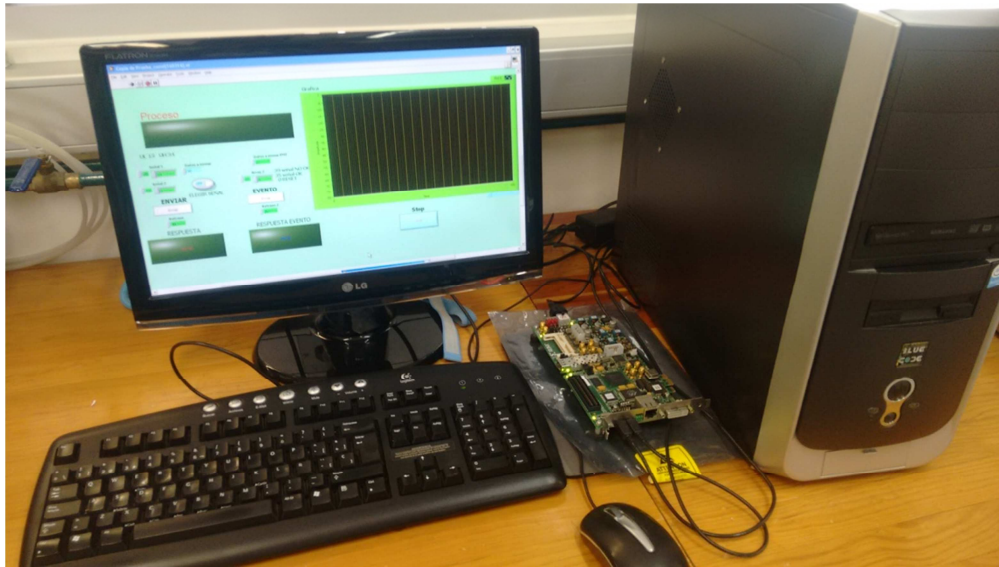


Figura 6.1.1.- Arreglo de pruebas.

6.2. Arquitectura de pruebas de validación del Software de discriminación (arreglo de pruebas)

Para hacer la validación del sistema propuesto se desarrolló un arreglo de pruebas, que como ya se mencionó está formado por una PC y una tarjeta con un FPGA conectados mediante cable USB.

La metodología para conseguir que este arreglo de pruebas funcionara eficientemente se muestra en la Figura 6.2.1.

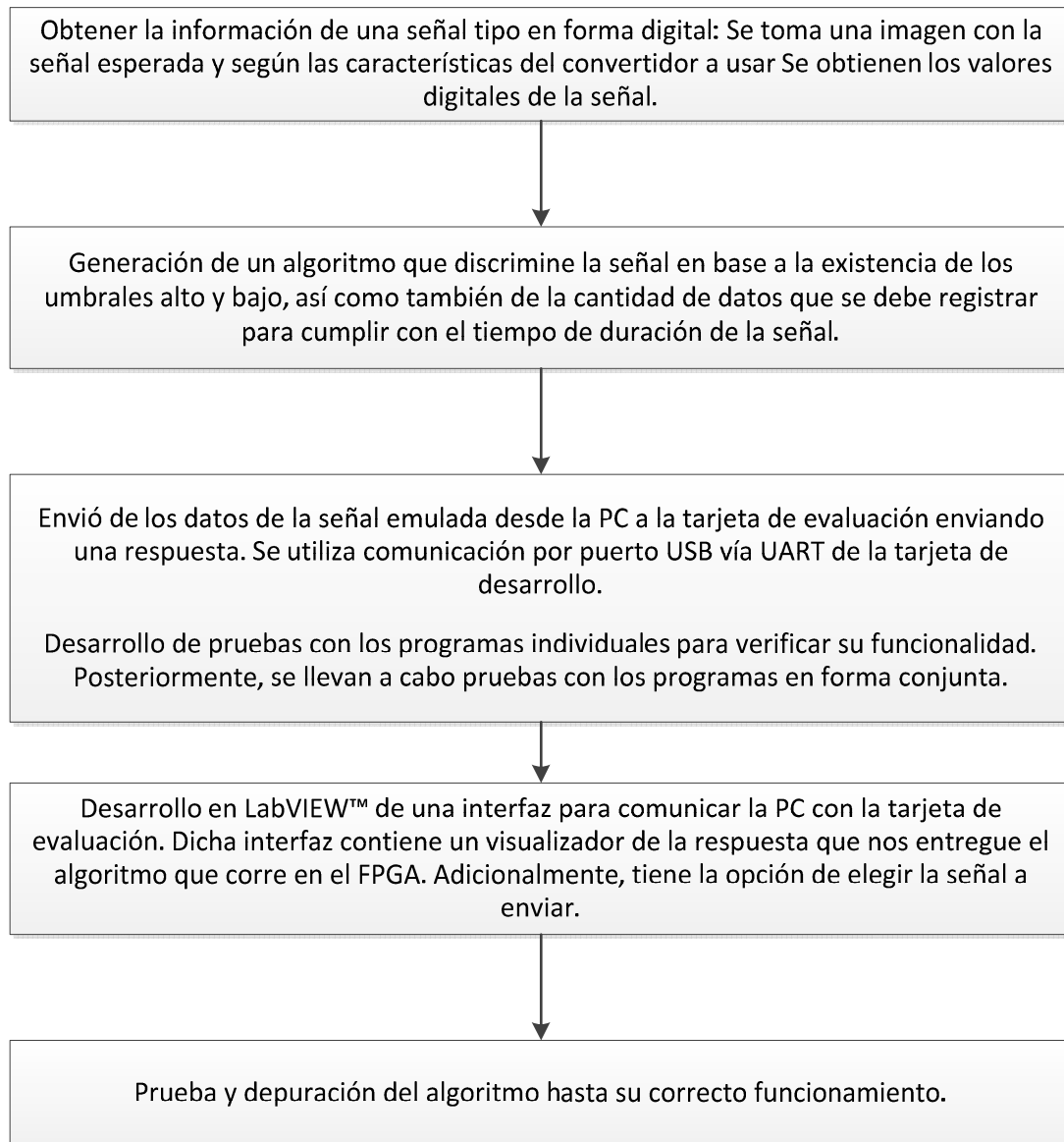


Figura 6.2.1.- Acciones desarrolladas para la validación del Software de discriminación.

A continuación se describirán cada una de las fases por las que se pasó para obtener el arreglo de pruebas.

6.2.1. Arquitectura

El arreglo de pruebas (Figura 6.2.1.1) se define de la siguiente manera:

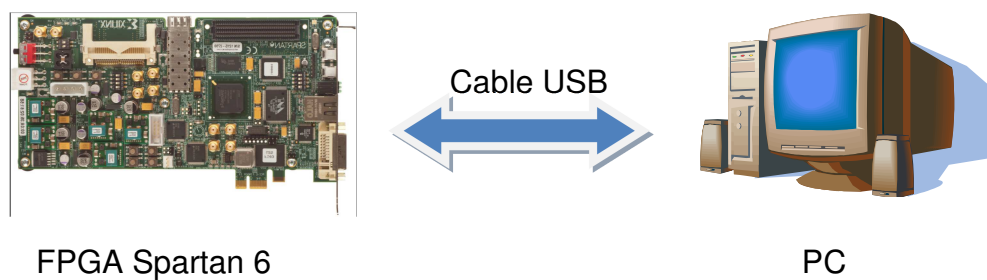


Figura 6.2.1.1.- Arreglo de pruebas.

Se utilizó la tarjeta Spartan 6 comunicada a una PC mediante un cable USB, con comunicación bidireccional. Se adquirió la información de una señal de forma digital (ver Sección 4.4).

Utilizando la información de la simulación, que se vio en el capítulo anterior, generamos un archivo en VHDL que contiene el mismo algoritmo, con las modificaciones para trabajar con los datos esperados de la señal que ya tenemos y que queremos discriminar. Al mismo tiempo asignamos nombre y definimos los pines a usar para que la comunicación con la PC fuese posible.

La siguiente parte se desarrolló usando LabVIEW™ mediante un par de programas: uno que envía información al puerto y otro con el que se logra visualizar la información del puerto. Generamos una rutina en VHDL para que reciba los datos que enviamos desde la PC a través de la interface de usuario programada en LabVIEW™; para confirmar que el dato que enviamos fue recibido, se activa un LED en la interface (ver Sección 6.3.9).

6.3. Descripción de Software de discriminación

Se describe el software que realiza la comunicación de la tarjeta con la PC, así como la interfaz de comunicación en LabVIEW™.

6.3.1. Tasa de transmisión

Para lograr la comunicación entre la PC y la tarjeta de evaluación del FPGA, primero hay que definir algunas de las características de comunicación, como el baudaje y el tamaño de bits a utilizar. Dado que se utilizó la señal modelada con los datos de un ADC de 8 bits, esta será la medida de los bits que utilizaremos. Así, el baudaje para ambos es de 9,600 Bauds.

La tasa de transmisión se refiere al número de bits que se transmiten en cierto tiempo (con esto debemos definir que tasa de transmisión utilizaremos en nuestro sistema). Para definir el baudaje, en el programa en VHDL se crea una rutina que genere un pulso con una frecuencia que sea 16 veces la tasa de transmisión designada para la UART.

Por ejemplo, para una tasa de transmisión de 19,200 Bauds la tasa de muestreo debe ser de 307,200. Esto es:

$$19200 \times 16 = 307200.$$

Con un reloj de sistema de 27 MHz se necesita que cada 88 ciclos de reloj exista un pulso. Con esta señal sincronizada del reloj principal es que se controla el baudaje.

$$\frac{27 \times 10^6}{307200} = 87.8906 \text{ Ciclos.}$$

Para el reloj de 200 MHz:

$$\frac{200 \times 10^6}{307200} = 651 \text{ Ciclos}$$

Para una tasa de transmisión de 9600 Bauds, que será la que utilizaremos, la tasa de muestreo debe ser 153600.

$$9600 \times 16 = 153600$$

Con los relojes de la tarjeta tenemos:

Para 27 MHz:

$$\frac{27 \times 10^6}{153600} = 175.78 \text{ Ciclos}$$

Para 200 MHz:

$$\frac{200 \times 10^6}{153600} = 1302.083 \text{ Ciclos}$$

De lo anterior, deducimos que la rutina ilustrada en la Figura 6.3.1.1 debe enviar un pulso cada 176 ciclos para que el baudaje sea de 9600.

La rutina debe tener por entradas el reset y el reloj, y darnos como salida un pulso. Este programa se utiliza para las rutinas de envío y recepción de datos desde la tarjeta y corresponde al archivo mod_m.vhd.

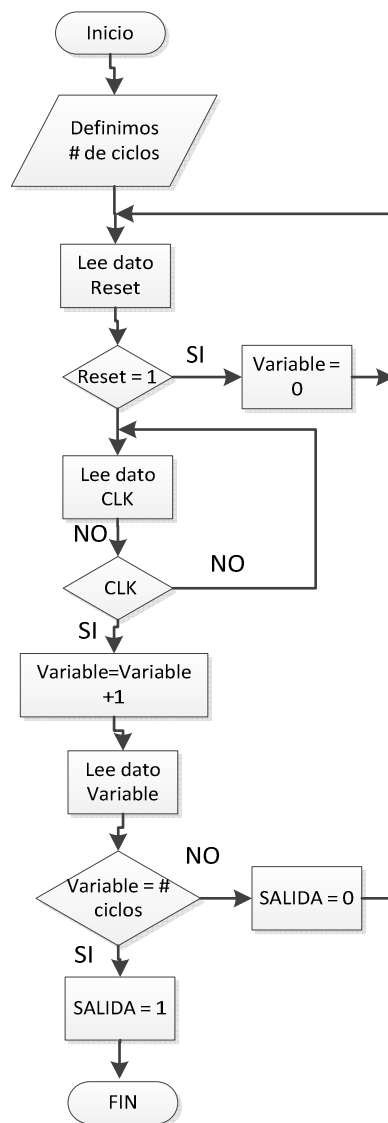


Figura 6.3.1.1.- Rutina de pulso de baudaje [BRO06].

Esta rutina debe sumar una unidad por cada ciclo de reloj. Esta suma será comparada contra la cantidad de ciclos que se esperan, en cuanto se llegue al valor deseado, cambiara la salida de cero a uno lógico por un ciclo de reloj, mandando de esta forma el pulso deseado. Adicionalmente, el valor de la suma se restablece a cero para reiniciar la rutina.

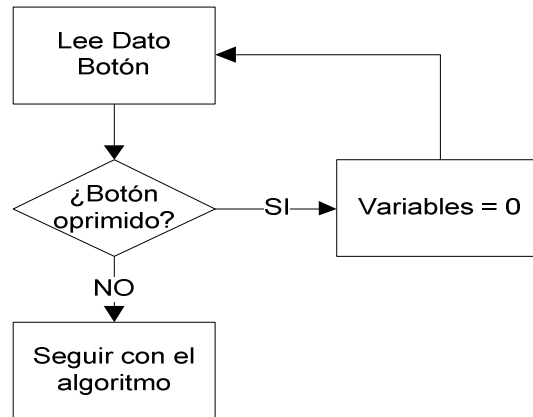
6.3.2. Rutina de reinicio

Esta rutina puede ser utilizada en cualquier momento. La utilidad de esta función es mandar a valores iniciales las variables utilizadas, además, de provocar que la rutina regrese al principio de su ejecución.

La función de reinicio (Figura 6.3.2.1) se activa al oprimir el botón SW4. Al oprimirlo se envía una señal que da comienzo a la ejecución esta rutina.

La rutina consistirá en colocar el valor de cero en cada una de las variables programa: ul, uh y ToT, que son las variables de activación referentes a la detección de los umbrales de discriminación y la variable de acumulación de datos contabilizados del ToT.

El colocar este valor de cero significa que cualquier dato contabilizado previamente será descartado, así como la activación de alguna variable por la detección de algún umbral.



6.3.1.- Función de reinicio [BRO06].

6.3.3. Rutina de recepción de datos

A continuación se describe el funcionamiento de la rutina que recibe datos provenientes de la PC y activa como respuesta el encendido de un LED (Figura 6.3.3.1).

Primero, definimos el tamaño de la palabra que vamos a recibir y el tamaño de pulsos para el bit de paro.

También, las señales que usaremos como entrada, la señal de reloj, el reset, la señal del baudaje la cual denominaremos S_tick y la señal RX que es por donde llega la señal proveniente de la PC.

Como salidas tendremos el dato que llegó de la PC el que llamaremos DOUT. Después se declara el reinicio.

Posteriormente, se revisa el puerto RX que será por donde lleguen los datos bit a bit. Lo primero que se espera es el bit de inicio.

Cuando se detecte este bit, se toma un pequeño retraso.

Terminando el retraso se guarda en un registro cada bit que vaya llegando hasta formar de nuevo el dato.

Al final se levanta la bandera `rx_done_tick`, con esto se entiende que el proceso terminó y por lo tanto tendremos el dato dentro de la tarjeta.

Para comprobar que se recibe el mismo dato que se envió desde la PC, se utiliza una comparación.

Si el resultado indica que es el mismo dato se encenderá uno de los LED que posee la tarjeta, en caso contrario, ninguno se iluminará.

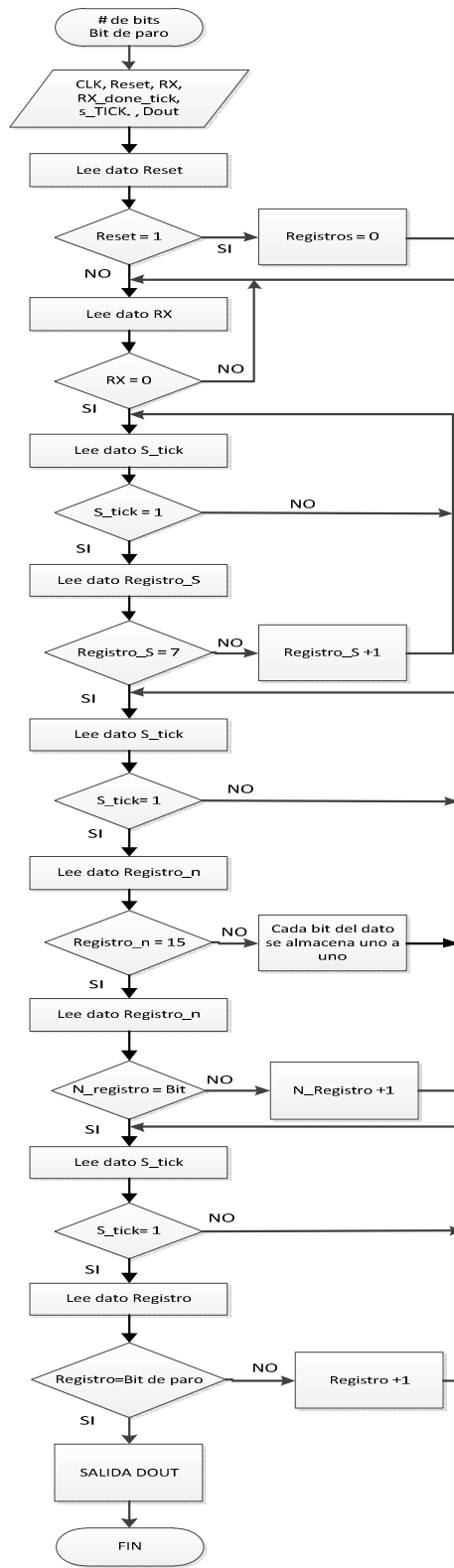


Figura 6.4.3.1 Rutina de recepción de datos [BRO06].

6.3.4. Rutina de transmisión de datos

La rutina de transmisión de datos manda información desde la tarjeta hasta la PC (Figura 6.3.4.1).

Para comprobar su funcionamiento se deberá visualizar en la PC el dato enviado desde la tarjeta. Primeramente, la rutina de recepción de datos define el tamaño de bits que tendrá el dato a evaluar y el número de pulsos que definen el bit de paro.

Las señales a utilizar como entrada son: el reloj, el reset, la señal de arranque tx_start, la señal del baudaje que ya obtuvimos y que nuevamente llamaremos s_tick. Además de que definimos el dato que vamos a mandar en la señal din.

Como salida tendremos el bit que indica que se recibió toda la señal y la señal tx que será por donde se enviarán los bits que conforman nuestro dato.

Para comenzar con el cuerpo de la rutina se define la función reset, en cuanto se reciba esta señal se reiniciarán los registros y empezará nuevamente la rutina de transmisión de datos.

El programa revisa la señal tx_start, si esta cambia a un uno lógico comenzará a correr la secuencia para enviar la señal que se escogió desde la tarjeta de evaluación.

Para marcar el bit de inicio se tendrá un retraso de 15 pulsos de la señal del baudaje. Una vez completando el retraso, se envía el dato, un bit cada 15 pulsos del baudaje.

Para lograr enviar un bit a la vez los demás bits del dato se enmascaran con ceros y se envían usando del pin tx de la tarjeta.

En cuanto se termine de enviar el dato completo se aplica otro retraso para definir el bit de paro.

Para finalizar se envía un bit de termino con duración de un pulso y después se regresa al principio de esta rutina, esperando nuevamente la señal de arranque, para enviar otra señal.

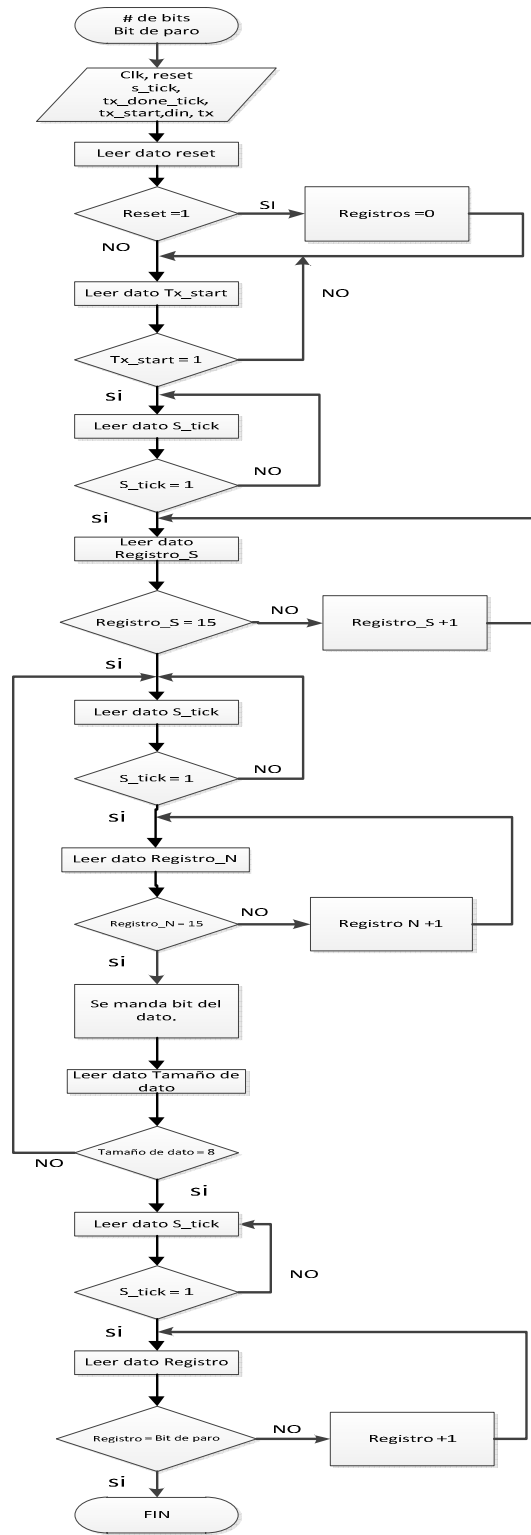


Figura 6.3.4.1 Rutina de transmisión de datos [BRO06].

6.3.5. Prueba de envío y recepción de datos

Después de tener las dos rutinas funcionando, se acoplaron ambas para lograr una comunicación bidireccional. Para probar la unión de ambas rutinas usamos LabVIEW™ para enviar un dato y para visualizar la respuesta. El dato enviado debe de ser visualizado con un incremento de una unidad, este incremento será realizado en el FPGA antes de enviarlo hacia la PC.

Cuando se tuvo funcionando la rutina de envío de datos en conjunto con la de recepción, como se esperaba, se continuo con las pruebas del algoritmo en VHDL, usando la misma señal que en la simulación.

6.3.6. Algoritmo de Discriminación

Para mandar la información creamos en LabVIEW™ un programa en el que los datos a enviar se colocaron en una tabla. Usando una secuencia se envía un dato a la vez y se espera una respuesta por cada dato enviado. Esta respuesta será una señal preestablecida. Después de analizar todos los datos se da una respuesta, basada en el cumplimiento o no de los requerimientos para ser una señal generada por rayo Gamma.

Para la revisión de esta señal se debe comprobar que se identificaron los umbrales y que se generó una cuenta para verificar el ancho de pulso de la señal. Como se aprecia en la Figura 6.3.6.1, se espera que al inicio se definan los valores de los umbrales.

Posteriormente, se revisa el dato que llegó y se compara contra cero: si el resultado de la comparación nos indica que si es un cero, se reinician las variables asociadas a la

detección de los umbrales (UL1, UL2, UH1 y UH2) a cero y se espera la llegada de un nuevo dato.

Con cada dato revisado, el programa envía una respuesta a la PC, lo anterior, permitirá mantener la comunicación y saber que la información se está procesando.

Si el dato de arriba no es cero, se verifica que la variable relacionada a la detección del umbral bajo (UL1) esté en cero; de ser así, se compara el dato contra el valor esperado del umbral bajo.

Si la comparación indica que el dato es igual al del umbral se inicia la cuenta del valor ToT sumándole una unidad. Además, se coloca un "1" en la variable asociada a este umbral (UL1) y se lee el siguiente dato. Si la comparación es diferente sólo se lee el siguiente dato para volverlo a comparar.

Una vez detectado el primer umbral bajo, los siguientes datos se comparan contra el valor esperado del umbral alto. Si el resultado de la comparación es diferente, se suma un 1 a la señal ToT y se lee el siguiente dato. Si el resultado de la comparación es igual, además de realizar la suma a la señal ToT, se coloca un "1" en la variable asociada a la detección del primer umbral alto (UH1).

Lo siguiente a revisar es la detección de un segundo umbral alto. El procedimiento es el mismo que en el paso anterior. Se debió de haber detectado el primer umbral bajo y el primer umbral alto, cuando la comparación nos indique que se encontró el segundo umbral alto se coloca un "1" en la variable asociada a este umbral (UH2).

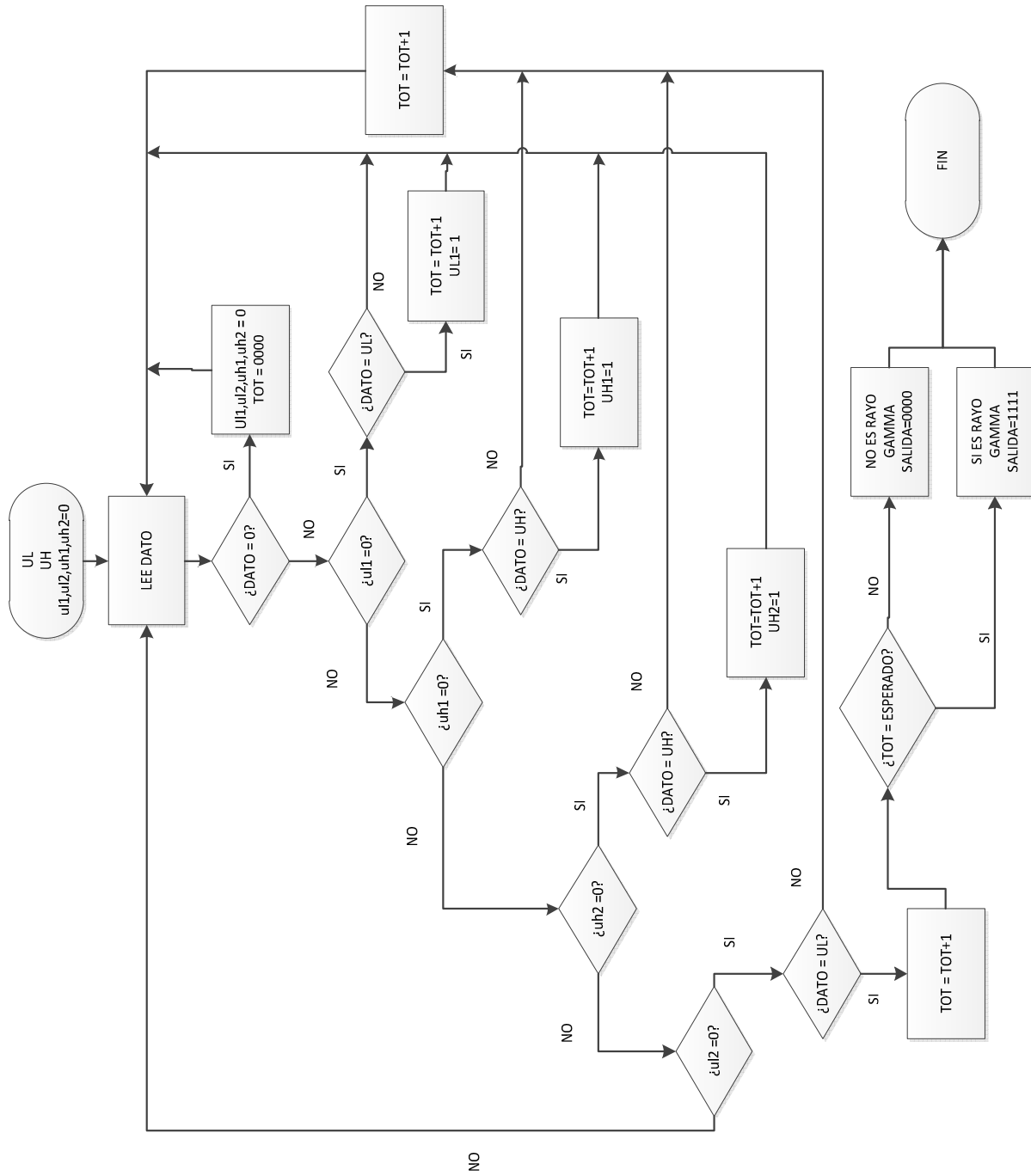


Figura 6.3.6.1 Algoritmo de discriminación.

Con la detección de los tres primeros umbrales sólo falta detectar el último umbral bajo; si en la comparación no se detecta, se vuelve a sumar un “1” a la señal ToT. Si se detecta, se debe volver a sumar “1” a la señal ToT y colocar un “1” en la última variable asociada al segundo umbral bajo (UL2)

Antes de enviar la respuesta a la PC se hace el análisis de la señal. El programa verifica que las cuatro variables asociadas estén con un “1” y que la cuenta de los datos entre el primero y segundo umbral bajo lleguen al valor esperado. Si se cumple lo anterior, se considerará que se detectó una señal tipo de rayos Gamma.

En caso de que una sola de las variables no se haya detectado o que la duración de la señal no sea la esperada, entonces la respuesta será negativa. Para identificar en qué momento se procesa la señal, se mantendrá iluminado un LED en la PC y dependiendo de la respuesta se iluminara o no otro LED.

La interfaz en LabVIEW™ hará una comparación del dato que le llega desde el FPGA, si esté es idéntico al que predefinimos para una respuesta afirmativa se iluminara un LED, pero si es diferente no se iluminará.

6.3.7. Arreglo propuesto de interconexión de FPGA

Para poder analizar toda la información de un observatorio como MILAGRO, MILAGRITO o HAWC se propone colocar en cada PMT un analizador de umbrales, esté estará formado con un FPGA con el software que se ha desarrollado.

Cada tarjeta de evaluación podrá analizar hasta 8 PMT utilizando la interfaz VITA 57.1 FMC que posee la tarjeta Spantan 6™.

Si la señal del PMT cumple con la discriminación, la respuesta pasará a otra tarjeta intermedia con FPGA, en donde, se registrará el tiempo de llegada de cada una de estas señales, esto conforme al máximo número de respuestas que se pueden conectar a la tarjeta. En este caso utilizando el puerto VITA 57.1 FMC se pueden conectar 68 señales.

La discriminación y el registro del tiempo se realizan en una ventana de tiempo de 300 [ns], la cual se usa comúnmente para discriminar este tipo de cascadas.

Al final del arreglo se encuentra un último FPGA, el cual analizará el resultado de los FPGAs intermedios, éste nos dirá si es o no evento producido por un rayo Gamma.

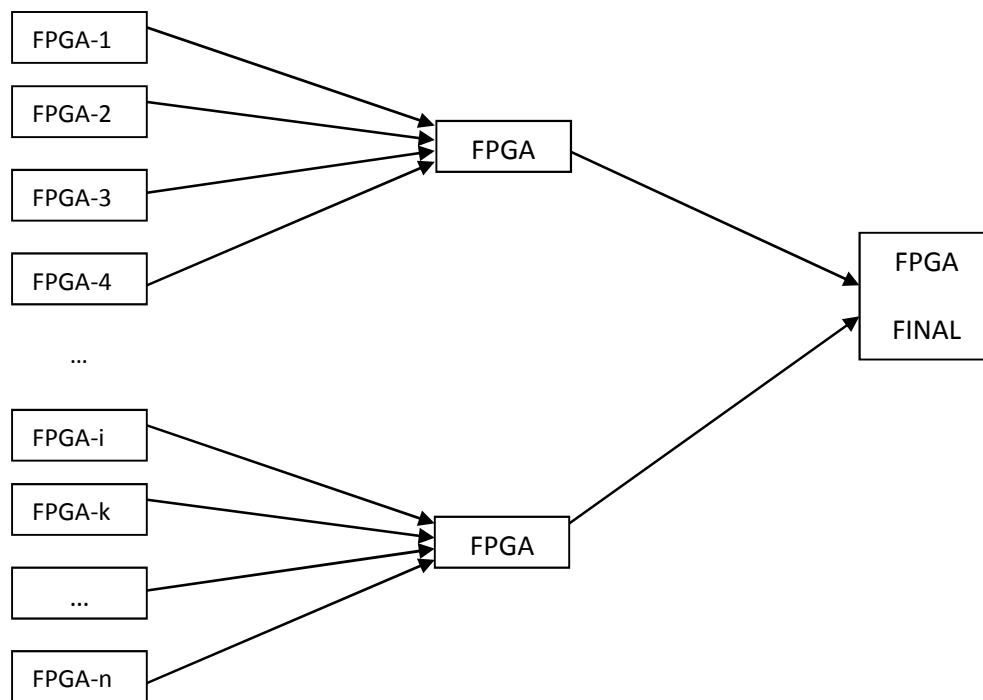


Figura 6.3.7.1.- Arreglo propuesto de interconexión de varios FPGA para un observatorio.

6.3.8. Interfaz en LabVIEW™

La interfaz de usuario programada en LabVIEW™ (Figura 6.3.8.1) es el medio de comunicación con el FPGA.

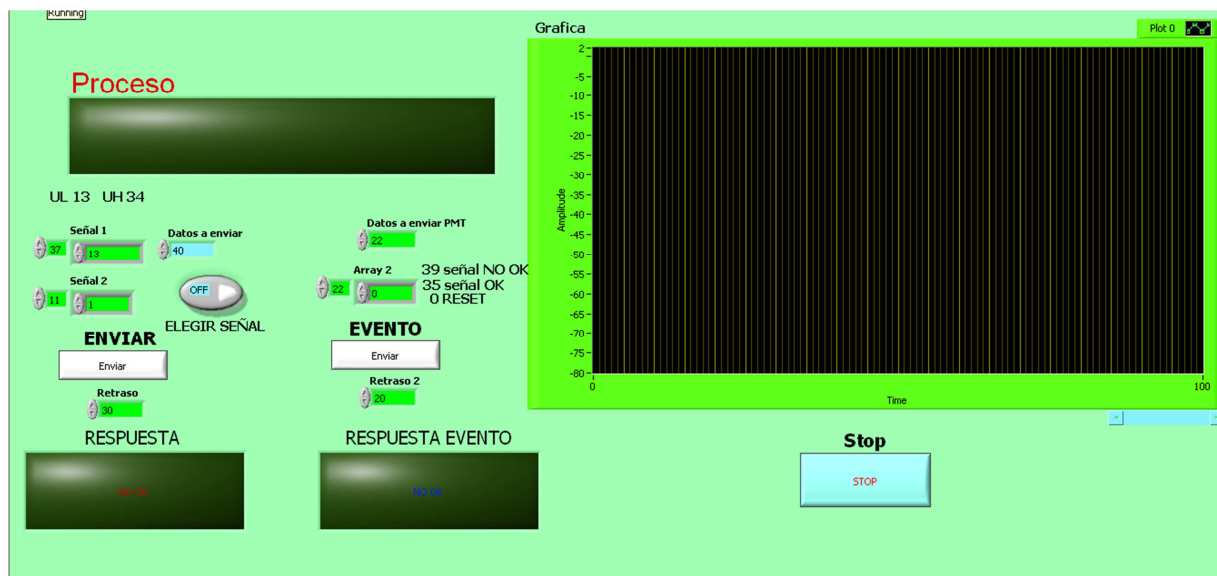


Figura 6.3.8.1.-Pantalla de Interfaz.

En la interfaz se puede observar que en un extremo se tienen los controles e indicadores para las dos rutinas que están embebidas en el FPGA y en el otro extremo se cuenta con una gráfica donde se visualiza la señal que se envíe al FPGA.

En el extremo izquierdo de la interfaz se observa que los controles de las dos rutinas están ordenados en columnas.

La rutina 1 está formada por los arreglos: “Datos a enviar”, “Señal 1”, “Señal 2”, “Retraso”, por los botones: “Elegir señal”, “Enviar“ y por el indicador tipo LED “Respuesta”.

La rutina 2 está formada por los arreglos: “Datos a enviar PMT”, “Array 2”, “Retraso 2”, por el botón “Evento” y por el indicador tipo LED “Respuesta evento”.

Rutina 1: Cuenta con la opción de escoger qué señal será la que se quiere evaluar con el botón “Elegir señal”, estas señales a elegir están en los arreglos “Señal 1”, “Señal 2” donde pueden ser modificadas, en este arreglo se considera que el umbral bajo está referenciado con el número 13 y el alto en el 34.

También se tiene el arreglo “Datos a enviar” donde podemos definir qué cantidad de datos de la señal elegida se quiere enviar.

Además, contiene el arreglo “Retraso” para colocar un tiempo de retraso en [ms] en el envío y recepción de los datos, ya que al hacer pruebas se encontró que sin este retraso se pierde información.

Una vez elegida la señal y el retraso de tiempo, se presiona el botón de “ENVIAR” y se inicia la secuencia de envío de datos del arreglo, uno a uno, encendiendo el indicador tipo LED “Proceso”.

Para visualizar la respuesta se tiene un indicador tipo LED llamado “Respuesta”. Para que se ilumine, la interfaz realiza una comparación del dato que envió el FPGA de respuesta contra el dato esperado al análisis de una señal tipo rayo Gamma, si la

comparación es igual se ilumina el LED “Respuesta”, si es distinta no se ilumina y en ambos casos se apaga el LED “Proceso”.

Rutina 2: Como se describió anteriormente, la discriminación de una señal no es suficiente para decir si se trata o no de un rayo Gamma, por lo que se añadió una rutina la cual simula las distintas señales provenientes de la discriminación y ésta determinará si cumple con el número de PMTs activados necesarios para tener un evento generado por rayos Gamma. El valor 39 se asignó a las señales que no cumplen con la características evaluadas en el algoritmo, y el 35 a la que si lo cumplen, para reiniciar la rutina se eligió el valor 0.

Estos datos están en un arreglo llamado “Array 2”, con este arreglo se simula el análisis de las respuestas para definir si un evento fue o no producido por un rayo Gamma.

En el arreglo “Datos a enviar PMT” seleccionamos la cantidad de datos que se enviaran a evaluar en el FPGA.

Para enviar estos datos tenemos el botón “Enviar, Eventos” y para visualizar la respuesta se tiene el LED “Respuesta evento” el cual se iluminara cuando la comparación del dato de respuesta del FPGA sea el mismo que el esperado.

Al igual que en la rutina anterior se cuenta con una casilla para definir un retraso de tiempo en el envío y lectura de datos para evitar perdida de información.

También, existe un botón de paro para detener el programa cuando sea conveniente.

7) Resultados

Con la revisión de las características de las diferentes tarjetas y chips, en la búsqueda de escoger uno para el desarrollo de la tesis, se obtuvo el conocimiento para formar un criterio que se puede utilizar en el desarrollo de proyectos futuros.

Para el desarrollo de la tesis se tuvo la necesidad de aprender el lenguaje VHDL para programar el FPGA y lograr la creación del algoritmo. Primero se buscaron y revisaron varios libros además de diferente documentación para conocer el lenguaje VHDL, logrando generar y descargar al FPGA una rutina para encender un LED de la tarjeta como primer contacto con este lenguaje.

Se realizó una rutina para enviar datos de 8 bits desde la PC a la tarjeta de evaluación, usando un programa en LabVIEW™, esta rutina tiene como comprobación encender un LED de la tarjeta cuando se envié un dato en específico.

También se realizó una rutina que envía un dato de 8 bits desde la tarjeta a la PC, el cual se visualiza en un programa de LabVIEW™.

Con las rutinas de envío y recepción de datos se armó un programa donde éstas funcionan en conjunto, lo cual se verificó al enviar un dato desde la interfaz en LabVIEW™ a la tarjeta para después visualizarlo en la misma interfaz una vez que la tarjeta le sumara un 1 y lo envié.

Después se corrieron las pruebas de simulación del algoritmo utilizando el simulador de ISE™ para corroborar su funcionamiento. Ya que se revisó este algoritmo en simulación, se corrieron pruebas en el FPGA. Como los resultados no fueron los esperados, se realizaron modificaciones y pruebas de cada punto del programa de comunicación del algoritmo, corrigiéndolo hasta que funcionó como se esperaba. Se revisó paso a paso lo que realizaban las rutinas usando un retraso de tiempo entre instrucciones y un visualizador que nos permitiera ver como se reaccionaba a cada instrucción, con lo que se fue depurando el programa en LabVIEW™ para lograr una comunicación sin pérdida de información.

Otro problema resuelto fue la cuenta de datos de duración de la señal, dado que se emula la señal con la PC y se transmite por USB, se observó que el FPGA realizaba varias veces el algoritmo dando una respuesta diferente para cada ejecución del programa. Realizando algunas modificaciones se logró que el programa corriera el algoritmo como se esperaba, logrando visualizar la cuenta de los datos que se envían uno a uno.

Con lo anterior resuelto se obtuvo el algoritmo y la interfaz en LabVIEW™ que nos permiten discriminar si una señal cumple con los requerimientos de una señal tipo rayo Gamma, dándonos como resultado la visualización de la misma.

El algoritmo descargado en el FPGA se comunica con la PC por medio de los puertos de comunicación que la tarjeta de evaluación posee y analizando dato a dato, comparándolo contra los valores de umbral esperados, en el orden esperado.

Además, contabiliza la cantidad de datos que existen entre los umbrales, con esa información se discrimina si la señal que se envió cumple o no con las características esperadas.

Como se observa en la Figura 7.1, se muestra la respuesta para el caso de la discriminación de la señal que sabemos que si cumple con las características esperadas, se espera un resultado “OK”.

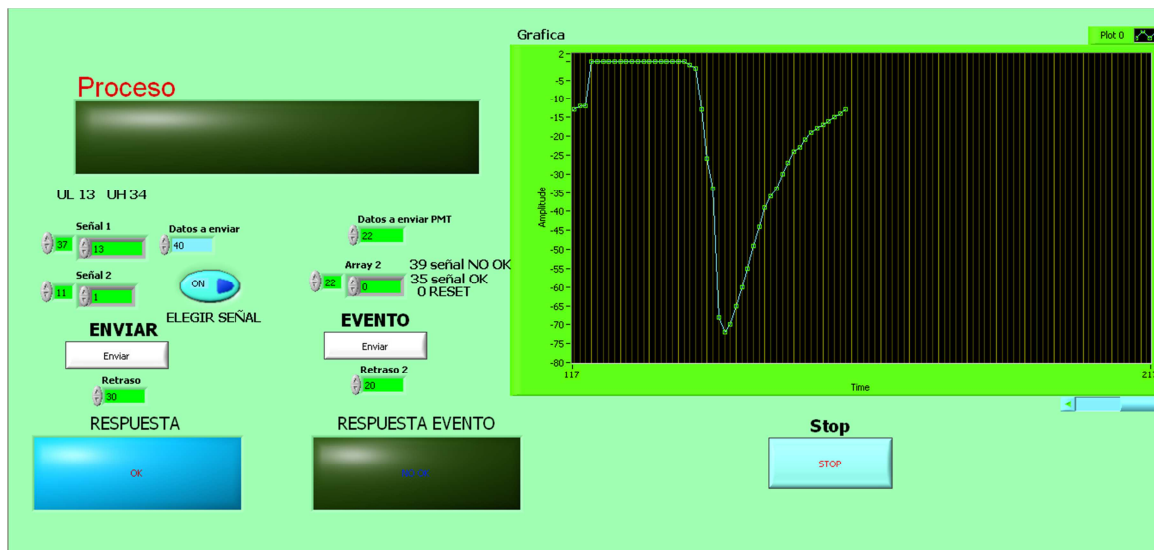


Figura 7.1.- Respuesta de la evaluación de la señal tipo.

En la Figura 7.2 se muestra un ejemplo en la cual se ha enviado una señal que si cumple con recorrer los cuatro umbrales en el orden esperado, pero la duración de la señal es menor a la esperada.

Por consiguiente, al no cumplir con todas las características necesarias, el algoritmo arroja una respuesta de “No OK”, la cual es la que recibimos como respuesta a los eventos de este tipo.

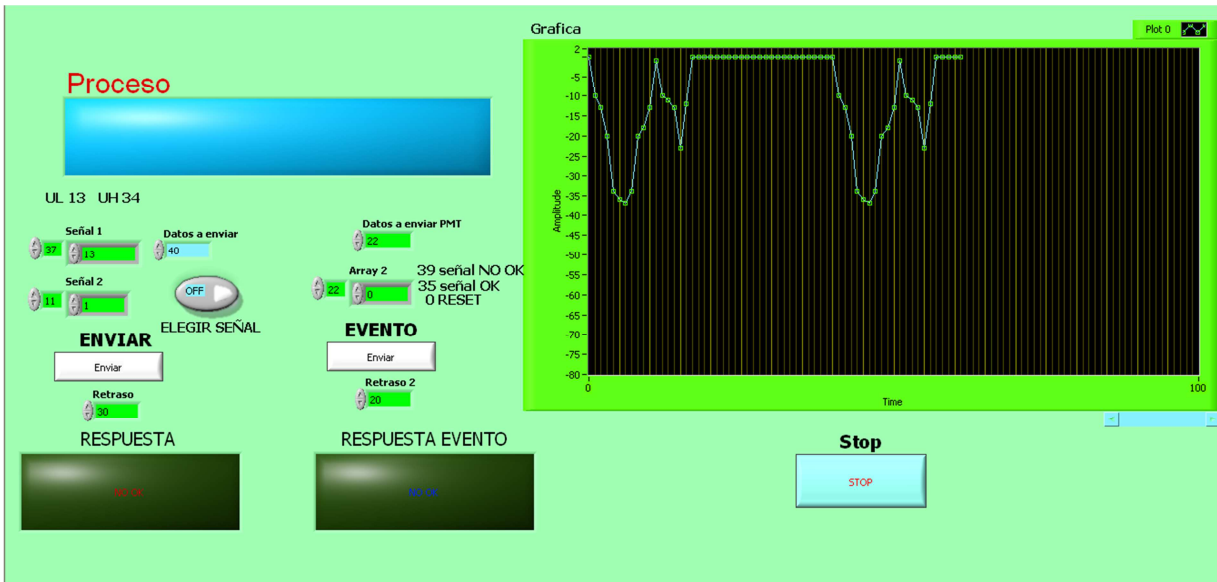


Figura 7.2.- Respuesta una señal de menor duración.

Para la segunda rutina en la Figura 7.3 se observa la respuesta a la simulación de la discriminación de señales donde se tiene una cantidad de señales que superan el nivel esperado para decir que se tiene un evento generado por rayos Gamma.

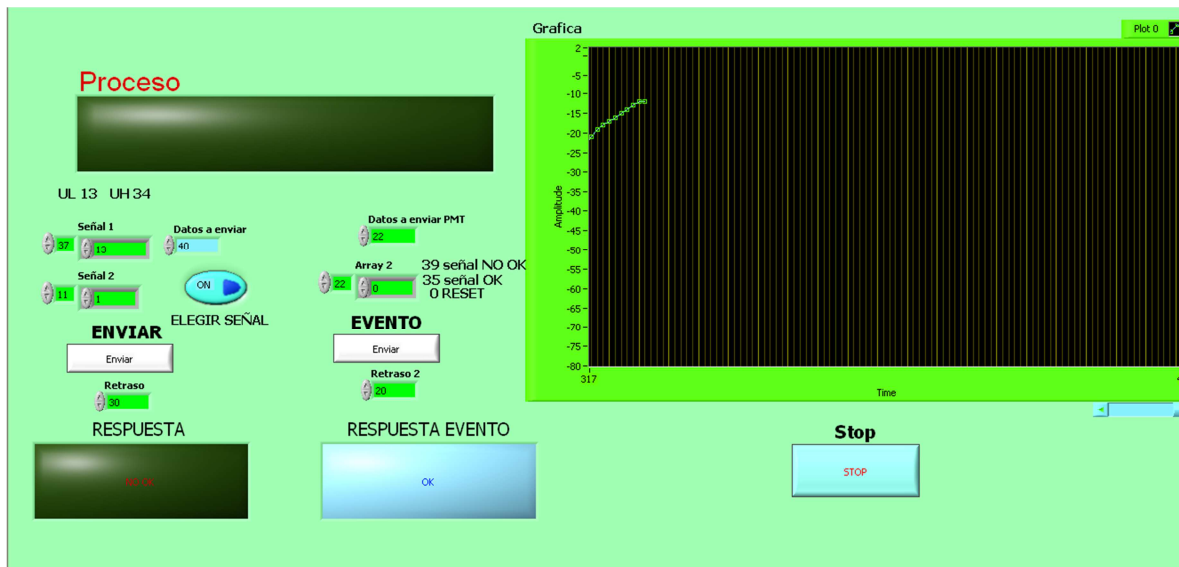


Figura 7.3.- Respuesta del análisis de la segunda rutina

Se determinó que para analizar la señal y dar una respuesta el arreglo de pruebas se tarda alrededor de 2.8 segundos este tiempo incluye las interrupciones de la PC. Este dato se obtuvo usando un temporizador en la interfaz, el cual arranca en el momento en que se oprime el botón de enviar y se detiene en cuanto se lee la respuesta en la PC.

Analizando la estructura del archivo en VHDL y revisando la ruta más larga se determinó que el tiempo que tarda el chip en dar una respuesta usando el reloj de 27 [MHz], desde que llega el primer bit es de 0.529 [ms], el retraso restante es debido a la comunicación USB, a las interrupciones de la PC y a la velocidad de procesamiento de la PC utilizada.

Si se trabajara con el reloj de 200 [MHz] este tiempo de procesamiento en el chip FPGA sería de 71.445 [μ s] y con el de 400 [MHz] de 35.722 [μ s].

Conclusiones y perspectivas

Con la realización del arreglo de pruebas utilizando el algoritmo diseñado, se logró cumplir el objetivo de la tesis, y se pudo verificar su funcionamiento al realizar pruebas con diferentes señales.

Se estableció un algoritmo embebido en un FPGA que realiza la discriminación de señales que cumplen con las características propias de las generadas por rayos Gamma el cual genera una señal de disparo digital como respuesta, lo cual quedo comprobado con el arreglo de pruebas que se desarrolló.

La interfaz desarrollada en LabVIEW™ comunica mediante el puerto USB una PC con la tarjeta que posee el FPGA.

Se propone como perspectiva el desarrollo del tema propuesto en la sección 6.3.7, el cual podrá utilizar las respuestas del algoritmo desarrollado y con ellas realizar un análisis que indique si se trató de un evento generado por un rayo Gamma. Para lo anterior, se deberá utilizar un criterio como el del observatorio HAWC, el cual considera que se debe superar un 85% del total de las señales discriminadas de los PMT que conforman el observatorio (operando con un número determinado de tanques). En esta tesis se realizó un avance el cual se encuentra descrito en la rutina 2 de la Sección 6.3.8.

Además, en esta tesis se propone como propuesta para desarrollo futuro la implementación de un sistema de detección de partículas, para el cual se podría reutilizar el algoritmo y la interfaz diseñados en esta tesis.

En este sistema de detección de partículas se deberá poder elegir que partícula se quiere detectar, con lo cual se modificarían los valores característicos en el algoritmo dependiendo de la señal escogida.

También se deja como desarrollo la realización de una tarjeta que contenga un ADC y su interfaz para comunicarlo con la tarjeta de desarrollo, para que el sistema pueda ser conectado directamente a la electrónica de acoplamiento de un PMT, permitiendo que este algoritmo pueda ser probado en campo al igual que el sistema de discriminación de partículas.

Apéndices

Convertidor ADS5485

El convertidor ADS5485 es un convertidor analógico digital de 16 bits, con una tasa de muestreo de 170 a 200 [MSPS] y un ancho de banda de 730 [MHz]. El tipo de salidas LVDS. Este convertidor trabaja con dos fuentes de voltaje de 5 y 3.3 [V].

Este chip utiliza una arquitectura diferencial con corrección de errores digitales y un chip de muestreo y retención para reducir el consumo de energía.

El diagrama a bloques de este convertidor se muestra en la Figura 4.3.2.1.

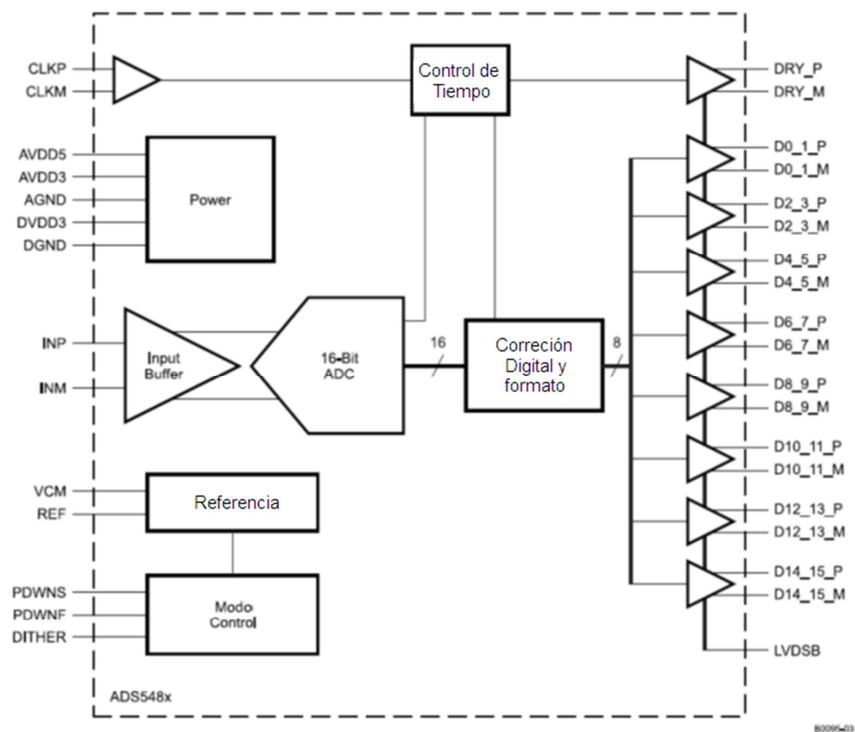


Figura 4.3.2.1.- Arquitectura del ADS5485 [NI16].

A la salida diferencial se tiene una resistencia de 100 [Ω].

El intervalo de voltaje a la entrada en modo diferencial es 3 [V_{p-p}] y en modo común de 3.1 [V]. Mantiene un voltaje de referencia de 1.2 [V] en modo diferencial y 3.1 [V] en modo común.

Con la fuente de 5 [V] funcionando, el intervalo de la entrada analógica es de (-0.3 [V] a 5.3 [V]), pero si no lo está, las entradas analógicas deben de ser < 0.5 [V] de lo contrario puede dañar el circuito.

La latencia de conversión es de 8.5 ciclos de reloj y se tiene una frecuencia máxima de reloj de 155 [MHz], por lo que esta latencia sería de 54.83 [ps], el tiempo en que el dato está disponible en la salida o a la entrada para la detección es de 1.3 [ns].

Calculando el error de resolución, para los valores de umbral de un rayo Gamma se tiene:

Para trabajar en modo diferencial con un rango de 3 [V_{P-P}], se tiene que el valor mínimo de detección es 45.7764×10^{-6} [V].

Para el error del umbral bajo sin amplificar de 4.19×10^{-3} [V] se tiene:

$$45.7764 \times 10^{-6} \times 91 = 4.1198 \times 10^{-3} \text{ [V]},$$

$$U_L: \quad E = \left| \frac{4.19 - 4.1198}{4.19} \right| \times 100 = 1.67\%$$

$$91.55 \times 10^{-6} \times 92 = 4.2114 \times 10^{-3} \text{ [V]},$$

$$U_L \quad E = \left| \frac{4.19 - 4.2114}{4.19} \right| \times 100 = 0.51\%$$

Con esto nos damos cuenta de que el nivel 46 sería el equivalente del umbral bajo.

Para el error del umbral bajo con amplificar de 30 [mV] se tiene:

$$91.55 \times 10^{-6} \times 327 = 29.9277 \times 10^{-3} \text{ [V]},$$

$$U_L: \quad E = \left| \frac{30 - 29.9277}{30} \right| \times 100 = 0.241\%$$

$$91.55 \times 10^{-6} \times 328 = 30.0292 \times 10^{-3} \text{ [V]},$$

$$U_L: \quad E = \left| \frac{30 - 30.0292}{30} \right| \times 100 = 0.097\%$$

De lo anterior el nivel 328 sería el equivalente del umbral bajo ya amplificado.

Para el error del umbral alto de 80 $\times 10^{-3}$ [V] se tiene:

$$91.55 \times 10^{-6} \times 873 = 79.9255 \times 10^{-3} \text{ [V]},$$

$$U_H: \quad E = \left| \frac{80 - 79.9255}{80} \right| \times 100 = 0.093\%$$

$$91.55 \times 10^{-6} \times 874 = 80.0170 \times 10^{-3} \text{ [V]},$$

$$U_H: \quad E = \left| \frac{80 - 80.0170}{80} \right| \times 100 = 0.021\%$$

De lo anterior se nota que el nivel 874 sería el equivalente del umbral alto.

Para el modo diferencial, con un intervalo de 2 [V], se tiene que el valor mínimo de detección es 122.07×10^{-6} [V].

Para el error del umbral bajo sin amplificar de 4.19×10^{-3} [V] se tiene:

$$122.07 \times 10^{-6} \times 34 = 4.1503 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{4.19 - 4.1503}{4.19} \right| \times 100 = 0.947\%$$

$$122.07 \times 10^{-6} \times 35 = 4.2724 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{4.19 - 4.2724}{4.19} \right| \times 100 = 1.9665\%$$

Con esto nos damos cuenta de que el nivel 34 sería el equivalente del umbral bajo.

Para el error del umbral bajo con amplificar de 30×10^{-3} [V] se tiene:

$$122.07 \times 10^{-6} \times 245 = 29.9072 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{30 - 29.9072}{30} \right| \times 100 = 0.309\%$$

$$122.07 \times 10^{-6} \times 246 = 30.0292 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{30 - 30.0292}{30} \right| \times 100 = 0.097\%$$

De lo anterior el nivel de detección 246 sería el equivalente del umbral bajo amplificado.

Dado que la señal sin amplificar se puede detectar con un error muy pequeño, se puede trabajar con el umbral sin amplificar, tomándolo directamente del PMT.

Para el error del umbral alto de 80×10^{-3} [V] se tiene:

$$122.07 \times 10^{-6} \times 655 = 79.9560 \times 10^{-3} \text{ [V]}$$

$$U_H: \quad E = \left| \frac{80 - 79.9560}{80} \right| \times 100 = 0.055\%$$

$$122.07 \times 10^{-6} \times 656 = 80.0781 \times 10^{-3} \text{ [V]}$$

$$U_H: \quad E = \left| \frac{80 - 80.0781}{80} \right| \times 100 = 0.097\%$$

De lo anterior el nivel 655 sería el equivalente del umbral alto.

Con este análisis nos damos cuenta que la resolución de este convertidor da lo suficiente para hacer una buena detección.

Haciendo un análisis con la tasa de muestreo de 155 MHz y 155 MSPS, se tiene que, se puede muestrear la señal 0.155 veces en un nanosegundo, por lo que en los 15 [ns], que dura nuestro evento, podremos muestrear 2.325 veces la señal a convertir.

Con lo anterior se tiene que **el CAD no tiene problemas de resolución**, además también cumple con el teorema de muestreo de Nyquist.

Convertidor ADC14V155

El convertidor CAD14V155 es un convertidor analógico digital de 14 bits, 155 [MSPS] y con un ancho de banda de 1.1 [GHz], de salidas LVDS, este chip utiliza una arquitectura diferencial con corrección de errores digitales y un chip de muestreo y retención para reducir el consumo de energía.

Este convertidor trabaja con dos fuentes de voltaje de 3.3 [V] y de 1.8 [V]. Contiene un estabilizador del ciclo de trabajo y mantienen un voltaje de referencia de 1 [V]. El diagrama a bloques de este convertidor se presenta en la Figura 4.3.3.1.

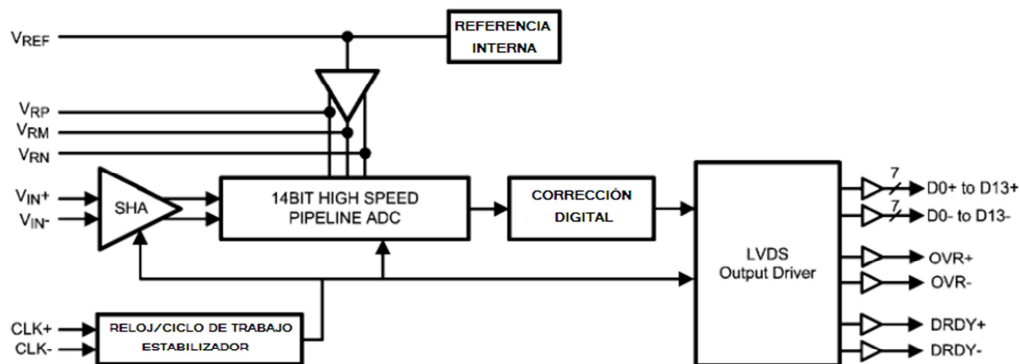


Figura 4.3.3.1.- Arquitectura del ADC14V155 [NI16].

La latencia de conversión es de 8.5 ciclos de reloj teniendo una frecuencia máxima de reloj de 155 [MHz], por lo que la latencia sería de 54.83 [ps]. El tiempo en que el dato está disponible en la salida o a la entrada para la detección es de 1.3 [ns].

Calculando el error de resolución para los valores de umbral de detección de un rayo Gamma se tiene:

En modo común, con un intervalo de 1.5 [V], se tiene que el valor mínimo de detección es 91.55×10^{-6} [V].

Para el error del umbral bajo sin amplificar de 4.19×10^{-3} [V] se tiene:

$$91.55 \times 10^{-6} \times 45 = 4.1198 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{4.19 - 4.1198}{4.19} \right| \times 100 = 1.67\%$$

$$91.55 \times 10^{-6} \times 46 = 4.2114 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{4.19 - 4.2114}{4.19} \right| \times 100 = 0.51\%$$

De lo anterior el nivel 46 sería el equivalente del umbral bajo.

Para el error del umbral bajo con amplificar de 30×10^{-3} [V] se tiene:

$$91.55 \times 10^{-6} \times 327 = 29.9277 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{30 - 29.9277}{30} \right| \times 100 = 0.241\%$$

$$91.55 \times 10^{-6} \times 328 = 30.0292 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{30 - 30.0292}{30} \right| \times 100 = 0.097\%$$

De lo anterior el nivel 328 sería el equivalente del umbral bajo ya amplificado.

Para el error del umbral alto de 80×10^{-3} [V] se tiene:

$$91.55 \times 10^{-6} \times 873 = 79.9255 \times 10^{-3} \text{ [V]}$$

$$U_H: \quad E = \left| \frac{80 - 79.9255}{80} \right| \times 100 = 0.093\%$$

$$91.55 \times 10^{-6} \times 874 = 80.0170 \times 10^{-3} \text{ [V]}$$

$$U_H: \quad E = \left| \frac{80 - 80.0170}{80} \right| \times 100 = 0.021\%$$

De lo anterior el nivel 874 sería el equivalente del umbral alto.

Cuando el DAC trabaja en modo diferencial, con un rango de 2 [V], se tiene que el valor mínimo de detección es 122.07×10^{-6} [V].

Para el error del umbral bajo sin amplificar de 4.19×10^{-3} [V] se tiene:

$$122.07 \times 10^{-6} \times 34 = 4.1503 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{4.19 - 4.1503}{4.19} \right| \times 100 = 0.947\%$$

$$122.07 \times 10^{-6} \times 35 = 4.2724 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{4.19 - 4.2724}{4.19} \right| \times 100 = 1.9665\%$$

De lo anterior el nivel 34 será el equivalente del umbral bajo.

Para el error del umbral bajo con amplificar de 30×10^{-3} [V] se tiene:

$$122.07 \times 10^{-6} \times 245 = 29.9072 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{30 - 29.9072}{30} \right| \times 100 = 0.309\%$$

$$122.07 \times 10^{-6} \times 246 = 30.0292 \times 10^{-3} \text{ [V]}$$

$$U_L: \quad E = \left| \frac{30 - 30.0292}{30} \right| \times 100 = 0.097\%$$

De esto el nivel 246 será el equivalente del umbral bajo ya amplificado.

Para el error del umbral alto de 80×10^{-3} [V] se tiene:

$$122.07 \times 10^{-6} \times 655 = 79.9560 \times 10^{-3} \text{ [V]}$$

$$U_H: \quad E = \left| \frac{80 - 79.9560}{80} \right| \times 100 = 0.055\%$$

$$122.07 \times 10^{-6} \times 656 = 80.0781 \times 10^{-3} \text{ [V]}$$

$$U_H: \quad E = \left| \frac{80 - 80.0781}{80} \right| \times 100 = 0.097\%$$

Con esto nos damos cuenta de que el nivel 655 sería el equivalente del umbral alto.

Con este análisis nos damos cuenta que la **resolución de este convertidor es suficiente para hacer una buena detección.**

Revisando la tasa de muestreo tenemos que con 155 MHz y 155 MSPS, se puede muestrear la señal 0.155 veces en un nanosegundo, en los 15 [ns] que dura nuestro evento, podremos muestrear 2.325 veces la señal a convertir.

Bibliografía

- **LIBROS**

[MAX04] MAXFIELD, CLIVE, The Design Warrior's Guide to FPGAs, Newnes, 2004.

[WOO08] WOODS, ROGER, JOHN MCALLISTER, GAYE LIGHTBODY, YING YI, FPGAs based implementation of signal processing system, Wiley, 2008.

[GRO08] GROUT, IAN, Digital system design whit FPGA, Newnes, Elsevier, 2008.

[PON08] PONG P. CHU, FPGA prototyping by vhdl examples Xilinx Spartan™-3 version, Cleveland State University, Wiley-Interscience, 2008.

[BRO06] BROWN, STEPHEN, VRANESIC, ZVONKO, Fundamentos de lógica digital con diseño VHDL, Segunda edición, Mc Graw Hill, 2006.

[FRE03] FRENZEL, LOUIS, L. Sistemas electrónicos de comunicaciones, Tercera reimpresión, México, D.F. Alfaomega, 21 a 23 pp, 2003. ISBN 970-15-0641-3.

[OPP98] OPPENHEIM, ALAN. V, WILLSKY, ALAN. S. Señales y sistemas, segunda edición, Traducción Ing. Gloria Mata Hernández, México, Prentice Hall, 285 pp, 1998.

- **ARTICULOS**

[ATK00] ATKINS. R et al., "*MILAGRITO, a TeV air-shower array*". In Nuclear Instruments and Methods in Physics Research, 2000, 449, 478-499 pp.

[SHI09] SHIMAZOE, K, H. TAKAHASHI, T. FUJIWARA, T. FURUMIYA, J. OOI3, Y. KUMAZAWA, "*A New Dynamic Time over Threshold Method*", in IEEE Nuclear Science Symposium Conference Record, 2009, N27-2, pp. 1916-1918, .

[FUJ08] FUJIWARA, T. and H. TAKAHASHI, "*A New Multi-level Time over Threshold Method for Energy Resolving Multi-channel Systems*". In: IEEE Nuclear Science Symposium Conference Record, 2008, The University of Tokyo, pp. 1916-1918.

[KOC07] KOCH, KARSTEN and BADURA EUGEN, “*High Resolution Double-Hit Timing and Time Over Threshold Measurement Feasibility for the TACQUILA System*”. In: IEEE Nuclear Science Symposium Conference Record, 2007.

[ABE07] ABDEL S. YOUSIF and JAMES W. HASLETT, FELLOW, “*A Fine Resolution TDC Architecture for Next Generation PET Imaging*”. In: IEEE Transactions on nuclear science, Vol. 54, No. 5, October 2007, pp. 1574-1582.

[WU09] WU, GAO, DEYUAN, GAO, TINGCUN, WEI, HU-GUO, CHRISTINE, HU, YANN, “*A High-Resolution Multi-Channel Time-to-Digital Converter (TDC) for High-Energy Physics and Biomedical Imaging Applications*”, ICIEA 2009. In: IEEE Nuclear Science Symposium Conference Record, pp.1133-1138.

[KYU07] KYUNG-CHAN JIN, MYUNG-KOOK MOON, “*TDC Module for Time-Of-Flight*”, 2007. In: IEEE Nuclear Science Symposium Conference Record.

[ROD07] RODRIGUEZ-ANDINA, JUAN J., Senior Member, IEEE, MOURE, MARIA J. Member, IEEE, and VALDES, MARIA D. Member, IEEE. “*Features, Design Tools, and Application Domains of FPGAs*”. In: IEEE transactions on industrial electronics, Vol. 54, No. 4, August 2007,

[SCH09] SCHERRER, PAUL, “*DRS4 Evaluation Board*”, Board Revision 2.0 as of March 2009, last revised: April 27, 2009.

[ABE10] ABEYSEKARA, UDARA, “*Behavior of the SOL TOT, Analog Discriminator and the TDC_Q Output Signals on the MILAGRO FEBs*”. In: Department of Physics and Astronomy, Michigan State University, 29th January 2010.

[ZAY] Zayergh. A, H.P Le. J. Singh, “*A 12-Bit high performance low cost pipeline CAD*”, In: School of Electrical Engineering, Victoria University, Australia.

- **TESIS**

[WAN01] WANG, Kelin, An All-sky Search for VHE γ -Ray Sources With The MILAGRITO Water Cerenkov Telescope, A Dissertation submitted in partial satisfaction of the requirements for the degree of Doctor of Philosophy in Physics, University of California, RIVERSIDE, September, 2001.

- **PAGINAS WEB**

[HAW11] HAWC: the Hight-Altitude Water Cherenkov Observatory:
<http://www.HAWC-observatory.org>

[ALT16] Intel FPGA and SoC: <http://www.altera.com/>

[XIL16] Home: <http://www.xilinx.com/>

[LAT16] Home: Lattice Semiconductor: <http://www.latticesemi.com/>

[CAE16] CAEN – Tools for discovery: <http://www.caen.it/>

[NI16] National Instrument: Test, Measurement, and Embedded System:
<http://www.ni.com/>

[TI16] Home-EN Mobile: <http://www.ti.com/>

[HAM16] Home| Hamamatsu Photonics: <http://hamamatsu.com/>

[IEEE16] IEEE- The world's largest technical professional organization dedicated to
advancing technology for the benefit of humanity: <http://www.ieee.org/index.html>

[REV16] Revista Digital Universitaria:
<http://www.revista.unam.mx/vol.10/num10/art66/int66.htm>

[INA16] HIGH ALTITUDE WATER CHERENKOV / EL OBSERVATORIO DE
RAYOS GAMMA HAWC: <http://www.inaoep.mx/~HAWC>

[NAS16] Nasa science: <http://spaceplace.nasa.gov/black-hole-rescue/sp/>

[RAM16] Obstinados navegantes en océanos de incertidumbre:
<http://ramanujan25449.blogspot.mx/2012/04/rayos-cosmicos.html>

Glosario

eV: Un electrón volt [eV] es igual a $1,602176462 \times 10^{-19}$ J, que es equivalente a la energía que adquiere un electrón al ser acelerado en el vacío por 1 volt.

PE: fotoelectrón.

GRB's: (Gamma Ray Bursts) explosiones de rayos Gamma.

EAS: (Extensive Air Shower) cascada de amplia atmósfera.

ACT: (Atmospheric Cherenkov Telescopes) Telescopios Cherenkov atmosféricos.

PMT: (Photo Multiplier Tubes) tubos photo multiplicadores.

TOT: (Time-Over-Threshold) tiempo sobre umbral.

PE: (Photo Electron) fotoelectrón.

Transceptor: es un dispositivo que cuenta con un transmisor y un receptor que comparten parte de la circuitería o se encuentran dentro de la misma caja, cuando no comparten parte de la misma circuitería se conoce como transmisor-receptor.

FSCC: FASTBUS Smart Crate Controller, Controlador de bus rápido inteligente.

EMS: (Environment Monitoring System) Sistema de monitoreo del medio ambiente.

TDC: Timing to Digital Converters.

HDL: (Hardware Description Language) Lenguaje de descripción de hardware.

Baudaje: Tasa de transmisión de símbolos.