



UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
PROGRAMA DE MAESTRÍA Y DOCTORADO EN INGENIERÍA
INGENIERÍA ELÉCTRICA - TELECOMUNICACIONES

DISEÑO DE UN SISTEMA DE COMANDO, MANEJO DE INFORMACIÓN Y
TELECOMUNICACIONES (SCMIyT) PARA UN MICROSATÉLITE DE
PERCEPCIÓN REMOTA

TESIS
QUE PARA OPTAR EL GRADO DE:
MAESTRO EN INGENIERÍA

PRESENTA:
MIGUEL ÁNGEL ALVARADO ZARAGOZA

TUTOR PRINCIPAL:
DR. SAÚL DE LA ROSA NIEVES

CIUDAD DE MÉXICO, ENERO DEL 2017

Resumen

Este trabajo presenta el diseño de un sistema de comando, manejo de información y telecomunicaciones (SCMIyT) de a bordo de un microsatélite de percepción remota con capacidad para realizar el control de adquisición, almacenamiento y transmisión de datos de imágenes a Tierra; este diseño se basa en el concepto de radio definido por software, y en los arreglos de compuertas en campo (FPGA, por sus siglas en inglés), con el objetivo de generar un sistema de alto desempeño que pueda actualizar o modificar su funcionalidad durante fase de vuelo para la disminución de riesgos asociados a errores de diseño, la reducción de tiempos de desarrollo, el aumento de las capacidades o la disminución de la obsolescencia en misiones de órbita baja de duración extendida y de espacio profundo.

La arquitectura de hardware está comprendida por un microprocesador y dispositivos periféricos, la cual ofrece flexibilidad para la adición de más elementos al sistema sin tener que realizar un nuevo diseño; dicha arquitectura se implementó en FPGA con núcleos de procesamiento de propiedad intelectual y módulos de hardware personalizados descritos en VHDL.

Índice general

| | |
|---|-------------|
| Resumen | I |
| Índice general | II |
| Lista de acrónimos | V |
| Lista de símbolos | VII |
| Lista de unidades | VIII |
| Lista de figuras | IX |
| Lista de tablas | XIII |
| Introducción | 1 |
| Introducción | 1 |
| Objetivo | 2 |
| 1. Estado del arte | 3 |
| 1.1. Estado del arte de sistemas de comando y manejo de información (SCMI) a bordo de nano y picosatélites | 3 |
| Conclusiones sobre el estado del arte de SCMI a bordo de nano y picosatélites | 6 |
| 1.2. Estado del arte de Sistemas de Telecomunicaciones (ST) a bordo de nano y picosatélites | 7 |
| Conclusiones sobre el estado del arte de ST a bordo de nano y picosatélites | 11 |
| 2. Fundamentos teóricos para el diseño del SCMIyT | 12 |
| 2.1. Percepción remota | 12 |
| 2.2. Sistema de comando, manejo de información y telecomunicaciones (SCMIyT) | 12 |
| 2.3. Radio definido por software (SDR) | 13 |
| 2.4. Fundamentos de comunicaciones digitales | 16 |
| 2.5. Modulación QPSK | 18 |
| 2.6. Arreglos de compuertas programables en campo (FPGAs) | 21 |
| 2.6.1. FPGA basado en tecnología Flash | 21 |
| 2.6.2. FPGA basado en tecnología antifusible | 22 |
| 2.6.3. FPGA basado en tecnología SRAM | 23 |
| 2.7. Sistemas tolerantes a fallas | 24 |
| 2.7.1. Conceptos de fundamentos de confiabilidad | 25 |
| 2.7.2. Causas de fallas | 25 |
| 2.7.3. Clasificación de las fallas | 25 |
| 2.7.4. Filosofía de diseño para combatir fallas | 26 |

| | | |
|-----------|---|-----------|
| 2.8. | Ambiente espacial | 27 |
| 2.8.1. | Efectos que produce la radiación espacial en dispositivos electrónicos | 27 |
| 2.8.1.1. | Efectos de dosis total de ionización (TID) | 29 |
| 2.8.1.2. | Efectos de eventos individuales (SEE) | 29 |
| 2.8.2. | Efectos que produce la radiación espacial en FPGAs basados en SRAM | 31 |
| 2.9. | Técnicas de tolerancia a fallas en FPGAs basados en SRAM para aplicaciones espaciales | 32 |
| 2.9.1. | Técnicas de tolerancia a fallas implementadas a nivel aplicación | 32 |
| 2.9.1.1. | Técnicas de recuperación para errores críticos en un FPGA basado en SRAM | 33 |
| 2.9.1.2. | Técnicas de enmascaramiento para errores no críticos en un FPGA basado en SRAM | 36 |
| 2.9.1.3. | Técnicas de recuperación para errores no críticos en un FPGA basado en SRAM | 38 |
| 3. | Diseño del sistema de Comando, Manejo de Información y Telecomunicaciones (SCMIyT) | 39 |
| 3.1. | Requerimientos | 40 |
| 3.2. | Parámetros de diseño | 40 |
| 3.2.1. | Parámetros orbitales | 40 |
| 3.2.2. | Parámetros de la estación en Tierra (ET) | 41 |
| 3.2.3. | Parámetros del enlace de comunicación satélite - ET | 41 |
| 3.2.3.1. | Parámetros de transmisión a bordo del satélite | 41 |
| 3.2.3.2. | Parámetros de recepción en la estación en Tierra | 41 |
| 3.3. | Estimación de las condiciones de operación en órbita | 42 |
| 3.4. | Determinación de los eventos de línea de vista entre el satélite y la estación en Tierra | 44 |
| 3.5. | Determinación de la capacidad de almacenamiento a bordo | 45 |
| 3.6. | Estimación del desempeño del enlace de comunicación | 46 |
| 3.7. | Definición de la arquitectura de hardware del SCMIyT | 50 |
| 3.8. | Diseño de la arquitectura de hardware del SCMIyT | 53 |
| 3.8.1. | Descripción de los elementos que integra la arquitectura de hardware que alberga el FPGA | 55 |
| 3.8.1.1. | Procesador | 55 |
| 3.8.1.2. | Módulo de comunicación serial I2C | 55 |
| 3.8.1.3. | Puertos de entrada/salida de propósito general (GPIOs) | 55 |
| 3.8.1.4. | Módulo de generación de la señal CLK que requiere cámara de percepción remota | 55 |
| 3.8.1.5. | Módulo de comunicación serial SPI | 55 |
| 3.8.1.6. | Controlador de memoria | 55 |
| 3.8.1.7. | Modulador QPSK | 56 |
| 4. | Implementación de la arquitectura de hardware del SCMIyT que albergará el FPGA | 60 |
| 4.1. | Elección del FPGA | 60 |
| 4.2. | Implementación en FPGA | 61 |
| 4.2.1. | Procesador | 64 |
| 4.2.2. | Módulo de comunicación serial IIC | 65 |
| 4.2.3. | Módulo de GPIOs | 65 |
| 4.2.4. | Módulo de generación de la señal CLK de la cámara de percepción remota | 65 |
| 4.2.5. | Módulo de comunicación serial SPI | 66 |

| | | |
|-----------|--|-----------|
| 4.2.6. | Controlador de memoria | 66 |
| 4.2.7. | Modulador QPSK | 66 |
| 4.2.7.1. | <i>Demultiplexor</i> | 67 |
| 4.2.7.2. | <i>NRZ</i> | 69 |
| 4.2.7.3. | <i>Oscilador</i> | 70 |
| 4.2.7.4. | <i>Multiplicador</i> | 70 |
| 4.2.7.5. | <i>Sumador</i> | 71 |
| 5. | Resultados y análisis de resultados | 72 |
| 5.1. | Validación de la arquitectura de hardware del SCMIyT | 72 |
| 6. | Conclusiones y trabajo a futuro | 78 |
| | Referencias | 80 |
| | Apéndice A (Comandos y respuestas) | 82 |
| | Apéndice B (Descripción general del sensor de imagen MT9P031) | 83 |
| B.1 | Matriz de pixeles | 85 |
| B.2 | Forma de lectura de los datos de imagen del MT9P031 | 86 |
| B.3 | Adquisición de imagen | 86 |
| | Apéndice C (Protocolos de comunicación serial) | 87 |
| C.1 | Protocolo de comunicación serial I2C | 87 |
| C.2 | Protocolo de comunicación serial SPI | 88 |

Lista de acrónimos

| | |
|-----------|---|
| ACM | Adaptive Coding and Modulation |
| AEM | Agencia Espacial Mexicana |
| ARM | Advanced RISC Machine |
| ASIC | Application Specific Integrated Circuit |
| BER | Bit Error Rate |
| CAN | Controller Area Network |
| CDM | Code Division Multiplexing |
| CDMA | Code Division Multiple Access |
| CLB | Configurable Logic Block |
| CMOS | Complementary Metal-Oxide-Semiconductor |
| CONACYT | Consejo Nacional de Ciencia y Tecnología |
| COTS | Commercial Off-The Shelf |
| DAC | Digital to Analogue Converter |
| DSP | Digital Signal Processor |
| ECSS | European Cooperation for Space Standardization |
| ESA | European Space Agency |
| ET | Estacion en Tierra |
| FAMOS | Floating-gate Avalanche-injection MOS |
| FAR | Frame Address Register |
| FDMA | Frequency Division Multiple Access |
| FI | Facultad de Ingeniería |
| FPGA | Field Programmable Gate Array |
| GD | General Dynamics |
| GPP | General Purpose Processor |
| GPS | Global Positioning System |
| HC | Harris Corporation |
| HF | High Frequency |
| IEEE | Institute of Electrical and Electronics Engineers |
| IIC (I2C) | Inter-Integrated Circuit |
| IOB | Input Output Block |
| ISS | International Space Station |
| JPL | Jet Propulsion Laboratory |
| LEO | Low Earth Orbit |
| LET | Linear Energy Transfer |
| LIESE | Laboratorio de Instrumentación Electrónica de Sistemas Espaciales |
| LUT | Lookup Table |
| M1BP | Módulo 1 de Baja Precisión |

| | |
|---------|---|
| M2BP | Módulo 2 de Baja Precisión |
| MAI | Moscow Aviation Institute |
| MAP | Modulo de Alta Precision |
| MCU | Multiple Cell Upset |
| MF | Medium Frecuency |
| M-PSK | M-ary Phase Shift Keying |
| NASA | National Aeronautics and Space Administration |
| PC | Personal Computer |
| PCB | Printed Circuit Board |
| PDMA | Polarization Division Multiple Access |
| PIRE | Potencia Isotropica Radiada Equivalente |
| POR | Power On Reset |
| PS | Procesamiento de señal |
| PSK | Phase Shift Keying |
| RAM | Random Access Memory |
| RF | Radio Frecuency |
| RPR | Reduced-Precision Redundancy |
| RTL | Technology Readiness Level |
| RTM | Redundancy Triple Modular |
| SCAN | Space Communications and Navigation |
| SCMI | Sistema de Comando y Manejo de Informacion |
| SCMIyT | Sistema de Comando y Manejo de Informacion y Telecomunicaciones |
| SDMA | Space Division Multiple Access |
| SDR | Software Defined Radio |
| SDRAM | Synchronous Dynamic Random Access Memory |
| SEE | Single Event Effects |
| SEFI | Single Event Functional Interrupt |
| SEGR | Single Event Gate Rupture |
| SEL | Single Event Latchup |
| SET | Single Event Transients |
| SEU | Single Event Upset |
| SMAP | SelectMAP |
| SNR | Signal to Noise Ratio |
| SPENVIS | ESAs Space Environment, Effects, and Education System |
| SPI | Serial Peripheral Interface |
| SRAM | Static Random Access Memory |
| ST | Sistema de Telecomunicaciones |
| STK | Systems Tool Kit |
| STRS | Space Telecommunication Radio System |
| TDM | Time Division Multiplexing |
| TDMA | Time Division Multiple Access |
| TDRSS | Tracking and Data Relay Satellite System |
| TID | Total Ionizing Dose |
| UART | Universal Asynchronous Receiver Transmitter |
| UHF | Ultra High Frecuency |
| UNAM | Universidad Nacional Autnoma de Mexico |
| VHF | Very High Frecuency |
| XTMR | Xilinx TMR |

Lista de símbolos

| | |
|---------------|--|
| $ S(t) $ | |
| a_{In} | |
| a_{Qn} | |
| dE | Energía incremental de la partícula |
| dE_{Δ} | Pérdida de energía de una partícula debido a una colisión |
| dS | Distancia incremental que atraviesa una partícula en el material |
| f_c | Frecuencia de la señal portadora |
| G | Ganancia de la antena receptora |
| I | Componente en fase |
| k | 1×10^3 |
| k | constante de Boltzmann |
| m | 1×10^{-3} |
| n | 1×10^{-9} |
| M | 1×10^6 |
| p | 1×10^{-12} |
| P | Potencia |
| Q | Componente en cuadratura |
| $s(t)$ | señal modulada |
| $\hat{s}(t)$ | señal modulada compleja |
| T | Temperatura de un sistema receptor |
| T_b | Periodo de bit |
| T_s | Periodo de símbolo |
| β_i | Fases que toman los símbolos en una modulación M-aria |
| θ_c | Fase de la frecuencia portadora |
| $\theta(t)$ | Fase de los símbolos m-arios con respecto al tiempo |
| μ | 1×10^{-6} |
| π | 3.141592 |
| ∞ | Infinito |

Lista de unidades

| | |
|-----|------------------------------|
| °C | Grados centígrados |
| bit | Unidad mínima de información |
| B | Byte |
| cm | centimetro |
| dB | Decibeles |
| eV | electrón-volt |
| g | gramo |
| G | Gray |
| Hz | Hertz |
| K | Kelvin |
| px | pixel |
| rad | rad |
| s | segundo |
| V | Volts |
| W | Watts |

Lista de figuras

| | | |
|-------|--|----|
| 1. | Capacidades de sistemas de percepción remota vía satélite (Boshuizen et al., 2014). | 2 |
| 1.1. | Arquitectura del SCMI presentado en (Cahyono y Nugroho, 2013). | 5 |
| 1.2. | Arquitectura del SCMI presentado en (Pakartipangi et al., 2015). | 6 |
| 1.3. | Arquitectura del SCMI presentado en (Bekker et al., 2010). | 6 |
| 1.4. | Enlaces de comunicaciones proporcionados por los tres SDRs a bordo de la plataforma de pruebas SCAN (Johnson et al., 2012). | 8 |
| 1.5. | Diagrama a bloques de la plataforma de pruebas SCAN (Johnson et al., 2012). | 9 |
| 1.6. | Esquema de codificación y modulación adaptativa (ACM) propuesto para maximizar el rendimiento de la transmisión de datos desde un satélite a una estación en Tierra. | 10 |
| 1.7. | Arquitectura SDR a bordo del AeroCube. | 11 |
| 2.1. | Sistema de comando y manejo de información y su interacción con los otros subsistemas de un satélite | 13 |
| 2.2. | Diagrama conceptual de un SDR. Transmisión – flujo a la derecha, recepción – flujo a la izquierda. Diagrama adaptado de (Grayver, 2012) | 15 |
| 2.3. | Diagrama a bloques de un sistema de comunicaciones digitales. | 17 |
| 2.4. | Proceso de digitalización. | 17 |
| 2.5. | Modulación por amplitud. | 18 |
| 2.6. | Diagrama de constelación de la modulación PSK (izquierda) y de la señal QPSK (derecha). | 19 |
| 2.7. | Diagrama a bloques de un modulador QPSK I-Q. | 20 |
| 2.8. | Arquitectura FPGA. | 21 |
| 2.9. | Tecnología de programación basada en puerta flotante. (Imagen adaptada de (Violante et al., 2011)) | 21 |
| 2.10. | Proceso de programación basado en tecnología antifusible. | 22 |
| 2.11. | Tecnología de programación basada en tecnología SRAM. (Imagen adaptada de (Violante et al., 2011)) | 23 |
| 2.12. | Modelo de tres universos para representar la relación causa y efecto entre falla, error y avería. | 25 |
| 2.13. | Clasificación de las fallas. | 26 |
| 2.14. | Penetración de una partícula en el material. | 28 |
| 2.15. | Efecto embudo en un transistor CMOS debido a una partícula ionizante. | 29 |
| 2.16. | SEU a) pulso inducido por la radiación en la celda SRAM y b) cambio del contenido de la celda SRAM. | 30 |
| 2.17. | FPGA basado en SRAM en dos secciones. | 31 |
| 2.18. | Técnicas de tolerancia a fallas para FPGAs basados en SRAM. | 33 |
| 2.19. | Redundancia modular tripe. | 36 |
| 2.20. | Redundancia modular tripe con dos particiones. | 36 |

| | |
|--|----|
| 2.21. Redundancia modular triple con determinador de mayoría triplicado. | 37 |
| 2.22. Redundancia modular triple de precisión reducida. | 38 |
| 2.23. Diagrama de flujo que describe la lógica del bloque de decisión del RPR. | 38 |
| | |
| 3.1. Tareas que debe realizar el SCMIyT. | 40 |
| 3.2. Ubicación de la estación en Tierra en un mapa de ciudad universitaria. | 41 |
| 3.3. Periodo orbital del satélite operando en una órbita solar síncrona a 500 km. | 42 |
| 3.4. Gráfica de dosis total de ionización (TID) versus el espesor de aluminio en mm. | 43 |
| 3.5. Transferencia lineal de energía (LET) versus el flujo de partículas. | 43 |
| 3.6. Descripción gráfica del evento de línea de vista entre el satélite y la estación en Tierra. | 44 |
| 3.7. Histograma de las visitas del satélite a la estación en Tierra. | 44 |
| 3.8. Representación gráfica de los eventos de línea de vista que se llevarán a cabo el día 2 de febrero del 2017 entre los cuales se encuentra el evento de menor duración. | 45 |
| 3.9. Representación gráfica de los eventos de línea de vista que se llevarán a cabo el día 6 de abril del 2017 entre los cuales se encuentra el evento de mayor duración. | 45 |
| 3.10. Desempeño del enlace de comunicación satélite – estación en Tierra. | 48 |
| 3.11. Gráfica de la relación señal a ruido (E_b/N_0) por cada minuto del enlace. | 49 |
| 3.12. Gráfica de la BER por cada minuto del enlace. | 49 |
| 3.13. Cámara de fotos LI-5M03 de Leopard Imaging empleada como cámara de percepción remota. | 50 |
| 3.14. Terminales de entrada y salida de la cámara de percepción remota. | 50 |
| 3.15. Terminales de entrada y salida de la computadora de abordo. | 52 |
| 3.16. Interfaces de entrada y salida de la estación en Tierra. | 52 |
| 3.17. Terminales de entrada y salida del SCMIyT. | 53 |
| 3.18. Segundo nivel de abstracción del SCMIyT. | 53 |
| 3.19. Tercer nivel de abstracción del SCMIyT. | 54 |
| 3.20. Cuarto nivel de abstracción del SCMIyT. | 54 |
| 3.21. Entrada y salida del modulador QPSK. | 56 |
| 3.22. Diagrama a bloques de un modulador QPSK I-Q. | 56 |
| 3.23. Arquitectura propuesta para el modulador QPSK. | 57 |
| 3.24. Entrada y salidas del <i>demultiplexor</i> de la arquitectura del modulador QPSK. | 57 |
| 3.25. Entrada y salida del <i>NRZ</i> de la arquitectura del modulador QPSK. | 57 |
| 3.26. Entrada y salida del <i>oscilador</i> de la arquitectura del modulador QPSK. | 58 |
| 3.27. Entradas y salida del <i>multiplicador</i> de la arquitectura del modulador QPSK. | 58 |
| 3.28. Entradas y salida del <i>sumador</i> de la arquitectura del modulador QPSK. | 59 |
| | |
| 4.1. Arquitectura de hardware propuesta para ser implementada en un FPGA. | 61 |
| 4.2. Arquitectura de hardware propuesta para ser implementada en un FPGA. | 63 |
| 4.3. MicroBlaze. | 64 |
| 4.4. MicroBlaze conectado a memoria. | 64 |
| 4.5. Módulo AXI IIC. | 65 |
| 4.6. Módulo AXI GPIO. | 65 |
| 4.7. Módulo <i>Clocking Wizard</i> | 65 |
| 4.8. Módulo AXI SPI. | 66 |
| 4.9. Módulo AXI SPI Memory Interface Generator (MIG 7 series). | 66 |
| 4.10. Arquitectura propuesta para el modulador QPSK. | 67 |
| 4.11. Modulador QPSK descrito en hardware. | 67 |
| 4.12. Principio de funcionamiento del SIPO. | 68 |

| | |
|---|----|
| 4.13. Descripción gráfica del proceso en el cual el PIPO da salida al par de bits que representa un símbolo M-ario, a partir de la salida del SIPO. | 68 |
| 4.14. Entidad del SIPO implementado en VHDL. | 69 |
| 4.15. Entidad del PIPO implementado en VHDL. | 69 |
| 4.16. Entidad del NRZ implementado en VHDL. | 69 |
| 4.17. Arquitectura de hardware del NCO. | 70 |
| 4.18. Entidad del multiplicador binario implementado en VHDL. | 71 |
| 4.19. Entidad del sumador binario implementado en VHDL. | 71 |
| 5.1. Tarjeta de desarrollo Nexys Video. | 72 |
| 5.2. Diagrama de flujo de la rutina de validación de los módulos periféricos que integran el SCMIyT. | 73 |
| 5.3. Resultado de la simulación de la arquitectura del modulador QPSK implementado en VHDL. | 75 |
| 5.4. Oscilograma de la señal de información y la señal de información modulada en QPSK generada por el Artix-7 XC7A200T-1SBG484C. | 75 |
| 5.5. Arquitectura de hardware del modulador GMSK. | 77 |
| 5.6. Arquitectura SCMIyT con modulador GMSK. | 77 |

Lista de tablas

| | | |
|------|--|----|
| 1.1. | Ejemplos de microcontroladores y FPGAs utilizados en SCMI comerciales | 4 |
| 1.2. | Tecnologías de almacenamiento empleadas en el espacio parte 1 (NASA, 2015). | 4 |
| 1.3. | Tecnologías de almacenamiento empleadas en el espacio parte 2 (NASA, 2015). | 5 |
| 1.4. | Características de los tres SDR de la plataforma de prueba SCAN (Johnson et al., 2012) | 9 |
| 1.5. | Capacidades de los tres SDR de la plataforma de prueba SCAN (Johnson et al., 2012) | 10 |
| 1.6. | Combinaciones de modulación y tasa de codificación implementada en el SDR a bordo del AeroCube (Gravyer et al., 2015) | 10 |
| 2.1. | Ventajas y desventajas de los radios tradicionales y los radios definidos por software | 14 |
| 2.2. | Comparación entre las tres tecnologías de FPGA. | 23 |
| 2.3. | Descripción breve de las técnicas de “scrubbing”, y sus ventajas y desventajas (Siegle et al., 2015) | 34 |
| 3.1. | Estimación de la relación señal a ruido (E_b/N_0) y tasa de bit en error (BER) a lo largo del enlace empleando la modulación QPSK. | 47 |
| 3.2. | Descripción de las interfaces de entrada y salida de la cámara de percepción remota. | 51 |
| 3.3. | Descripción de las terminales de entrada y salida de la cámara de percepción remota. | 52 |
| 5.1. | Resultados de la validación de los módulos periféricos. | 74 |

Introducción

Introducción

Hoy en día, el desarrollo de satélites pequeños, principalmente picosatélites y nanosatélites representa un medio para que países en vía de desarrollo generen su propia tecnología espacial, ya que el despliegue de misiones espaciales que emplea esta clase de satélites se ha vuelto más asequible gracias a que su costo de construcción se ha reducido principalmente al empleo de partes comerciales (COTS, por sus siglas en inglés) y a las mayores oportunidades de lanzamiento que existen para ellos ([Maheshwarappa y Bridges, 2014](#)).

En un inicio, a principio de los años 2000, las cargas útiles a bordo de pico y nanosatélites tuvieron desempeño y capacidad muy restringidos debido a que la tecnología de aquel entonces era fuertemente limitada por los escasos recursos de dimensión, masa y potencia que se disponía a bordo; sin embargo, actualmente es posible generar cargas útiles con aplicaciones científicas y tecnológicas cada vez más sofisticadas tras el avance tecnológico que se ha logrado hasta el momento, principalmente con el desarrollo de circuitos electrónicos de altas densidades de integración y bajos consumos de potencia, por lo que, países en vías de desarrollo están buscando generar sistemas de percepción remota a bordo de satélites pequeños, no solo con el único objetivo de generar tecnología espacial propia, sino también para satisfacer necesidades como, por ejemplo, la prevención de desastres naturales y de seguridad nacional, las cuales han dependido fuertemente de la compra de imágenes de percepción remota de sistemas comerciales de percepción remota vía satélite.

En el caso de México, la Agencia Espacial Mexicana (AEM) a través de los fondos sectoriales de investigación, desarrollo tecnológicos e innovación en actividades espaciales CONACYT-AEM, está incentivando el diseño y construcción de sistemas de percepción remota a bordo de satélites pequeños, con soluciones innovadoras y del estado del arte que contribuyan a la solución de problemas de impacto global o social. Así mismo, la Universidad Nacional Autónoma de México (UNAM) por medio de su Facultad de ingeniería (FI) y en específico por el Laboratorio de Instrumentación de Sistemas Espaciales (LIESE) está desarrollando una carga útil de percepción remota con capacidad de adquirir imágenes de la superficie terrestre a una resolución espacial de 100 y 20 metros, este desarrollo forma parte del proyecto CONDOR UNAM-MAI, el cual se realiza en conjunto con el Instituto de Aviación de Moscú (MAI, por sus siglas en inglés). Este último, es el marco en el cual se desarrolla el presente trabajo de tesis.

Actualmente, los sistemas de percepción remota vía satélite demandan altas capacidades de procesamiento, almacenamiento y transmisión de datos a bordo con el fin de obtener imágenes de alta resolución, y/o en diversas bandas espectrales y/o a una frecuencia alta para poseer imágenes actualizadas de toda la superficie terrestre en un tiempo relativamente corto, así lo muestra una revisión realizada por ([Boshuizen et al., 2014](#)) (Figura 1), por lo que, para poder soportar los exigentes requerimientos de una carga útil de percepción remota, se necesita el desarrollo específico de un sistema de comando, manejo de información y telecomunicaciones (SCMIyT) se convierte un elemento fundamental a bordo de una misión espacial de percepción remota, ya que este lleva a cabo los procesos de control de adquisición, almacenamiento, transmisión de imágenes a Tierra,

entre otros; por ello, el desafío en el desarrollo de SCMIyT a bordo de un satélite pequeño de percepción remota es satisfacer los requerimientos de almacenamiento, procesamiento y transmisión de datos que demanda la misión en escasos recursos de potencia y masa.

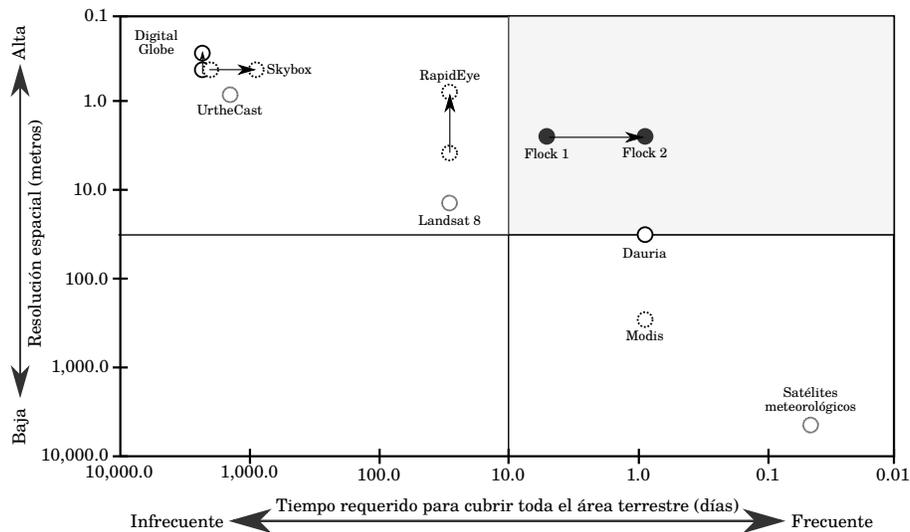


Figura 1: Capacidades de sistemas de percepción remota vía satélite (Boshuizen et al., 2014).

Por lo tanto, en este trabajo muestra un diseño de un SCMIyT para una aplicación de percepción remota a bordo de un satélite pequeño, el cual está basado en el concepto de radio definido por software (SDR, por sus siglas en inglés) y el empleo de arreglos de compuertas programables en campo (FPGAs, por sus siglas en inglés) con el objetivo de generar un sistema de alto desempeño que pueda actualizar o modificar su funcionalidad durante fase de vuelo para disminuir riesgos asociados a errores de diseño, reducir tiempos de desarrollo (ya que los procesos de implementación, prueba y verificación pueden ser realizados en órbita) y aumentar sus capacidades para disminuir la obsolescencia en misiones de órbita baja (LEO, por sus siglas en inglés) de duración extendida y de espacio profundo (Angeletti et al., 2014)(Maheshwarappa et al., 2015). Además, este diseño contempla el empleo de técnicas de tolerancia a fallas para disminuir los efectos que puede producir la radiación espacial en la electrónica a bordo, debido a la utilización de COTS y circuitos integrados de altas densidades de integración (NASA, 2015).

Objetivo

Diseñar e implementar en FPGA un SCMIyT con base en el concepto de SDR para satisfacer los requerimientos de una misión de percepción remota a bordo de un satélite pequeño, los cuales están basados en el proyecto CONDOR, el cual debe poseer la capacidad de reconfigurarse en vuelo para reducir riesgos de diseño como primera meta; así mismo debe permitir el empleo de técnicas de tolerancia a fallas (sin son requeridas) para disminuir los efectos de la radiación espacial.

Capítulo 1

Estado del arte

El subsistema de comando, manejo de información y telecomunicaciones (SCMIyT) integra las funciones que anteriormente realizaban varios subsistemas de un satélite, esta integración tiene el objetivo de seguir la tendencia de unificar subsistemas para desarrollar sistemas especiales cada vez más pequeños y con mayor capacidad.

Con el fin de ubicar las capacidades con las que tiene que contar en la actualidad un SCMIyT de un micro, nano o pico satélite de órbita baja, en este capítulo se muestra el estado del arte de los subsistemas de comando, manejo de información (SCMI) y de los subsistemas de telecomunicaciones (ST), los cuales conforman al SCMyT. Se inicia con una revisión de tecnologías de SCMI y los ST en satélites pequeños, la cual orientó en la elección de la tecnología del SCMIyT presentada en esta tesis. Además, se mencionan algunos proyectos de SCMIs asociados a misiones LEO de percepción remota de imágenes de la superficie terrestre que emplean FPGAs, y de STs desarrollados con base en el concepto de SDR con la finalidad de generar un marco de referencia en términos de capacidades y desempeño, asimismo conocer las técnicas, soluciones y consideraciones de diseño que ayudaron en el desarrollo del mismo.

1.1. Estado del arte de sistemas de comando y manejo de información (SCMI) a bordo de nano y picosatélites

De acuerdo al reporte sobre el estado del arte de tecnología de pequeñas plataformas espaciales de la administración nacional de aeronáutica y del espacio (NASA, por sus siglas en inglés), (NASA, 2015) se resalta el empleo de partes COTS en SCMI a bordo de satélites pequeños con misiones LEO de corta duración (a lo más de 2 años) con el objetivo de reducir sus costos de construcción. Por otra parte, el campo de los sistemas embebidos y de los sistemas operativos como LINUX están proporcionando plataformas y herramientas que permiten el desarrollo rápido de sistemas de baja potencia y altamente integrados de control y procesamiento.

En el caso de pico y nanosatélites en factores de forma se observa que CompactPCI y PC/104 son los buses de sistema más adoptados por múltiples vendedores de sistemas espaciales, y la dimensión definida en el PC/104 continúa siendo la base para la configuración CubeSats. También se observa que desarrolladores de plataformas espaciales han adoptado la técnica de interconexión de subsistemas basada en el apilamiento de tarjetas de circuito impreso (PCB, por sus siglas en inglés) para dar cabida a nuevos desarrollos mientras mantienen la compatibilidad con diseños anteriores.

En el campo de la computación a bordo se observa el empleo de microcontroladores y FPGAs para soportar los requerimientos de procesamiento. Los microcontroladores que son empleados en satélites pequeños poseen características entre las que destacan la arquitectura ARM, interfaces para bus CAN y de comunicación serial I2C y SPI para la interacción entre subsistemas y cargas útiles,

y memoria flash para dar cabida a la reprogramabilidad. Mientras que los FPGAs que se observan en estos sistemas son de tecnología SRAM y/o flash de grado comercial, los cuales son protegidos contra los efectos que produce la radiación espacial a nivel aplicación, y también se encuentran de grado espacial, los cuales son endurecidos mediante procesos de fabricación como por ejemplo el ATF280 de Atmel o hechos inmunes a la radiación a nivel diseño como por ejemplo Virtex-4QV y Virtex-5QV de Xilinx y el RT ProASIC 3 de Microsemi. En la Tabla 1.1 se muestran algunos ejemplos de microcontroladores y FPGAs utilizados en SCMI comerciales.

Tabla 1.1: Ejemplos de microcontroladores y FPGAs utilizados en SCMI comerciales

| SCMI | Fabricante | Dispositivo |
|----------------|--------------|---|
| Nanomind A712D | GOMSPACE | ARM7 |
| ISIS OBC | ISIS | ARM9 |
| Proton 2X Box | Space Micro | Xilinx Virtex 5 ó 7 ó Freescale P2020 dual core ó PowerPC |
| Intrepid Q7 | Tyvak Xiphos | ATMEL AT91SAM9G20 |
| Q6 | Xiphos | Xilinx Zynq 7020 ARM Dual Core Cortex A9 ó Actel ProASIC3 |
| Q5 | Xiphos | Xilinx Spartan-6 ó Actel ProASIC3 PowerPC 405 |

En la Tabla 1.2 se muestran las tecnologías de almacenamiento empleadas en sistemas espaciales y sus características, entre las que destacan: la retención de datos medida en años, el tiempo de acceso, la cantidad de radiación acumulada tolerada, la tasa de alteraciones de eventos individuales (SEUs, por sus siglas en inglés) esperada en el dispositivo, la temperatura de operación y la potencia consumida.

Tabla 1.2: Tecnologías de almacenamiento empleadas en el espacio parte 1 ([NASA, 2015](#)).

| Característica/Tecnología | SRAM | DRAM | Flash |
|---------------------------------------|----------------------|---------------------|---|
| Volatilidad | Si | Si | No |
| Voltaje de operación $\pm 10\%$ | 3.3 – 5 V | 3.3 V | 3.3 y 5 V |
| Organización | 512k \times 8 bits | 16M \times 8 bits | 16M \times 8 bits y 32M \times 8 bits |
| Retención de datos(@ 70° C) | N/A | N/A | 10 años |
| Límite de ciclos de lectura/escritura | No limitada | No limitada | 10^6 |
| Tiempo de acceso | 10 ns | 25 ns | 50 ns (lectura) 200 us (escritura) 2 ms (borrado) |
| Radiación acumulada | 1 Mrad | 50 krad | 30 krad |
| Tasa de SEU (relativa) | Baja a nula | Alta | Nula (celdas) Media a baja (electrónica del dispositivo) |
| Rango de temperatura | Militar | Industrial | Comercial |
| Potencia | 500 mW | 300 mW | 300 mW |
| Empaquetado | 4 MB | 128 MB | 128 MB 256 MB |

Tabla 1.3: Tecnologías de almacenamiento empleadas en el espacio parte 2 (NASA, 2015).

| Característica/Tecnología | MRAM | FERAM | CRAM/PCM |
|---------------------------------------|----------------------|-----------|-----------|
| Volatilidad | No | No | No |
| Voltaje de operación $\pm 10\%$ | 3.3 V | 3.3 V | 3.3 V |
| Organización | 512k \times 8 bits | | |
| Retención de datos(@ 70° C) | 10 años | 10 años | 10 años |
| Límite de ciclos de lectura/escritura | 10^{13} | 10^{13} | 10^{13} |
| Tiempo de acceso | 300 ns | 300 ns | 100 ns |
| Radiación acumulada | 1 Mrad | 50 krad | 1 Mrad |
| Tasa de SEU (relativa) | Nula | Alta | Nula |
| Rango de temperatura | Militar | Militar | Militar |
| Potencia | 900 mW | 270 mW | |
| Empaquetado | 1 MB | 1.5 MB | 256 MB |

Por último, se observa que cada día aumenta el desarrollo de técnicas de tolerancia a fallas enfocadas a circuitos integrado para protegerlos de los efectos que puede provocar la radiación espacial debido al empleo de partes COTS en SCMI y al interés de extender el tiempo de operación de las misiones LEO o llevarlas al espacio profundo.

A continuación, se mencionan algunos proyectos de SCMI a bordo de nano o pico satélites asociados a misiones LEO de percepción remota de imágenes que utilizan FPGAs. En (Cahyono y Nugroho, 2013) se presenta el desarrollo de un SCMI, cuya tarea fue la adquisición de imagen utilizando un sensor de tecnología CMOS TCM8240MD de 1.3 Megapíxeles y almacenarla en un banco de memoria SDRAM. Este SCMI emplea una tarjeta de desarrollo XuLa 200 de Xilinx como controlador, la cual manipula al sensor de imagen a través del bus I2C, y recibe la información de imagen la cual posteriormente almacena en memoria (Figura 1.1)

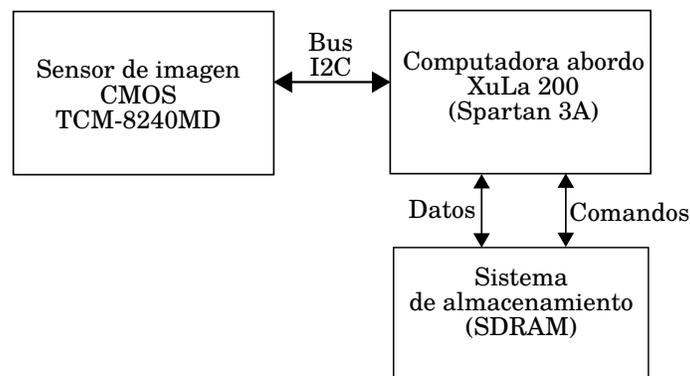


Figura 1.1: Arquitectura del SCMI presentado en (Cahyono y Nugroho, 2013).

Por otra parte, el SCMI presentado en (Pakartipangi et al., 2015), el cual tuvo como objetivo el control de un arreglo de 4 cámaras para obtener una imagen de 1280×960 píxeles. Este sistema estuvo constituido por una tarjeta de desarrollo XuLA2 LX9, la cual fungió como controlador y 4 cámaras de imagen LSY201 de resolución de 640×480 píxeles con interfaz de comunicación UART para configuración y envío de datos.

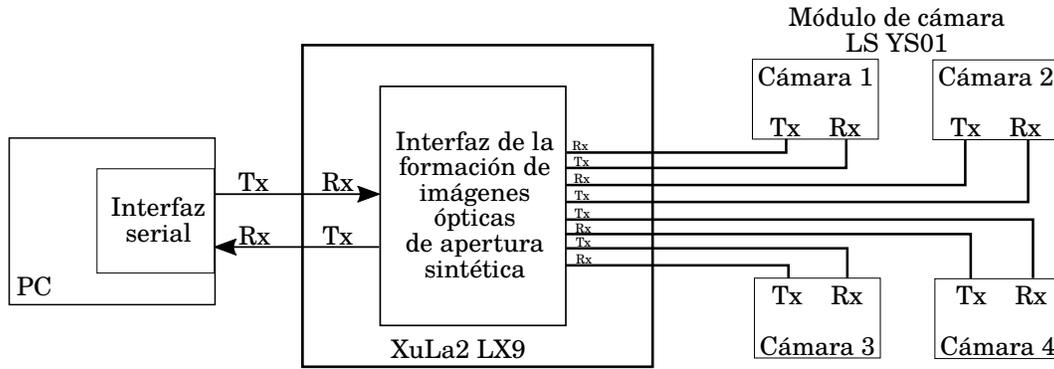


Figura 1.2: Arquitectura del SCMI presentado en (Pakartipangi et al., 2015).

Como se muestra en la Figura 1.2, el SCMI se comunica con las cámaras de imagen mediante UART; el proceso de adquisición de imagen inicia cuando la computadora personal (PC, por sus siglas en inglés) envía un comando para la captura simultánea de información de todas las cámaras, posteriormente, el SCMI almacena los datos obtenidos, una vez que la adquisición fue realizada, el controlador envía las imágenes a la PC, en donde una interfaz gráfica de usuario procesa las imágenes.

Y finalmente se presenta el SCMI realizado por (Bekker et al., 2010), el cual está constituido por un microprocesador Colibrí y un FPGA Virtex-5 de Xilinx. El microprocesador controla y accede a los datos de carga útil a través del bus SPI para posteriormente almacenarlos en una memoria SRAM, mientras que el FPGA realiza tareas de procesamiento a bordo.

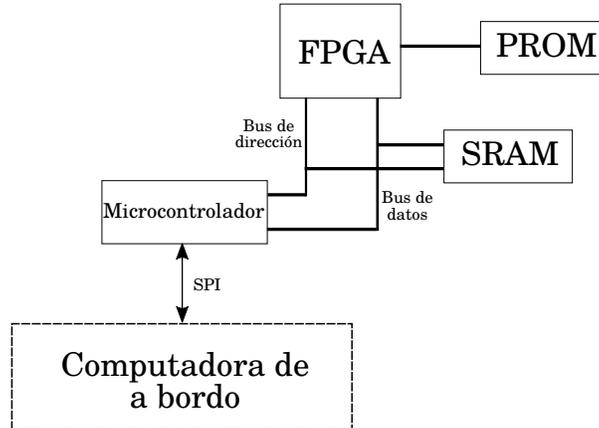


Figura 1.3: Arquitectura del SCMI presentado en (Bekker et al., 2010).

Conclusiones sobre el estado del arte de SCMI a bordo de nano y picosatélites

La revisión del estado del arte acerca de SCMIs nos indicó la fuerte tendencia del empleo COTS como una alternativa para la reducción de costos en la construcción de plataformas satelitales pequeñas; así mismo nos dió a conocer una alternativa para el desarrollo rápido de sistemas de control y de procesamiento de bajo consumo de potencia y altamente integrados con base en sistema embebidos y el uso de sistemas operativos.

Por otra parte, también nos mostró dos opciones en dispositivos a elegir como base de la computadora de a bordo, de las cuales destacan los microcontroladores y FPGAs; sin embargo, debido a la mayor flexibilidad ofrecida por estos últimos se presentan como una plataforma ideal para el desarrollo de un SCMIyT.

Además de la Tabla 1.2 se infiere que las memorias de tecnología SRAM pueden ser una buena opción para ser consideradas en SCMI para aplicaciones de percepción remota, debido a su tiempo de acceso a memoria y a su capacidad de almacenamiento.

Asimismo, el estado del arte nos indica que no debemos pasar por alto el empleo de técnicas de tolerancia a fallas para aumentar la fiabilidad de los sistemas espaciales que son construidos con partes COTS.

Por último, de acuerdo a los desarrollos SCMI mencionados en esta revisión se sabe que la resolución de imagen manejada por estos sistemas es a lo más de 1.3 Megapíxeles. Así mismo, de estos desarrollos se observó el empleo de sensores de imagen CMOS, memorias SDRAM, y protocolos de baja velocidad como I2C y SPI para transferencia de datos de carga útil y la interacción con otros sistemas. Queda como un reto el desarrollo de un SCMI capaz de manejar sensores de más alta resolución a mayor velocidad para plataformas de nano y pico satélite.

1.2. Estado del arte de Sistemas de Telecomunicaciones (ST) a bordo de nano y picosatélites

En el estado del arte acerca de sistemas de telecomunicaciones (ST) a bordo de nano y picosatélites, se observa que estas plataformas han utilizado ampliamente las bandas VHF y UHF mediante el empleo de antenas dipolo, y las bandas L y S mediante el uso de antenas de parche; mientras que las bandas X y Ka comienzan a emplearse en misiones que requieren mayor transmisión de datos, o en misiones de espacio profundo, debido a que estas frecuencias ofrecen mayores anchos de banda y son menos concurridas, además sus correspondientes antenas ofrecen ganancias relativamente altas, pero con una apertura más pequeña; sin embargo, la desventaja de estas frecuencias es que son fuertemente atenuadas por la atmósfera, requiriendo mayor potencia en la señal o un mayor número de estaciones en Tierra, aunque se observa el empleo de la banda Ka para comunicaciones entre satélites(NASA, 2015).

Por otra parte, se observa que los advenimientos de los SDRs no han reemplazado por completo a los radios definidos por hardware; sin embargo, los SDRs se perfilan como una solución para el mejoramiento de los sistemas de comunicaciones basados en RF, y si estos emplean FPGAs ofrecen mayor flexibilidad para ser empleados en múltiples bandas de frecuencia, con diversos esquemas de modulación y filtrado sin mucha modificación de hardware, por otra parte, su funcionalidad puede ser cambiada en vuelo desde Tierra para ajustarla o actualizarla; por lo que SDRs están siendo considerados actualmente para ser incorporados en pico y nanosatélites a medida de que el avance en electrónica permita construir estos sistemas con dimensión y masa cada vez menor, y más eficientes en consumo de potencia (NASA, 2015).

A continuación, se presentan dos proyectos de SDR a bordo de plataformas espaciales, los cuales han sido los únicos desarrollados hasta el momento, el primero es una plataforma de pruebas para evaluar la tecnología SDR para el espacio y el otro es un SDR a bordo de un CubeSat para explotar al máximo las capacidades de transmisión en un enlace de bajada.

La plataforma de pruebas para la navegación y comunicación del espacio (SCAN, por sus siglas en inglés) de NASA, la cual está operando en la estación espacial internacional (ISS, por sus siglas en inglés) desde el 2012; esta plataforma de pruebas permite el desarrollo, pruebas y demostración de tecnologías SDR en el ambiente espacial con el objetivo de llevar a esta tecnología a un nivel de madures nivel 7 (TLR-7, por sus siglas en inglés), y llevar a cabo experimentos conducidos al

uso eficiente del espectro radioeléctrico como por ejemplo la comunicación multiacceso, la radio cognitiva entre otros.

El SCAN Testbed consiste de tres plataformas SDR reconfigurables basados en la arquitectura estándar del sistema de radio telecomunicaciones espaciales (STRS, por sus siglas en inglés) calificadas para vuelo con formas de onda compatibles con el sistema de satélites de seguimiento y retransmisión de datos (TDRSS, por sus siglas en inglés), las cuales fueron desarrolladas por General Dynamics (GD), Harris Corporation (HC) y por el laboratorio de propulsión jet (JPL, por sus siglas en inglés).

Los tres SDR a bordo de la plataforma de pruebas SCAN proporcionan enlaces dúplex directamente a Tierra en banda S, enlaces dúplex con satélites del TDRSS en banda S y Ka, así como un enlace para la recepción de información del sistema de posicionamiento global (GPS, por sus siglas en inglés) en banda L, dichos enlaces se ilustran en la Figura 1.4.

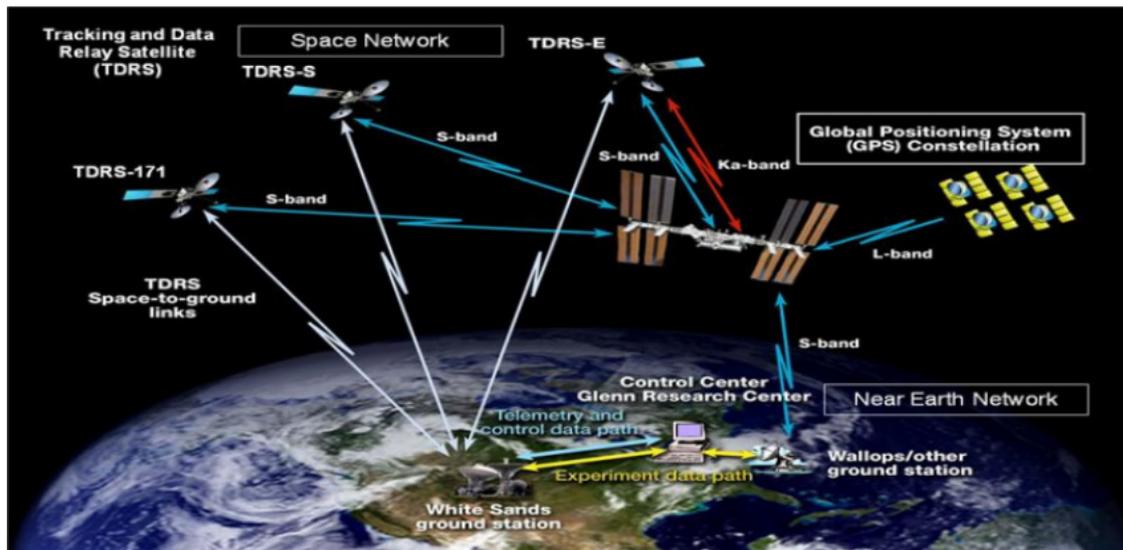


Figura 1.4: Enlaces de comunicaciones proporcionados por los tres SDRs a bordo de la plataforma de pruebas SCAN (Johnson et al., 2012).

En la Figura 1.5 se ilustra el diagrama a bloques de la plataforma de pruebas SCAN, el cual consta de 4 elementos: aviónica, SDRs, sección de RF y la sección de antenas. La aviónica interactúa con los SDRs a través de los buses SpaceWire y MIL-STD-1553 para transferencia de datos de telemetría, comando y de cargas útiles. Por otra parte, se encuentra la sección de RF, la cual está compuesta por un arreglo de elementos como amplificadores, aisladores, diplexores entre otros, los cuales permite emplear una sola antena para cada frecuencia de operación en modo transmisión y recepción y en algunos casos en diferente radio. La sección de antenas está compuesta por antenas fijas y de seguimiento.

En las Tablas 1.4 y 1.5 muestran las características y capacidades de cada uno de los tres SDR de la plataforma de pruebas SCAN (Johnson et al., 2012).

Por otra parte, en lo que respecta a aplicaciones de SDR en nano y pico satélites, (Gravyer et al., 2015) muestra el desarrollo de un SDR de a bordo para un CubeSat que opera a 915 MHz, el cual soporta un esquema de codificación y modulación adaptativa (ACM, por sus siglas en inglés) con el objetivo de transmitir la mayor cantidad de información a Tierra, ya que durante el tiempo en el cual un satélite se encuentra en línea de vista con una estación en Tierra para llevar a cabo la transmisión de datos, la relación señal a ruido (SNR, por sus siglas en inglés) en el receptor varía a medida que el satélite se mueve, por lo que el desempeño de la transmisión de datos en términos de

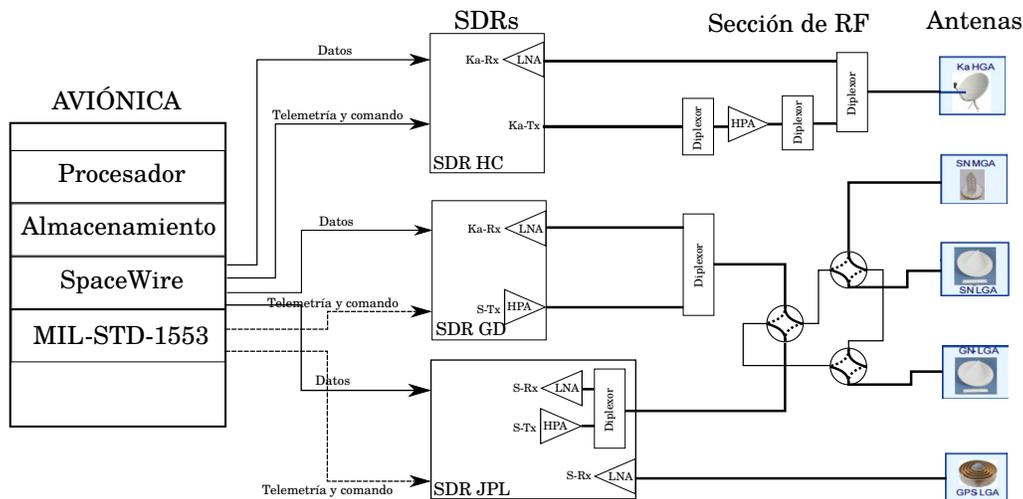


Figura 1.5: Diagrama a bloques de la plataforma de pruebas SCAN (Johnson et al., 2012).

Tabla 1.4: Características de los tres SDR de la plataforma de prueba SCAN (Johnson et al., 2012)

| Socio | Banda de frecuencias | Ancho de banda [MHz] | Tasa de datos máxima | Modulación | Potencia de transmisión [W] |
|---------------------|----------------------|----------------------|----------------------|-------------|-----------------------------|
| HC | Banda Ka | 255 MHz | 100 Mbps | QPSK, SPQSK | — |
| GD | Banda S | — | 192 kbauds | — | 8 |
| JPL, CE, GSFC y GRC | Banda S, Banda L | — | — | — | 7.5 |

tasa de transmisión y tasa de bit error (BER, por sus siglas en inglés) está limitado por la mínima SNR.

El SDR a bordo del CubeSat estima el SNR por medio del preámbulo de cada paquete que recibe, si el SDR detecta un aumento en el SNR, este cambia sus parámetros de modulación y codificación para operar con la mejor capacidad de transmisión posible durante el pasaje.

El esquema ACM implementado a bordo del SDR emplea modulaciones BPSK, QPSK y un codificador de canal Turbo con tasas de codificación de 1/4 y 1/2; en la Tabla 1.6 se muestran las combinaciones de modulación, tasa de codificación y tasa de transmisión manejada con respecto a una cierta SNR.

Como se muestra en la Figura 1.7 el SDR está compuesto por una sección de procesamiento de señal (PS) y una sección de RF. La sección de PS esta hospedada en el sistema en un chip (SOC, por sus siglas en inglés) Zynq 7020 de Xilinx, el cual un FPGA con dos procesadores ARM, y la sección de RF está alojada en el circuito integrado LMS6002D de Line Microsystems, el cual recibe una señal digital y da salida a una señal modulada en RF.

Tabla 1.5: Capacidades de los tres SDR de la plataforma de prueba SCAN ([Johnson et al., 2012](#))

| Socio | FPGA | Procesador | Sistema operativo | Memoria no volátil [MB] | RAM [MB] |
|---------------------|------------------|-------------|-------------------|------------------------------|----------|
| HC | 4 Virtex IV (6M) | AITech, PPC | VxWorks | 1 de inicio 64 de usuario | 128 |
| GD | Virtex II (3M) | Coldfire | VxWorks | 4 | 128 |
| JPL, CE, GSFC y GRC | 2 Virtex II (3M) | SPARC | RTEMS | 3 × 512 FLASH | 3 × 8 |

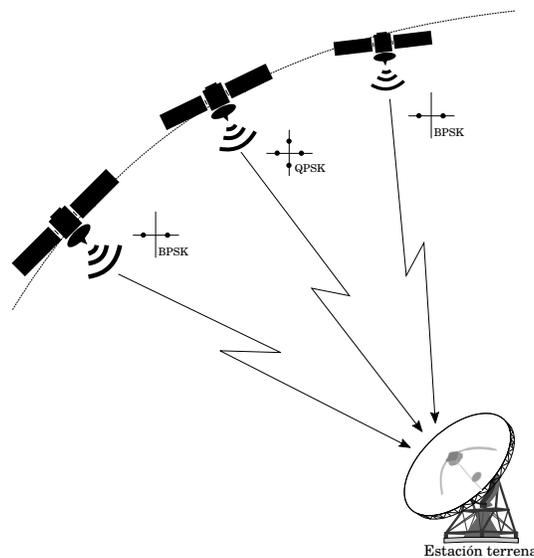


Figura 1.6: Esquema de codificación y modulación adaptativa (ACM) propuesto para maximizar el rendimiento de la transmisión de datos desde un satélite a una estación en Tierra.

Tabla 1.6: Combinaciones de modulación y tasa de codificación implementada en el SDR a bordo del AeroCube ([Gravyer et al., 2015](#))

| SNR relativa | Modulación | Tasa de codificación | Tasa de símbolo [ksps] | Tasa de bit relativa |
|--------------|------------|----------------------|------------------------|----------------------|
| -26.54 | BPSK | 0.25 | 78.125 | 1 |
| -23.53 | BPSK | 0.25 | 156.25 | 2 |
| -20.52 | BPSK | 0.25 | 312.5 | 4 |
| -17.51 | BPSK | 0.25 | 625 | 8 |
| -14.50 | QPSK | 0.25 | 625 | 16 |
| -10.90 | QPSK | 0.5 | 625 | 32 |
| 0.00 | QPSK | 1 | 625 | 64 |

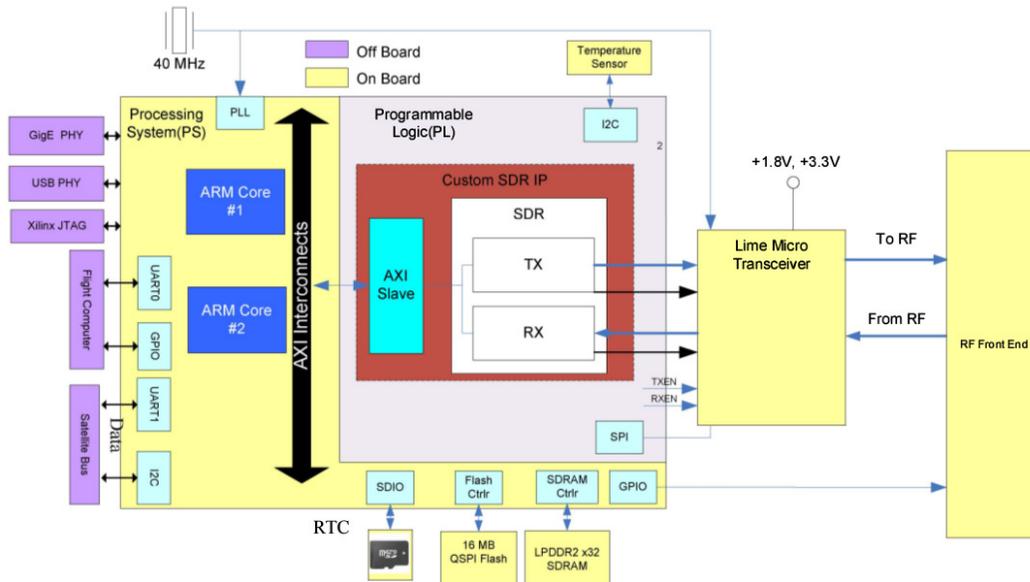


Figura 1.7: Arquitectura SDR a bordo del AeroCube.

Conclusiones sobre el estado del arte de ST a bordo de nano y picosatélites

A partir de la revisión del estado del arte de STs a bordo de pico y nanosatélites, se concluye que el desarrollo de radios definidos por software, es una solución para el mejoramiento de los sistemas de comunicaciones basados en RF a bordo de dichas plataformas, la cual puede ser escalada en un futuro en satélites de comunicaciones geoestacionarios con el objetivo de reducir la obsolescencia de tecnología derivada de su gran tiempo de operación (aproximadamente 15 años).

Además, se observó que son pocos los SDRs operando actualmente a bordo de satélites, debido a que estos aún no poseen el nivel de madurez de tecnología adecuado para ser puestos en operación en el espacio, ya que aún no se han validado completamente los mecanismos de reprogramación en vuelo y, por otra parte, a los efectos que produce la radiación espacial sobre los dispositivos electrónicos que integran dichos sistemas, por lo que estas cuestiones son retos para el desarrollo de un SDR para aplicación en el espacio.

Capítulo 2

Fundamentos teóricos para el diseño del SCMIyT

En este capítulo se muestran los fundamentos teóricos para el diseño del SCMIyT, los cuales comienzan desde la definición de un sistema de percepción remota vía satélite, seguido de conceptos de sistemas de comando, manejo de información y telecomunicaciones (SCMIyT), radio definido por software, FPGAs y tolerancia a fallas, posteriormente se tratan aspectos del medio ambiente espacial y los efectos que puede provocar en los circuitos integrados, y para finalizar con las técnicas de tolerancia a fallas que existen en FPGAs basados en SRAM.

2.1. Percepción remota

La percepción remota se define de forma general como la recolección de información a distancia ([Campbell y Wynne, 2011](#)), en otras palabras, la percepción remota hace referencia a la obtención de información de un objeto por medio de un dispositivo que no está en contacto físico con dicho objeto.

2.2. Sistema de comando, manejo de información y telecomunicaciones (SCMIyT)

El subsistema de comando, manejo de información y telecomunicaciones (SCMIyT) es la unión de los subsistemas de comando, manejo de información (SCMI) y el sistema de telecomunicaciones (ST), la cual sigue la tendencia de unificar subsistemas para reducir dimensión y masa en los sistemas espaciales, pero sin disminuir su desempeño o limitar sus capacidades. El SCMIyT realiza las funciones de:

- Ejecución de comandos (ya sea programados a bordo de la plataforma espacial o recibidos desde una estación en Tierra) para la realización de tareas de control de una carga útil o de todo el satélite.
- Recolección de datos de telemetría.
- Almacenamiento de datos de telemetría y carga útil.
- Procesamiento de datos (si es requerido).
- Transmisión de datos de telemetría y carga útil, así como la recepción de comandos hacia y desde una estación de control en Tierra.

Un SCMI puede estar integrado por uno o varios procesadores como elemento central, en donde se ejecuta el software de control, y por dispositivos de almacenamiento para guardar el software, así como datos de telemetría y cargas útiles.

Los buses típicos de transferencia de datos empleados para compartir información en aplicaciones espaciales entre el SCMI y los demás subsistemas son el MIL-STD-1553 y SpaceWire. El bus MIL-STD-1553 es un estándar común y robusto, que mejora la rentabilidad, costo de integración y pruebas, mientras que el estándar Spacewire es un bus estándar de alta velocidad definido por la cooperación europea para la estandarización del espacio (ECSS, por sus siglas en inglés) basado en el estándar IEEE 1355 (Wertz et al., 2011)(ESA, 2014).

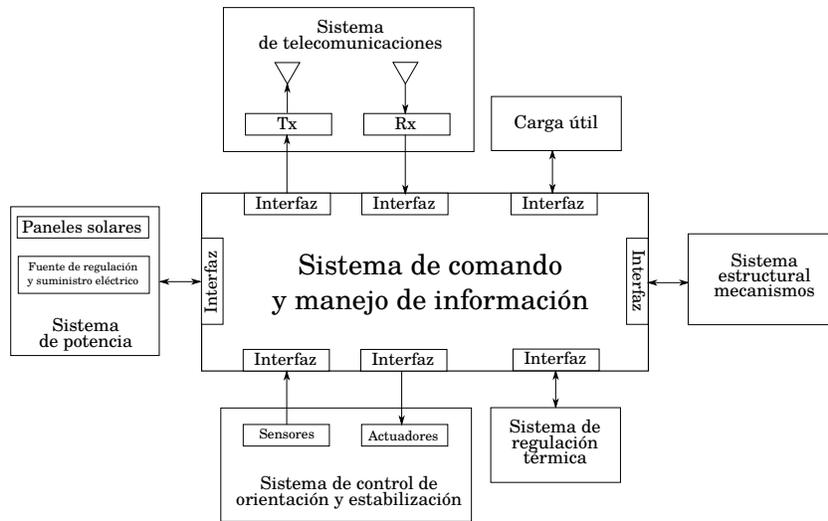


Figura 2.1: Sistema de comando y manejo de información y su interacción con los otros subsistemas de un satélite

2.3. Radio definido por software (SDR)

Un SDR puede definirse como “un sistema de radio en el cual alguna o todas sus funciones de capa físicas están definidas por software”, ya que en el pasado, los sistemas de radio habían sido diseñados para procesar una forma de onda específica y estaban constituidos por dispositivos electrónicos analógicos (es decir, un radio de hardware fijo); sin embargo, con el advenimiento de las tecnologías de procesamiento digital de señales como procesadores y dispositivos de hardware reconfigurable se busca reducir todos los componentes analógicos en la medida de lo posible y acercar las técnicas digitales lo más posible a la antena con el objetivo de obtener radios flexibles, los cuales puedan soportar diferentes formas de onda con tan solo actualizar su software o reconfigurar su hardware (Grayver, 2012) (Kenington, 2005).

A continuación, en la Tabla 2.1 se muestra una comparación entre los radios tradicionales y los radios definidos por software en términos de las ventajas y desventajas de dichos sistemas.

Tabla 2.1: Ventajas y desventajas de los radios tradicionales y los radios definidos por software

| Radio tradicional | Radio definido en software |
|--|---|
| <p>Ventajas:</p> <ul style="list-style-type: none"> • Consumo de potencia menor, debido a que es un diseño a la medida. | <p>Ventajas:</p> <ul style="list-style-type: none"> • Flexibilidad para modificar su funcionalidad sin modificar el hardware. |
| <p>Desventajas:</p> <ul style="list-style-type: none"> • No es flexible ante modificación, debido a que su arquitectura de hardware es fija. | <p>Desventajas:</p> <ul style="list-style-type: none"> • Consume mayor potencia que un radio tradicional, ya que es un radio de propósito general. Vulnerabilidad a amenazas de software. |

Debido a la flexibilidad natural de los SDR, estos posibilitan:

- La interoperabilidad, la cual permite que un SDR pueda ser capaz de comunicarse con múltiples radios incompatibles o actuar como un puente entre ellos, es decir, un SDR puede ser un radio multicanal y multiestándar.
- El empleo eficiente de recursos tales como potencia, ancho de banda y espectro radioeléctrico, ya que un SDR puede modificar su forma de onda para adaptarse a sus condiciones de operación.
- La reducción de obsolescencia, debido a que un SDR puede actualizar su funcionalidad y aumentar sus capacidades con la modificación de su software o la reconfiguración su hardware.
- La reutilización de frecuencias de forma oportuna, de acuerdo al concepto de radio cognitiva.
- El ahorro de costos a largo plazo, ya que un SDR puede ser empleado en diferentes aplicaciones, es decir, resulta más barato desarrollar un SDR para diversas aplicaciones, que desarrollar un radio para cada aplicación.
- La investigación y desarrollo, ya que en un SDR se pueden implementar diversas formas de onda para evaluar su desempeño, en tiempo relativamente menor en comparación con el empleo de un radio tradicional y con mayor fidelidad en comparación con el empleo de simulaciones.
- La reducción de riesgos, ya que, si existiese un error de diseño, este puede ser solucionado con una actualización (Grayver, 2012).

De forma general, un SDR puede estar compuesto de 5 elementos fundamentales: antena, front-end o back-end, sección de conversión analógico-digital o digital-analógico, sección de procesamiento digital de señales y la sección de aplicación (Grayver, 2012). A continuación, se describen las características de dichos elementos vistas desde el proceso de recepción.

1. Antena

La antena es un dispositivo diseñado con el objetivo de emitir o captar ondas electromagnéticas. En el proceso de recepción, ondas electromagnéticas impactan en la antena, las cuales son convertidas en señales eléctricas.

2. Front-end o back-end

El front-end o back-end de RF acondiciona la señal eléctrica, ya que ésta puede ser débil, puede ser corrompida por incluso bajos niveles de ruido. En el receptor, el front-end de RF filtra el ruido del ambiente, y amplifica la señal antes de que sea procesada.

3. Sección de conversión analógica-digital o digital-analógica

La conversión analógica-digital es necesaria en el receptor, debido a que la señal eléctrica amplificada a la salida del front-end debe ser digitalizada para su posterior procesamiento, por lo que un convertidor analógico-digital (DAC, por sus siglas en inglés) crea una representación digital de la señal recibida.

4. Sección de procesamiento digital de señales

En el proceso de recepción, el procesamiento digital de señales se realiza para extraer la información contenida en la señal eléctrica digitalizada; es decir, esta sección recibe las muestras digitalizadas del convertidor analógico-digital y da salida a bits de datos codificados. Las funciones implementadas en la sección de procesamiento digital de señales están determinadas por la forma de onda, pero generalmente se incluyen: sincronización, demodulación, decodificación y descryptación. La sección de procesamiento digital de señales normalmente es la sección programable del SDR, y se realiza en un dispositivo programable como un DSP, GPP, etc. o en un dispositivo de hardware reconfigurable como un FPGA.

5. Sección de aplicación

La sección de aplicación decodifica los bits para obtener, por ejemplo, paquetes de datos, voz, video, etc.

La funcionalidad de los elementos descritos anteriormente es inversa desde el punto de vista del proceso de transmisión.

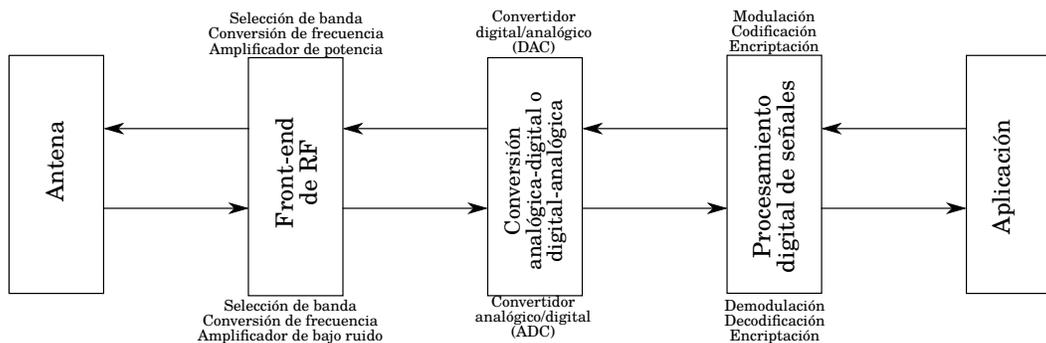


Figura 2.2: Diagrama conceptual de un SDR. Transmisión – flujo a la derecha, recepción – flujo a la izquierda. Diagrama adaptado de (Grayver, 2012)

Para aplicaciones espaciales, el concepto de SDR encaja muy bien para la obtención de cargas útiles flexibles, las cuales puedan ser modificadas en vuelo para permitir la reducción de riesgo, la reducción de obsolescencia, la optimización de recursos tales como potencia, y del espectro radioeléctrico, así como la reducción de tiempo y costos de desarrollo. Sin embargo, la implementación del concepto de SDR en el espacio ha sido más lento que lo anticipado debido a:

- A los efectos que produce la radiación espacial en circuitos integrados.
- A que los mecanismos de reprogramación en vuelo no han alcanzado la madurez tecnológica deseada (mínimo un RTL nivel 7).

2.4. Fundamentos de comunicaciones digitales

Antes de definir las comunicaciones digitales debemos comprender en que consiste el proceso de comunicación. La comunicación se puede definir como el proceso por el cual se transfiere información desde un punto llamado fuente a otro punto llamado destino. Los sistemas de comunicaciones se clasifican en dos: “sistemas de comunicaciones analógicas y sistemas de comunicaciones digitales”.

En un sistema de comunicaciones analógicas se transmiten mensajes que pertenecen a un conjunto de un intervalo finito y continuo de valores, señal analógica; mientras que en un sistema de comunicaciones digitales se transmiten mensajes que pertenecen a un conjunto finito y discreto de valores.

Una vez comprendida la diferencia entre ambos sistemas de comunicaciones, ahora nos centraremos en los sistemas de comunicaciones digitales, cuyas características fundamentales se mencionan a continuación:

Un sistema de comunicaciones digitales tiene como medida de desempeño a la probabilidad de error de bit, denotada como P_b .

En las comunicaciones digitales, el proceso de comunicación se efectúa independientemente del tipo de información que se transmite, ya que se transmiten bits, los cuales representan información de cualquier fuente digital (ejemplo: archivo de texto) o analógica (ejemplo: voz), después de haber pasado por un proceso de digitalización.

Los sistemas de comunicaciones digitales poseen ventajas sobre los sistemas de comunicaciones analógicos, las cuales son aprovechadas para ofrecer principalmente una mejor calidad de servicio, hacer uso eficiente del espectro radioeléctrico y disminuir la potencia empleada en la transmisión. Algunas de las ventajas son:

- Posibilidad de regenerar la señal transmitida mediante el uso de repetidores regenerativos.
- Posibilidad de mezclar y transmitir sobre el mismo canal señales de información de diferentes fuentes mediante el empleo de técnicas de multiplexación, por ejemplo: multiplexación por división en tiempo (TDM, por sus siglas en inglés) o multiplexación por división de códigos (CDM, por sus siglas en inglés).
- Posibilidad de preservar la privacidad de la información mediante técnicas de encriptación.
- Posibilidad de adaptar el proceso de transmisión a las características del canal de transmisión (canales de transmisión limitados en ancho de banda o en potencia) mediante el empleo de técnicas de modulación y de codificación de fuente.

Sin embargo, pese a los beneficios ofrecidos por los sistemas de comunicaciones digitales, no debemos pasar desapercibido lo siguiente:

- La necesidad de un proceso de digitalización (muestreo y cuantificación) en caso de transmitir información de una fuente analógica.
- Los sistemas de comunicaciones digitales demandan un mayor ancho de banda que los sistemas analógicos para transmitir la misma información debido al proceso de digitalización.
- La detección de señales digitales en el receptor requiere un sistema de sincronización que permita identificar correctamente un bit, un símbolo y una trama.
- Incompatibilidad con los sistemas analógicos.

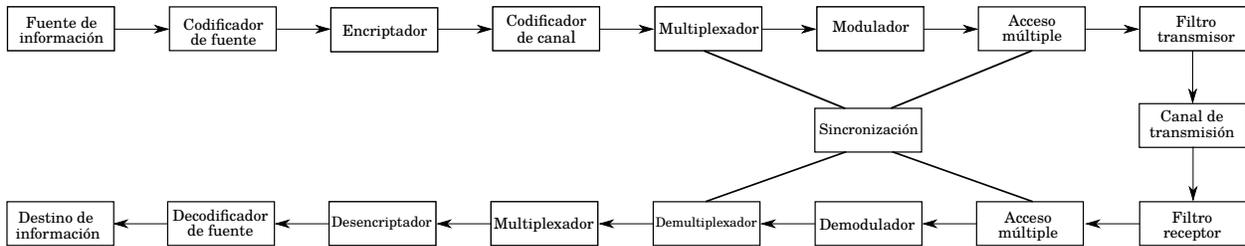


Figura 2.3: Diagrama a bloques de un sistema de comunicaciones digitales.

En la Figura 2.3 se muestra un diagrama a bloques de un sistema de comunicaciones digitales, donde algunos de sus componentes son indispensables para el proceso de comunicación, mientras que otros son opcionales, los cuales pueden depender de la aplicación o de las condiciones de operación.

A continuación, se describe los bloques que comprenden el sistema de comunicaciones digitales.

– Fuente de información

La fuente de información puede ser digital o analógica, sin embargo, cuando la fuente sea analógica debe ser digitalizada mediante una conversión del dominio analógico al digital.

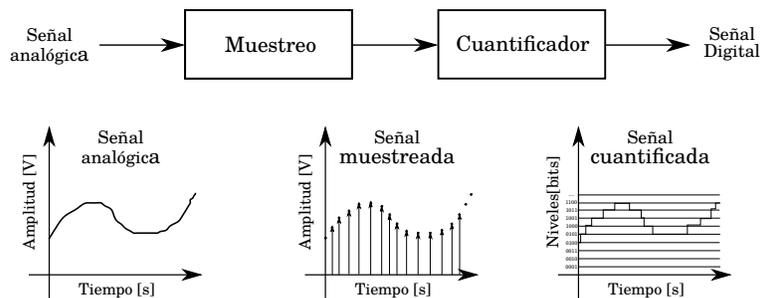


Figura 2.4: Proceso de digitalización.

– Encriptador

El encriptador codifica la información para evitar que sea vista y empleada por terceros.

– Codificador de canal

El codificador de canal añade redundancia a la información, la cual permita la detección y corrección de posibles errores producidos en la transmisión.

– Multiplexador

El multiplexador se encarga de combinar dos o más fuentes de información para que puedan compartir un mismo recurso de comunicación, este proceso se realiza en banda-base es decir la banda de frecuencias sin ningún tipo de modulación. Existen diversos esquemas de multiplexación, por ejemplo: multiplexación por división de tiempo (TDM, por sus siglas en inglés) y multiplexación por división de códigos (CDM, por sus siglas en inglés).

En el caso de la TDM, la sincronización es muy importante, debido a que el receptor debe ser capaz discriminar las tramas de información de las distintas fuentes.

– Modulador

La modulación es el proceso en el cual se modifican las características de una señal portadora en función de las características de una señal moduladora (señal de información), con el objetivo de obtener una señal más adecuada para la transmisión.



Figura 2.5: Modulación por amplitud.

– Acceso múltiple

El bloque de acceso múltiple, al igual que el bloque de multiplexado, permite que diversas fuentes de información compartan un mismo recurso de comunicación (canal de transmisión), pero en pasa-banda es decir la banda de frecuencias ya modulada. Existen diversos métodos de acceso múltiple, como, por ejemplo:

- Acceso múltiple por división de tiempo (TDMA por sus siglas en inglés).
- Acceso múltiple por división de frecuencia (FDMA, por sus siglas en inglés).
- Acceso múltiple por división de código (CDMA, por sus siglas en inglés).
- Acceso múltiple por división de espacio (SDMA, por sus siglas en inglés).
- Acceso múltiple por división de polarización (PDMA, por sus siglas en inglés).

– Filtro transmisor

El filtro transmisor limita el ancho de banda de la señal a transmitir, el cual se ajusta al ancho de banda del canal de transmisión.

Los bloques descritos anteriormente forman parte del transmisor; mientras tanto, los bloques que integran al receptor: filtro del receptor, acceso múltiple, demodulador, demultiplexador, decodificador de canal, descriptor y decodificador de fuente realizan la función inversa de los bloques de transmisión.

– Canal de transmisión

El canal de transmisión es el medio por el cual la señal modulada es transmitida.

2.5. Modulación QPSK

La modulación por desplazamiento de fase (PSK, por sus siglas en inglés) M-aria, es una modulación que produce una señal de envolvente constante que es modelada matemáticamente de forma compleja como:

$$\dot{s}(t) = \sqrt{2P} \exp\{j(2\pi f_c t + \theta(t) + \theta_c)\} = \dot{S}(t) \exp\{j(2\pi f_c t + \theta(t) + \theta_c)\} \quad (2.1)$$

Cuya parte real de la señal transmitida es:

$$s(t) = \text{Re}\{\dot{s}(t)\} = \sqrt{2P} \cos(2\pi f_c t + \theta(t) + \theta_c) \quad (2.2)$$

Donde P es la potencia transmitida, f_c es la frecuencia de la señal portadora en Hertz (Hz), θ_c es la fase de la señal portadora, $\theta(t)$ es la fase que toman los M símbolos en valores equiprobables

$\beta_i = (2i-1)\pi/M$, donde $i = 1, 2, \dots, M$ en cada intervalo de tiempo T_s (llamado periodo de símbolo); dicha función $\theta(t)$ es expresada matemáticamente como:

$$\theta(t) = \sum_{n=-\infty}^{\infty} \theta_n p(t - nT_s) \quad (2.3)$$

Donde θ_n es la información de fase en el n -ésimo intervalo de símbolo $nT_s < t(n+1) < T_s$ que oscila en el conjunto de los M posible valores β_i , $p(t)$ es un pulso rectangular de amplitud unitaria de duración T_s segundos. El tiempo de símbolo T_s se relaciona con el periodo de bit T_b como $T_s = T_b \log_2 M$, dicha relación, también corresponde a la ganancia nominal en eficiencia de ancho de banda relativa a una modulación por desplazamiento de fase binaria (BPSK, por sus siglas en inglés). Por lo tanto, la señal compleja que es transmitida en el n -ésimo intervalo de símbolo es:

$$\dot{s}(t) = \sqrt{2P} \exp\{j(2\pi f_c t + \theta(t) + \theta_c)\}, nT_s < t(n+1) < T_s, n = -\infty, \dots, \infty \quad (2.4)$$

Note que, debido a la forma del pulso rectangular asumido, la señal compleja $\dot{S}(t) = \sqrt{2P} \exp\{j\theta_n\}$ (en banda base) posee una envolvente constante en este mismo intervalo de tiempo, $|\dot{S}(t)| = \sqrt{2P}$.

El diagrama de constelación de la modulación M-PSK corresponde a un círculo unitario con puntos espaciados uniformemente $2\pi/M$ [rad]. Por otra parte, la conversión de símbolos binarios a ángulos de fases se realiza empleando el código de Gray, ya que, en dicho código binario, las palabras de código difieren en un solo bit con sus palabras vecinas o adyacentes, lo que minimiza el número de bits erróneos que resultan de un proceso de decodificación incorrecto.

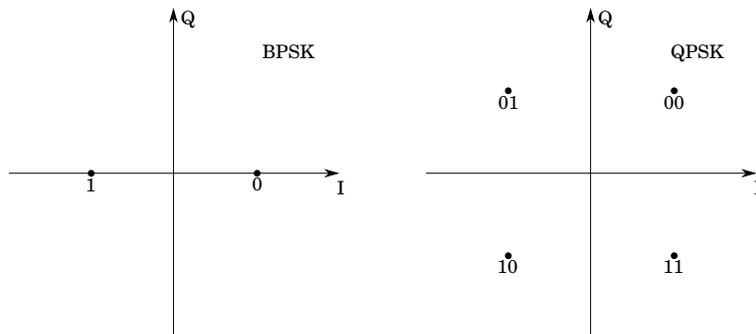


Figura 2.6: Diagrama de constelación de la modulación PSK (izquierda) y de la señal QPSK (derecha).

Un caso especial de M-PSK que posee una representación I-Q es 4-PSK, conocida como QPSK; en este esquema, el conjunto de fases que se asume convencionalmente es $\beta_i = \{\pi/4, 3\pi/4, 5\pi/4, 7\pi/4\}$. Proyectando dichas fases en los ejes en fase (I) y cuadratura (Q), QPSK puede expresarse matemáticamente en una forma compleja I-Q como:

$$\dot{s}(t) = \sqrt{P}(a_{In} + ja_{Qn}) \exp\{j(2\pi f_c t + \theta(t) + \theta_c)\}, nT_s < t(n+1) < T_s, n = -\infty, \dots, \infty \quad (2.5)$$

Donde la información de amplitud a_{In} y a_{Qn} varía independientemente sobre los valores de +1 y -1 de manera equiprobable, donde la señal compleja $\dot{S}(t) = \sqrt{P}(a_{In} + ja_{Qn})$ (en banda base) es constante en este mismo intervalo de tiempo. La parte real de la señal modulada en QPSK tiene la forma:

$$s(t) = \text{Re}\{\dot{s}(t)\} = \sqrt{P}m_I(t) \cos(2\pi f_c t + \theta(t) + \theta_c) - \sqrt{P}m_Q(t) \sin(2\pi f_c t + \theta(t) + \theta_c) \quad (2.6)$$

Donde $m_I = \sum_{n=-\infty}^{\infty} a_{In}p(t - nT_s)$ y $m_Q = \sum_{n=-\infty}^{\infty} a_{Qn}p(t - nT_s)$

En la Figura 2.7 se muestra el diagrama a bloques de un modulador QPSK I-Q, donde un demultiplexor divide la señal de información en una señal I (en fase) y en una señal Q (en cuadratura) en un formato paralelo, cuya tasa de transmisión es la mitad de la tasa de transmisión de la señal de información; posteriormente, dichas señales son alimentadas a dos moduladores balanceados, cuyas señales portadoras poseen fases de 0 y $\pi/2$ radianes, respectivamente (Simon, 2005)(Miller et al., 1993).

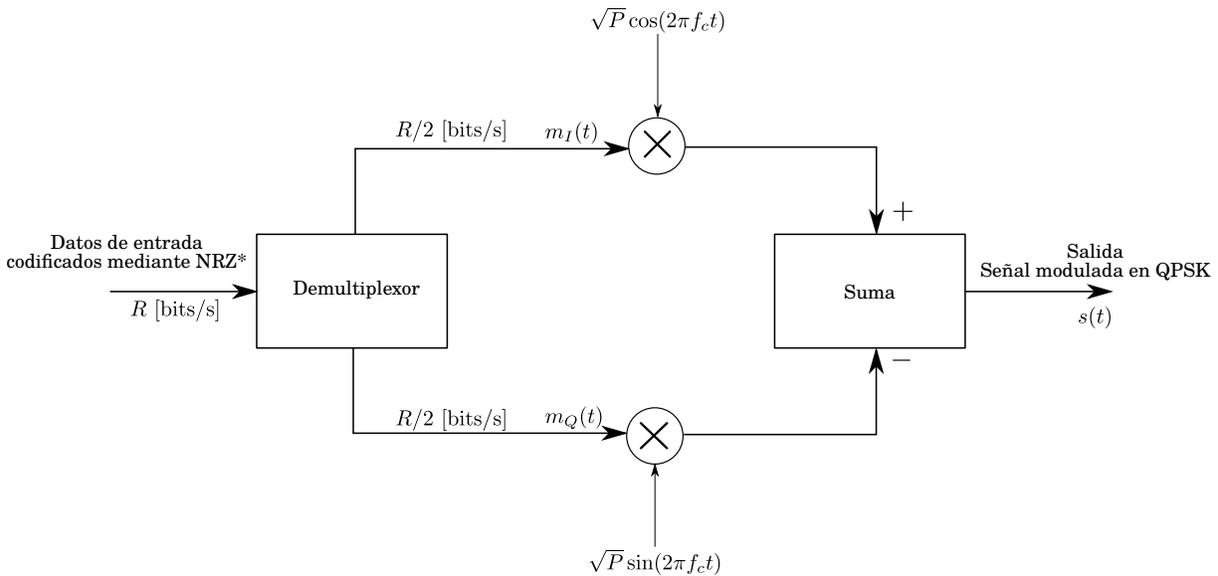


Figura 2.7: Diagrama a bloques de un modulador QPSK I-Q.

2.6. Arreglos de compuertas programables en campo (FPGAs)

Un FPGA son circuitos digitales que permiten implementar sistemas digitales en campo, es decir, el sistema digital se construye independientemente del proceso de fabricación del chip, a diferencia de un circuito integrado de aplicación específica (ASIC, por sus siglas en inglés)

Los FPGAs consisten en arreglos de bloques lógicos reconfigurables (CLB, por sus siglas en inglés), los cuales se interconectan entre sí, y con bloques de entrada y salida (IOB, por sus siglas en inglés) mediante interconexiones programables.

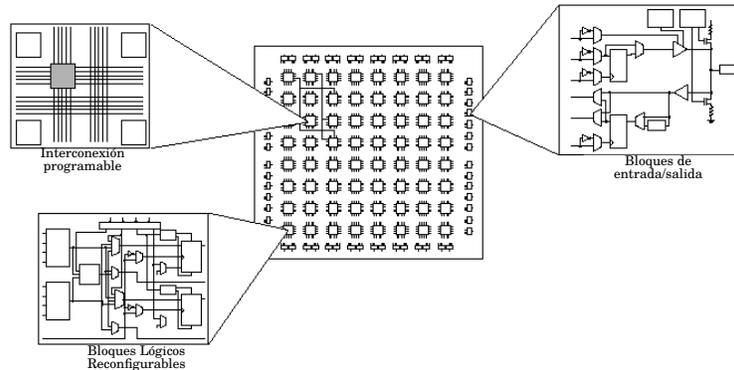


Figura 2.8: Arquitectura FPGA.

Existen tres tipos de tecnología FPGA (basada en puerta flotante, antifusible y SRAM), las cuales se diferencian principalmente por la manera en como mantienen la configuración de hardware.

A continuación, se describe cada una de las tecnologías FPGAs, sus ventajas y desventajas, con el objetivo de dar el argumento válido de la justificación del empleo de FPGAs basados en SRAM en el SCMIyT.

2.6.1. FPGA basado en tecnología Flash

Esta clase de FPGAs emplea interruptores programables que consisten de una estructura Metal-Oxido-Semiconductor de inyección de avalancha de puerta flotante (FAMOS, por sus siglas en inglés), los cuales pueden ser deshabilitados mediante inyección de carga en la puerta flotante.

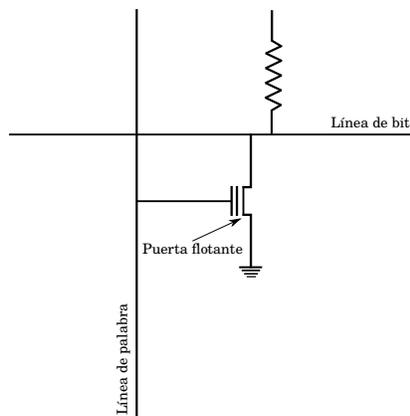


Figura 2.9: Tecnología de programación basada en puerta flotante. (Imagen adaptada de (Violante et al., 2011))

Ventajas:

- La cualidad de no ser volátil, lo que evita el empleo de una memoria no volátil externa al FPGA para almacenar la información de configuración.
- La cualidad de ser reconfigurable, la cual ofrece la flexibilidad de modificar el hardware.
- La baja susceptibilidad a eventos de alteraciones individuales (SEUs, por sus siglas en inglés), el cual es un efecto de la radiación que puede provocar fallos en el sistema digital implementado en el dispositivo.

Desventajas:

- Los procesos de manufactura adicionales que requiere para insertar los resistores de pull-up.
- El consumo de potencia estática debido a las resistencias de pull-up de cada celda de memoria.
- La susceptibilidad a efectos de dosis total de ionización (TID, por sus siglas en inglés) provocados por la radiación, los cuales pueden llevar a la degradación de capacidad y funcionalidad del dispositivo a lo largo del tiempo.

2.6.2. FPGA basado en tecnología antifusible

En esta clase de FPGA, un estado no programado consiste de dos terminales con un resistor entre ellas; sí un voltaje alto (entre 11 y 20 V) es aplicado entre dichas terminales, el resistor se funde, creando así una conexión permanente.

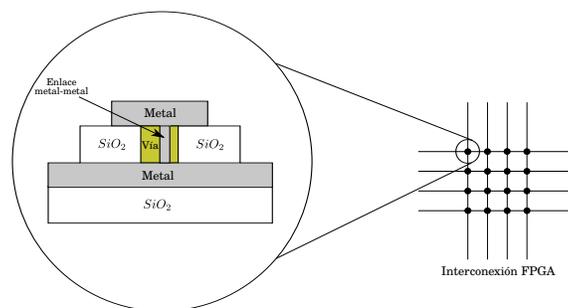


Figura 2.10: Proceso de programación basado en tecnología antifusible.

Ventajas:

- La cualidad de no ser volátil.
- La pequeña dimensión de la celda, permitiendo la integración de más recursos lógicos.
- La inmunidad a SEUs.

Desventaja:

- La cualidad de ser configurable una sola vez.

2.6.3. FPGA basado en tecnología SRAM

Los FPGAs basados en SRAM tienen como principal característica que su memoria de configuración es construida con celdas SRAM, las cuales son capaces de controlar los multiplexores y los transistores de paso para las conexiones. El principio de funcionamiento está basado en el valor lógico almacenado por la celda SRAM, es decir, cuando un '1' lógico es almacenado, el transistor de paso crea una conexión entre dos segmentos cableados, cuando un '0' lógico es almacenado, el transistor de paso está abierto, presentando una alta resistencia entre los dos elementos alambrados. El estado de la celda SRAM conectado a la línea de selección del multiplexor (Figura 2.11) controla el tipo de entrada que será conectada a la salida del multiplexor.

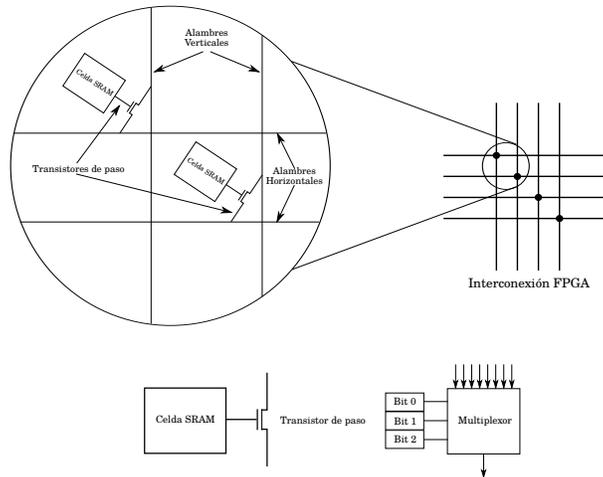


Figura 2.11: Tecnología de programación basada en tecnología SRAM. (Imagen adaptada de (Violante et al., 2011))

Ventajas:

- La cualidad de ser reconfigurable.
- La pequeña dimensión de la celda.

Desventajas:

- La cualidad de ser volátil.
- La susceptibilidad a SEUs.

A continuación, se presenta una tabla comparativa entre las tres tecnologías de FPGA.

Tabla 2.2: Comparación entre las tres tecnologías de FPGA.

| Cualidad/Tecnología | Flash | Antifusible | SRAM |
|-----------------------|----------|-------------|----------|
| Volatilidad | No | No | Si |
| Reconfigurabilidad | Si | No | Si |
| Susceptibilidad a SEU | Baja | Nula | Muy alta |
| Susceptibilidad a TID | Muy alta | Nula | Baja |
| Dimensión de celda | Grande | Pequeña | Pequeña |

A partir de la Tabla 2.2, podemos concluir lo siguiente:

La primera tecnología que se descarta para ser empleada en sistemas espaciales es la tecnología antifusible, ya que es configurable una sola vez, es decir, no es flexible. Por otro lado, aunque la tecnología basada en puerta flotante es reconfigurable, no volátil y no susceptible a SEUs, no se considera opción para emplearla en aplicaciones espaciales debido a su dimensión de celda relativamente grande (es decir, el dispositivo ofrece menos recursos lógicos en comparación a las otras tecnologías), su consumo de potencia y la susceptibilidad a TID que presenta (mayor en comparación a las otras tecnologías).

Por lo que los FPGAs basados en SRAM son considerados debido a su cualidad de reconfigurabilidad y por la cantidad relativamente grande de recursos lógicos que ofrece, pese a ser volátil y susceptible a SEUs; sin embargo, dichas desventajas pueden ser disminuidas mediante la aplicación de técnicas o procesos tolerantes a fallas.

2.7. Sistemas tolerantes a fallas

La tolerancia a fallas es un atributo que es diseñado dentro de un sistema para satisfacer requerimientos de confiabilidad, el cual engloba a la fiabilidad, disponibilidad, seguridad, nivel de desempeño y capacidad de mantenimiento.

La fiabilidad $R(t)$ de un sistema es una función de tiempo definida como la probabilidad condicional de que el sistema trabajará correctamente en un intervalo de tiempo $[t_0, t]$, dado que el sistema estaba trabajando correctamente en un tiempo t_0 . La tolerancia a fallas puede mejorar la fiabilidad del sistema manteniendo al sistema operacional cuando ocurren errores o averías.

La disponibilidad $A(t)$ es una función del tiempo definida como la probabilidad de que un sistema esté operando correctamente y esté disponible para realizar sus funciones en el instante de tiempo t .

La seguridad $S(t)$ es la probabilidad de que un sistema realice sus funciones correctamente o que interrumpa sus funciones de una manera que no interrumpa la operación de otros sistemas o comprometa la seguridad de alguna persona asociada con el sistema. Algunas técnicas de tolerancia a fallas pueden ser empleadas para mejorar la seguridad de un sistema, como, por ejemplo, la acción de apagar un sistema, si alguna avería es detectada.

El nivel de desempeño de un sistema $P(L, t)$ es una función del tiempo definida como la probabilidad de que el sistema posea dicho desempeño igual o superior a un nivel L en el instante de tiempo t . Tolerancia a fallas puede disminuir automáticamente el nivel de desempeño de un sistema a un nivel aceptable para compensar errores o averías.

La capacidad de mantenimiento $M(t)$ es la probabilidad de que un sistema en estado de fallo sea restaurado a su estado de operación dentro de un periodo específico de tiempo t . Tolerancia a fallas puede ser empleada para detectar y localizar problemas para propósitos de mantenimiento, ya que la mayor parte del tiempo empleado para reparar un sistema es frecuentemente dedicado para determinar la fuente del problema.

Por lo tanto, la confiabilidad es lograda a través del diseño y la evaluación del sistema. El diseño incluye técnicas para evitar fallas y técnicas para tolerar fallas. Las técnicas para evitar fallas son ejecutadas para prevenir averías de hardware o errores de software, mientras que la tolerancia a fallas trata a las averías de hardware o errores de software cuando estos ocurren. Por otro lado, la evaluación del sistema permite localizar áreas dentro de un sistema, las cuales son propensas a averías o donde la avería puede ser catastrófica para determinar las acciones a aplicar (Barry, 1989).

2.7.1. Conceptos de fundamentos de confiabilidad

Existen tres términos fundamentales en tolerancia a fallas, los cuales son falla, error y avería. La falla son la causa de errores y los errores son la causa de averías. Una falla es un defecto físico, imperfección, o desperfecto que ocurre dentro de algún componente de hardware o software; mientras que un error es la manifestación de una falla y se define como la desviación de precisión o exactitud, sí el error ocasiona que un sistema desempeñe incorrectamente sus funciones, una avería ha ocurrido.

El concepto de falla, error y avería puede ser mejor comprendido mediante el empleo de un modelo de tres universos. El primer universo es el universo físico, en el cual las fallas ocurren, este universo engloba los dispositivos electrónicos, elementos mecánicos, fuentes de energía y otras entidades que integran un sistema. Por lo tanto, una falla es un defecto físico o alteración de algún componente dentro del universo físico.

El segundo universo es el universo de la información, en este universo los errores ocurren, ya que un error ocurre cuando la información se vuelve incorrecta.

El tercer universo es el universo externo (o universo de usuario), en este universo es donde los efectos de las fallas y errores son vistos por el usuario, ya que en este universo las averías ocurren [Barry \(1989\)](#).



Figura 2.12: Modelo de tres universos para representar la relación causa y efecto entre falla, error y avería.

2.7.2. Causas de fallas

Las fallas pueden ser originadas por diversos factores que pueden estar relacionados al dispositivo electrónico, al proceso de diseño y construcción, así como a factores externos. Las fallas de hardware pueden ser causadas por defectos en los componentes (por ejemplo, imperfecciones de fábrica), por equivocaciones en la definición de arquitecturas de hardware, por equivocaciones en la implementación o por causas externas (algunos ejemplos son, la radiación, interferencia electromagnética, condiciones ambientales y la mala operación por parte del operador). Por otro lado, fallas de software pueden ser ocasionadas por equivocaciones en la definición de algoritmos o por una mala implementación ([Barry, 1989](#)).

2.7.3. Clasificación de las fallas

Adicionalmente a la causa, una falla puede ser clasificada por su naturaleza, duración o por su alcance:

- La naturaleza especifica si la falla es de hardware, software, analógica o digital.
- La duración especifica el periodo de tiempo que una falla es activa. En esta clasificación se encuentran las fallas permanentes, las fallas transitorias y las fallas intermitentes. Las fallas permanentes permanecen indefinidamente si no se toman una acción de corrección, las fallas transitorias son aquellas que aparecen y desaparecen dentro de un periodo de tiempo, y las fallas intermitentes son las que aparecen, desaparecen y vuelven a aparecer repetidamente.

- El alcance especifica si una falla afecta de forma global a un sistema o de manera local, como por ejemplo a un componente (Barry, 1989).

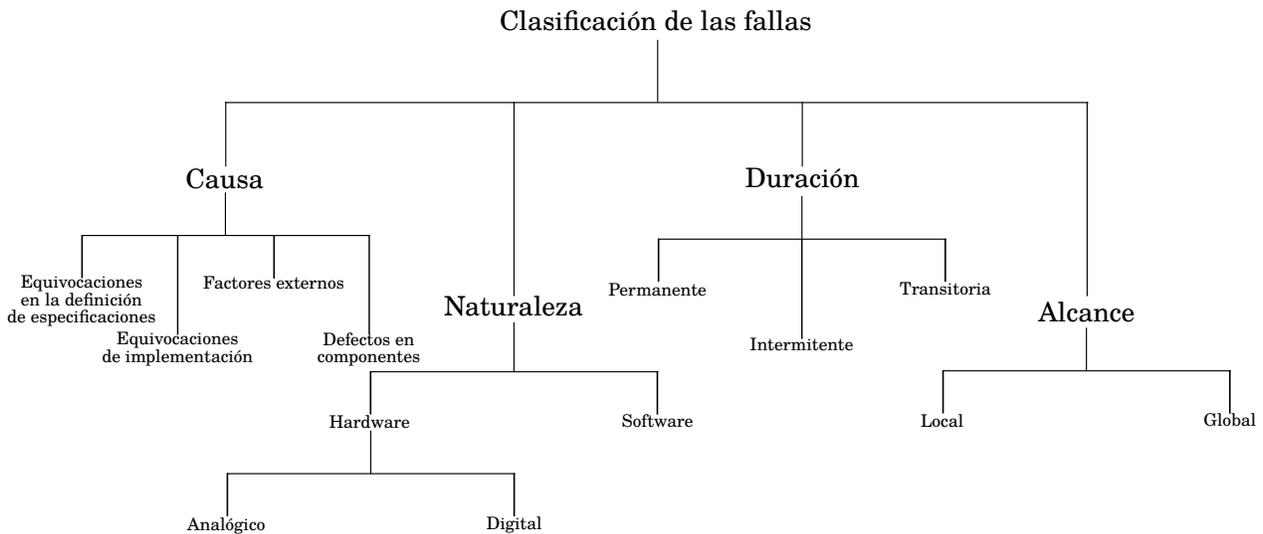


Figura 2.13: Clasificación de las fallas.

2.7.4. Filosofía de diseño para combatir fallas

Existen dos enfoques principales para mantener el desempeño normal de un sistema ante situaciones de falla, los cuales son: prevención de fallas y tolerancia a fallas.

- La prevención de fallas es empleada para evitar fallas, este enfoque incluye procesos como la revisión de diseño, pruebas, métodos de calidad, entre otros. Por ejemplo, un sistema electrónico puede ser blindado para prevenir fallas debido a factores externos como la radiación.
- La tolerancia a fallas es la habilidad de un sistema para continuar desempeñando sus tareas después de la ocurrencia de una falla. La tolerancia a fallas puede ser lograda mediante la aplicación de redundancia.

La redundancia es la incorporación de más recursos, información o tiempo de lo necesario para que un sistema opere normalmente.

1. Redundancia en hardware es la adición de hardware extra, con el objetivo de detectar o tolerar fallas.
2. Redundancia en software es la adición de software extra, además del requerido para desempeñar una función dada, para detectar y posiblemente tolerar fallas.
3. Redundancia en información es la adición de información extra además de la requerida para implementar una función dada; por ejemplo los códigos de detección usan una forma de redundancia en la información.
4. Redundancia en tiempo usa tiempo adicional para desempeñar las funciones de un sistema de tal forma que la detección de fallas y la tolerancia a fallas se puedan alcanzar (Barry, 1989).

2.8. Ambiente espacial

La radiación es un término genérico que envuelve muchos tipos de entidades físicas; pero en general, esta puede ser definida como un conjunto de partículas, cargadas o no, que pueden interactuar con un sistema electrónico mediante el intercambio de energía.

En el espacio, diversos tipos de radiación pueden interactuar con los dispositivos electrónicos provocando fallas y daños. Los principales tipos son:

- Rayos cósmicos, los cuales son núcleos de varios átomos, como hidrogeno, helio, hierro, que viajan a través del espacio con alta velocidad (miles de kilómetros por hora). Este tipo de radiación tiene energía y grado de ionización muy alto, la cual se deriva de las explosiones de novas y supernovas sucedidas millones de años atrás. Entre estas partículas, electrones de alta energía también están presentes.
- Radiación atrapada en los cinturones de radiación de Van Allen, la cual está integrada por electrones de pocos MeV y protones de cientos MeV.
- Radiación asociada a la actividad solar, la cual está compuesta por protones, electrones e iones pesados con energía entre el rango de decenas de keV hasta los GeV (Siegler et al., 2015) (Violante et al., 2011).

2.8.1. Efectos que produce la radiación espacial en dispositivos electrónicos

Cuando un dispositivo electrónico es expuesto a la radiación, varios tipos de efectos pueden ser observados debido a la interacción de partículas con los diferentes materiales con los que están compuestos dichos dispositivos.

Cuando una partícula (partícula primaria) incide en el material, esta sigue una trayectoria aleatoria determinada por la colisión de la partícula con el núcleo del material, el cual hace que la partícula primaria pierda energía y produzca partículas secundarias (Figura 2.14). Por lo que la potencia de frenado de una partícula incidente en un material está definida como la pérdida de energía por unidad de longitud de penetración dentro del material.

$$sp = -\frac{dE}{dS} \quad (2.7)$$

Donde sp es la potencia de frenada, dE es la energía incremental de la partícula, y dS es la distancia incremental atravesada en el material.

Mientras que la potencia de frenado está relacionada con la pérdida de energía de la partícula, la transferencia lineal de energía (LET, por sus siglas en inglés) se refiere a la energía transferida en el material por medio de las partículas secundarias generadas durante la interacción. Por lo tanto, la LET puede ser expresada como:

$$LET_{\Delta} = -\frac{dE_{\Delta}}{dS} \quad (2.8)$$

Donde dE_{Δ} es la pérdida de energía de la partícula debido a una colisión, sin tomar en cuenta la energía cinética mayor a Δ . Si Δ se aproxima a infinito, la LET se convierte en la potencia de frenado.

La LET juega un rol importante en la estimación de la tasa de errores en los componentes de sistemas electrónicos. La LET es expresado en unidades de $(MeV \cdot cm^2)/mg$ de material (típicamente silicio). Esta unidad de medida surge de una combinación de pérdida de energía de la partícula en el material por unidad de longitud de trayectoria $MeV \cdot cm$ por la densidad del material mg/cm^2 .

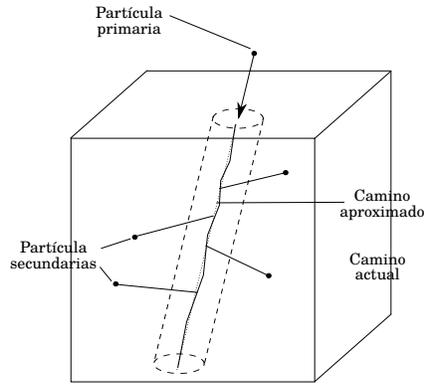


Figura 2.14: Penetración de una partícula en el material.

Los mecanismos principales de pérdida de energía para partículas ionizantes son la ionización y bremsstrahlung.

- La ionización es el mecanismo por el cual la carga de una partícula es liberada dentro de un material cuando la partícula lo atraviesa. La ionización es directa si la partícula incidente está cargada, o en indirecta si la partícula no está cargada, pero produce partículas cargadas mediante la interacción con el material.
- Los bremsstrahlung es la radiación electromagnética producida por la aceleración de partículas cargadas, tal como un electrón cuando es desviado por otra partícula cargada como un núcleo atómico.

Los efectos de la radiación sobre circuitos integrados dependen de su tecnología y de los mecanismos de pérdida de energía descritos anteriormente. Los principales efectos son:

Efecto embudo

Cuando un ion pesado penetra un dispositivo semiconductor a través de sus capas de unión y de agotamiento, este produce un camino de ionización compuesto por electrones y huecos de los átomos del material del semiconductor; este efecto distorsiona las superficies equipotenciales de los campos eléctricos de la capa de agotamiento, la cual resulta en una superficie equipotencial en forma de embudo que puede extenderse hasta el sustrato. Este fenómeno crea una corriente de electrones y otra de huecos a lo largo del camino, fluyendo en direcciones opuestas (Figura 2.15). El aumento de densidad de carga aumenta la probabilidad de que una carga crítica sea colectada en un nodo de información de un dispositivo de memoria.

Efecto de desplazamiento

Cuando una partícula pesada entra en el material del dispositivo, este puede cambiar el arreglo de átomos de la estructura cristalina degradando las propiedades del semiconductor afectado.

Efecto de acumulación de carga

La acumulación de carga es un efecto combinado entre el efecto embudo y de desplazamiento, el cual depende del tiempo de exposición, el flujo de energía y la LET; es decir, cuando la carga de una partícula incidente es acumulada en locaciones formadas por los defectos de las estructuras, y en los óxidos de aislamiento alrededor y dentro de la estructura del transistor. Este efecto provoca

en el dispositivo desde una degradación gradual de su desempeño hasta la pérdida total de su funcionalidad de acuerdo a la dosis de radiación acumulada.

Los efectos físicos producidos por la radiación en materiales que integran los dispositivos electrónicos son fenómenos muy complejos que requieren modelos matemáticos y probabilísticos específicos para ser representados. Sin embargo, el comportamiento en un circuito afectado debido a los efectos descritos anteriormente no está relacionado a las características físicas de su tecnología, sino a su funcionalidad. Por esta razón el concepto de modelo de falla es introducido, es decir, en lugar de analizar el efecto de la partícula en el material del dispositivo mediante modelos matemáticos o probabilísticos, se represente el mal comportamiento del dispositivo debido a la radiación mediante modelos funcionales, los cuales toman en cuenta el efecto en el funcionamiento correcto del dispositivo.

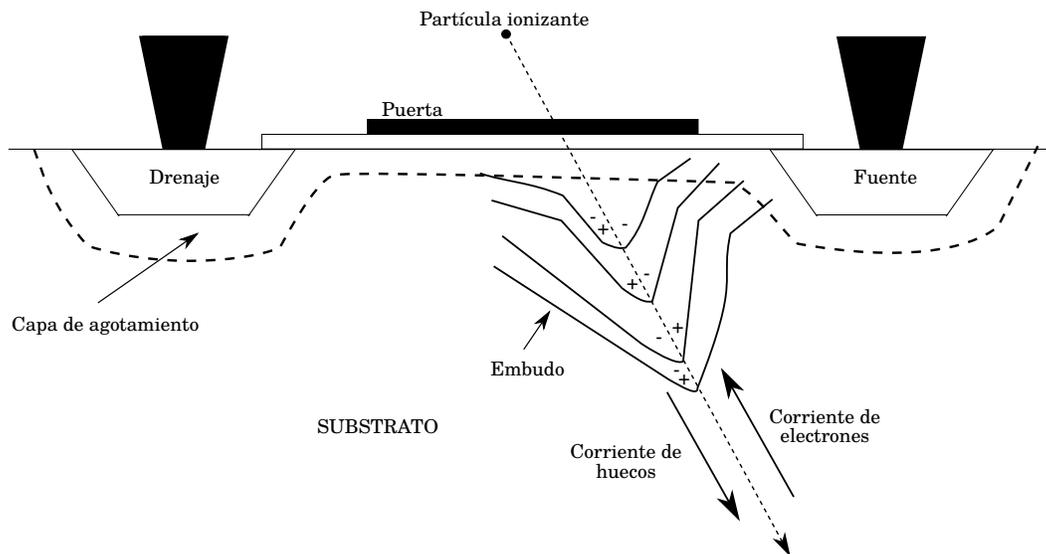


Figura 2.15: Efecto embudo en un transistor CMOS debido a una partícula ionizante.

Los modelos de falla inducidos por la radiación son clasificados en dos categorías:

- Efectos debido a la dosis total de ionización (TID, por sus siglas en inglés).
- Efectos de eventos individuales (SEEs, por sus siglas en inglés) [Siegle et al. \(2015\)](#) ([Violante et al., 2011](#)).

2.8.1.1. Efectos de dosis total de ionización (TID)

Los efectos TID modelan los efectos de acumulación de carga y por daños de desplazamientos, los cuales resultan en la degradación del desempeño del dispositivo, la reducción de la velocidad de conmutación de los transistores, así como el incremento de potencia. En memorias flash se ha observado que la TID cambia el umbral de los transistores de puerta flotante, provocando, con el tiempo, la pérdida de reprogramabilidad. Otro efecto TID observado es el cambio de la susceptibilidad a SEEs.

2.8.1.2. Efectos de eventos individuales (SEE)

Los SEEs son modelos del efecto embudo producido por una única partícula (cargada o no cargada) en una cierta ubicación dentro del dispositivo; el efecto embudo puede producir diferentes comportamientos de acuerdo a la energía de la partícula incidente, así como la ubicación y el tiempo de

duración del impacto. Los SEEs pueden ser no destructivos como un error producido en el dispositivo de forma temporal o destructivos como el daño permanente del dispositivo. A continuación, se clasifican los diversos tipos de SEEs de acuerdo a su naturaleza destructiva y no destructiva.

- **SEE no destructivos**

- Transitorio de evento individual (SET, por sus siglas en inglés), el cual puede visualizarse como un pulso transitorio de voltaje de corta duración (entre picosegundos y nanosegundos) originado por el impacto de una partícula incidente en el dispositivo, dicha falla se propaga a través del circuito hasta sus salidas llevando al mal comportamiento del sistema o puede ser atrapada por un elemento de memoria para convertirse en una alteración de evento individual (SEU, por sus siglas en inglés).
- Alteración de evento individual (SEU), es el efecto que se visualiza como el cambio del estado lógico almacenado en un elemento de memoria, debido al proceso de ionización de una partícula energética sobre un semiconductor, el cual induce un pulso de corriente en la unión p-n, cuya carga eléctrica excede la carga crítica requerida para cambiar el estado lógico en un elemento de memoria (Figura 2.16).
- Alteración de celdas múltiples (MCU, por sus siglas en inglés) se puede visualizar como múltiples SEUs presentes en mismo circuito, debido a: i) la acumulación de SEUs o ii) como el efecto de una partícula individual que altera más de un elemento de memoria.
- Interrupción funcional de evento individual (SEFI, por sus siglas en inglés), es un SEU que se manifiesta en registros de control de un dispositivo, el causa la pérdida temporal de la funcionalidad del dispositivo.

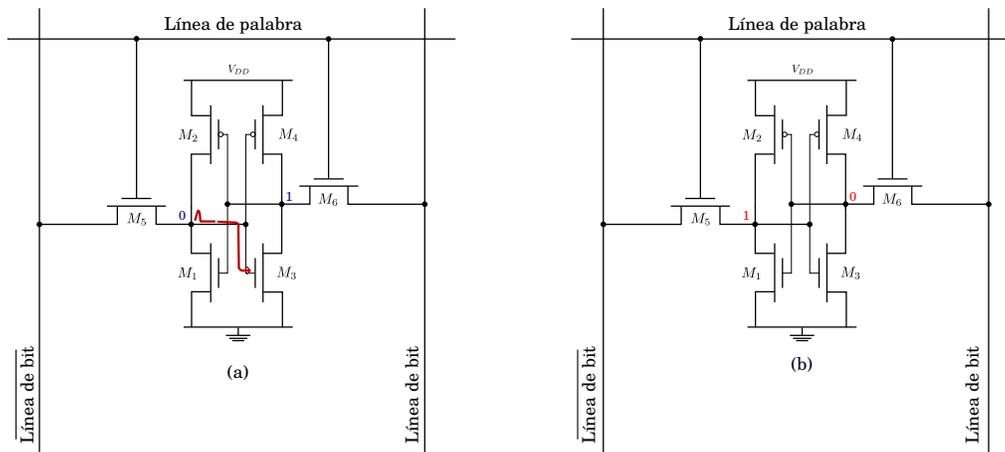


Figura 2.16: SEU a) pulso inducido por la radiación en la celda SRAM y b) cambio del contenido de la celda SRAM.

- **SEE destructivos**

- Latch-up de evento individual (SEL, por sus siglas en inglés), es el efecto que ocurre cuando una partícula de alta energía golpea las estructuras CMOS, provocando un corto circuito en el dispositivo.
- Ruptura de puerta de evento individual (SEGR, por sus siglas en inglés), son efectos destructivos que han sido observados en memorias no volátiles, produciendo que el dispositivo se incendie; este efecto se presenta cuando una partícula pesada que impacta

en el dispositivo perfora el aislante de la puerta de un transistor (Violante et al., 2011) (Kastensmidt, 2006).

2.8.2. Efectos que produce la radiación espacial en FPGAs basados en SRAM

Un FPGA puede experimentar efectos producidos por la radiación espacial del tipo TID y SEE. La dosis total de ionización provoca tres tipos de efectos:

1. Degradación del desempeño, ya que la frecuencia de operación se reduce a medida que aumenta la dosis de ionización absorbida por el dispositivo.
2. Incremento en la energía consumida debido a fugas de corrientes debido a la dosis de ionización absorbida.
3. Pérdida de programabilidad.

Por otro lado, diversos tipos de SEEs pueden presentarse en los elementos que integran un FPGA basado en SRAM. Por lo tanto, para comprender los diferentes tipos de falla que pueden provocar dichos efectos en el FPGA, el FPGA es dividido en dos secciones:

- I. La memoria de configuración
Esta sección controla los recursos lógicos y la interconexión entre dichos recursos y los bloques de entrada y salida (IOB), además contiene la información almacenada en las LUTs, las cuales implementan la lógica de usuario.
- II. La lógica de usuario
Esta sección está comprende los recursos lógicos como tablas de búsqueda (LUTs, por sus siglas en inglés), multiplexores, flip-flops, bloques de RAM, etc., con los cuales se implementan los sistemas digitales.

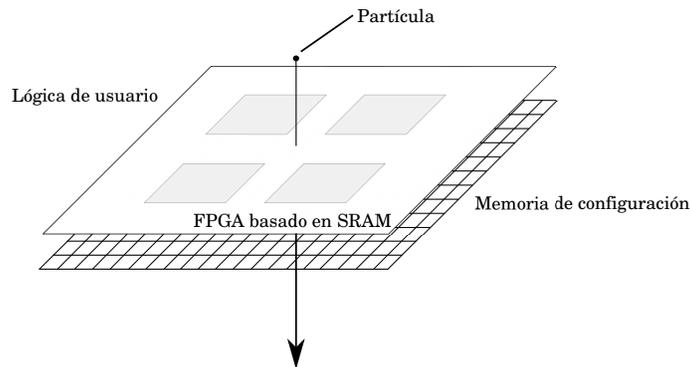


Figura 2.17: FPGA basado en SRAM en dos secciones.

Cuando una partícula impacta al FPGA (Figura 2.17), esta puede afectar a la memoria de configuración y a la lógica de usuario. Los SEUs pueden presentarse en la memoria de configuración, así como en flip-flops, luts y RAM embebida en la lógica de usuario; mientras que SETs pueden manifestarse en los elementos de lógica combinacional como son multiplexores, buffers, etc., los cuales se propagan a través del sistema; sí un SETs es atrapado en un latc o en un elemento de memoria, este se convierte en un SEU.

Los efectos SEEs mencionados anteriormente pueden ser vistos como fallas, aunque una avería es siempre causada por una falla, una falla no necesariamente causa una avería; sin

embargo, alteraciones en los bits almacenados en la memoria de configuración son considerados el mayor riesgo de los FPGAs basados en SRAM, ya que un SEU en este elemento puede provocar errores en la información almacenada en las LUTs de la lógica de usuario, hasta una configuración de hardware errónea (modificación de la arquitectura del circuito implementado), la cual puede originar una avería.

Por otro lado SEFIs han sido experimentados en los FPGAs basados en SRAM, a continuación, se enlistan la clase de SEFI que han sido observado en Virtex 4QV.

- Power-on-reset (POR) SEFI, el cual se manifiesta en el reinicio global de todas las celdas internas de almacenamiento, la cual provoca la pérdida del hardware configurado.
- SelectMAP (SMAP) SEFI, el cual se manifiesta como la pérdida de la capacidad de lectura o escritura en la interfaz de configuración SelectMAP.
- Registro de dirección de trama (FAR) SEFI, el cual se manifiesta como el incremento desmedido del registro de dirección de una trama de datos.
- Señal Global SEFI, el cual se manifiesta en la perturbación de las señales de control global, Global Write Enable y Global Drive High.
- Readback SEFI, el cual se manifiesta en la alteración de datos derivados de la lectura hacia atrás de la memoria de configuración ([Siegle et al., 2015](#)).

2.9. Técnicas de tolerancia a fallas en FPGAs basados en SRAM para aplicaciones espaciales

Las técnicas de tolerancia a fallas en FPGAs basados en SRAM comprenden tres enfoques:

1. Desarrollo de arquitecturas FPGAs resistentes a la radiación por medio de procesos de fabricación a nivel material, este enfoque es el más costoso debido al costo de investigación y fabricación que demanda.
2. Desarrollo de arquitecturas FPGAs tolerantes a la radiación a través del reemplazo de elementos comunes por elementos tolerantes a fallas, este enfoque es menos costoso que el primer enfoque.
3. Implementación de técnicas de tolerancia a fallas por el usuario, este enfoque no requiere el desarrollo y fabricación de un nuevo FPGA; sin embargo, el nivel de confiabilidad que posea el sistema implementado en el dispositivo dependerá completamente del usuario ([Kastensmidt, 2006](#)).

2.9.1. Técnicas de tolerancia a fallas implementadas a nivel aplicación

En la Figura 2.18, se muestran las diversas técnicas de tolerancia a fallas que pueden ser implementadas por el usuario en un FPGA basado en SRAM. Las técnicas para la recuperación de errores críticos toman lugar en la memoria de configuración, ya que errores en dicho elemento puede llevar a una avería; por otra parte, en la lógica de usuario se implementan técnicas basadas en redundancia para el enmascaramiento y recuperación de errores no críticos. En las siguientes secciones se describen dichas técnicas de tolerancia a fallas enfatizando sus características de implementación, sus ventajas y desventajas.

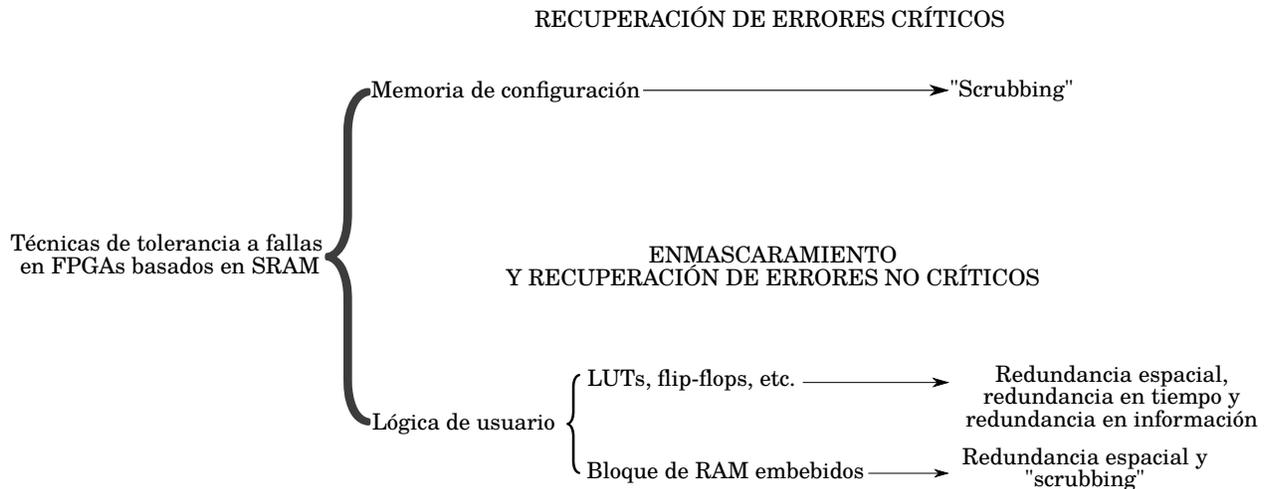


Figura 2.18: Técnicas de tolerancia a fallas para FPGAs basados en SRAM.

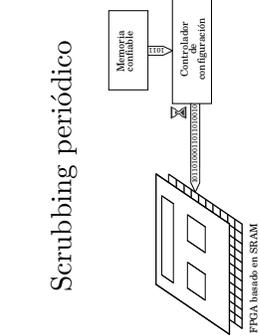
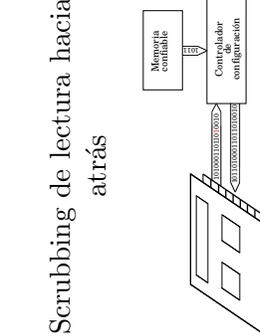
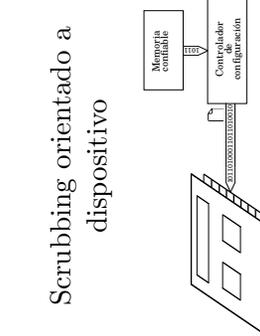
2.9.1.1. Técnicas de recuperación para errores críticos en un FPGA basado en SRAM

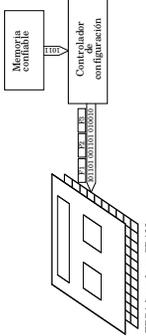
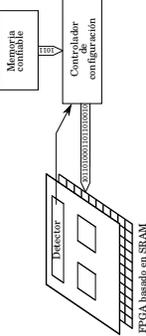
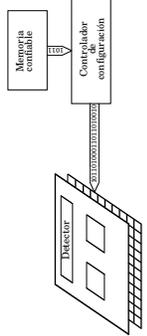
La técnica de “scrubbing” consiste en la escritura de un archivo de configuración sin errores a la memoria de configuración del FPGA, con el objetivo de restablecer a la memoria de reconfiguración de algún SEUs o MBUs (Siegle et al., 2015).

Las técnicas de “scrubbing” de memoria se pueden clasificar de acuerdo a su forma de ejecución o por su arquitectura; a continuación, se presentan algunas técnicas de “scrubbing” empleadas en FPGAs:

- “Scrubbing” ciego.
- “Scrubbing” con lectura hacia atrás.
- “Scrubbing” en archivo.
- “Scrubbing” en trama.
- “Scrubbing” periódico.
- “Scrubbing” bajo demanda.
- “Scrubbing” interno.
- “Scrubbing” externo.

Tabla 2.3: Descripción breve de las técnicas de “scrubbing”, y sus ventajas y desventajas (Siegle et al., 2015)

| Técnica | Descripción | Ventajas | Desventajas |
|--|--|--|--|
| <p>Scrubbing periódico</p>  | <p>Es el proceso de escritura periódica de la memoria de configuración, se le llama “scrubbing” ciego debido a que el enfoque se lleva a cabo sin tener conocimiento previo del estado de salud del sistema. El periodo de escritura es determinado por la tasa de ocurrencia de SEUs. La frecuencia de escritura debe ser mayor a la frecuencia de ocurrencia de SEUs o MBUs para evitar que se acumulen.</p> | <p>La ventaja reside en que esta técnica no requiere de hardware adicional (lógica) que dispare el proceso de escritura.</p> | <p>Uno de los inconvenientes de este enfoque es la potencia consumida por la ejecución periódica del proceso, ya que el “scrubbing” se ejecuta incluso si no ocurre una falla.</p> |
| <p>Scrubbing de lectura hacia atrás</p>  | <p>Esta técnica consiste en leer previamente y de manera periódica el archivo de configuración que reside en la memoria de configuración con el objetivo de buscar errores en dicha memoria, si un error es detectado, el proceso de escritura a memoria es realizado.</p> | <p>Esta técnica evita la escritura innecesaria a memoria, ya que la escritura a memoria se realiza una vez que los errores son detectados.</p> | |
| <p>Scrubbing orientado a dispositivo</p>  | <p>En esta técnica se realiza la escritura a memoria del archivo de configuración completo, es decir, dicho archivo no es segmentado.</p> | | <p>La desventaja de este archivo es que el archivo de configuración puede ser corrompido por un SE-FI durante el proceso de escritura a memoria.</p> |

| | | | |
|---|--|--|---|
| <p>Scrubbing orientado a trama</p>  <p>FPGA basado en SRAM</p> | <p>En esta técnica el archivo de configuración es dividido en tramas antes de ser escrito a memoria; a dichas tramas se les agrega información redundante para la detección y corrección de errores, con el objetivo de aislar los efectos de un SEFI a nivel trama.</p> | <p>Evita la escritura a memoria de un archivo de configuración corrupto debido a SEFIs.</p> | <p>El inconveniente es la implementación del proceso de separación de trama, la incorporación de información redundante, así como la implementación de la lógica de corrección de errores; estos procesos extras podrían disminuir la disponibilidad del sistema.</p> |
| <p>Scrubbing bajo demanda</p>  <p>FPGA basado en SRAM</p> | <p>Esta técnica consiste en disparar el proceso de escritura a memoria mediante un mecanismo de detección de fallas implementado en la lógica de usuario.</p> | <p>Este enfoque minimiza el tiempo en el que un componente permanece sin reparación, ya que este es disparado una vez que la falla es detectada; por lo que este enfoque consume menos potencia que los enfoques de "scrubbing" periódicos, ya que este es ejecutado solo cuando es requerido.</p> | <p>Este enfoque es menos fiable que el "scrubbing" externo, ya que una falla en la lógica de control de "scrubbing" puede ocurrir con la misma probabilidad que una falla en el sistema digital implementado en el FPGA.</p> |
| <p>Scrubbing interno</p>  <p>FPGA basado en SRAM</p> | <p>En esta técnica, la lógica de control del proceso de "scrubbing" está implementado en la lógica de usuario del mismo FPGA.</p> | <p>Este enfoque es de bajo costo, en comparación del enfoque de "scrubbing" externo, ya que el proceso es realizado por el mismo FPGA.</p> | <p>Este enfoque es menos fiable que el "scrubbing" externo, ya que una falla en la lógica de control de "scrubbing" puede ocurrir con la misma probabilidad que una falla en el sistema digital implementado en el FPGA.</p> |
| <p>Scrubbing externo</p>  <p>FPGA basado en SRAM</p> | <p>En esta técnica, el "scrubbing" es realizado a través de una interfaz de configuración externa.</p> | <p>Este enfoque puede ser más robusto que el "scrubbing" interno, ya que la interfaz de configuración puede ser protegida con diversas técnicas de tolerancia a fallas para aumentar su fiabilidad.</p> | <p>Este enfoque es menos fiable que el "scrubbing" externo, ya que una falla en la lógica de control de "scrubbing" puede ocurrir con la misma probabilidad que una falla en el sistema digital implementado en el FPGA.</p> |

2.9.1.2. Técnicas de enmascaramiento para errores no críticos en un FPGA basado en SRAM

Por otro lado, en la lógica de usuario se implementan técnicas basadas en redundancia en hardware, en información y en tiempo con el objetivo de enmascarar fallas o recuperar al sistema de errores no críticos, como son errores en información.

El esquema más común de la redundancia espacial es la Redundancia Modular Triple (TMR, por sus siglas en inglés) (Figura 2.19), en la cual la misma tarea es ejecutada por tres módulos y las salidas de estos pasan por un dictaminador de mayoría, el cual a su vez entrega como selecciona el valor idéntico de al menos dos módulos (mayoría); por lo que este esquema tolera una falla, la cual se considera como “enmascarada” ya que el sistema no tiene forma de ver su ocurrencia pero permite evitar que se propague a través del sistema. El esquema de redundancia modular puede ser implementado a nivel sistema o a nivel componente (Figura 2.20), pero entre más bajo sea el nivel de aplicación más baja será la probabilidad de fallo.

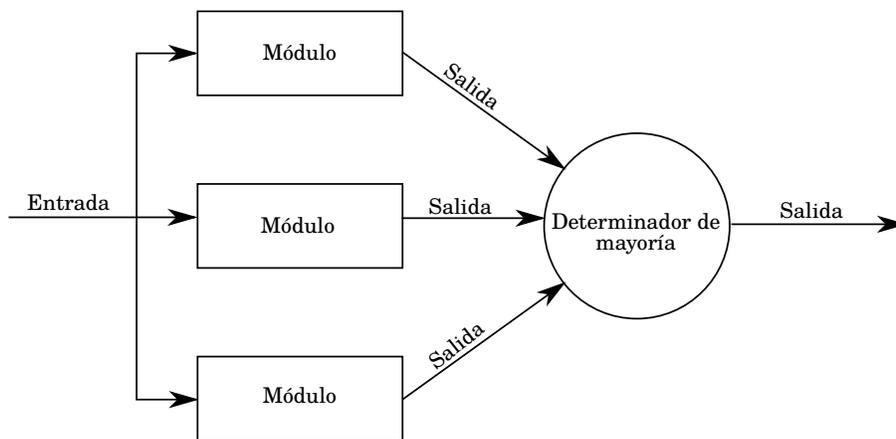


Figura 2.19: Redundancia modular tripe.

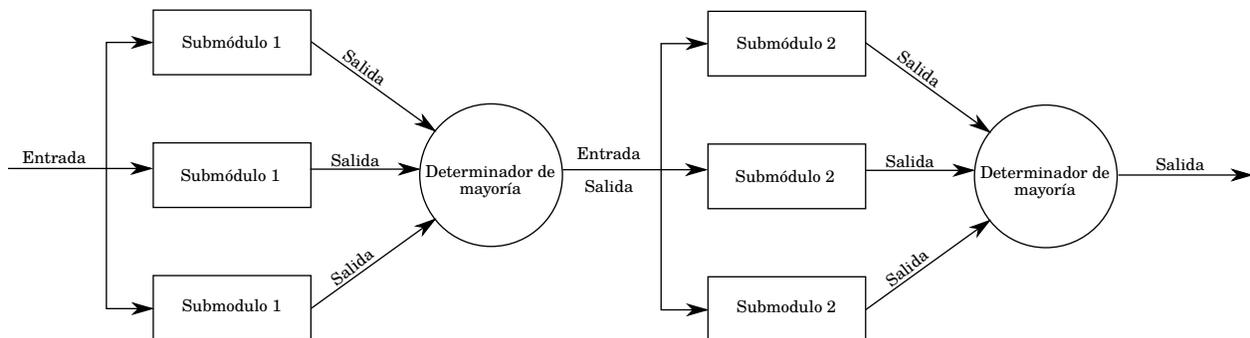


Figura 2.20: Redundancia modular tripe con dos particiones.

En un esquema de redundancia espacial, el determinador de mayoría debe ser el elemento de mayor fiabilidad; sin embargo, si se desea implementar un esquema de redundancia espacial en la lógica de usuario del FPGA, el determinador de mayoría poseerá la misma fiabilidad que los otros elementos, por lo que este también debe ser replicado (Figura 2.21).

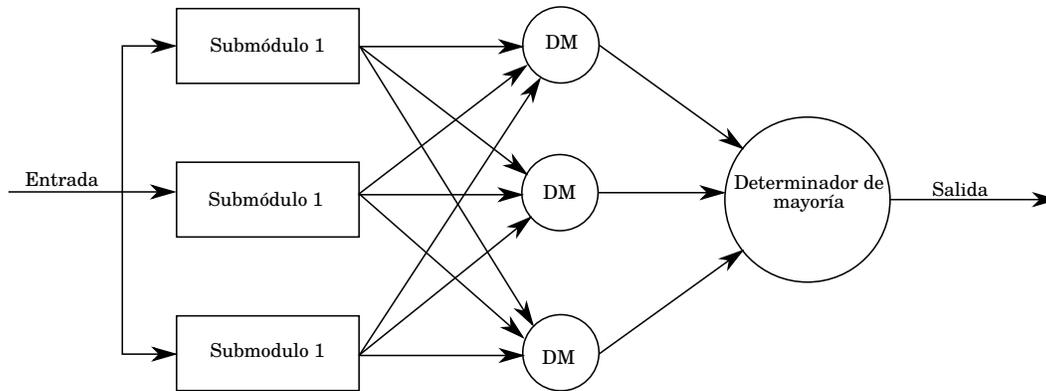


Figura 2.21: Redundancia modular triple con determinador de mayoría triplicado.

Por otra parte, el esquema de redundancia espacial puede ser aplicada en el lazo de retroalimentación de una máquina de estados para evitar que esta vaya a un estado no definido y del cual no pueda regresar a un estado definido debido a la ocurrencia de un SEU en algún flip-flop que integra la máquina; esta técnica es conocida como la redundancia modular triple de Xilinx (XTMR), la cual también sincroniza los flip-flops de manera automática después de repararlos.

Comúnmente, las técnicas de redundancia espacial en la lógica de usuario de un FPGA basado en SRAM son aplicadas al netlist de un circuito, mediante herramientas de inserción automática, como, por ejemplo:

- TMRTool de Xilinx
- Precision Hi-Rel de Mentor Graphics
- Synplify Premier de Synopsys
- BYU EDIF tool suite developed de Brigham Young University (software libre)

Para disminuir la sobrecarga de recursos en la redundancia espacial, la TMR parcial fue propuesta, en la cual, la idea básica es aplicar TMR solo en los caminos de retroalimentación, y opcionalmente a sus entradas para evitar errores persistentes en la lógica del estado dependiente, es decir, solo fallas de naturaleza transitoria pueden ocurrir (fallas ocurridas en la lógica combinacional).

Para mantener un desempeño adecuado, especialmente si el circuito está particionado en muchos componentes, se propuso la técnica de duplicación con comparación (DWC, por sus siglas en inglés), la cual consiste en duplicar el circuito y comparar su salida para detectar discrepancias, por lo que este esquema solo es capaz de detectar fallas en lugar de enmascararlas. La técnica de DWC puede ser empleado como mecanismo de detección de fallas, el cual dispara un proceso de “scrubbing” bajo demanda. La efectividad de detección de fallas de ésta técnica es aproximadamente del 99.85

Por último, otra alternativa propuesta para disminuir la sobrecarga de recursos y mantener el desempeño del sistema es la llamada redundancia de precisión reducida (RPR, por sus siglas en inglés), esta técnica es aplicada en sistemas digitales que requieran procesamiento de alta precisión.

El esquema de RPR consiste en poseer una redundancia triple, sin embargo, un módulo será de alta precisión (MAP), mientras que los otros dos módulos poseerán una precisión menor (M1BP y M2BP) al MAP (Figura 2.22). La salida de los tres módulos pasarán a través de un bloque de decisión, cuya regla de decisión se ilustra en el diagrama de flujo de la Figura 2.23; si la diferencia absoluta entre la salida de MAP y la salida de M1BR es mayor a un umbral (T_h) y las salidas de

M1BP y M2BP son iguales, la salida del bloque de decisión será la salida M1BP, caso contrario, la salida del bloque de decisión será la salida del MAP.

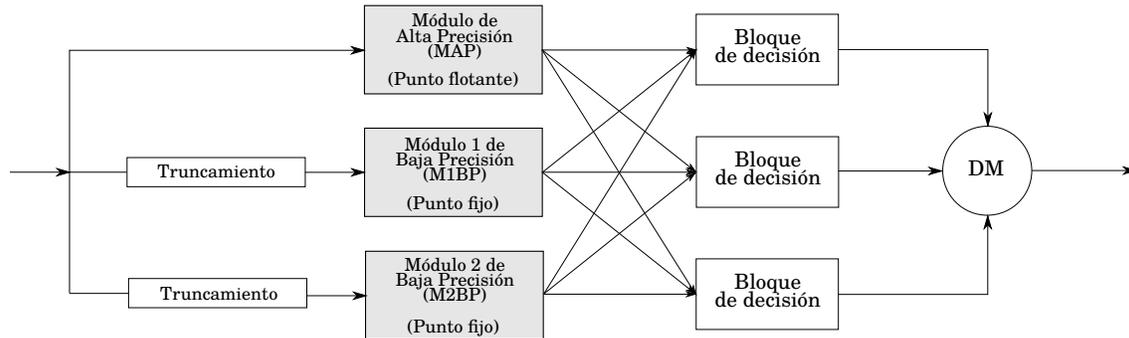


Figura 2.22: Redundancia modular triple de precisión reducida.

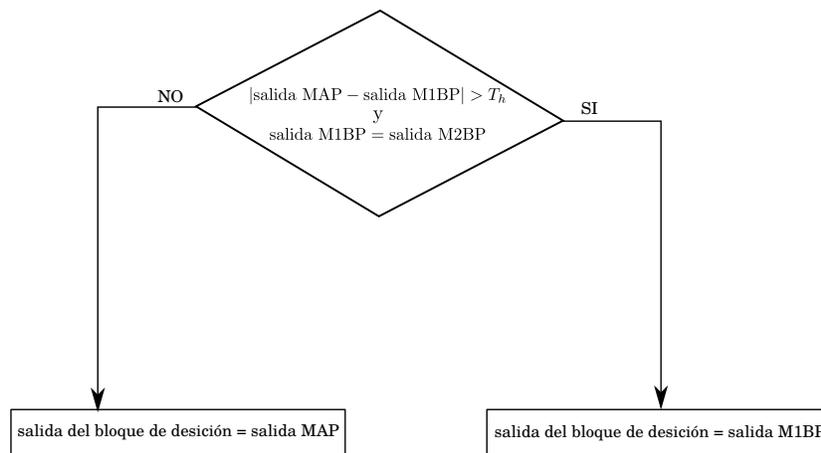


Figura 2.23: Diagrama de flujo que describe la lógica del bloque de decisión del RPR.

2.9.1.3. Técnicas de recuperación para errores no críticos en un FPGA basado en SRAM

Los errores no críticos son aquellos que no llevan a una avería, sin embargo, esta clase de errores puede poner en riesgo la integridad de la información generada o recolectada por algún instrumento y la cual es almacenada en elementos de memoria dentro del FPGA, por lo que las técnicas más comunes para tolerar esta clase de errores son los códigos de detección y corrección de errores (EDACs, por sus siglas en inglés), entre los que destacan los códigos de Hamming o Reed-Solomon.

Capítulo 3

Diseño del sistema de Comando, Manejo de Información y Telecomunicaciones (SCMIyT)

En este capítulo se describe el diseño del SCMIyT, el cual está se orientado para trabajar en el ambiente espacial. El diseño inicia con los requerimientos que debe satisfacer el sistema, y posteriormente se definen los parámetros orbitales, los parámetros de transmisión a bordo y los parámetros de recepción en Tierra, con el fin de estimar las condiciones de operación en órbita, así como el desempeño del enlace de comunicación satélite – Tierra; tanto los requerimientos como las estimaciones determinan el diseño de la arquitectura de hardware del SCMIyT. Es pertinente mencionar que el estado del arte y el marco teórico presentado en los capítulos anteriores fueron fundamentales para el diseño del SCMIyT, en particular sobre el diseño de los sistemas que albergará el FPGA basado en SRAM.

La metodología que se siguió para el diseño del SCMIyT es la siguiente:

1. Definición de los requerimientos.
2. Definición de los parámetros de diseño.
3. Estimación de las condiciones de operación en órbita.
4. Determinación de las capacidades de transmisión y almacenamiento de a bordo en relación con las condiciones de operación en órbita.
4. Propuesta de la arquitectura de hardware.

3.1. Requerimientos

Como requerimientos, el SCMIyT debe realizar las siguientes tareas:

- a) Operar en un microsatélite con una órbita solar síncrona de 500 km de altura.
- b) Interacción con la computadora principal de a bordo de la plataforma espacial a través del protocolo de comunicación serial SPI.
- c) Control y adquisición de imagen de 5 Mpx de una cámara de percepción remota.
- d) Almacenamiento de imágenes de alta definición (5 Mpx x 12 bits) en memoria.
- e) Transmisión de imagen a una estación en Tierra en la banda de frecuencia de 2 a 4 GHz (banda S), empleando la modulación QPSK y potencia isotrópica radiada equivalente (PIRE) de 2 Watts.
 - i La tasa de bit en error que debe satisfacer el sistema de transmisión digital es de 10^{-3} , la cual es fijada por el usuario de las imágenes de percepción remota.

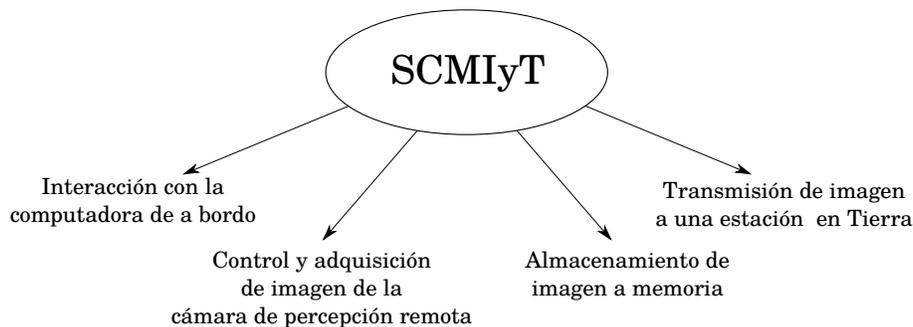


Figura 3.1: Tareas que debe realizar el SCMIyT.

3.2. Parámetros de diseño

A continuación, se definen los parámetros de diseño; en primer lugar se definen los parámetros orbitales con los cuales se estiman las condiciones de operación en órbita del sistema, como la temperatura, la dosis total de ionización (TID) y la energía lineal transferida (LET) que experimentará el sistema en el espacio. Así mismo, se definen los parámetros de la Estación en Tierra (ET) (locación), con el objetivo de determinar el tiempo en el que el satélite estará en línea de vista con la esta para realizar la transmisión de imágenes. Por último se definen los parámetros de transmisión del SCMIyT y los parámetros de recepción en la ET, con la finalidad de estimar el desempeño del enlace de transmisión en términos de la relación señal a ruido (E_b/N_0) y la tasa de bit en error (BER).

3.2.1. Parámetros orbitales

Como parámetros orbitales, se debe considerar que el SCMIyT estará a bordo de una plataforma espacial que operará en una órbita solar síncrona a 500 km de altitud.

3.2.2. Parámetros de la estación en Tierra (ET)

Se considera que existe una estación en Tierra localizada en el Edificio “P” de la facultad de ingeniería de la UNAM, latitud: 19°19’44.1”norte y longitud: 99°10’56.6”oeste.

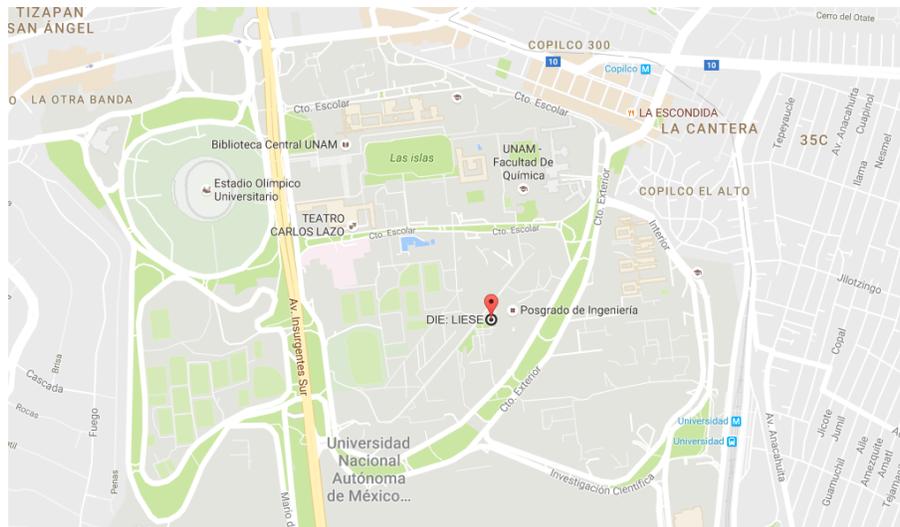


Figura 3.2: Ubicación de la estación en Tierra en un mapa de ciudad universitaria.

3.2.3. Parámetros del enlace de comunicación satélite - ET

3.2.3.1. Parámetros de transmisión a bordo del satélite

- Una frecuencia de portadora de 2.2 GHz ¹
- Ancho de banda de 6 MHz ¹
- PIRE de 2 [W] o 3.0103 dBW
- Modulación QPSK
- Tasa de transmisión (R): 12 Mbps ²

3.2.3.2. Parámetros de recepción en la estación en Tierra

- Frecuencia de recepción: 2.2 GHz
- Figura de mérito (G/T): 12 dB/K ³
- Modulación QPSK

¹De acuerdo al apartado de atribuciones de frecuencia y ancho de banda del estándar ECSS-E-

²De acuerdo a la eficiencia del ancho de banda de la modulación QPSK: $R/W = 2$; donde R es la tasa de transmisión en bits por segundo y W es el ancho de banda.

³Valor de G/T propuesto de acuerdo a una estación en Tierra con una antena parabólica de 3.7 metros de diámetro.

3.3. Estimación de las condiciones de operación en órbita

Las condiciones de operación en órbita del SCMIyT, las cuales involucran la cantidad de radiación y la temperatura a la que estará expuesto el sistema durante su periodo de operación fueron estimadas con el sistema de información de ambiente espacial (SPENVIS, por sus siglas en inglés) de la Agencia Espacial Europea (ESA, por sus siglas en inglés) y por el conjunto de herramientas de sistemas (STK, por sus siglas en inglés) de Analytical Graphics, Inc., Para dichas estimaciones, se consideró un periodo de operación de un año, del 1ro de enero del 2017 al 31 de diciembre del 2017.

De la simulación realizada en SPENVIS se estimó que el satélite poseerá un periodo orbital de 96 minutos o 1.6 horas aproximadamente (Figura 3.3).

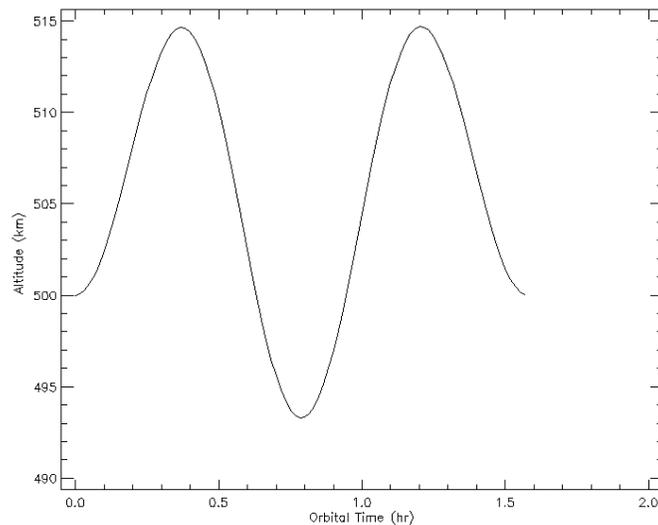


Figura 3.3: Periodo orbital del satélite operando en una órbita solar síncrona a 500 km.

Una vez que en SPENVIS se tiene la simulación de la órbita del satélite, se estimó la dosis total de ionización (TID) y el flujo de partículas con su valor de transferencia lineal de energía (LET) que experimentará el satélite en dicha órbita.

La estimación de TID es de suma importancia para determinar si un dispositivo sufrirá un efecto de degradación de desempeño, y si es este el caso, tomar medidas para disminuir dicho efecto, como por ejemplo, el empleo del uso de algún material como blindaje, que por lo general es aluminio, el cual se utiliza ampliamente en estructuras de satélites. En la Figura 3.4 se muestran las curvas de profundidad de dosis total de ionización, las cuales son el resultado de la simulación realizada en SPENVIS, las cuales indican el nivel TID que será absorbido por el silicio después de un año en órbita; así mismo, mediante estas curvas se puede determinar el grosor de blindaje necesario para garantizar el nivel adecuado de TID que permitirá a un dispositivo electrónico operar correctamente en órbita.

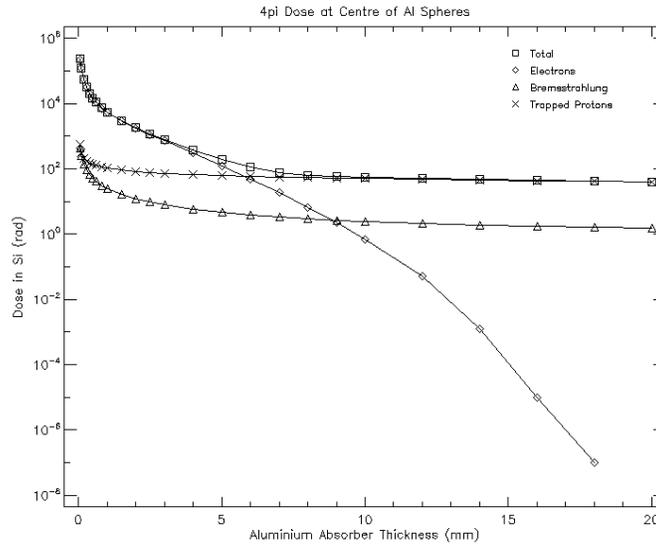


Figura 3.4: Gráfica de dosis total de ionización (TID) versus el espesor de aluminio en mm.

Por otra parte, la estimación de la transferencia lineal de energía en el material es de interés, ya que dado un umbral LET del dispositivo electrónico que se encuentre a bordo del satélite podemos determinar la ocurrencia de SEEs. En la Figura 3.5 podemos observar el nivel de flujo de partículas cargadas y su correspondiente valor LET, a partir de esta información se puede determinar el la tasa de ocurrencia de eventos SEE.

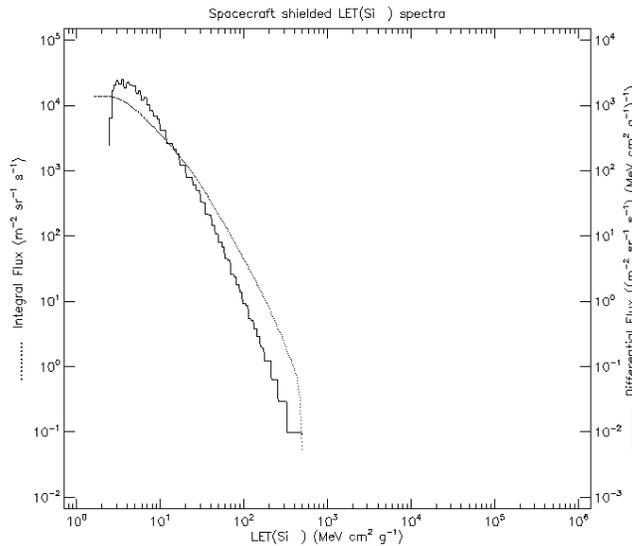


Figura 3.5: Transferencia lineal de energía (LET) versus el flujo de partículas.

3.4. Determinación de los eventos de línea de vista entre el satélite y la estación en Tierra

A través de STK se estimó la cantidad de eventos en donde el satélite se encontrará en línea de vista con la estación en Tierra, y en los cuales se puede llevar a cabo la transferencia de información, así como el tiempo de duración de dichos eventos en el periodo de tiempo comprendido entre el 1^{ro} de enero del 2017 al 31 de diciembre del 2017.

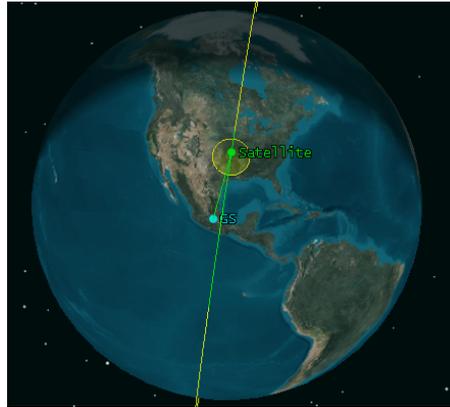


Figura 3.6: Descripción gráfica del evento de línea de vista entre el satélite y la estación en Tierra.

Considerando los parámetros de la estación en Tierra y la altitud en la que se encuentra el satélite, el software de simulación estimó que durante el año se tendrán 1471 eventos de línea de vista (4 eventos al día).

Por otra parte, el tiempo promedio de la duración de todos los eventos de línea de vista estimado es de 541.573 segundos ó 9.03 minutos; sin embargo, en el histograma mostrado en la Figura 3.7 se observa que el 43 % de los eventos tienen un tiempo de duración entre los 622 segundos a los 687 segundos; también, se registró un tiempo de duración mínimo de 36.084 segundos, el cual corresponde al evento del 2 de febrero del 2017 a las 07:59:45.473 horas (Figura 3.8), mientras que el máximo tiempo que se registró es de 687.225 segundos, el cual corresponde a la visita del 6 de abril del 2017 a las 18:40:42.390 horas (Figura 3.9).

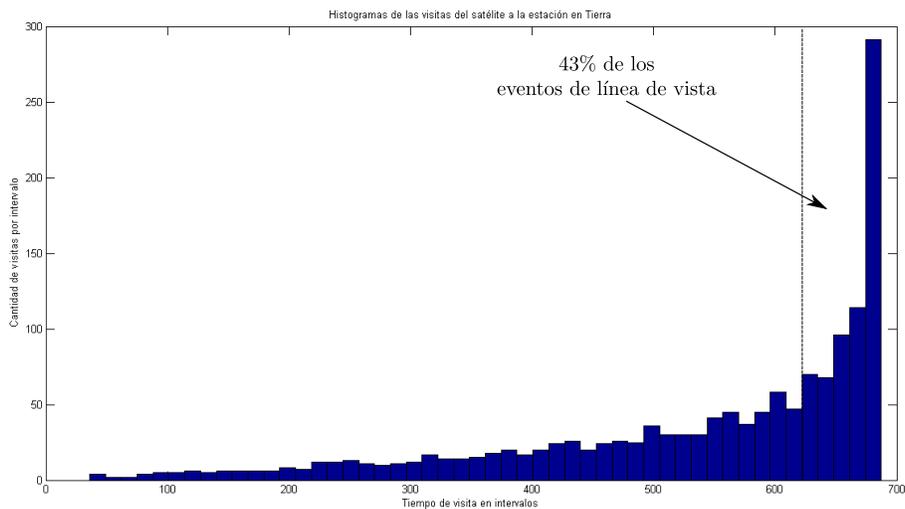


Figura 3.7: Histograma de las visitas del satélite a la estación en Tierra.

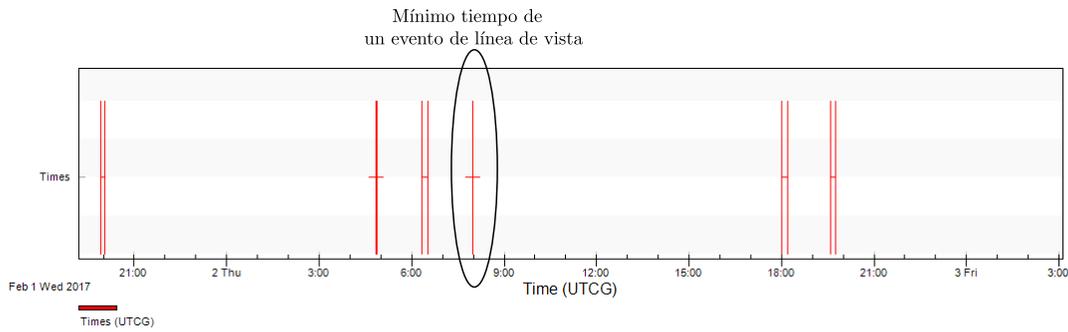


Figura 3.8: Representación gráfica de los eventos de línea de vista que se llevarán a cabo el día 2 de febrero del 2017 entre los cuales se encuentra el evento de menor duración.

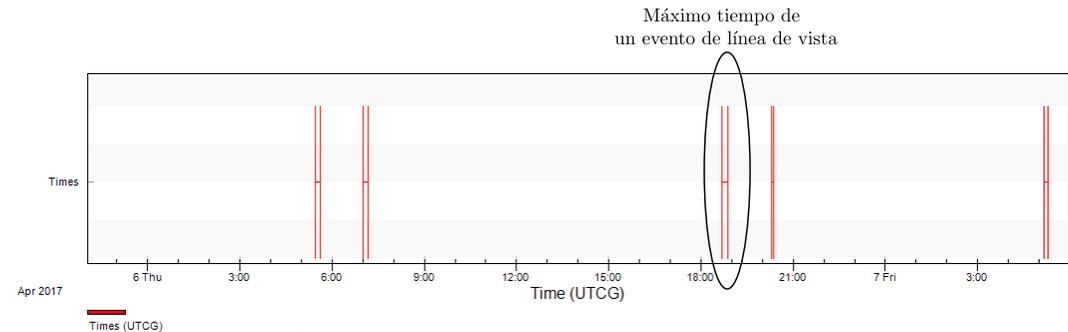


Figura 3.9: Representación gráfica de los eventos de línea de vista que se llevarán a cabo el día 6 de abril del 2017 entre los cuales se encuentra el evento de mayor duración.

3.5. Determinación de la capacidad de almacenamiento a bordo

Para la determinación de la capacidad de almacenamiento a bordo del SCMIyT se consideró lo siguiente:

- Que la transmisión de información se realiza durante todo el periodo en el cual el satélite se encuentra en línea de vista con la estación en Tierra.
- Que la mínima cantidad de información que debe almacenar el SCMIyT debe ser al menos la cantidad de información que puede transmitir durante 680.5 segundos, el cual corresponde al tiempo promedio del máximo intervalo de un evento de línea de vista.

Por lo tanto, la capacidad de transmisión (CT) es determinada por:

$$CT[\text{bits}] = R[\text{bits/s}] \times \text{tiempo promedio de los eventos de línea de vista} \quad (3.1)$$

Donde R es la tasa de transmisión es 12 Mbps.

$$\therefore CT[\text{bits}] = 12[\text{bits/s}] \times 680.5[\text{s}] = 8.166 \times 10^9[\text{bits}]$$

Por lo que, el SCMIyT debe tener la capacidad de almacenar al menos 8.166×10^9 [bits] ó 1.021×10^9 [bytes]⁴ ó 136 imágenes de percepción remota⁵.

⁴1 byte = 8 bits

⁵1 imagen de percepción remota = 2592×1944 pixeles (12 bits por pixel) = 60.47 Mbits

3.6. Estimación del desempeño del enlace de comunicación

La estimación del desempeño del enlace de comunicación satélite – estación en Tierra en términos de la tasa de error de bit (BER) en el receptor de la estación en Tierra, se realizó por medio de STK a partir de los parámetros de transmisión y recepción previamente definidos.

El software de simulación estima la *BER* a través de la relación señal a ruido (E_b/N_0). Para el caso en donde se emplea la modulación QPSK, la tasa de error de bit está definida en términos de la función *Q* o función de error complementaria como:

$$BER = Q \left(\sqrt{2} \cdot \frac{E_b}{N_0} \right) \quad (3.2)$$

Donde la función *Q* puede ser expresada matemáticamente como:

$$Q = \frac{1}{\sqrt{\pi}} \int_x^\infty \exp \left(-\frac{u^2}{2} \right) du \quad (3.3)$$

La relación señal a ruido (E_b/N_0) es calculada por STK a través de la siguiente expresión:

$$\frac{E_b}{N_0} [\text{dB}] = \frac{C}{N_0} [\text{dB} \cdot \text{Hz}] - R_b [\text{dB} - \text{bits/s}] \quad (3.4)$$

Dónde C/N_0 es la relación de densidad portadora a ruido y R_b es la tasa de transmisión en bits por segundo representada en decibeles.

La relación de densidad portadora a ruido C/N_0 es computada por el software de simulación considerando la siguiente relación:

$$\frac{C}{N_0} [\text{dB} \cdot \text{Hz}] = EIRP [\text{dBW}] + L_{prop} [\text{dB}] + G/T [\text{dB/K}] + k [\text{dB}] \quad (3.5)$$

Donde:

- EIRP es la potencia isotrópica radiada equivalente y L_{prop} son las pérdidas totales de propagación entre el transmisor y el receptor.
- L_{prop} son las pérdidas totales de propagación. STK considera como pérdidas totales de propagación a la suma de las pérdidas por espacio libre y a las pérdidas por absorción atmosférica.
 - Las pérdidas por espacio libre (L_{FS}) son determinadas por la siguiente expresión matemática:

$$L_{FS} = \left(\frac{c}{4\pi \cdot F \cdot r} \right)^2 \quad (3.6)$$

$$L_{FS} [\text{dB}] = 20 \log \left(\frac{c}{4\pi \cdot F \cdot r} \right) \quad (3.7)$$

Donde c es la velocidad de la luz ⁶, F es la frecuencia de salida del transmisor y r es la distancia entre el transmisor y el receptor.

- Las pérdidas por absorción atmosférica son determinadas por STK mediante los siguientes modelos:

· ITU-R P.676-5

⁶El valor empleado por STK es 2.99792458e08 [m/s]

- TIREM 3.31
- Simple Satcom

- G/T es la relación ganancia de la antena de recepción (G) con respecto a la temperatura total del sistema T , también llamada “figura de mérito” del receptor.
- k es la constante de Boltzmann (-228.6 [dB])

Por lo tanto, los valores estimados de C/N_0 , E_b/N_0 y BER son presentados en la Tabla 3.1, los cuales corresponden a un evento promedio en que el satélite se encuentra en línea de vista con la estación en Tierra.

Tabla 3.1: Estimación de la relación señal a ruido (E_b/N_0) y tasa de bit en error (BER) a lo largo del enlace empleando la modulación QPSK.

| Muestra/minuto | C/N_0 [dB·Hz] | E_b/N_0 [dB] | BER |
|----------------|-----------------|----------------|-----------------------|
| 0 | 76.04 | 5.25 | 4.85×10^{-3} |
| 1 | 77.14 | 6.35 | 1.66×10^{-3} |
| 2 | 78.23 | 7.44 | 4.33×10^{-4} |
| 3 | 79.17 | 8.38 | 1.04×10^{-4} |
| 4 | 79.75 | 8.95 | 3.67×10^{-5} |
| 5 | 79.78 | 8.95 | 3.42×10^{-5} |
| 6 | 79.26 | 8.47 | 8.86×10^{-5} |
| 7 | 78.35 | 7.56 | 3.65×10^{-4} |
| 8 | 77.27 | 6.48 | 1.44×10^{-3} |
| 9 | 76.14 | 5.35 | 4.41×10^{-3} |

De la Tabla 3.1 se observa que los valores de C/N_0 , E_b/N_0 y BER que corresponde al mejor desempeño durante el enlace de comunicación son: 79.78 dB, 8.99 dB y 3.42×10^{-5} respectivamente; mientras que los valores de C/N_0 , E_b/N_0 y BER que corresponde al peor desempeño son: 76.04 dB, 5.25 dB y 4.85×10^{-3} . Por lo tanto, se concluye que, para este escenario, no es necesaria la inclusión de un codificador de fuente, debido a que la BER del peor caso es mayor a la BER requerida.

En la Figura 3.10 se muestra la gráfica del desempeño del enlace de comunicación satélite – estación en Tierra, en la cual se observa que el mejor desempeño se da cuando el satélite se encuentra más cerca de la estación en Tierra, es decir, a la mitad del tiempo de sesión de enlace; por otra parte, el peor desempeño se presenta cuando el satélite inicia su aparición o antes de desaparecer de la línea de vista de la estación en Tierra. En la Figura 3.11 se muestra la gráfica de la relación señal a ruido (E_b/N_0), mientras que la Figura 3.12 muestra la BER , ambas por cada minuto que dura la visita.

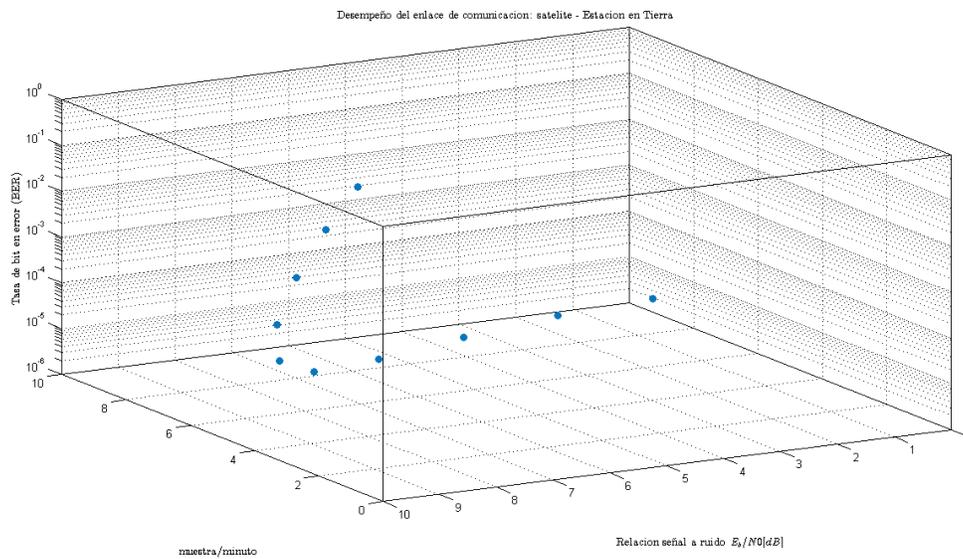


Figura 3.10: Desempeño del enlace de comunicación satélite – estación en Tierra.

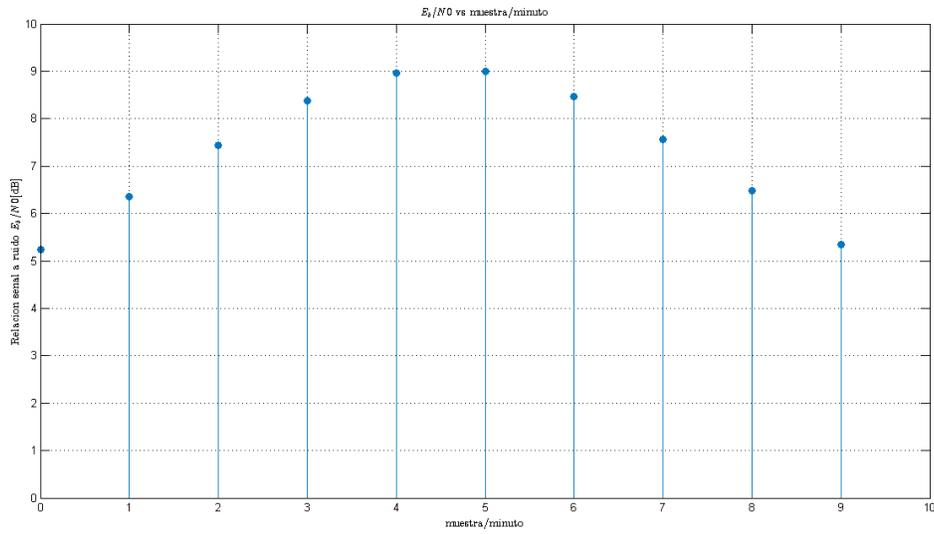


Figura 3.11: Gráfica de la relación señal a ruido (E_b/N_0) por cada minuto del enlace.

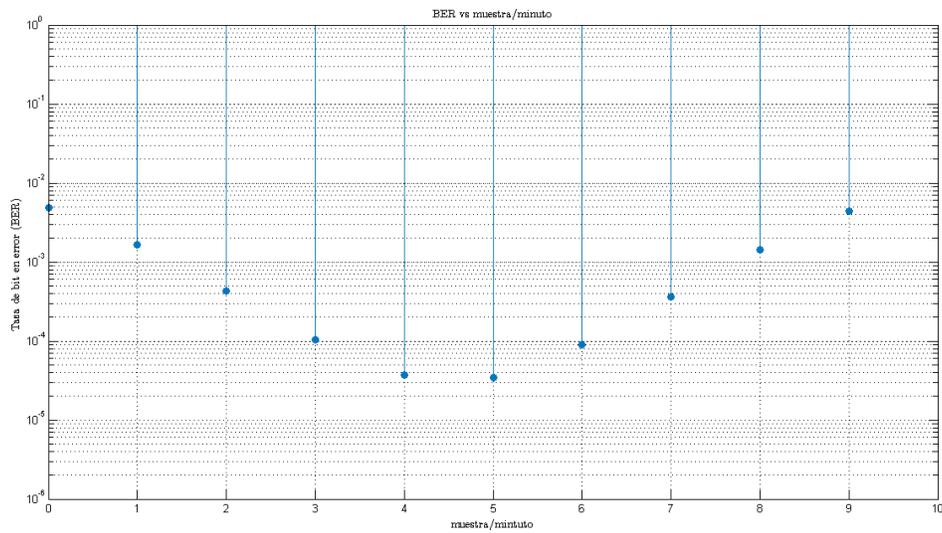


Figura 3.12: Gráfica de la BER por cada minuto del enlace.

3.7. Definición de la arquitectura de hardware del SCMIyT

La definición del hardware del SCMIyT, inicia con la definición de las interfaces de entradas y salidas del sistema, las cuales son establecidas por los sistemas con los que debe interactuar. El SCMIyT interactuará con tres sistemas:

1. La cámara de percepción remota (LI-5M03 de Leopard Imaging)



Figura 3.13: Cámara de fotos LI-5M03 de Leopard Imaging empleada como cámara de percepción remota.

La cámara está constituida por el sensor de imagen MT9P031 de Aptina de tecnología CMOS de 5 Megapíxeles, en el apéndice A se presenta una descripción general de dicho sensor.

En la Figura 3.14 se muestran las terminales de entrada y salida de la cámara de percepción remota, las cuales se describen en la Tabla 3.2.

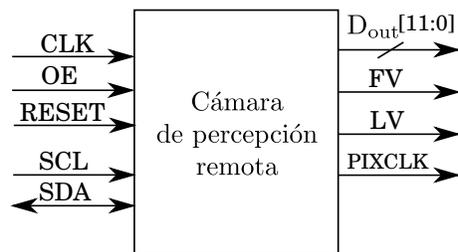


Figura 3.14: Terminales de entrada y salida de la cámara de percepción remota.

Tabla 3.2: Descripción de las interfaces de entrada y salida de la cámara de percepción remota.

| Nombre de la terminal | Dirección | Descripción |
|-------------------------|------------------|--|
| EXTCLK | Entrada | Es la terminal de la señal externa de reloj. |
| SCL | Entrada | Es la terminal de la señal de reloj del protocolo de comunicación serial I2C para configuración del sensor de imagen. De acuerdo a la hoja técnica, un resistor de <i>pull-up</i> de 1.5 k Ω debe ser conectada entre esta interfaz y una fuente de voltaje de 3.3V; por otra parte, la frecuencia máxima de la señal de reloj es de 400 MHz. |
| OE | Entrada | Es la terminal de una señal de control con la cual, las interfaces de las señales PIXCLK, D _{out} , FV y LV toman un estado de alta impedancia cuando dicha señal está en nivel alto, caso contrario, las interfaces mencionadas operan de forma normal. |
| SDA | Entrada y salida | Es la terminal de la señal de datos del protocolo de comunicación serial I2C para configuración del sensor de imagen. De acuerdo a la hoja técnica, un resistor de <i>pull-up</i> de 1.5 k Ω debe ser conectada entre esta interfaz y una fuente de voltaje de 3.3V. |
| PIXCLK | Salida | Es la terminal de la señal de reloj que controla la captura de pixeles. Por lo tanto, las señales D _{out} , FV y LV deben ser capturadas en el flanco de bajada de esta señal. |
| D _{out} [11:0] | Salida | Es la terminal por donde el sensor despliega los pixeles de imagen. La profundidad de pixel es de 12 bits. |
| FRAME.VALID | Salida | Es la terminal de la señal de control de adquisición de una imagen. |
| LINE.VALID | Salida | Es la terminal de la señal de control de adquisición de las filas que conforman una imagen. |

2. La computadora de a bordo

El SCMIyT interactúa con la computadora a bordo del satélite a través del protocolo de comunicación serial SPI, con el propósito de recibir órdenes de esta como, por ejemplo, el encendido, apagado, tomar foto, etc., y/o compartir información de telemetría y de carga útil, en el apéndice B se presentan los comandos y respuesta que puede recibir y enviar el SCMIyT a la computadora de a bordo respectivamente.

La computadora de a bordo es el dispositivo maestro en el protocolo SPI, mientras que el SCMIyT es un dispositivo esclavo.

En la Figura 3.15 se ilustran las terminales de salida y entrada de la computadora de a bordo, las cuales se describen en la Tabla 3.3.

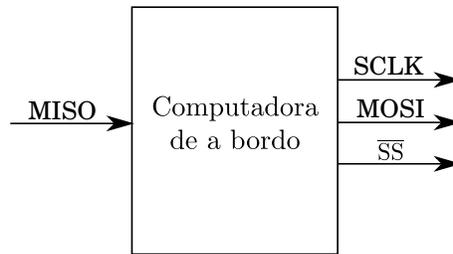


Figura 3.15: Terminales de entrada y salida de la computadora de a bordo.

Tabla 3.3: Descripción de las terminales de entrada y salida de la cámara de percepción remota.

| Nombre de la terminal | Dirección | Descripción |
|-----------------------|-----------|--|
| MOSI | Entrada | Es la terminal de una señal de datos, los cuales fluyen desde la computadora a bordo hacia el SCMIyT. |
| SCLK | Salida | Es la terminal de la señal de reloj ⁷ del protocolo de comunicación serial SPI. |
| MISO | Salida | Es la terminal de una señal de datos, los cuales fluyen desde el SCMIyT hacia la computadora de a bordo. |
| \overline{SS} | Salida | Es la terminal de la señal que habilita la comunicación de la computadora de a bordo con el SCMIyT. |

3. La estación en Tierra

La estación en Tierra recibirá la imagen de percepción remota por parte del SCMIyT por medio de una señal modulada en fase (QPSK).

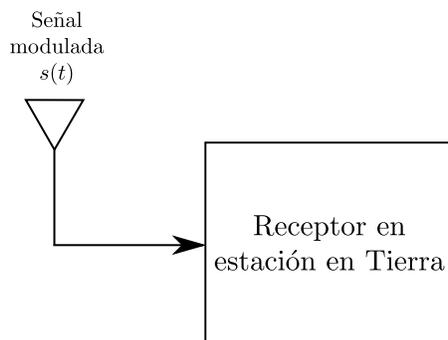


Figura 3.16: Interfaces de entrada y salida de la estación en Tierra.

⁷La señal de reloj es distribuida por la computadora de a bordo a sus dispositivos esclavos

Por lo tanto, las terminales de entrada y salida del SCMIyT se ilustran en la Figura 3.17.

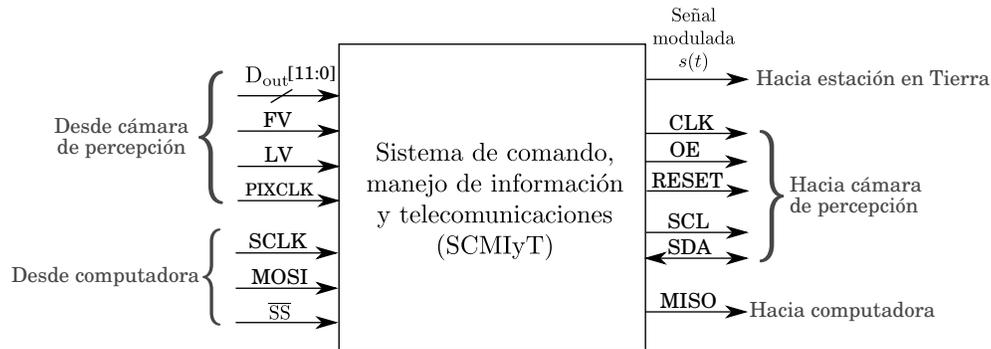


Figura 3.17: Terminales de entrada y salida del SCMIyT.

3.8. Diseño de la arquitectura de hardware del SCMIyT

El diseño de la arquitectura de hardware del SCMIyT se realizó aplicando la metodología *top-down*, el cual inició con la definición de las terminales de entrada y salida (primer nivel de abstracción) (Figura 3.17). Posteriormente, se definió un segundo nivel de abstracción (Figura 3.18), en el cual se observa que el SCMIyT está compuesto por un sistema de comando y manejo de información (SCMI), un sistema de transmisión digital y por memoria.

El SCMI es el encargado de las tareas de recepción y ejecución de comandos provenientes de la computadora de a bordo, del control de la cámara de percepción remota, así como la adquisición de imagen, el almacenamiento de imágenes a la memoria y el control de la transmisión de datos a Tierra, mientras que el sistema de transmisión digital será el encargado del envío de los datos de imagen a la estación en Tierra.

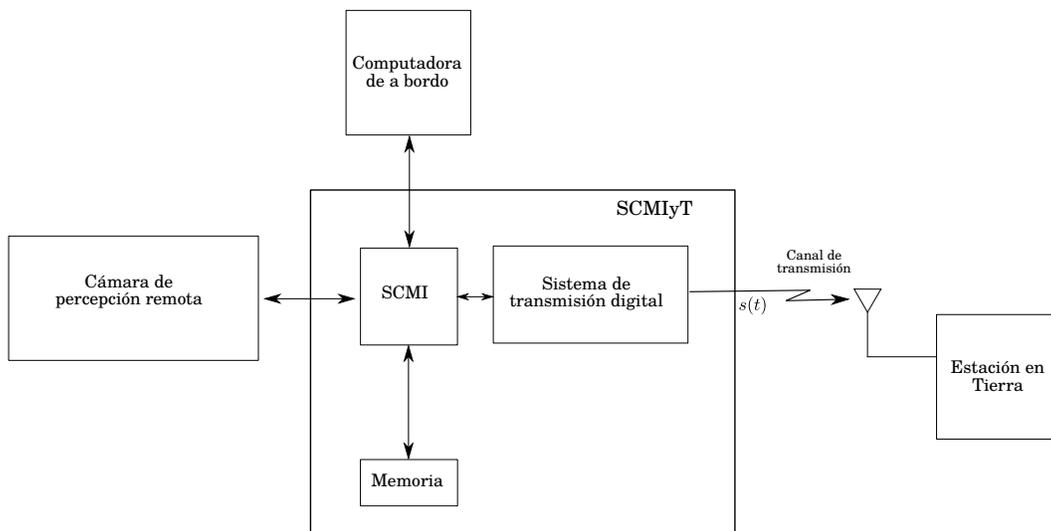


Figura 3.18: Segundo nivel de abstracción del SCMIyT.

Un tercer nivel de abstracción del SCMIyT se presenta en la Figura 3.19, en el cual el sistema de transmisión digital es descubierto, dicho sistema está compuesto por una sección de procesamiento digital de señal (PDS), una sección de conversión analógica-digital, un Front-End de RF y la antena. Con lo anterior, se observa que el SCMI y la sección de PDS son sistemas digitales, los cuales pueden ser implementados en el FPGA basado en SRAM.

En la sección de procesamiento digital de señal (PDS) se llevará a cabo el proceso de modulación en frecuencia intermedia. En la sección de conversión analógica-digital, la señal modulada en frecuencia intermedia será representada de un formato digital a un formato analógico, la cual será pasada al front-end de RF, el cual acondicionará la señal eléctrica por medio de procesos como filtrado, amplificación, y otros procesos que requiera la señal para su transmisión a través de la antena.

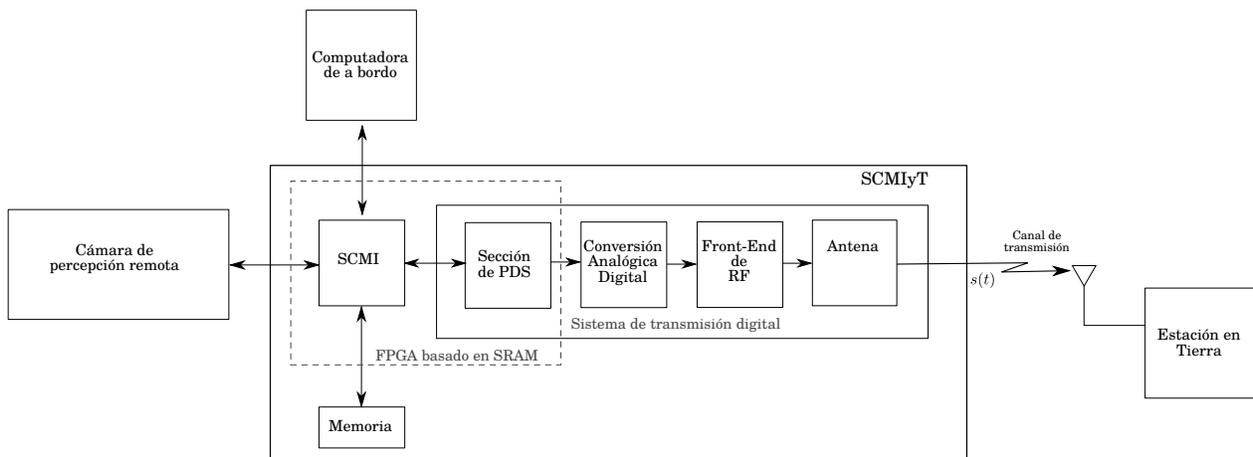


Figura 3.19: Tercer nivel de abstracción del SCMIyT.

Por último, se muestra un cuarto nivel de abstracción (Figura 3.20), en el cual se se presenta la arquitectura de hardware propuesta para ser implementada en el FPGA, la cual está compuesta por un microprocesador, puertos de entradas/salidas de propósito general (GPIOs, por sus siglas en inglés), un módulo de comunicación serial I2C, un módulo de comunicación serial SPI, un controlador de memoria y el modulador QPSK de la sección de PSD del sistema de transmisión digital.

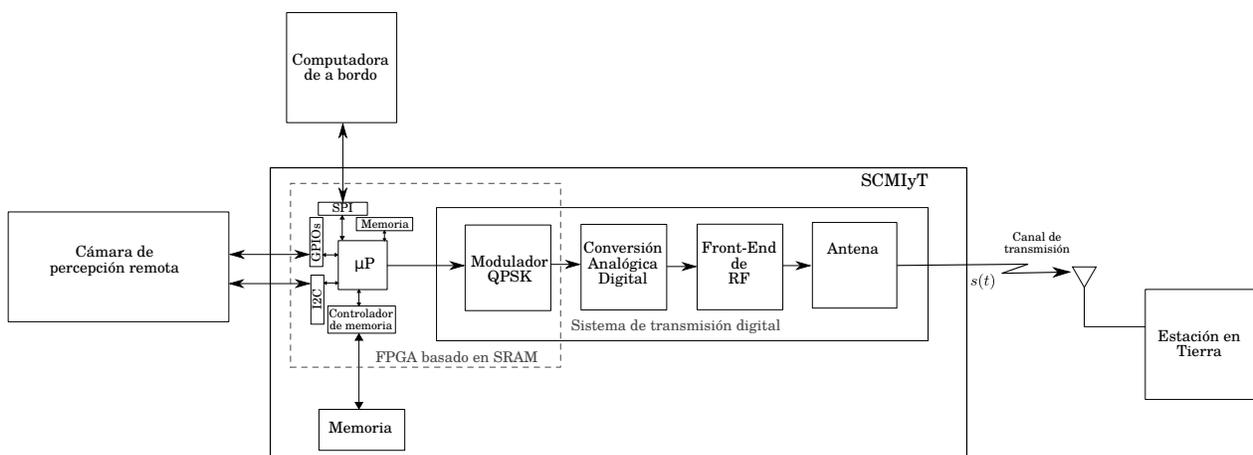


Figura 3.20: Cuarto nivel de abstracción del SCMIyT.

3.8.1. Descripción de los elementos que integra la arquitectura de hardware que alberga el FPGA

A continuación, se describen los elementos que integran la arquitectura de hardware que albergará el FPGA.

3.8.1.1. Procesador

El microprocesador (μ P) es el elemento que gestiona la información entre los dispositivos, así como sus procesos, con el objetivo de ejecutar las tareas que debe realizar el SCMIyT. El microprocesador recibe las ordenes provenientes de la computadora de a bordo por medio del módulo SPI, con las cuales gestiona la información y los procesos entre los dispositivos. Por ejemplo, si la orden es la de capturar imagen, el μ P habilita el proceso de captura de imagen, el cual involucra los GPIOs.

3.8.1.2. Módulo de comunicación serial I2C

El módulo de comunicación I2C es requerido en el SCMIyT, para que este realice la tarea de configuración de la cámara de percepción remota. El apéndice C apartado 1 describe el principio de funcionamiento del protocolo de comunicación serial I2C.

3.8.1.3. Puertos de entrada/salida de propósito general (GPIOs)

Los puertos de entrada/salida de propósito general (GPIOs) son terminales genéricas que se encuentran en un chip, los cuales pueden ser de entrada o salida, y cuyo comportamiento puede ser programado (controlado) a través de software por parte del usuario.

Los GPIOs son requeridos para generar las señales de control que requiere la cámara de percepción remota, las cuales son RST y OE. Así mismo, los GPIOs serán empleados como interfaz de entrada para las señales de control de adquisición (FV, LV y PIXCLK), y de los datos de imagen provenientes de la cámara de percepción remota ($D_{out}[11:0]$).

3.8.1.4. Módulo de generación de la señal CLK que requiere cámara de percepción remota

El módulo de generación de la señal CLK que requiere la cámara de percepción remota consiste en generar una señal 6 MHz hasta los 27 MHz.

3.8.1.5. Módulo de comunicación serial SPI

El módulo de comunicación SPI es requerido en el SCMIyT, para que este se comuniquen con la computadora de a bordo. El apéndice C apartado 2 describe el principio de funcionamiento del protocolo de comunicación serial SPI.

3.8.1.6. Controlador de memoria

El controlador de memoria está relacionado con el tipo de memoria de almacenamiento para las imágenes de percepción remota que tendrá el SCMIyT. Por lo tanto, la elección de dicha memoria se realizó tomando las siguientes consideraciones:

El sensor de imagen de la cámara de percepción remota da salida a un pixel de imagen en un ciclo de reloj de la señal PIXCLK, considerando que la frecuencia de reloj máxima que poseerá la señal PIXCLK es de 24 MHz, por lo que el tiempo de adquisición de un pixel es de 41.667 [ns].

Por lo tanto, el dispositivo para el almacenamiento de la imagen debe permitir la escritura a memoria en un tiempo menor o igual a 41.667 [ns]. De la Tabla 1.2, referente a las tecnologías de

almacenamiento empleadas en el espacio presentadas en el capítulo del estado del arte se conoce que el tipo de tecnología que permite dichos tiempos de escritura a memoria son las del tipo SRAM y DRAM descartando las otras tecnologías como lo es FLASH. Sin embargo, se optó por elegir una memoria de tecnología DRAM, ya que a pesar que la tecnología SRAM es más veloz, esta es menos densa que la DRAM, por lo que no es apta para almacenar una gran cantidad de datos.

Por lo tanto, el SCMIyT posera una memoria SDRAM, la cual es un tipo de DRAM de interfaz síncrona, la cual es ampliamente utilizada en aplicaciones multimedia. por lo que un controlador de memoria SDRAM será parte del hardware dentro del FPGA.

3.8.1.7. Modulador QPSK

El diseño de la arquitectura del modulador QPSK se realizó con base en la metodología de diseño *top-down*, en la cual, el diseño comienza en un nivel alto, como lo es la definición de las entradas y salidas del sistema, y posteriormente se disminuye el nivel de abstracción.

El primer nivel de abstracción se ilustra en la Figura 3.21, en la cual se aprecia que el sistema tiene como entrada a la señal de información digital, y como salida a la señal modulada QPSK.

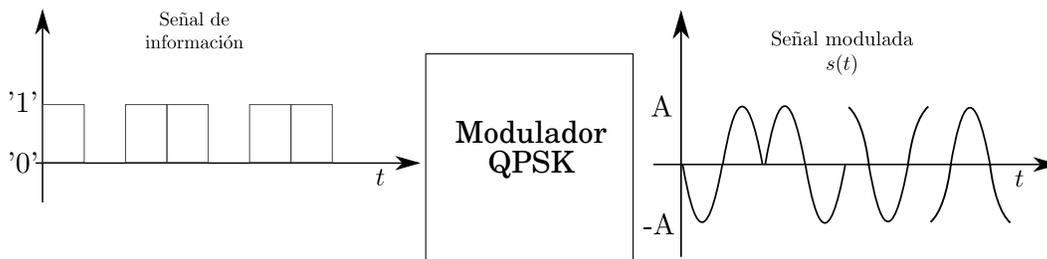


Figura 3.21: Entrada y salida del modulador QPSK.

Un siguiente nivel de abstracción es definido a partir del diagrama a bloques que describe los diversos procesos que integran un modulador QPSK en fase y cuadratura (Figura 3.22). Por lo tanto, el segundo nivel de abstracción se ilustra en la Figura 3.23, en el cual se define la arquitectura de hardware basada en los módulos llamados: *demultiplexor*, *codificador NRZ*, *oscilador*, *multiplicador* y *sumador*, los cuales serán descritos a continuación.

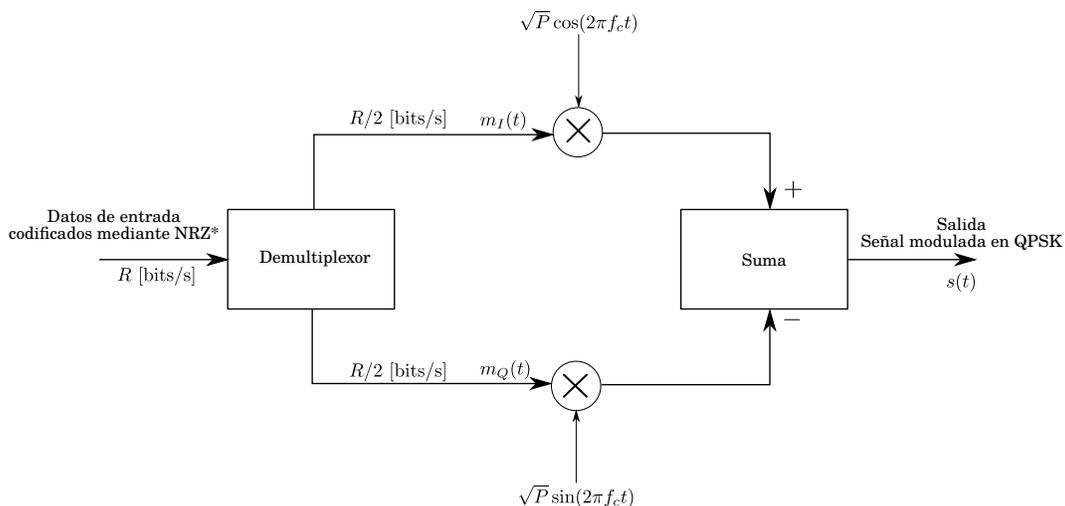


Figura 3.22: Diagrama a bloques de un modulador QPSK I-Q.

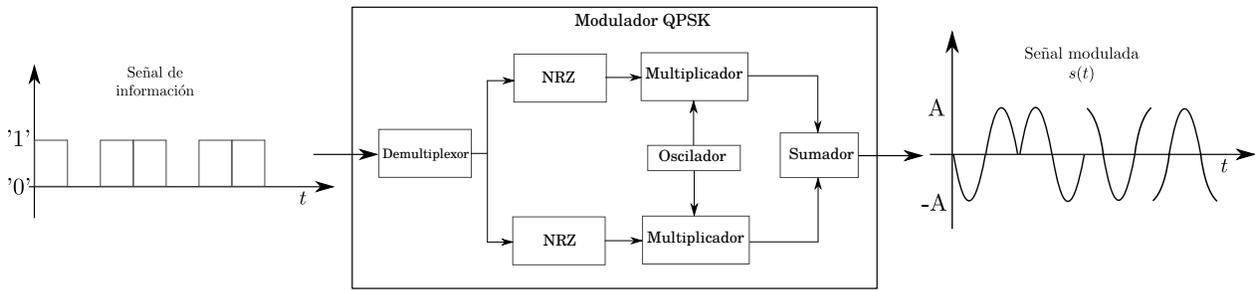


Figura 3.23: Arquitectura propuesta para el modulador QPSK.

Demultiplexor

El módulo llamado *demultiplexor* tiene la tarea de crear los canales I y Q a partir de la señal de información (Figura 3.24). La tasa de transmisión de las señales I y Q debe ser la mitad de la tasa de transmisión (R) que posee la señal de información que entra al sistema.

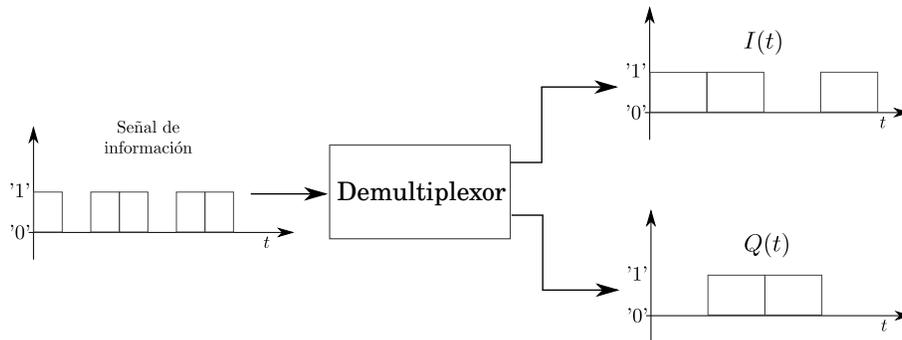


Figura 3.24: Entrada y salidas del *demultiplexor* de la arquitectura del modulador QPSK.

NRZ

El módulo llamado *NRZ* es el encargado de realizar la codificación no retorno a cero (NRZ, por sus siglas en inglés) de la secuencia de bits de los canales en fase (I) y cuadratura (Q).

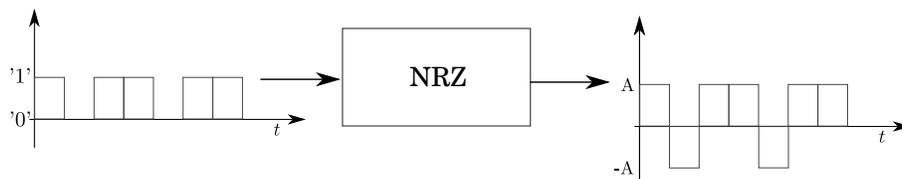


Figura 3.25: Entrada y salida del *NRZ* de la arquitectura del modulador QPSK.

Oscilador

El *oscilador* es el encargado de generar las dos señales portadoras que requiere el modulador QPSK, una desfasada 90° o $\pi/2$ radianes con respecto a la otra.

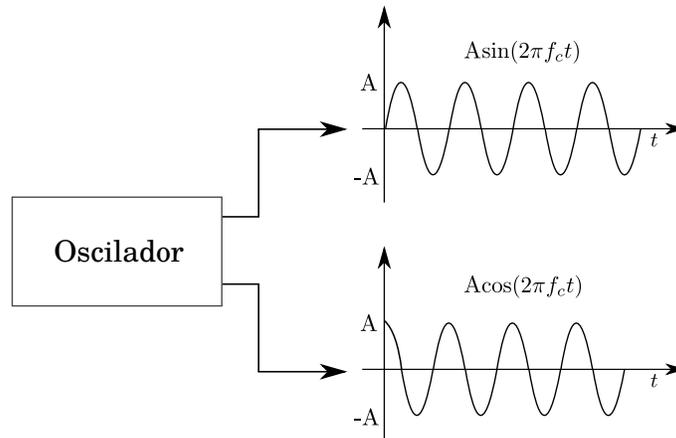


Figura 3.26: Entrada y salida del *oscilador* de la arquitectura del modulador QPSK.

Multiplicador

El multiplicador es el encargado de realizar la multiplicación de las señales I y Q, con las señales portadoras que le corresponde, con el objetivo de generar dos señales moduladas en BPSK, una en fase y otra en cuadratura, según las siguientes expresiones matemáticas:

$$BPSK_I(t) = I(t) \cdot \sqrt{P} \cos(2\pi f_c t) \quad (3.8)$$

$$BPSK_Q(t) = Q(t) \cdot \sqrt{P} \sin(2\pi f_c t)$$

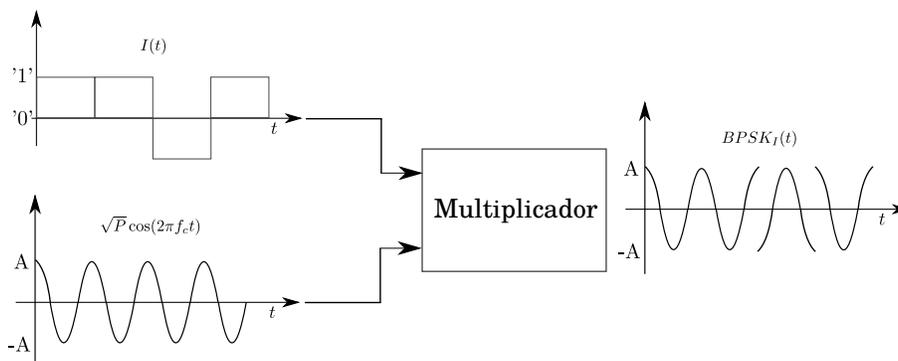


Figura 3.27: Entradas y salida del *multiplicador* de la arquitectura del modulador QPSK.

Sumador

El sumador tiene como tarea sumar las señales $BPSK_I$ y $BPSK_Q$ para generar la señal QPSK.

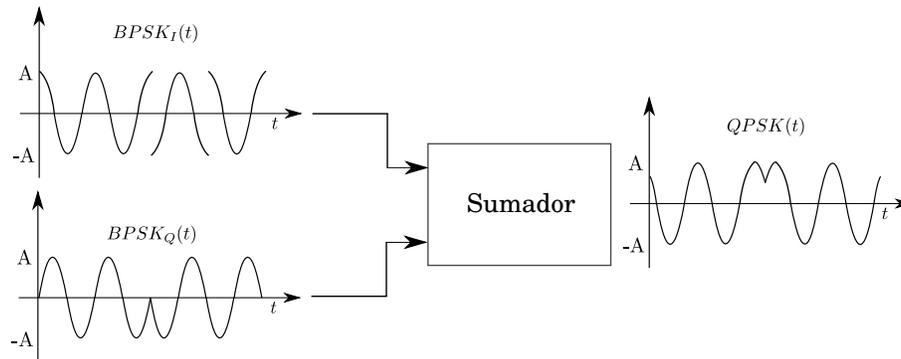


Figura 3.28: Entradas y salida del *sumador* de la arquitectura del modulador QPSK.

Capítulo 4

Implementación de la arquitectura de hardware del SCMIyT que albergará el FPGA

En este capítulo se describe la implementación de la arquitectura de hardware del SCMIyT que albergará el FPGA; dicho capítulo inicia con la elección del FPGA y la descripción de las herramientas de desarrollo, posteriormente se describe la implementación, y se finaliza con la validación de la arquitectura implementada.

4.1. Elección del FPGA

De acuerdo con la revisión del estado del arte y el marco teórico, se determinó que un FPGA basado en SRAM es la mejor opción para la implementación de la arquitectura de hardware del SCMIyT; por otra parte, de acuerdo a (Siegler et al., 2015), científicos de la NASA determinaron que los FPGAs de Xilinx son más adecuados para tareas de alto desempeño debido a sus altos recursos lógicos y su flexibilidad en comparación con microcontroladores y DSPs”, por lo que se eligió un FPGA del fabricante Xilinx.

Por otra parte, de acuerdo a la comparación de las diversas familias de FPGAs que posee Xilinx, se seleccionaron a los dispositivos de la familia Artix-7, debido a que estos aportan el mejor desempeño en procesamiento de datos por unidad de energía en comparación a otras familias de FPGAs de Xilinx; esta familia es considerada la mejor opción en aplicaciones de bajo costos y limitado consumo de potencia, entre las cuales incluyen: radio definido por software y cámaras de visión artificial.

4.2. Implementación en FPGA

La implementación de la arquitectura de hardware del SCMIyT que albergará el FPGA se realizó en VIVADO ¹, y utilizó núcleos de propiedad intelectual, así como núcleos personalizados, los cuales fueron desarrollados empleando los lenguajes de descripción de hardware Verilog y VHDL. Los núcleos de propiedad intelectual se emplearon con el propósito de reducir el tiempo de desarrollo, además, de que estos son sistemas bien validados.

La implementación de la arquitectura de hardware que alberga el FPGA partió del diseño que se presentó en el capítulo anterior (Figura 3.18), el cual es un sistema embebido compuesto por un microprocesador y dispositivos periféricos.

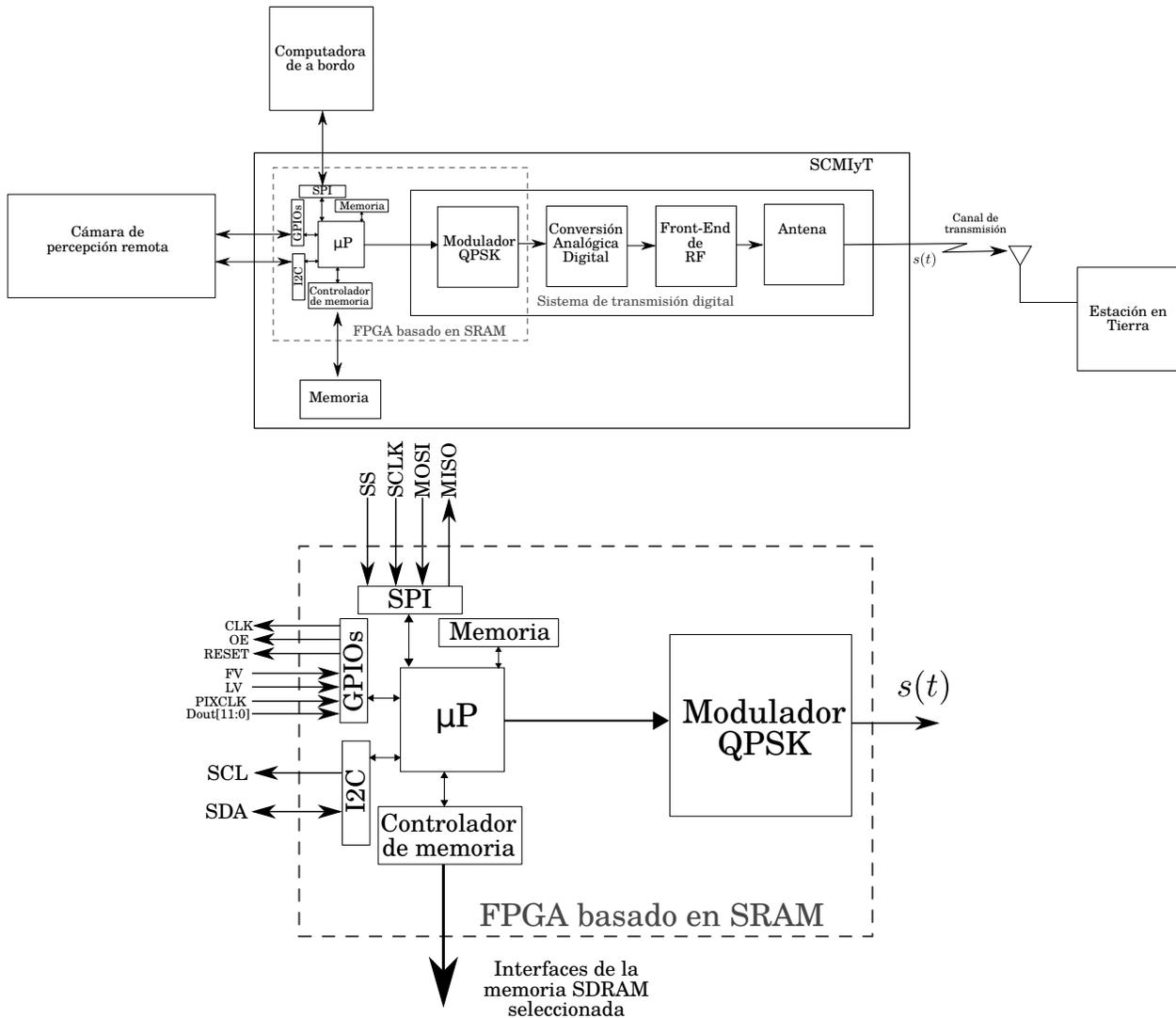


Figura 4.1: Arquitectura de hardware propuesta para ser implementada en un FPGA.

¹“Vivado Design Suite” es el conjunto de software (ambiente de desarrollo) producido por Xilinx para la síntesis y análisis de sistemas digitales construidos a través de un lenguaje de descripción de hardware (HDL, por sus siglas en inglés).

La implementación de hardware se realizó en un ambiente gráfico, en el cual se facilita la integración de los sistemas periféricos.

La arquitectura de hardware que se implementó (Figura 4.2) está integrada por los siguientes elementos:

- a) Un microprocesador softcore llamado MicroBlaze™, el cual es un IP proporcionado por Xilinx.
- b) Un bloque de memoria local para ser usada como memoria de datos y de programa por el microprocesador.
- c) Un bus AXI para la interconexión de los sistemas periféricos proporcionado por Xilinx.
- d) Un módulo de comunicación serial IIC proporcionado por Xilinx.
- e) Módulos de GPIOs proporcionados por Xilinx.
- f) Un derivador de señales de reloj para generar las señales CLK proporcionado por Xilinx.
- g) Un módulo de comunicación serial SPI proporcionado por Xilinx.
- h) Un módulo de comunicación serial UART proporcionado por Xilinx.
- i) Un controlador de memoria SDRAM DDR3 proporcionado por Xilinx.
- j) Un modulador QPSK desarrollado en casa.
- k) Un controlador de interrupciones proporcionado por Xilinx.
- l) Un temporizador proporcionado por Xilinx.

A continuación, se describe cada uno de los elementos que integran la arquitectura de hardware implementada:

4.2.1. Procesador

El procesador que se decidió implementar es MicroBlaze, el cual es un microprocesador softcore, con arquitectura RISC de 32 bits; entre sus elementos resaltan una unidad de punto flotante, una unidad de administración de memoria (MMU, por sus siglas en inglés), y una unidad de tolerancia a fallas. Un procesador softcore es implementado en el FPGA con sus recursos lógicos, a diferencia de tener un procesador hardcore, esto puede ser ventajoso, si se requiere que el FPGA implemente otra arquitectura diferente, la cual no esté basada en un procesador; por lo tanto, se eligió implementar un procesador de softcore; mientras que MicroBlaze fue elegido debido a su aplicación en sistemas espaciales (Ibrahim et al., 2011).



Figura 4.3: MicroBlaze.

El procesador se configuró para que posea una interfaz al bus AXI, del inglés Advanced eXtensible Interface, con el cual tendrá interacción con los sistemas periféricos conectados a dicho bus. Así mismo, se configuró para que posea una interfaz hacia un módulo de depuración y a un controlador de interrupciones.

En la figura 4.4 se observa a MicroBlaze™ conectado a una memoria local, en la cual se almacena información de datos y de programa, con una capacidad de 128 kB.

La señal de reloj que requiere MicroBlaze™ se estableció a 100 MHz y es generada por el bloque “Clocking Wizard” a partir de una señal de reloj externa de 100 MHz; mientras que la señal de reset que requiere el μ Pes generada a partir del módulo Processor System Reset, el cual es un controlador de señales de reset.

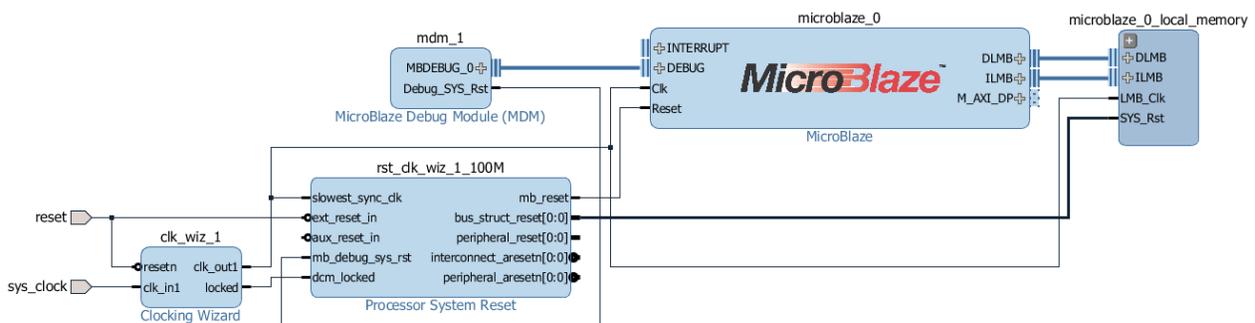


Figura 4.4: MicroBlaze conectado a memoria.

4.2.2. Módulo de comunicación serial IIC

El módulo de comunicación serial IIC que se implementó en el sistema embebido, es el AXI IIC, el cual es controlado por el procesador a través del bus AXI; el AXI IIC es alimentado por una señal de reloj, y una señal de reset, las cuales son gobernadas por el controlador del bus AXI. Las señales SDA y SCL del módulo AXI IIC son interfazadas al exterior del FPGA mediante puertos externos. El módulo IIC se configuró para operar a una frecuencia de SCL de 100 kHz.

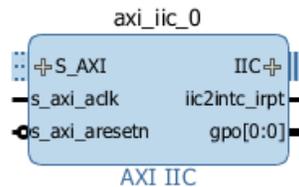


Figura 4.5: Módulo AXI IIC.

4.2.3. Módulo de GPIOs

El módulo de GPIOs que se implementó en el sistema embebido, es el AXI GPIO, el cual es controlado por el procesador a través del bus AXI; el AXI GPIO es alimentado por una señal de reloj, y una señal de reset, las cuales son gobernadas por el controlador del bus AXI. En este módulo se configuraron GPIOs para generar las señales de control (OE y RESET), y manejar las señales de control de adquisición de imagen (FV, LV, PIXCLK y Dout [11:0]) que requiere la cámara de percepción remota.



Figura 4.6: Módulo AXI GPIO.

4.2.4. Módulo de generación de la señal CLK de la cámara de percepción remota

El módulo de generación de la señal CLK que requiere la cámara de percepción remota es implementado mediante el Clocking Wizard, el cual genera la señal CLK (clk.out) de 24 MHz a partir de una señal de 100 MHz (clk.in).

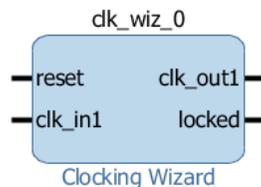


Figura 4.7: Módulo *Clocking Wizard*.

4.2.5. Módulo de comunicación serial SPI

El módulo de comunicación serial SPI que se implementó en el sistema embebido, es el AXI SPI, el cual es controlado por el procesador a través del bus AXI; el AXI SPI es alimentado por una señal de reloj, y una señal de reset, las cuales son gobernadas por el controlador del bus AXI. Las señales MISO, MOSI, y CS del módulo AXI SPI son interfaceadas al exterior del FPGA mediante puertos externos. El módulo SPI es configurado como dispositivo esclavo.

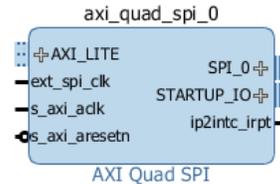


Figura 4.8: Módulo AXI SPI.

4.2.6. Controlador de memoria

El controlador de memoria SRAM que se implementó en el sistema es el Memory Interface Generator (MIG 7 series), el cual es controlado por el procesador a través del bus AXI; el AXI SPI es alimentado por una señal de reloj, y una señal de reset, las cuales son gobernadas por el controlador del bus AXI. El MIG 7 series controla el acceso a una memoria SDRAM DDR3 para operaciones de escritura y lectura.

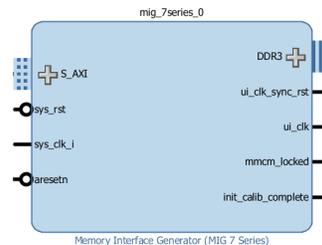


Figura 4.9: Módulo AXI SPI Memory Interface Generator (MIG 7 series).

4.2.7. Modulador QPSK

La implementación en FPGA del modulador QPSK se realizó empleando el lenguaje de descripción de hardware VHDL, la cual inició a partir de la arquitectura de hardware resultante del diseño (Figura 4.10).

El modulador QPSK se implementó utilizando los estilos de descripción funcional y por flujo de datos para cada uno de los módulos que integran el modulador, y el estilo estructural para la integración de dichos módulos. La Figura 4.11 muestra el resultado de la implementación.

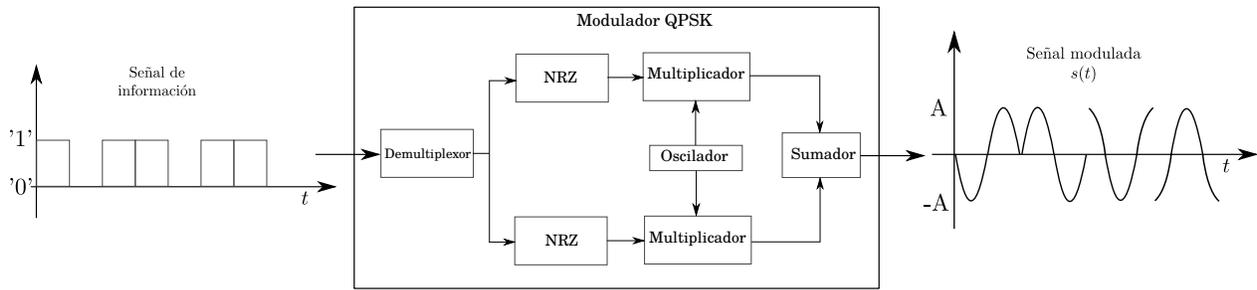


Figura 4.10: Arquitectura propuesta para el modulador QPSK.

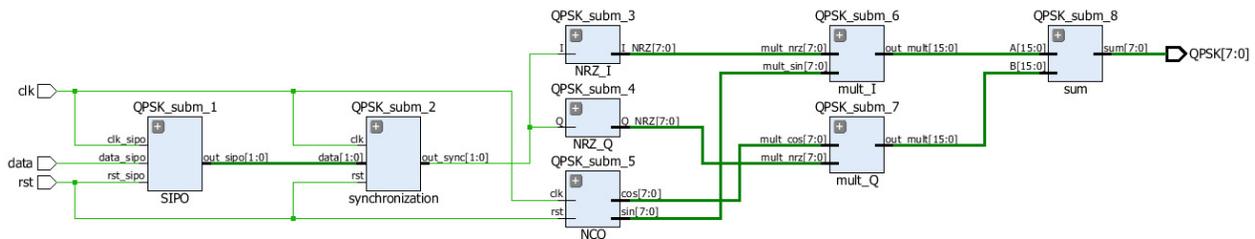


Figura 4.11: Modulador QPSK descrito en hardware.

La arquitectura del modulador QPSK comprende de un puerto de entrada serial para la señal de información en formato binario, un puerto de entrada para una señal de reset, un puerto de entrada para la señal de reloj para el sistema secuencial, y una señal de salida en formato paralelo de 8 bits para la señal QPSK.

A continuación, se describe como fue implementado cada uno de los módulos de la arquitectura del modulador QPSK.

4.2.7.1. Demultiplexor

La implementación del *multiplexor* partió de su tarea, la cual es la creación de los canales I y Q a partir de la señal de información. Este módulo fue implementado a través de dos elementos, un registro de desplazamiento de entrada serial y salida paralela (SIPO, por sus siglas en inglés) y un registro de desplazamiento de entrada paralela y salida paralela (PIPO, por sus siglas en inglés); ambos sistemas desplazan la información que hay en su entrada en un ciclo de reloj.

El SIPO es el encargado de crear dos canales a partir de un canal, tal como se ilustra en la Figura 4.12; sin embargo, el par de bits a la salida del SIPO no corresponde directamente al par de bits que representa un símbolo M-ario, ya que un mismo bit estará en la salida del SIPO por dos ciclos de reloj, por lo que el PIPO es el encargado de dar salida al par de bits de interés, gracias a una señal de reloj con frecuencia de dos veces la frecuencia de la señal de reloj del SIPO (Figura 4.13).

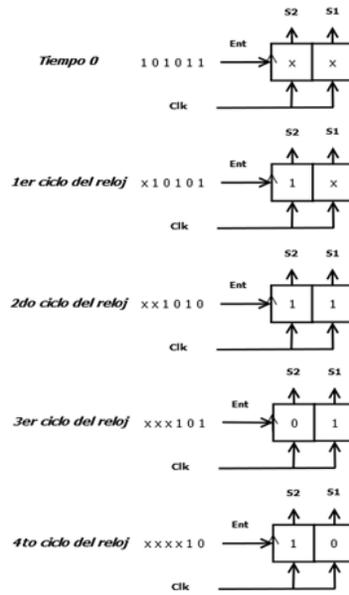


Figura 4.12: Principio de funcionamiento del SIPO.

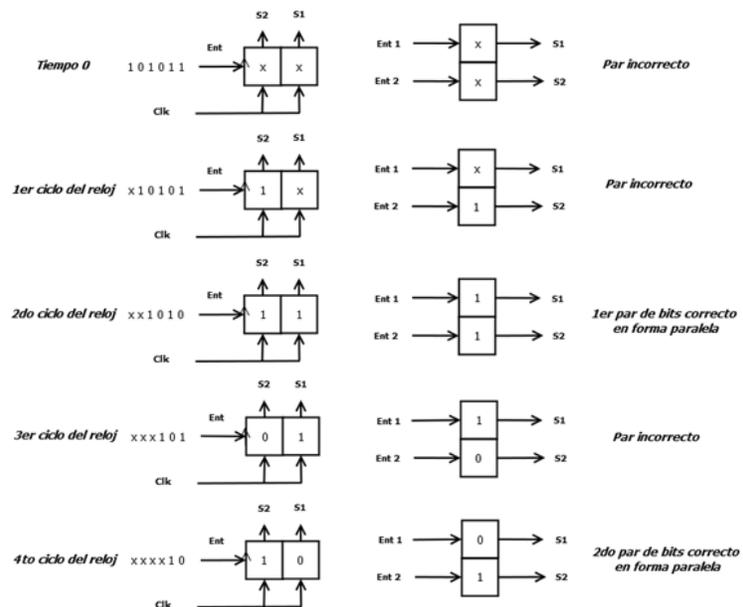


Figura 4.13: Descripción gráfica del proceso en el cual el PIPO da salida al par de bits que representa un símbolo M-ario, a partir de la salida del SIPO.

La Figura 4.14 muestra la arquitectura del SIPO descrito en VHDL, la cual comprende de un puerto de entrada serial para el flujo de información en bits, un puerto de entrada para una señal de reset que se activa en alto, un puerto de entrada para la señal de reloj, y un puerto de salida para los datos en formato paralelo.

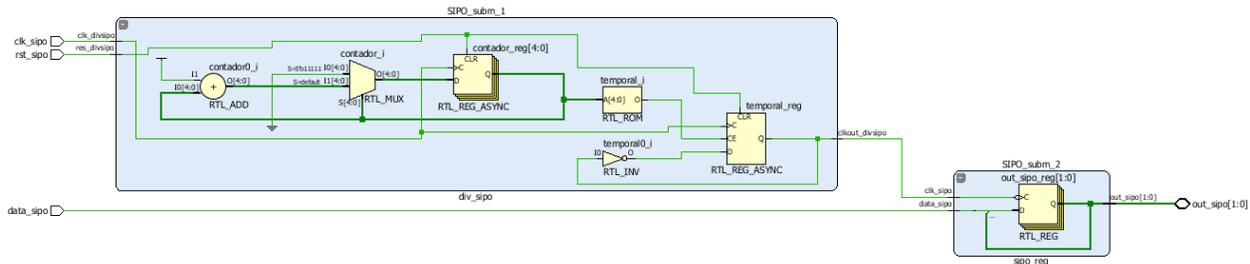


Figura 4.14: Entidad del SIPO implementado en VHDL.

La Figura 4.15 muestra la arquitectura del PIPO descrito en VHDL, la cual comprende de un puerto de entrada paralelo, un puerto de entrada para la señal de reloj que controla el desplazamiento de bits, y un puerto de salida paralelo para el par de bits de interés.

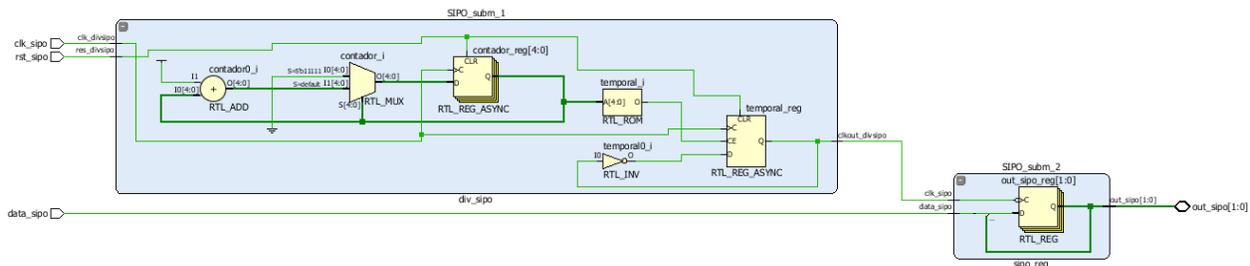


Figura 4.15: Entidad del PIPO implementado en VHDL.

4.2.7.2. NRZ

Los módulos NRZ corresponden a los codificadores de línea NRZ de los canales I y Q, por lo que la implementación se realizó a través de tablas de búsqueda, en la cual, un bit en estado alto es representado por '1' y un bit en estado bajo es representado por '-1'. La representación de los números se realizó en un formato de punto fijo signado de 8 bits.

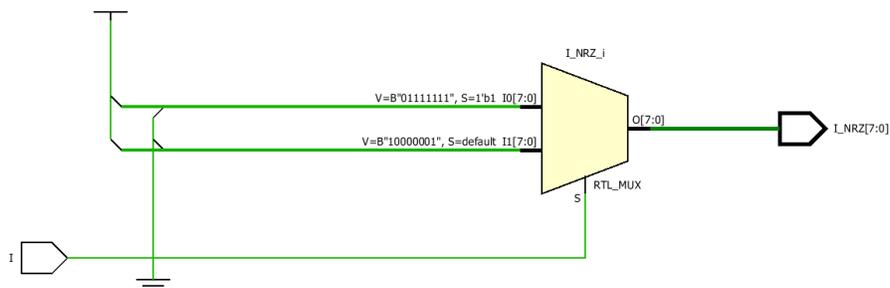


Figura 4.16: Entidad del NRZ implementado en VHDL.

4.2.7.3. Oscilador

Como oscilador se implementó un oscilador controlado numéricamente (NCO, por sus siglas en inglés) que genera las señales portadoras para el modulador QPSK I-Q a través de tablas de búsqueda (LUTs) y un contador binario (Figura 4.17). Las LUTs almacenan 128 muestras de un periodo de las señales seno y coseno, dichas muestras están representadas en un formato de punto fijo signado de 8 bits.

El contador binario va desde cero hasta 127, es decir, posee 128 estados, los cuales corresponden a las 128 direcciones de memoria en donde están almacenadas las muestras de las señales portadoras.

El proceso de generación de las señales consiste en el acceso de cada una de las direcciones de memoria de las LUT por parte del contador binario, por lo que la frecuencia de la señal generada se relaciona con la frecuencia de transición de estados del contador mediante la siguiente expresión:

$$f_{\text{señal}} = \text{No. de estados del contador} \times f_{\text{reloj del contador}} \quad (4.1)$$

Donde $f_{\text{señal}}$ es la frecuencia de la señal generada, y $f_{\text{reloj del contador}}$ es la frecuencia de la señal de reloj que controla las transiciones de estado del contador binario.

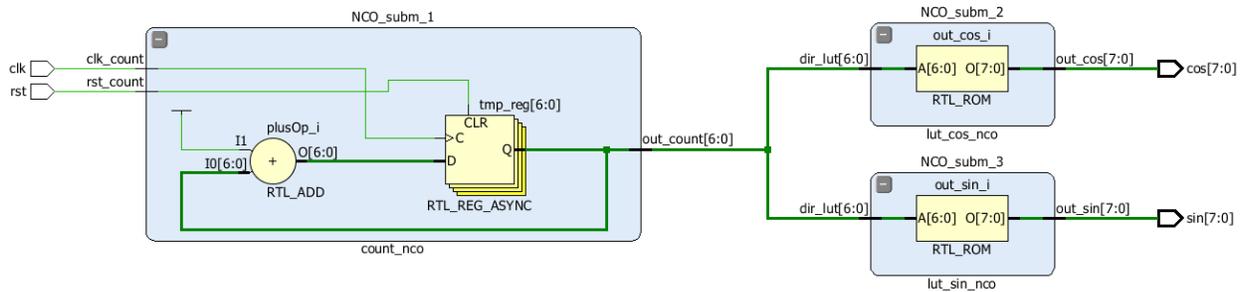


Figura 4.17: Arquitectura de hardware del NCO.

La arquitectura del contador binario descrito en VHDL comprende de un puerto de entrada serial para la señal de reloj, un puerto de entrada para una señal de reset, y un puerto de salida en formato paralelo para el valor de la cuenta. Las tablas de búsquedas descritas en VHDL poseen un puerto de entrada paralelo que corresponde a la dirección de la memoria, y un puerto de salida para el dato almacenado en memoria.

4.2.7.4. Multiplicador

El *multiplicador* encargado de la generación de las señales BPSK en fase y cuadratura a partir de la multiplicación de las señales de los canales I y Q con sus respectivas señales portadoras se implementó como un multiplicador binario, el cual procesa dos palabras binarias de m y n bits respectivamente, y resulta una palabra de $m+n$ bits.

La Figura 4.18 muestra la entidad del multiplicador binario descrito en VHDL, la cual comprende de dos puertos de entrada de 8 bits que corresponde al multiplicando y al multiplicador indistintamente, y un puerto de salida de 16 bits para el producto.

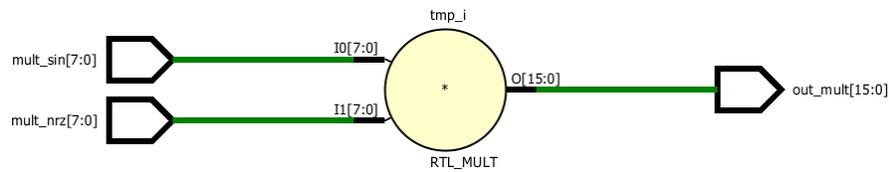


Figura 4.18: Entidad del multiplicador binario implementado en VHDL.

4.2.7.5. Sumador

El *sumador* encargado de la generación de la señal QPSK a partir de la multiplicación de las señales BPSK en fase y cuadratura se implementó como un sumador binario, el cual procesa dos palabras binarias de n bits, y resulta una palabra de n bits, debido a que no se considera acarreo, ya que las señales a sumar son ortogonales.

La Figura 4.19 muestra la entidad del sumador binario descrito en VHDL, la cual comprende de dos puertos de entrada de 8 bits que corresponde a los sumandos, y un puerto de salida de 8 bits para la suma.

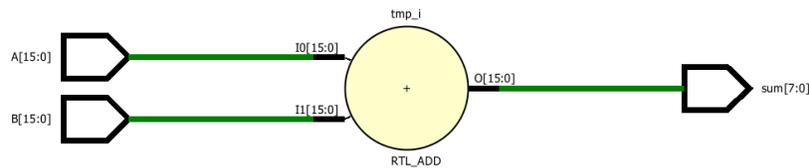


Figura 4.19: Entidad del sumador binario implementado en VHDL.

Capítulo 5

Resultados y análisis de resultados

5.1. Validación de la arquitectura de hardware del SCMIyT

La validación de la arquitectura de hardware del SCMIyT implementada en FPGA se realizó empleando la tarjeta de evaluación Nexys Video de Digilent (Figura 5.1), la cual posee un FPGA Artix 7 XC7A200T-1SBG484C (el cual está integrado por 33,650 celdas lógicas, cada una con 4 LUTs de 6 entradas y 8 flip-flops), y por una memoria SDRAM DDR3 (MT41K256M16HA-187E) de Micron de 512 MB.

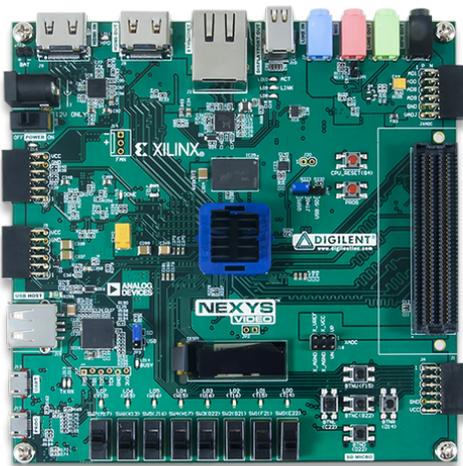


Figura 5.1: Tarjeta de desarrollo Nexys Video.

A continuación, se presenta el resultado de la validación de la arquitectura implementada en FPGA, dicho proceso se realizó por cada módulo periférico que integra dicha arquitectura, en algunos casos, el proceso consistió en la ejecución de una rutina de validación dentro de MB, y en otros casos, el proceso de validación consistió en la medición de las señales de salida, como es el caso del generador de la señal CLK y el modulador QPSK. Los procesos que realiza la rutina de validación se describen en el diagrama de flujo de la Figura 5.2, donde el resultado de dicha validación se envía a una computadora personal a través de la UART. Los resultados de la validación de cada módulo periférico se muestran en la Tabla 5.1.

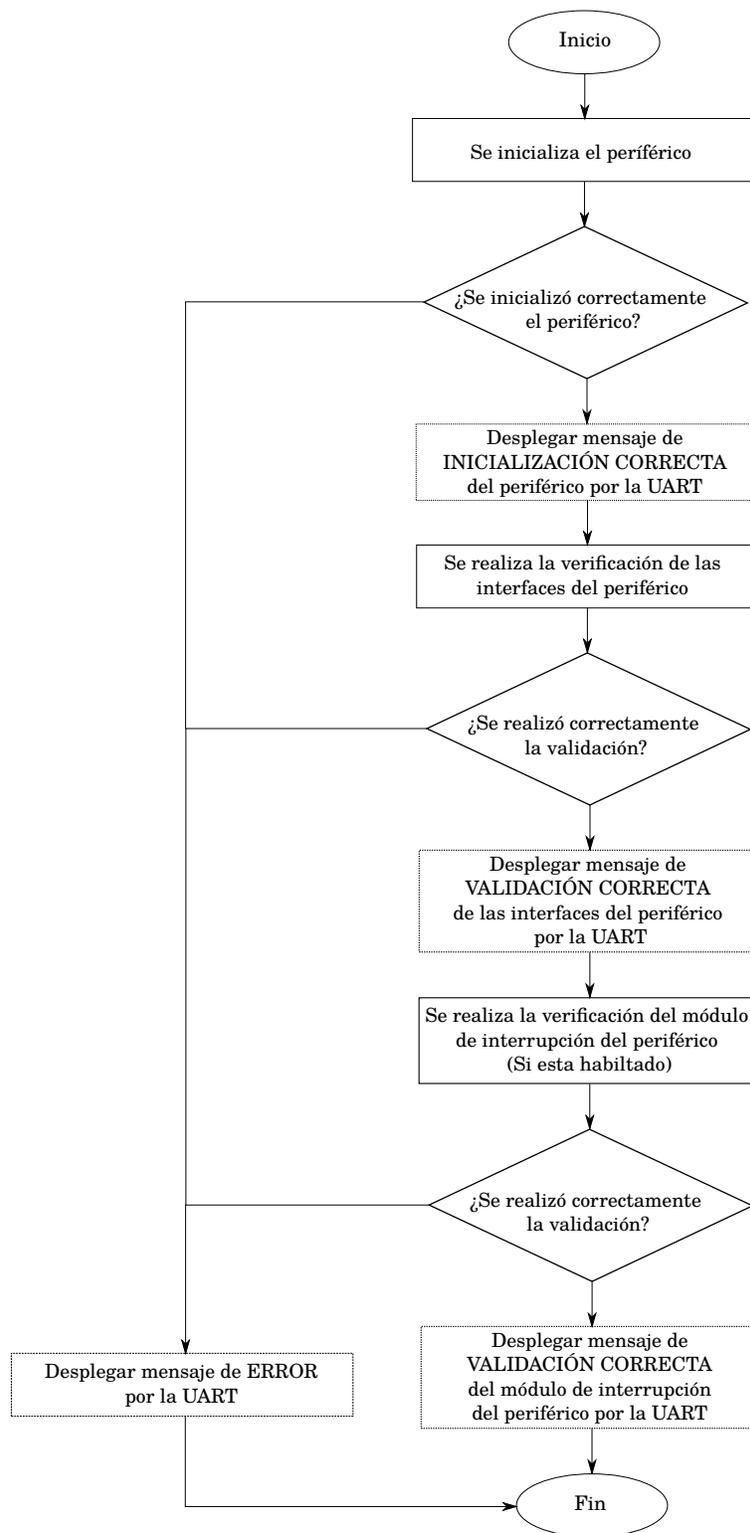


Figura 5.2: Diagrama de flujo de la rutina de validación de los módulos periféricos que integran el SCMIyT.

Tabla 5.1: Resultados de la validación de los módulos periféricos.

| Módulo periférico | Resultado de la validación |
|------------------------------|--|
| IIC | <pre> ---Programa de validacion de modulo I2C--- Validando comunicacion con el modulo axi_iic_0... Modulo I2C VALIDADO Validando interrupcion por I2C... Interrupcion por I2C VALIDADO ---Programa Finalizado---</pre> |
| GPIOs | <pre> ---Programa de validacion de modulos GPIO e interrupciones--- Validadndo comunicacion con modulo microblaze_0_axi_intc... Modulo de interrupcion VALIDADO Configuracion de Interrupcion VALIDADA Validando modulos GPIO como entradas... Entradas GPIO VALIDADA. ---Programa Finalizado---</pre> |
| SPI | <pre> ---Ejecutando programa--- Validando comunicacion SPI en hardware... Estado: Validado ---Programa finalizado---</pre> |
| Controlador de memoria SDRAM | <pre> --Iniciando Programa-- Probando regiones de memoria: nig_7series_0 Controlador de memoria: nig_7series Direccion Base: 0x80000000 Tamazo: 0x20000000 bytes Probando configuracion de 32-bit: Validado Probando configuracion de 16-bit: Validado Probando configuracion de 8-bit: Validado --Programa Finalizado--</pre> |

La validación de la arquitectura de hardware del modulador QPSK implementado en FPGA se realizó en simulaciones lógicas, y a través de la implementación en el FPGA que contiene la Nexys Video.

Los parámetros que se utilizaron para la validación son los siguientes:

- Una señal de información digital con tasa de transmisión (R) de 12.207 [kbits/s] y periodo de bit (T_b) de 81.92 [μ s]
- Señales portadores de frecuencia (f_c) de 6.038 KHz

El valor de frecuencia de las señales portadoras se fijó en dicho valor, con la finalidad de realizar un análisis y validación de forma visual, ya que un ciclo de las señales portadoras corresponde a un periodo de símbolo (T_s)

El resultado de la simulación se muestra en la Figura 5.3, donde a) es la señal de información de tasa R , b) es la señal de información correspondiente al canal $I(t)$, c) la señal de información correspondiente al canal $Q(t)$, ambas señales con tasa de transmisión $R/2$. Por otra parte, d) es la señal $BPSK_I$ y e) la señal $BPSK_Q$, las cuales son ortogonales entre sí. Por último, f) es la señal QPSK resultante de la suma de las señales BPSK en fase y cuadratura; de esta forma, se valida la funcionalidad del modulador.

Por último, se muestran la señal de información y la señal de información modulada generada por el Artix-7 XC7A200T-1SBG484C (Figura 5.4).



Figura 5.3: Resultado de la simulación de la arquitectura del modulador QPSK implementado en VHDL.

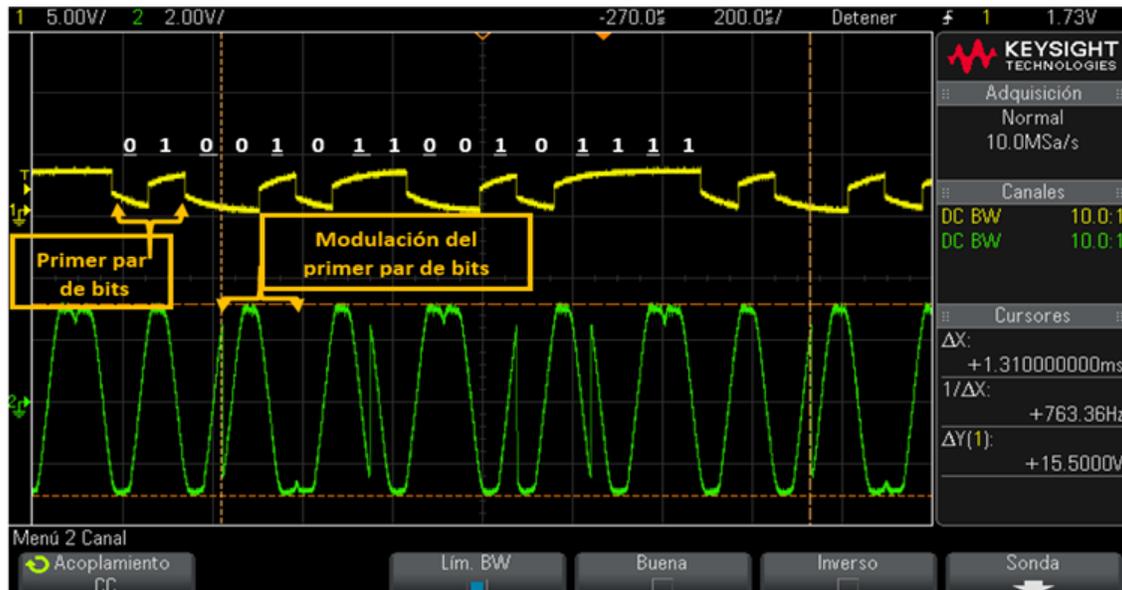


Figura 5.4: Oscilograma de la señal de información y la señal de información modulada en QPSK generada por el Artix-7 XC7A200T-1SBG484C.

Con respecto a los recursos lógicos que requirió la arquitectura implementada en el Artix-7 XC7A200T-1SBG484C, el reporte de utilización informó que el sistema demandó menos del 25 % de los recursos del FPGA; además, se observa que:

- * Se utilizaron 83 de 285 terminales del FPGA para las terminales de entrada o salida de la arquitectura, de las cuales 45 terminales fueron dedicadas a la memoria SDRAM DDR3.
- * Se utilizaron dos derivadores de señales de reloj para generar las señales que requieren MicroBlaze, y la cámara de percepción remota (CLK).
- * Se utilizaron el 18 % de los bloques de RAM embebidos que posee el FPGA, los cuales fueron empleados como memoria de datos y de programa por MicroBlaze.
- * Los demás elementos como LUTs y flip-flops fueron empleados para la implementación de los sistemas digitales (como, por ejemplo, contadores, multiplexores, etc.) que integran la arquitectura.
- * No se utilizaron el aproximadamente el 75 % de los recursos lógicos del FPGA, los cuales pueden ser aprovechados en la ampliación del sistema mediante la incorporación de otros módulos y/o la implementación de técnicas de tolerancia a fallas.

Por otra parte, la potencia estimada que demandará la arquitectura implementada en el chip es de 1.231 W, este número puede ser tomado para definir la potencia que requiere el sistema con base en el FPGA Artix-7 XC7A200T-1SBG484C.

Con respecto a la implementación del modulador QPSK, se tiene que su arquitectura se implementó en el FPGA con base a 186 LUTs y 36 flip-flops, los cuales representa el 1 % de los recursos lógicos del Artix-7 XC7A200T-1SBG484C. Por otra parte, el tiempo de latencia del modulador es de 3 periodos de bits (T_b), este tiempo resulta de los procesos de separación de la señal de información en los canales $I(t)$ y $Q(t)$.

Por último, la flexibilidad para cambiar la funcionalidad del sistema con base a su diseño en FPGA se validó intercambiando el modulador QPSK por un modulador GMSK (Figura 5.5) en la arquitectura SCMIyT.

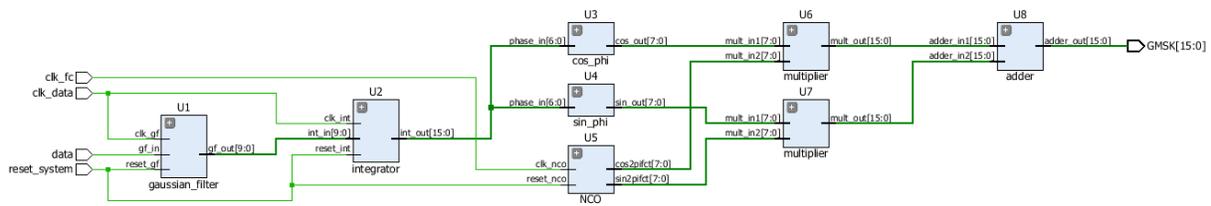


Figura 5.5: Arquitectura de hardware del modulador GMSK.

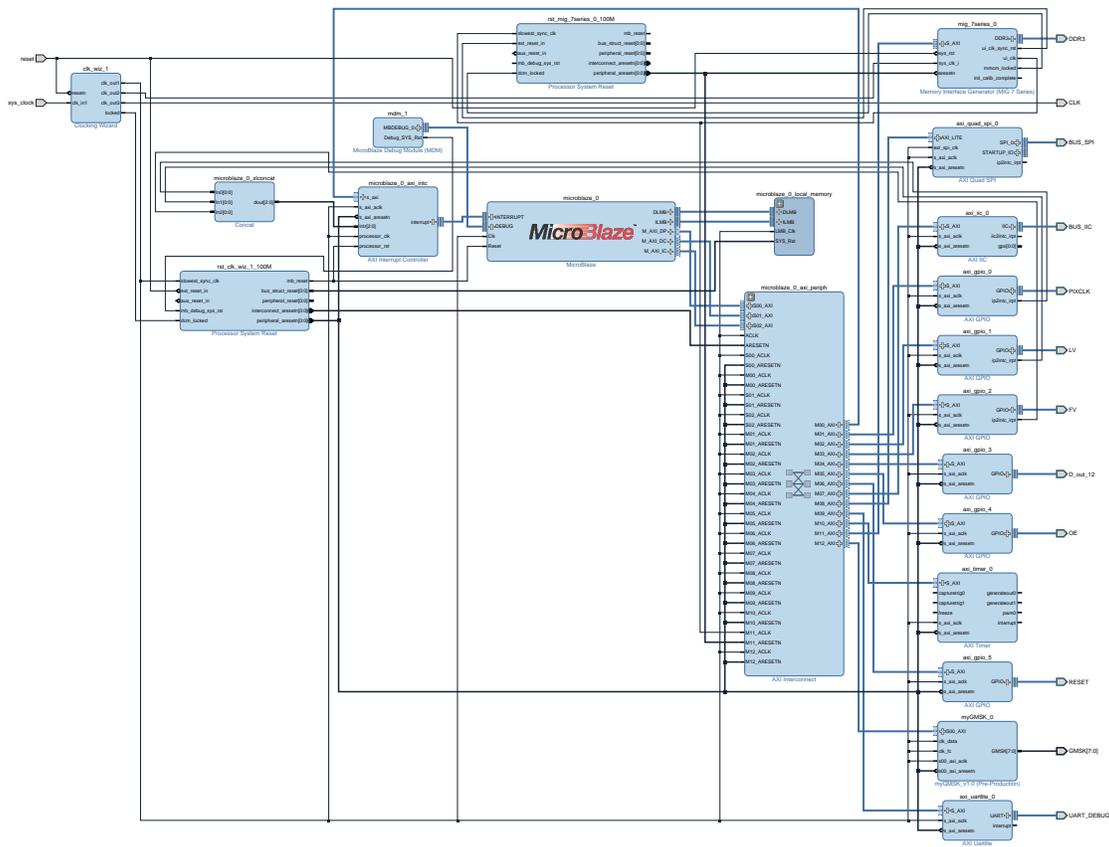


Figura 5.6: Arquitectura SCMIyT con modulador GMSK.

Capítulo 6

Conclusiones y trabajo a futuro

Las conclusiones derivadas de este trabajo de tesis son:

- Se determinó, con base en el marco teórico, que la tecnología FPGA SRAM es la adecuada para implementar sistemas espaciales que requieran flexibilidad para reconfigurarse y gran cantidad de recursos lógicos.
- Se diseñó un SCMIyT que cumple los requerimientos de una misión de percepción remota de imágenes de la superficie terrestre, con capacidad de controlar la adquisición de imagen de resolución de 5 Mpx de una cámara de percepción remota compuesta por el sensor de imagen MT9P031, y presenta la capacidad de almacenamiento de la imagen a memoria, capacidad de transmitir la imagen a Tierra empleando la modulación QPSK, así como la interacción con una computadora de vuelo que controle la ejecución de sus tareas.
- Se propuso una arquitectura de hardware del SCMIyT, para ser implementada en FPGA, la cual comprende un sistema embebido con un microprocesador como elemento de control y gestión de información a sus dispositivos periféricos, esta propuesta ofrece una fácil escalabilidad para agregar elementos al sistema sin tener que realizar un nuevo diseño.
- Se implementó en FPGA la arquitectura de hardware del SCMIyT con núcleos de procesamiento de propiedad intelectual y módulos de hardware personalizados descritos en VHDL.
- Los núcleos de propiedad intelectual que se utilizaron en la arquitectura del SCMIyT redujeron relativamente el tiempo de implementación, pero complica la posibilidad de implementar técnicas de tolerancia a fallas a bajo nivel y la optimización en consumo de energía.
- Los procesos implicados en sistemas de comunicaciones digitales implementados en FPGA se limitan a procesamiento en banda base debido a la velocidad de operación del dispositivo, por lo que aplicaciones en el orden de cientos de MHz requieren un proceso analógico para convertir la señal a pasa-banda.
- Se demostró la flexibilidad ofrecida por la solución de diseño con base en el concepto de SDR y el empleo de FPGAs propuesta en este trabajo con base en los resultados presentados en el punto 4.3 para corregir errores de diseño, aumentar las capacidades del sistema, implementar otros sistemas de a bordo y aplicar técnicas de tolerancia a fallas en fase de vuelo, lo que no sería posible con tarjetas de desarrollo tales como USRP.

Como trabajo a futuro se propone:

- Realizar un análisis de fiabilidad de la arquitectura de hardware implementada en FPGA para determinar sus elementos susceptibles a falla.
- Determinar e implementar técnicas de tolerancia a fallas en la arquitectura de hardware implementada en FPGA.
- Aplicar técnicas de modulación y codificación adaptativa para aumentar el desempeño del sistema de transmisión digital del SCMIyT.

Referencias

- Alvarado, M. (2013). Implementación en FPGA de un modulador digital GMSK (Tesis de licenciatura). Facultad de Ingeniería - Universidad Nacional Autónoma de México, México.
- Angeletti, P., Lisi, M., & Tognolatti, P. (2014). Software Defined Radio: A key technology for flexibility and reconfigurability in space applications. In 2014 IEEE Metrology for Aerospace (MetroAeroSpace).
- Barry, J. (1989). Design and Analysis of Fault Tolerant Digital Systems.
- Bekker, D. L., Werne, T. A., Wilson, T. O., Pingree, P. J., Dontchev, K., Heywood, M., ... & Gallimore, A. (2010, March). A CubeSat design to validate the Virtex-5 FPGA for spaceborne image processing. In Aerospace Conference, 2010 IEEE (pp. 1-9). IEEE.
- Benchimol, D. (2011). Microcontroladores: funcionamiento, programación y usos prácticos. Buenos Aires: Fox Andina.
- Boshuizen, C., Mason, J., Klupar, P., & Spanhake, S. (2014). Results from the planet labs flock constellation.
- Cahyono, D., & Nugroho, A. (2013, June). Design and realization camera controller for a Remote Sensing Payload of nanosatellite FPGA (Field Programmable Gate Array) system based. In Recent Advances in Space Technologies (RAST), 2013 6th International Conference on (pp. 73-77). IEEE.
- Castañeda D. (2015). Implementación de un modulador - demodulador digital QPSK en base a un FPGA como prototipo para un microsatélite (Tesis de licenciatura). Facultad de Ingeniería - Universidad Nacional Autónoma de México, México.
- Campbell, J. B., & Wynne, R. H. (2011). Introduction to remote sensing. Guilford Press.
- European Space Agency. (2014). Onboard Computer and Data Handling. March, 2016.
- Grayver, E. (2012). Implementing software defined radio. Springer Science & Business Media.
- Grayver, E., Chin, A., Hsu, J., Stanev, S., Kun, D., & Parower, A. (2015, March). Software defined radio for small satellites. In 2015 IEEE Aerospace Conference (pp. 1-9). IEEE.
- Ibrahim, M. M., Tobal, A. M., El Nahas, M. Y., & Refai, M. K. (2011, July). FPGA based on board computer for LEO satellites. In Proceeding of the 2011 IEEE International Conference on Space Science and Communication (IconSpace) (pp. 314-319). IEEE.
- Johnson, S. K., Reinhart, R. C., & Kacpura, T. J. (2012, March). CoNNeCT's approach for the development of three Software Defined Radios for space application. In Aerospace Conference, 2012 IEEE (pp. 1-13). IEEE.

- Kastensmidt, F. L., Carro, L., & da Luz Reis, R. A. (2006). *Fault-tolerance techniques for SRAM-based FPGAs* (Vol. 1). Heidelberg: Springer.
- Kenington, P. (2005). *RF and baseband techniques for software defined radio*. Artech House.
- Lurie, J. (2011). State-of-the-art satellite remote sensing. *Optics and Photonics News*, 22(1), 28-35.
- Maheshwarappa, M. R., & Bridges, C. P. (2014, July). Software defined radios for small satellites. In *Adaptive Hardware and Systems (AHS), 2014 NASA/ESA Conference on* (pp. 172-179). IEEE.
- Maheshwarappa, M. R., Bowyer, M., & Bridges, C. P. (2015, March). Software Defined Radio (SDR) architecture to support multi-satellite communications. In *Aerospace Conference, 2015 IEEE* (pp. 1-10). IEEE.
- Miller, M. J., Vucetic, B., & Berry, L. (1993). *Satellite communications: mobile and fixed services*. Springer Science & Business Media.
- Staff, M. D. D. (2015). *Small Spacecraft Technology State of the Art*. Ames Research Center, MoffettField, California, Tech. Rep.
- Pakartipangi, W., Syihabuddin, B., & Darlis, D. (2015, October). Design of camera array interface using FPGA for nanosatellite remote sensing payload. In *Radar, Antenna, Microwave, Electronics, and Telecommunications (ICRAMET), 2015 International Conference on* (pp. 119-123). IEEE.
- Semiconductor, O. N. (2015). "1/2.5-Inch 5 Mp CMOS Digital Image Sensor". MT9P031 Datasheet, Rev. J.
- Siegle, F., Vladimirova, T., Ilstad, J., & Emam, O. (2015). Mitigation of radiation effects in SRAM-based FPGAs for space applications. *ACM Computing Surveys (CSUR)*, 47(2), 37.
- Simon, M. K. (2005). *Bandwidth-efficient digital modulation with application to deep-space communications* (Vol. 2). John Wiley & Sons.
- Violante, M., Battezzati, N., & Sterpone, L. (2011). Reconfigurable Field Programmable Gate Arrays for Mission-Critical Applications. 4
- Wertz, J. R., Everett, D. F., & Puschell, J. J. (Eds.). (2011). *Space mission engineering: the new SMAD*. Microcosm Press.

Apéndice A (Comandos y respuestas)

En este apéndice se presentan y se describen los comandos que puede recibir el SCMIyT por parte de la computadora de a bordo, así como las posibles respuestas que puede enviar el SCMIyT a la computadora de a bordo.

Tabla A.1 Comandos que pueden ser recibidos por el SCMIyT por parte de la computadora.

| Comando | Descripción |
|----------|---|
| 'C' 0x43 | Este comando es para preguntar al SCMIyT si está listo para recibir un comando. |
| 'P' 0x50 | Este comando indica que el SCMIyT debe prepararse para tomar imágenes. |
| 'T' 0x54 | Este comando indica que el SCMIyT puede iniciar la toma de imágenes. |
| 'H' 0x48 | Este comando indica que el SCMIyT debe detener la toma de imágenes. |
| 'D' 0x44 | Este comando indica que el SCMIyT debe transferir los datos de imagen a la computadora de abordo. |
| 'S' 0x53 | Este comando indica que el SMCIyT debe entrar a un estado de suspensión. |
| 'R' 0x52 | Este comando indica que el SCMIyT debe reanudar tareas después de un proceso de suspensión. |
| 'X' 0x58 | Este comando indica que el SCMIyT debe reanudar tareas después de un proceso de suspensión. |
| 'A' 0x58 | Este comando indica que la computadora de a bordo le solicita al SCMIyT la última dirección escrita en memoria. |

Tabla A.2 Respuestas que pueden ser enviadas por el SCMIyT a la computadora de a bordo.

| Comando | Descripción |
|----------|---|
| 'A' 0x41 | Esta respuesta le indica a la computadora de a bordo que el SCMIyT recibió correctamente el comando. |
| 'B' 0x42 | Esta respuesta le indica a la computadora de a bordo que el SCMIyT está realizando una acción. |
| 'M' 0x54 | Esta respuesta le indica a la computadora de a bordo que la memoria está llena. |
| 'E' 0x48 | Esta respuesta le indica a la computadora de a bordo que hubo un error en el SCMIyT y que deben realizarse acciones como reset o reconfiguración. |
| 'D' 0x## | Esta respuesta le indica a la computadora de a bordo la última dirección en memoria que fue escrita. |

Apéndice B (Descripción general del sensor de imagen MT9P031)

En este apéndice se presenta la descripción general del sensor de imagen MT9P031 de Aptina.

El MT9P031 es un sensor de imagen de tecnología CMOS de 1/25 pulgadas, en un arreglo de 2592 pixeles horizontales por 1944 pixeles verticales, los cuales conforman un núcleo de 5 megapíxeles activos.

El sensor esta embebido en un circuito integrado, e incorpora funciones como:

- El modo de captura basado en ventana, el cual consiste en poder leer una porción de la matriz de pixeles.
- El modo de captura basado en salto de columna y fila, el cual permite reducir la resolución de imagen.

El sensor de imagen es de escaneo progresivo, es decir, los pixeles son capturados a una velocidad constante. La tasa de datos máxima a la que el sensor puede operar es de 96 Mpx/s, ya que el circuito integrado posee un lazo de seguimiento de fase (PLL, por sus siglas en inglés) que configura diversas tasas de datos a partir de una señal de reloj externa, cuya frecuencia debe estar en el rango de los 6 MHz a los 27 MHz.

Por otra parte, la configuración de resolución de imagen, modo de captura y despliegue de datos se realiza a través del protocolo de comunicación serial I2C.

En la Figura 1.B se muestra el diagrama a bloques del MT9P031, en el cual se observa la matriz de pixeles, las terminales del módulo de comunicación serial I2C y la terminal de salida correspondiente a los datos.

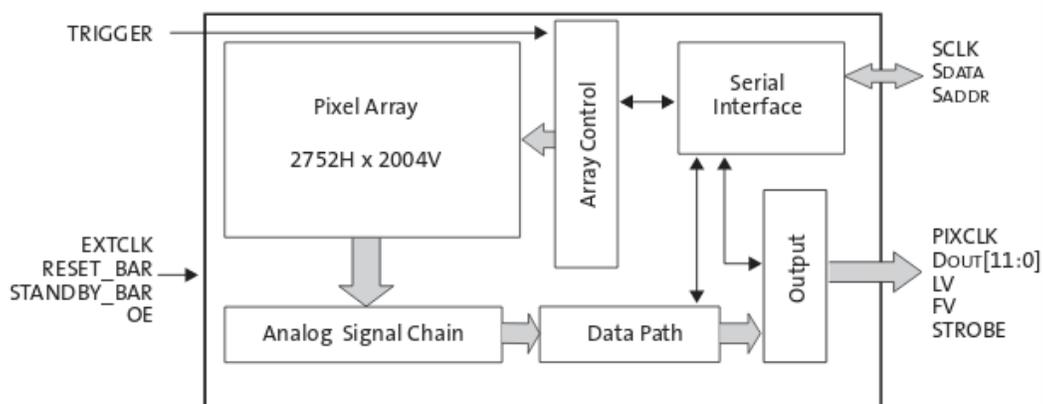


Figura 1.B Diagrama a bloques del MT9P031.

En la Figura 2.B se muestra las terminales de entrada y salida del MT9P031, así como el diagrama de conexión de algunas terminales con elementos externos como resistores, capacitores y fuentes de voltaje. La Tabla 1.B describe cada una de las terminales de entrada y salida del sensor de imagen.

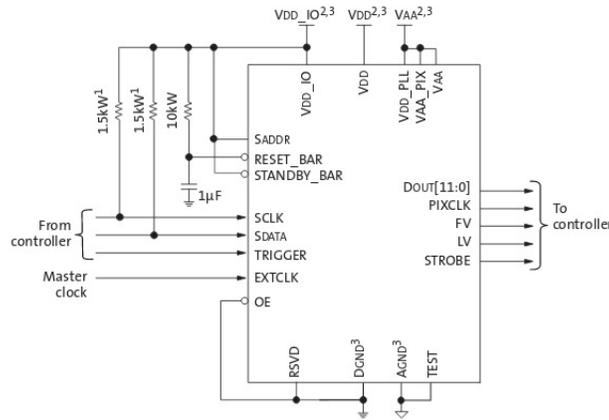


Figura 2.B Interfaces de entrada y salida del MT9P031.

Tabla 1.B Descripción de las terminales de entrada y salida del MT9P031.

| Nombre de la terminal | Dirección | Descripción |
|-----------------------|-----------|--|
| RESET_BAR | Entrada | Es la terminal de la señal de reinicio del sensor. El reinicio se lleva a cabo cuando dicha señal está en nivel bajo. |
| EXTCLK | Entrada | Es la terminal de la señal externa de reloj. |
| SCLK | Entrada | Es la terminal de la señal de reloj del protocolo de comunicación serial I2C. |
| OE | Entrada | Es la terminal de una señal de control con la cual, las interfaces de las señales PIXCLK, DOUT, FV, LV y STROBE toman un estado de alta impedancia cuando dicha señal está en nivel alto, caso contrario, las interfaces mencionadas operan de forma normal. |
| STANDBY_BAR | Entrada | Es la terminal de una señal de control, con la cual el chip entra en modo de operación en bajo consumo cuando dicha señal está en nivel bajo. |
| TRIGGER | Entrada | Es la terminal de una señal de control, la cual es empleada para disparar la captura de imagen. |

| | | |
|-------------|---------|--|
| SDATA | Ent/Sal | Es la terminal de la señal de datos del protocolo de comunicación serial I2C. |
| PIXCLK | Salida | Es la terminal de la señal de reloj que controla la captura de pixeles. Por lo tanto, las señales DOUT, FV, LV y STROBE deben ser capturadas en el flanco de bajada de esta señal. |
| DOUT[11:0] | Salida | Es la terminal por donde el sensor despliega los pixeles de imagen. La profundidad de pixel es de 12 bits. |
| FRAME_VALID | Salida | Es la terminal de la señal de control de adquisición de una imagen. |
| LINE_VALID | Salida | Es la terminal de la señal de control de adquisición de las filas que conforman una imagen. |
| STROBE | Salida | Es la terminal de la señal de control de luz generada por un elemento, como, por ejemplo, un diodo emisor de luz (LED, por sus siglas en inglés). |
| VDD | Entrada | Es la terminal de una fuente de voltaje de 1.8 V. |
| VDD_IO | Entrada | Es la terminal de una fuente de voltaje de 1.8V o 2.8V. |
| DGND | Entrada | Es la terminal de la referencia a cero del sistema digital del sensor. |
| VAA | Entrada | Es la terminal de una fuente de voltaje de 2.8 V. |
| VAA_PIX | Entrada | Es la terminal de una fuente de voltaje de los pixeles. |
| AGND | Entrada | Es la terminal de la referencia a cero del sistema analógico del sensor. |
| VDD_PLL | Entrada | Es la terminal de una fuente de voltaje del PLL. |

B.1 Matriz de pixeles

La matriz de pixeles que conforman la imagen del sensor MT9P031 está compuesta por 2752 pixeles horizontales (columnas) y 2004 pixeles verticales (renglones), la región activa se localiza en el centro de la matriz, rodeada por una región limite y esta a su vez está rodeada por una región de pixeles oscuros. La región límite se puede usar para suprimir los efectos de los bordes para obtener como resultado una imagen de 2592×1944 pixeles activos; mientras que la región de pixeles oscuros es empleada para monitorear el nivel de oscuridad.

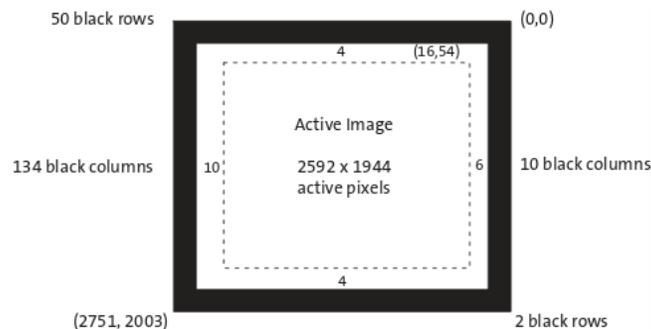


Figura 3.B Distribución de la matriz de pixeles del MT9P031.

B.2 Forma de lectura de los datos de imagen del MT9P031

El MT9P031 despliega los datos de imagen de manera continua, y renglón por renglón. Los datos de imagen válida están rodeados por datos nulos (Figura 4.B), los cuales son discriminados en el proceso de control de adquisición de imagen.

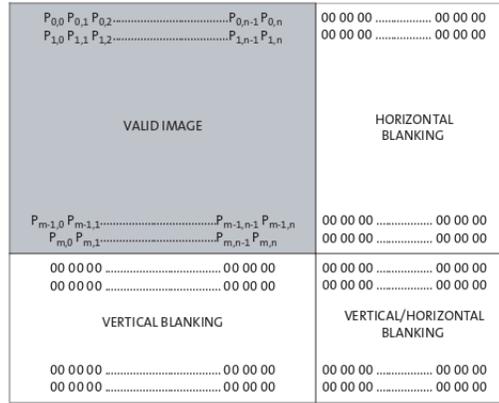


Figura 4.B Distribución de los datos de salida del MT9P031, los cuales corresponden a la imagen válida y datos nulos.

B.3 Adquisición de imagen

El proceso de adquisición de imagen es controlado por las señales FV, LV y PIXCLK, dónde FV controla la adquisición de una imagen, LV controla la adquisición de los renglones de la imagen, y PIXCLK controla la adquisición de los pixeles de dichos renglones, la Figura 5.B ilustra de manera gráfica el proceso de adquisición de la imagen.

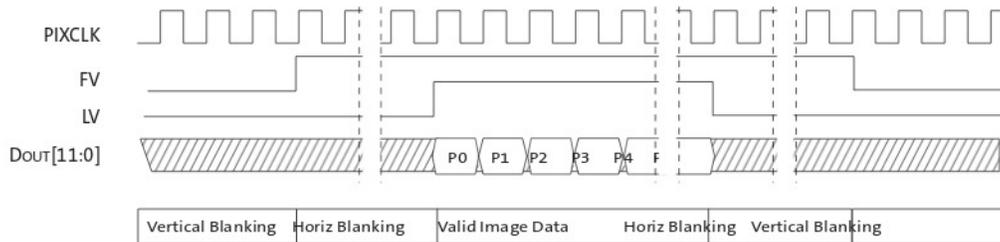


Figura 5.B Proceso de adquisición de imagen basado en las señales de control FV, LV y PIXCLK.

Apéndice C (Protocolos de comunicación serial)

En este apéndice se presentan los protocolos de comunicación serial I2C y SPI, así como su principio de operación.

C.1 Protocolo de comunicación serial I2C

I2C es un protocolo de comunicación serial síncrono, half-duplex; permite una comunicación del tipo maestro/esclavo empleando dos líneas: una línea de datos (SDA) y una línea de reloj (SCL), dichas líneas son bidireccionales y están polarizadas con VDD mediante resistencias de pull-up (R_p). El dispositivo maestro se encarga de generar la señal de reloj e iniciar el protocolo de comunicación. El protocolo de comunicación soporta tasas de transmisión desde 100 kbps en el modo estándar, de 400 kbps en el modo rápido, y de hasta 3.4 Mbps en el modo de alta velocidad.

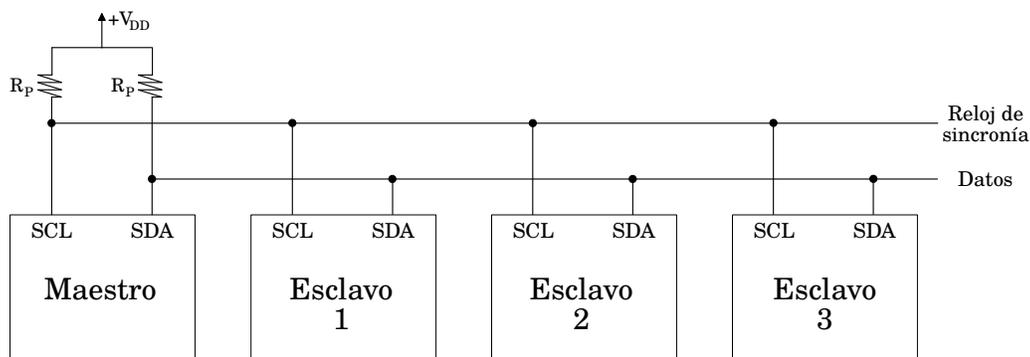


Figura 1.C Diagrama de conexión de múltiples dispositivos en el bus I2C.

Cada dispositivo esclavo posee una dirección única para su identificación; además, es posible que en la misma red convivan varios dispositivos maestros debido a que el protocolo cuenta con un detector de colisiones. El protocolo I2C opera con palabra de datos de 8 bits, las cuales pueden ser direcciones o información.

El protocolo de comunicación I2C se inicia cuando el maestro envía una condición de INICIO al dispositivo esclavo, la cual indica que la transmisión de datos va a iniciar. En la condición de inicio, la línea de datos SDA es llevada a un nivel bajo, mientras que la línea de reloj SCL es llevada a un nivel alto; después que la condición de INICIO fue enviada, los dispositivos podrán enviar y recibir datos. Una vez que concluye el proceso de transmisión de datos por parte del dispositivo maestro, este debe informarle al dispositivo esclavo mediante la condición de PARO, que consiste en llevar a la línea SDA a un nivel alto, mientras que SCL debe permanecer en un nivel bajo.

La transmisión de información por parte del dispositivo maestro al dispositivo esclavo se debe llevar a cabo de la siguiente forma:

Primero, el dispositivo maestro envía la dirección del dispositivo esclavo (7 bits) y un bit que indica que el modo de operación que desea realizar, escritura o lectura.

Segundo, el dispositivo maestro debe leer el estado de la línea de datos SDA, el cual es impuesto por el dispositivo esclavo, en caso que la línea SDA posea un nivel bajo (ACK), indica que el dispositivo recibió correctamente los datos; en cambio, si la línea SDA adopta un nivel alto, quiere decir que el esclavo no recibió correctamente los datos o que no está listo para entablar la comunicación. A este proceso se le denomina proceso de “reconocimiento”.

Posteriormente, si el modo de operación que indicó el dispositivo maestro es de escritura, el dispositivo maestro transmitirá las tramas de datos que requiera enviarle al dispositivo esclavo; dichas tramas deben ser reconocidas por este último mediante el proceso de reconocimiento.

Por último, si ya no hay datos que transmitir por parte del dispositivo maestro al dispositivo esclavo, el dispositivo maestro debe generar deberá generar la condición de PARO para liberar el bus, y así permitir nuevas comunicaciones (Benchimol, 2011).

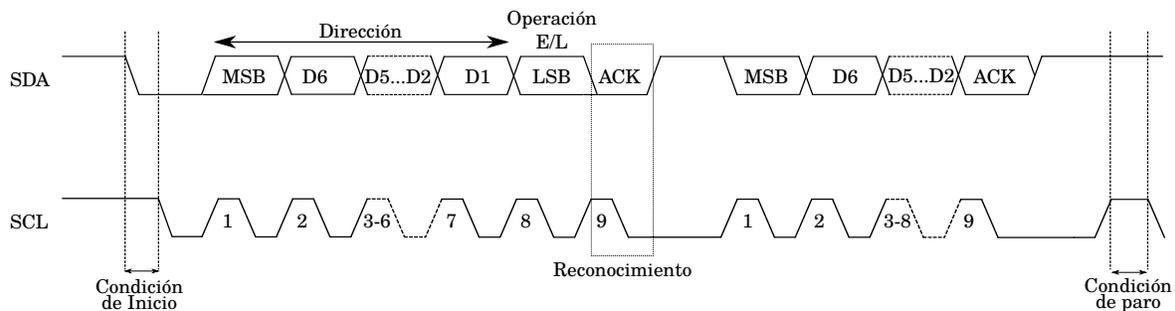


Figura 2.C Diagrama de tiempos que describe de manera gráfica la transferencia de datos a través del protocolo I2C.

C.2 Protocolo de comunicación serial SPI

SPI es un protocolo de comunicación serial síncrono, full-duplex y del tipo maestro/esclavo; soporta tasas de transmisión de datos mayores a 5 Mbps y menores a 100 Mbps. El dispositivo maestro es el encargado de establecer la comunicación síncrona, mientras que el o los dispositivos esclavos responden a las peticiones del maestro.

El bus SPI está compuesto por dos líneas de datos (MOSI y MISO), una línea de reloj (SCLK) y una línea de selección por cada esclavo (CS o SS).

- MOSI (Master Output – Slave Input), es la línea de datos con dirección del dispositivo maestro al dispositivo esclavo.
- MISO (Master Input – Slave Output), es la línea de datos con dirección del dispositivo esclavo al dispositivo maestro.
- SCLK, es la línea de reloj de sincronía que distribuye del dispositivo maestro a los dispositivos esclavos.
- CS o SS (Chip Select o Slave Select) son las líneas que habilitan la comunicación del dispositivo maestro con un dispositivo esclavo; generalmente, la habilitación se realiza en nivel bajo;

mientras que cuando la línea posee un nivel alto, la línea MISO toma un estado de alta impedancia, con el objetivo de no interferir con la comunicación del dispositivo maestro con otro dispositivo esclavo llevada a cabo en ese momento.

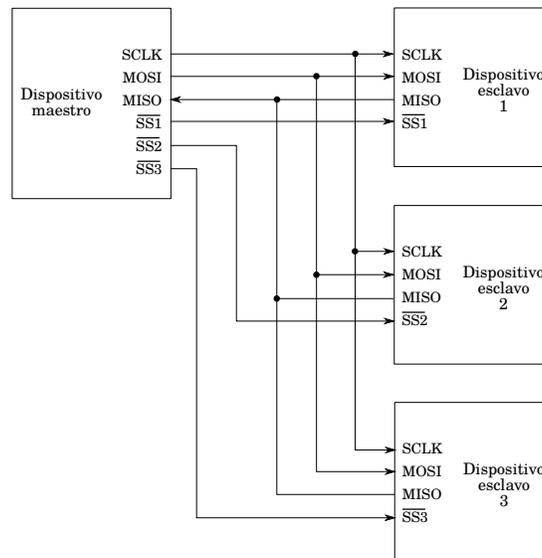


Figura 3.C Diagrama de conexión de un dispositivo maestro y tres dispositivos esclavos a través del bus SPI.

El protocolo de comunicación SPI consiste en el desplazamiento de datos de forma circular a través dos registros de corrimiento de 1 byte (aunque el protocolo no está limitado a conjuntos de 8 bits), un registro que pertenece al dispositivo maestro, mientras que el otro pertenece al dispositivo esclavo; es decir, un buffer circular, donde los bits (información) se desplazan sincrónicamente a medida que los flancos del reloj controlan el corrimiento de los bits en el registro.

La comunicación es full-duplex, ya que al mismo tiempo que el dispositivo maestro transmite información por la línea de datos MOSI, el dispositivo esclavo puede transmitir información al dispositivo maestro por la línea MISO (Benchimol, 2011).

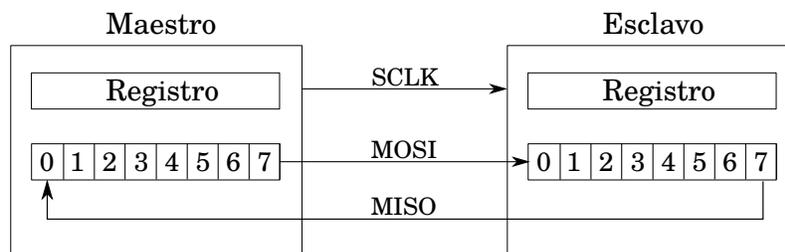


Figura 4.C Descripción gráfica del protocolo de comunicación SPI por medio del desplazamiento de datos a través de dos registros de corrimiento.